



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년01월22일
(11) 등록번호 10-2068980
(24) 등록일자 2020년01월16일

(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) H01L 21/336 (2006.01)
(21) 출원번호 10-2013-0091594
(22) 출원일자 2013년08월01일
심사청구일자 2018년05월16일
(65) 공개번호 10-2015-0015778
(43) 공개일자 2015년02월11일
(56) 선행기술조사문헌
US20090020819 A1*
US20090026505 A1*
KR1020120128531 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자 주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
김석훈
경기 화성시 영통로26번길 24, 301동 602호 (반월동, 반달마을푸르지오아파트)
구본영
경기 수원시 장안구 경수대로976번길 22, 125동 803호 (조원동, 한일타운아파트)
(74) 대리인
(뒷면에 계속)
특허법인가산

전체 청구항 수 : 총 20 항

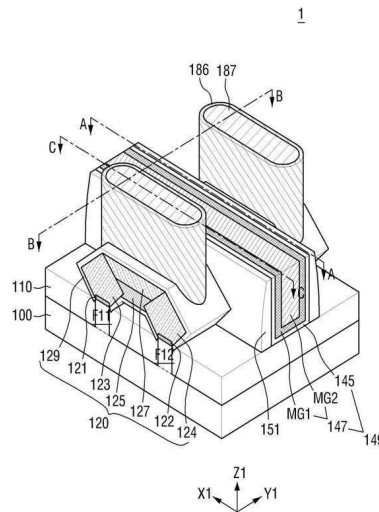
심사관 : 백형열

(54) 발명의 명칭 반도체 장치 및 그 제조 방법

(57) 요약

반도체 장치가 제공된다. 반도체 장치는, 기판에 서로 장변 방향으로 인접하여 형성된 제1 핀 및 제2 핀, 상기 제1 핀 상에 형성되고, 불순물의 제1 도핑 농도를 포함하는 제1 상승된 도핑 영역(elevated doping region), 상기 제2 핀 상에 형성되고, 상기 불순물의 제1 도핑 농도를 포함하는 제2 상승된 도핑 영역 및 상기 제1 상승된 도핑 영역과 상기 제2 상승된 도핑 영역을 서로 연결하고, 상기 불순물의 제2 도핑 농도를 포함하는 제1 브리지를 포함하되, 상기 제1 도핑 농도와 상기 제2 도핑 농도는 서로 다르다.

대표도 - 도1



(72) 발명자

김남규

경기 용인시 기흥구 보정로 26, 101동 503호 (보정동, 신촌마을상록데시앙)

송우빈

경기 화성시 동탄시범한빛길 10, 234동 502호 (반송동, 시범한빛마을한화꿈에그린아파트)

이병찬

경기 용인시 수지구 성북2로 158, 605동 101호 (성북동, 성동마을엘지빌리지6차)

정수진

경기 화성시 동탄지성로 94, 501호 (반송동, 하나로오피스텔)

명세서

청구범위

청구항 1

기판에 서로 장변 방향으로 인접하여 형성된 제1 핀 및 제2 핀;
 상기 기판 상에, 상기 제1 핀과 상기 제2 핀의 측면을 덮는 소자 분리막;
 상기 제1 핀 상에 형성되고, 불순물의 제1 도핑 농도를 포함하는 제1 상승된 도핑 영역(elevated doping region);
 상기 제2 핀 상에 형성되고, 상기 불순물의 제1 도핑 농도를 포함하는 제2 상승된 도핑 영역;
 상기 제1 상승된 도핑 영역과 상기 제2 상승된 도핑 영역을 서로 연결하고, 상기 불순물의 제2 도핑 농도를 포함하며, 에피 공정에 의해 형성된 제1 브리지를 포함하되,
 상기 제1 도핑 농도와 상기 제2 도핑 농도는 서로 다르고,
 상기 제1 브리지의 상면은 상기 제1 상승된 도핑 영역의 최상부 및 상기 제2 상승된 도핑 영역의 최상부보다 낮고,
 상기 제1 브리지의 하면은 상기 소자 분리막으로부터 이격되고, 상기 기판의 상면과 나란한 반도체 장치.

청구항 2

제 1항에 있어서,
 상기 제1 상승된 도핑 영역과 상기 제2 상승된 도핑 영역을 서로 연결하고, 상기 제1 브리지 상에 형성되는 상기 불순물의 제3 도핑 농도를 포함하는 제2 브리지를 더 포함하되, 상기 제3 도핑 농도와 상기 제2 도핑 농도는 서로 다른 반도체 장치.

청구항 3

제 2항에 있어서,
 상기 제3 도핑 농도와 상기 제1 도핑 농도는 서로 동일한 반도체 장치.

청구항 4

제 2항에 있어서,
 상기 제2 브리지는 상기 제1 브리지 상에 위치하며, 상기 제1 및 제2 상승된 도핑 영역 사이의 공간을 메우는 반도체 장치.

청구항 5

제 2항에 있어서,
 상기 제2 브리지와 접촉하여 형성된 컨택을 더 포함하는 반도체 장치.

청구항 6

제 1항에 있어서,
 상기 제1 상승된 도핑 영역은,
 제1 영역과,
 상기 제1 영역보다 상기 제1 핀에 가까운 제2 영역을 포함하되, 상기 제1 영역의 제1 폭은 상기 제2 영역의 제2 폭보다 크고,

상기 제2 상승된 도핑 영역은,

제3 영역과,

상기 제3 영역보다 상기 제2 핀에 가까운 제4 영역을 포함하되, 상기 제3 영역의 제3 폭은, 상기 제4 영역의 제4 폭보다 큰 반도체 장치.

청구항 7

제 6항에 있어서,

상기 제1 브리지는 상기 제1 영역과 상기 제3 영역을 서로 연결하는 반도체 장치.

청구항 8

제 7항에 있어서,

상기 제1 브리지는 역사다리꼴 또는 역삼각형 단면을 포함하는 반도체 장치.

청구항 9

제 1항에 있어서,

상기 제1 상승된 도핑 영역의 측벽과 상기 제2 상승된 도핑 영역의 측벽에 형성되고, 상기 제1 브리지의 상의 상기 제1 및 제2 상승된 도핑 영역 사이에는 미형성되는 캡핑막을 더 포함하는 반도체 장치.

청구항 10

제 1항에 있어서,

상기 불순물은 Ge 또는 B인 반도체 장치.

청구항 11

기판에 서로 장변 방향으로 인접하여 형성된 제1 핀 및 제2 핀;

상기 기판 상에, 상기 제1 핀과 상기 제2 핀의 측면을 덮는 소자 분리막;

상기 제1 핀 상과 상기 제2 핀 상에, 상기 제1 핀과 상기 제2 핀을 서로 전기적으로 연결하며 역U(inversed U) 자형으로 형성되는 소오스/드레인;

상기 기판과 상기 소오스/드레인 사이에, 상기 소오스/드레인에 접촉하며, 상기 기판과 이격되고, 에피 공정에 의해 형성되는 브리지;

상기 소오스/드레인을 덮고, 그 일부가 상기 기판과 상기 브리지 사이에 개재되는 층간 절연막; 및

상기 층간 절연막을 관통하여, 상기 역U자형의 상면에 접촉하는 콘택을 포함하되,

상기 브리지의 하면은 상기 소자 분리막으로부터 이격되고, 상기 기판의 상면과 나란한 반도체 장치.

청구항 12

기판에 서로 장변 방향으로 인접하여 형성된 제1 핀 및 제2 핀;

상기 기판 상에, 상기 제1 핀과 상기 제2 핀의 측면을 덮는 소자 분리막;

상기 제1 핀 상과 상기 제2 핀 상에, 상기 제1 핀과 상기 제2 핀을 서로 전기적으로 연결하며 역U(inversed U) 자형으로 형성되는 소오스/드레인;

상기 기판과 상기 소오스/드레인 사이에, 상기 소오스/드레인에 접촉하며, 상기 기판과 이격되고, 에피 공정에 의해 형성되는 브리지;

상기 기판과 상기 브리지 사이에 개재되는 에어갭; 및

상기 역U자형의 상면에 접촉하는 콘택을 포함하되,

상기 브리지의 하면은 상기 소자 분리막으로부터 이격되고, 상기 기관의 상면과 나란한 반도체 장치.

청구항 13

제1 영역과 제2 영역이 정의된 기관;

상기 제1 영역에 형성된 제1 핀형 트랜지스터로서, 상기 제1 영역에 서로 장변 방향으로 인접하여 형성된 제1 핀 및 제2 핀과,

상기 기관 상에, 상기 제1 핀과 상기 제2 핀의 측면을 덮는 소자 분리막과,

상기 제1 핀 상에 형성되고, 불순물의 제1 도핑 농도를 포함하는 제1 상승된 도핑 영역과,

상기 제2 핀 상에 형성되고, 상기 불순물의 제1 도핑 농도를 포함하는 제2 상승된 도핑 영역과,

상기 제1 상승된 도핑 영역과 상기 제2 상승된 도핑 영역을 서로 연결하고 상기 불순물의 제2 도핑 농도를 포함하며 에피 공정에 의해 형성된 제1 브리지를 포함하되, 상기 제1 도핑 농도와 상기 제2 도핑 농도는 서로 다른 제1 핀형 트랜지스터; 및

상기 제2 영역에 형성된 제2 핀형 트랜지스터를 포함하고,

상기 제1 브리지의 상면은 상기 제1 상승된 도핑 영역의 최상부 및 상기 제2 상승된 도핑 영역의 최상부보다 낮고,

상기 제1 브리지의 하면은 상기 소자 분리막으로부터 이격되고, 상기 기관의 상면과 나란한 반도체 장치.

청구항 14

제 13항에 있어서,

상기 제2 핀형 트랜지스터는,

상기 제2 영역에 서로 장변 방향으로 인접하여 형성된 제3 핀 및 제4 핀과,

상기 제3 핀 상에 형성된 상기 불순물의 제1 도핑 농도를 포함하는 제3 상승된 도핑 영역과,

상기 제4 핀 상에 형성된 상기 불순물의 제1 도핑 농도를 포함하는 제4 상승된 도핑 영역을 포함하되, 상기 제3 상승된 도핑 영역과 상기 제4 상승된 도핑 영역은 서로 물리적으로 분리되는 반도체 장치.

청구항 15

제 14항에 있어서,

상기 제1 핀 및 상기 제2 핀 사이의 거리는 상기 제3 핀 및 상기 제4 핀 사이의 거리보다 짧은 반도체 장치.

청구항 16

제 14항에 있어서,

상기 제1 핀형 트랜지스터는,

상기 제1 상승된 도핑 영역의 측벽과 상기 제2 상승된 도핑 영역의 측벽에 형성되며, 상기 제1 브리지의 상의 상기 제1 및 제2 상승된 도핑 영역 사이에는 미형성되는 제1 캡핑막을 더 포함하고,

상기 제2 핀형 트랜지스터는,

상기 제3 상승된 도핑 영역의 측벽과 상기 제4 상승된 도핑 영역의 측벽에 형성되는 제2 캡핑막을 더 포함하는 반도체 장치.

청구항 17

제1 영역 및 제2 영역이 정의된 기관을 제공하고,

상기 제1 영역에 서로 장변 방향으로 인접하여 제1 핀 및 제2 핀을, 상기 제2 영역에 서로 장변 방향으로 인접하여 제3 핀 및 제4 핀을 형성하고,

상기 기관 상에, 상기 제1 핀과 상기 제2 핀의 측면을 덮는 소자 분리막을 형성하고,

상기 제1 핀 내지 제4 핀 상에 각각 불순물의 제1 도핑 농도를 포함하는 제1 상승된 도핑 영역 내지 제4 상승된 도핑 영역을 형성하고,

예외 공정을 이용하여 상기 제1 상승된 도핑 영역과 상기 제2 상승된 도핑 영역을 서로 연결하는 상기 불순물의 제2 도핑 농도를 포함하는 제1 브리지를 형성하되, 상기 제1 브리지는 상기 제2 영역에는 미형성되고, 상기 제1 브리지의 상면은 상기 제1 상승된 도핑 영역의 최상부 및 상기 제2 상승된 도핑 영역의 최상부보다 낮고, 상기 제1 브리지의 하면은 상기 소자 분리막으로부터 이격되며 상기 기관의 상면과 나란하고,

상기 제1 및 제2 상승된 도핑 영역과 연결되고, 상기 제1 브리지 상의 상기 제1 상승된 도핑 영역과 상기 제2 상승된 도핑 영역 사이의 공간을 메우며, 상기 불순물의 제3 도핑 농도를 포함하는 제2 브리지를 형성하는 것을 포함하되,

상기 제2 도핑 농도는 상기 제1 도핑 농도보다 높고, 상기 제1 및 제3 도핑 농도는 서로 동일한 반도체 장치 제조 방법.

청구항 18

제 17항에 있어서,

상기 제1 핀과 상기 제2 핀 사이의 거리는 상기 제3 핀과 상기 제4 핀 사이의 거리보다 짧은 반도체 장치 제조 방법.

청구항 19

제 17항에 있어서,

상기 제2 브리지를 형성한 후에,

상기 제1 내지 제4 상승된 도핑 영역의 측벽, 상기 제1 브리지의 하면 및 상기 제2 브리지의 상면에 배치되는 캡핑막을 형성하는 것을 더 포함하는 반도체 장치 제조 방법.

청구항 20

제 19항에 있어서,

상기 캡핑막은 상기 제1 내지 제4 상승된 도핑 영역과, 상기 제1 및 제2 브리지보다 높은 압력에서 형성되는 반도체 장치 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 반도체 장치의 동작 특성 향상을 위해서, 저항 개선을 위한 연구가 많이 진행되고 있다. 그 중에 하나가, 소오스/드레인과 컨택 사이의 저항을 개선하는 것이다. 컨택 저항을 개선하기 위하여, 실리사이드의 일함수 및 소오스/드레인의 도핑 농도가 중요하며, 이에 의해서 SBH(Schottky Barrier Height)가 결정되고, SBH에 따라 컨택 저항이 결정된다. 또한, 소오스/드레인과 컨택 사이의 접촉 면적의 넓이도 컨택 저항을 결정하는데 중요한 요소이다.

발명의 내용

해결하려는 과제

[0003] 본 발명이 해결하려는 기술적 과제는, 동작 특성이 향상된 반도체 장치를 제공하는 것이다.

[0004] 본 발명이 해결하려는 다른 기술적 과제는, 동작 특성이 향상된 반도체 장치 제조 방법을 제공하는 것이다.

[0005] 본 발명이 해결하려는 기술적 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0006] 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 반도체 장치는, 기판에 서로 장변 방향으로 인접하여 형성된 제1 핀 및 제2 핀, 상기 제1 핀 상에 형성되고, 불순물의 제1 도핑 농도를 포함하는 제1 상승된 도핑 영역(elevated doping region), 상기 제2 핀 상에 형성되고, 상기 불순물의 제1 도핑 농도를 포함하는 제2 상승된 도핑 영역 및 상기 제1 상승된 도핑 영역과 상기 제2 상승된 도핑 영역을 서로 연결하고, 상기 불순물의 제2 도핑 농도를 포함하는 제1 브리지를 포함하되, 상기 제1 도핑 농도와 상기 제2 도핑 농도는 서로 다르다.

[0007] 상기 제1 상승된 도핑 영역과 상기 제2 상승된 도핑 영역을 서로 연결하고, 상기 제1 브리지 상에 형성되는 상기 불순물의 제3 도핑 농도를 포함하는 제2 브리지를 더 포함하되, 상기 제3 도핑 농도와 상기 제2 도핑 농도는 서로 다를 수 있다.

[0008] 상기 제3 도핑 농도와 상기 제1 도핑 농도는 서로 동일할 수 있고, 상기 제2 브리지는 상기 제1 브리지 상에 위치하며, 상기 제1 및 제2 상승된 도핑 영역 사이의 공간을 메울 수 있다.

[0009] 상기 제2 브리지와 접촉하여 형성된 콘택을 더 포함할 수 있고, 상기 콘택은, 상기 제2 브리지 상에 형성된 실리콘사이드막과, 상기 실리콘사이드막 상에 형성된 도전막을 포함할 수 있다.

[0010] 상기 제1 상승된 도핑 영역은, 제1 영역과, 상기 제1 영역보다 상기 제1 핀에 가까운 제2 영역을 포함하되, 상기 제1 영역의 제1 폭은 상기 제2 영역의 제2 폭보다 크고, 상기 제2 상승된 도핑 영역은, 제3 영역과, 상기 제3 영역보다 상기 제2 핀에 가까운 제4 영역을 포함하되, 상기 제3 영역의 제3 폭은, 상기 제4 영역의 제4 폭보다 클 수 있다. 상기 제1 브리지는 상기 제1 영역과 상기 제3 영역을 서로 연결할 수 있고, 상기 제1 브리지는 역사다리꼴 또는 역삼각형 단면을 포함할 수 있다.

[0011] 상기 제2 영역과 상기 제4 영역은 서로 이격되어 있을 수 있고, 상기 제2 영역과 상기 제4 영역 사이에 배치되는 에어갭(airgap)을 더 포함할 수 있다.

[0012] 상기 제1 상승된 도핑 영역의 측벽과 상기 제2 상승된 도핑 영역의 측벽에 형성되고, 상기 제1 브리지의 상의 상기 제1 및 제2 상승된 도핑 영역 사이에는 미형성되는 캡핑막을 더 포함할 수 있다. 상기 캡핑막은 순수하게 실리콘을 포함할 수 있다.

[0013] 상기 불순물은 Ge 또는 B일 수 있고, 상기 불순물이 Ge이면 상기 제2 도핑 농도는 $2.5 \times 10^{22} \text{atom/cc}$ 이상이고, 상기 불순물이 B이면 상기 제2 도핑 농도는 $1 \times 10^{20} \text{atom/cc}$ 이상일 수 있다.

[0014] 상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 반도체 장치는, 기판에 서로 장변 방향으로 인접하여 형성된 제1 핀 및 제2 핀, 상기 제1 핀 상과 상기 제2 핀 상에, 상기 제1 핀과 상기 제2 핀을 서로 전기적으로 연결하며 역U(inversed U)자형으로 형성되는 소오스/드레인, 상기 기판과 상기 소오스/드레인 사이에, 상기 소오스/드레인에 접촉하며, 상기 기판과 이격되어 형성되는 브리지 및 상기 역U자형의 상면에 접촉하는 콘택을 포함한다.

[0015] 상기 소오스/드레인 측벽과 상기 브리지 하면에 형성되는 캡핑막을 더 포함할 수 있다.

[0016] 상기 소오스/드레인은 불순물의 제1 도핑 농도를 포함하고, 상기 브리지는 상기 불순물의 제1 도핑 농도보다 높은 불순물의 제2 도핑 농도를 포함할 수 있다.

[0017] 상기 기판과 상기 브리지 사이에 배치되는 에어갭을 더 포함할 수 있다.

[0018] 상기 기술적 과제를 달성하기 위한 본 발명의 또다른 실시예에 따른 반도체 장치는, 기판에 서로 장변 방향으로 인접하여 형성된 제1 핀 및 제2 핀, 상기 제1 핀 상에 형성된 제1 상승된 도핑 영역, 상기 제2 핀 상에 형성된 제2 상승된 도핑 영역, 상기 제1 상승된 도핑 영역의 상면과 상기 제2 상승된 도핑 영역의 상면을 연결하는 제2 브리지 및 상기 제1 상승된 도핑 영역의 상면, 상기 제2 상승된 도핑 영역의 상면 및 상기 제2 브리지와 접촉하는 콘택을 포함하고, 상기 제1 상승된 도핑 영역, 상기 제2 상승된 도핑 영역 및 상기 제2 브리지의 불순물의 농도는 서로 동일하다.

[0019] 상기 제1 및 제2 상승된 도핑 영역 사이에 형성되고, 상기 제2 브리지 하면과 접촉하는 제1 브리지를 더 포함하되, 상기 제1 브리지의 불순물의 농도는 상기 제2 브리지의 불순물의 농도와는 다를 수 있다.

- [0020] 상기 기술적 과제를 달성하기 위한 본 발명의 또다른 실시예에 따른 반도체 장치는, 제1 영역과 제2 영역이 정의된 기판, 상기 제1 영역에 형성된 제1 핀형 트랜지스터로서, 상기 제1 영역에 서로 장변 방향으로 인접하여 형성된 제1 핀 및 제2 핀과, 상기 제1 핀 상에 형성되고, 불순물의 제1 도핑 농도를 포함하는 제1 상승된 도핑 영역과, 상기 제2 핀 상에 형성되고, 상기 불순물의 제1 도핑 농도를 포함하는 제2 상승된 도핑 영역과, 상기 제1 상승된 도핑 영역과 상기 제2 상승된 도핑 영역을 서로 연결하고 상기 불순물의 제2 도핑 농도를 포함하는 제1 브리지를 포함하되, 상기 제1 도핑 농도와 상기 제2 도핑 농도는 서로 다른 제1 핀형 트랜지스터 및 상기 제2 영역에 형성된 제2 핀형 트랜지스터를 포함한다.
- [0021] 상기 제2 핀형 트랜지스터는, 상기 제2 영역에 서로 장변 방향으로 인접하여 형성된 제3 핀 및 제4 핀과, 상기 제3 핀 상에 형성된 상기 불순물의 제1 도핑 농도를 포함하는 제3 상승된 도핑 영역과, 상기 제4 핀 상에 형성된 상기 불순물의 제1 도핑 농도를 포함하는 제4 상승된 도핑 영역을 포함하되, 상기 제3 상승된 도핑 영역과 상기 제4 상승된 도핑 영역은 서로 물리적으로 분리될 수 있다. 상기 제1 핀 및 상기 제2 핀 사이의 거리는 상기 제3 핀 및 상기 제4 핀 사이의 거리보다 짧을 수 있다. 상기 제1 핀형 트랜지스터는, 상기 제1 상승된 도핑 영역의 측벽과 상기 제2 상승된 도핑 영역의 측벽에 형성되며, 상기 제1 브리지의 상의 상기 제1 및 제2 상승된 도핑 영역 사이에는 미형성되는 제1 캡핑막을 더 포함하고, 상기 제2 핀형 트랜지스터는, 상기 제3 상승된 도핑 영역의 측벽과 상기 제4 상승된 도핑 영역의 측벽에 형성되는 제2 캡핑막을 더 포함할 수 있다.
- [0022] 상기 제1 영역은 로직 영역이고, 상기 제2 영역은 SRAM 영역일 수 있다.
- [0023] 상기 제1 및 제2 핀형 트랜지스터는 PMOS 트랜지스터일 수 있다.
- [0024] 상기 제2 핀형 트랜지스터는, 상기 제2 영역에 서로 장변 방향으로 인접하여 형성된 제5 핀 및 제6 핀과, 상기 제5 핀 상에 형성된 상기 불순물과 다른 제3 불순물을 포함하는 제5 상승된 도핑 영역과, 상기 제6 핀 상에 형성된 상기 제3 불순물을 포함하는 제6 상승된 도핑 영역을 포함할 수 있고, 상기 제1 영역은 PMOS 영역이고, 상기 제2 영역은 NMOS 영역일 수 있다.
- [0025] 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 반도체 장치 제조 방법은, 기판에 서로 장변 방향으로 인접하여 제1 핀 및 제2 핀을 형성하고, 상기 제1 핀 상에 불순물의 제1 도핑 농도를 포함하는 제1 상승된 도핑 영역(elevated doping region)을 형성하고, 상기 제2 핀 상에 상기 불순물의 제1 도핑 농도를 포함하는 제2 상승된 도핑 영역을 형성하고, 상기 제1 상승된 도핑 영역과 상기 제2 상승된 도핑 영역을 서로 연결하고, 상기 불순물의 제2 도핑 농도를 포함하는 제1 브리지를 형성하는 것을 포함하되, 상기 제1 도핑 농도와 상기 제2 도핑 농도는 서로 다르다.
- [0026] 상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 반도체 장치 제조 방법은, 제1 영역 및 제2 영역이 정의된 기판을 제공하고, 상기 제1 영역에 서로 장변 방향으로 인접하여 제1 핀 및 제2 핀을, 상기 제2 영역에 서로 장변 방향으로 인접하여 제3 핀 및 제4 핀을 형성하고, 상기 제1 핀 내지 제4 핀 상에 각각 불순물의 제1 도핑 농도를 포함하는 제1 상승된 도핑 영역 내지 제4 상승된 도핑 영역을 형성하고, 상기 제1 상승된 도핑 영역과 상기 제2 상승된 도핑 영역을 서로 연결하는 상기 불순물의 제2 도핑 농도를 포함하는 제1 브리지를 형성하되, 상기 제1 브리지는 상기 제2 영역에는 미형성되고, 상기 제1 및 제2 상승된 도핑 영역과 연결되고, 상기 제1 브리지 상의 상기 제1 상승된 도핑 영역과 상기 제2 상승된 도핑 영역 사이의 공간을 메우며, 상기 불순물의 제3 도핑 농도를 포함하는 제2 브리지를 형성하는 것을 포함하되, 상기 제2 도핑 농도는 상기 제1 도핑 농도보다 높고, 상기 제1 및 제3 도핑 농도는 서로 동일하다.
- [0027] 상기 제1 영역은 로직 영역이고, 상기 제2 영역은 SRAM 영역일 수 있다.
- [0028] 상기 불순물은 Ge 또는 B일 수 있다.
- [0029] 상기 제1 핀과 상기 제2 핀 사이의 거리는 상기 제3 핀과 상기 제4 핀 사이의 거리보다 짧을 수 있다.
- [0030] 상기 제2 브리지를 형성한 후에, 상기 제1 내지 제4 상승된 도핑 영역의 측벽, 상기 제1 브리지의 하면 및 상기 제2 브리지의 상면에 배치되는 캡핑막을 형성하는 것을 더 포함할 수 있다. 상기 캡핑막은 순수 실리콘을 포함할 수 있다. 상기 캡핑막은 상기 제1 내지 제4 상승된 도핑 영역과, 상기 제1 및 제2 브리지보다 높은 압력에서 형성될 수 있고, 상기 캡핑막은 50 torr 이상에서 형성될 수 있다.
- [0031] 상기 캡핑막을 형성한 후에, 상기 캡핑막을 덮는 층간 절연막을 형성하고, 상기 층간 절연막 내에, 상기 제1 및 제2 상승된 도핑 영역과 상기 제2 브리지를 노출시키는 제1 콘택홀과, 상기 제3 및 제4 상승된 도핑 영역을 노출시키는 제2 콘택홀을 형성하고, 상기 제1 및 제2 콘택홀 내에 콘택을 형성하는 것을 더 포함할 수 있다.

[0032] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

[0033] 도 1은 본 발명의 제1 실시예에 따른 반도체 장치를 설명하기 위한 사시도이다.

도 2는 도 1의 반도체 장치의 A - A, 도 3은 도 1의 반도체 장치의 B - B, 도 4 및 도 5는 도 1의 반도체 장치의 C - C를 따라서 절단한 단면도이다.

도 6 및 도 7은 도 1의 반도체 장치의 효과를 설명하기 위한 도면이다.

도 8은 본 발명의 제2 실시예에 따른 반도체 장치를 설명하기 위한 사시도이다.

도 9는 도 8의 반도체 장치의 C - C를 따라서 절단한 단면도이다.

도 10은 본 발명의 제3 실시예에 따른 반도체 장치를 설명하기 위한 사시도이다.

도 11은 본 발명의 제4 실시예에 따른 반도체 장치를 설명하기 위한 사시도이다.

도 12는 도 10의 반도체 장치의 C - C를 따라서 절단한 단면도이다.

도 13은 본 발명의 제5 실시예에 따른 반도체 장치를 설명하기 위한 사시도이다.

도 14는 도 13의 반도체 장치의 A - A와 D - D를 따라서 절단한 단면도이다.

도 15는 도 13의 반도체 장치의 B - B와 E - E를 따라서 절단한 단면도이다.

도 16은 도 13의 반도체 장치의 C - C와 F - F를 따라서 절단한 단면도이다.

도 17a는 본 발명의 몇몇 실시예에 따른 반도체 장치를 포함하는 전자 시스템의 블록도이다.

도 17b 및 도 17c는 본 발명의 몇몇 실시예들에 따른 반도체 장치를 적용할 수 있는 예시적인 반도체 시스템이다.

도 18 내지 도 28은 본 발명의 제1 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간 단계 도면들이다.

도 29 내지 도 37은 본 발명의 제4 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간 단계 도면들이다.

발명을 실시하기 위한 구체적인 내용

[0034] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 표시된 구성요소의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭하며, "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

[0035] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다.

[0036] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있고, 이에 따라 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.

[0037] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명

세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다 (comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소 외에 하나 이상의 다른 구성요소의 존재 또는 추가를 배제하지 않는다.

- [0038] 비록 제1, 제2 등이 다양한 소자나 구성요소들을 서술하기 위해서 사용되나, 이들 소자나 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자나 구성요소를 다른 소자나 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자나 구성요소는 본 발명의 기술적 사상 내에서 제2 소자나 구성요소 일 수도 있음은 물론이다.
- [0039] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0040] 도 1 내지 도 7을 참조하여 본 발명의 제1 실시예에 따른 반도체 장치에 대하여 설명하기로 한다.
- [0041] 도 1은 본 발명의 제1 실시예에 따른 반도체 장치를 설명하기 위한 사시도이고, 도 2는 도 1의 반도체 장치의 A - A, 도 3은 도 1의 반도체 장치의 B - B, 도 4 및 도 5는 도 1의 반도체 장치의 C - C를 따라서 절단한 단면도이다. 설명의 편의를 위하여, 도 1에서는 제1 층간 절연막(171)과 제2 층간 절연막(172)를 도시하지 않는다. 도 6 및 도 7은 도 1의 반도체 장치의 효과를 설명하기 위한 도면이다.
- [0042] 도 1 내지 도 4를 참조하면, 본 발명의 제1 실시예에 따른 반도체 장치(1)는 기판(100), 제1 핀(F11), 제2 핀(F11), 소자 분리막(110), 제1 게이트 구조체(149), 제1 소오스/드레인(120), 제1 컨택(181), 제1 층간 절연막(171) 및 제2 층간 절연막(172) 등을 포함할 수 있다.
- [0043] 구체적으로, 기판(100)은 Si, Ge, SiGe, GaP, GaAs, SiC, SiGeC, InAs 및 InP로 이루어지는 군에서 선택되는 하나 이상의 반도체 재료로 이루어질 수 있다. 또한, SOI(silicon on insulator) 기판을 사용하여도 무방하다.
- [0044] 제1 핀(F11)과 제2 핀(F12)은 제2 방향(Y1)을 따라서 길게 연장될 수 있다. 구체적으로, 제1 핀(F11)과 제2 핀(F12)은 장변과 단변을 가질 수 있으며, 제1 핀(F11)과 제2 핀(F12)은 장변 방향으로 연장되며 서로 인접하여 형성될 수 있다. 도 1에서는 장변 방향이 제2 방향(Y1)으로, 단변 방향이 제1 방향(X1)으로 도시되어 있으나, 본 발명이 이에 제한되는 것은 아니다. 예를 들어 제1 핀(F11)과 제2 핀(F12)은 장변 방향이 제1 방향(X1), 단변 방향이 제2 방향(Y2)이고, 제1 핀(F11)과 제2 핀(F12)은 제2 방향(Y2)으로 인접하여 형성될 수 있다.
- [0045] 제1 핀(F11)과 제2 핀(F12)은 기판(100)의 일부일 수도 있고, 기판(100)으로부터 성장된 에피층(epitaxial layer)을 포함할 수 있다. 제1 및 제2 핀(F11, F12)은 예를 들어, Si 또는 SiGe 등을 포함할 수 있다. 소자 분리막(110)은 기판(100) 상에 형성되며, 제1 핀(F11)과 제2 핀(F12)의 측면을 덮을 수 있다.
- [0046] 제1 게이트 구조체(149)는 제1 게이트 절연막(145)과 제1 게이트 전극(147)을 포함할 수 있으며, 제1 핀(F11) 및 제2 핀(F12) 상에, 제1 핀(F11) 및 제2 핀(F12)과 교차하도록 형성될 수 있다. 게이트 구조체(149)는 제1 방향(X1)으로 연장될 수 있다.
- [0047] 제1 게이트 전극(147)은 금속층(MG1, MG2)을 포함할 수 있다. 제1 게이트 전극(147)은 도시된 것과 같이, 2층 이상의 금속층(MG1, MG2)이 적층될 수 있다. 제1 금속층(MG1)은 일함수 조절을 하고, 제2 금속층(MG2)은 제1 금속층(MG1)에 의해 형성된 공간을 채우는 역할을 한다. 예를 들어, 제1 금속층(MG1) TiN, TaN, TiC, 및 TaC 중 적어도 하나를 포함할 수 있다. 또한, 제2 금속층(MG2)은 W 또는 Al을 포함할 수 있다. 또는, 제1 게이트 전극(147)은 금속이 아닌, Si, SiGe 등으로 이루어질 수도 있다. 이러한 제1 게이트 전극(147)은 예를 들어, 리플레이스먼트(replacement) 공정을 통해서 형성될 수 있으나, 이에 한정되는 것은 아니다.
- [0048] 제1 게이트 절연막(145)은 제1 핀(F11) 및 제2 핀(F12)과 제1 게이트 전극(147) 사이에 형성될 수 있다. 도 2에 도시된 것과 같이, 제1 게이트 절연막(145)은 제1 핀(F11)의 상면과 측면의 상부, 그리고 제2 핀(F12)의 상면과 측면의 상부에 형성될 수 있다. 또한, 제1 게이트 절연막(145)은 제1 게이트 전극(147)과 소자 분리막(110) 사이에 배치될 수 있다. 이러한 제1 게이트 절연막(145)은 실리콘 산화막보다 높은 유전 상수를 갖는 고유전체 물질을 포함할 수 있다. 예를 들어, 제1 게이트 절연막(145)은 HfO₂, ZrO₂, LaO, Al₂O₃ 또는 Ta₂O₅을 포함할 수 있다. 스페이서(151)는 제1 게이트 구조체(149)의 측벽에 형성될 수 있으며, 질화막, 산질화막 중 적어도 하나를 포함할 수 있다.

- [0049] 제1 소오스/드레인(120)은 제1 게이트 구조체(149)의 양측에, 제1 핀(F11) 및 제2 핀(F12) 상에 형성될 수 있다. 제1 소오스/드레인(120)은 제1 상승된 도핑 영역(elevated doping region)(123), 제2 상승된 도핑 영역(124), 제1 브리지(125), 제2 브리지(127) 등을 포함할 수 있다.
- [0050] 제1 상승된 도핑 영역(123)은 제1 핀(F11) 상에 형성되고, 제2 상승된 도핑 영역(124)은 제2 핀(F12) 상에 형성될 수 있다. 즉, 제1 및 제2 상승된 도핑 영역(123, 124)의 상면은 제1 층간 절연막(171)의 하면보다 높을 수 있다. 제1 상승된 도핑 영역(123)과 제2 상승된 도핑 영역(124)은 다양한 형상일 수 있다. 예를 들어, 제1 상승된 도핑 영역(123)과 제2 상승된 도핑 영역(124)은 다이아몬드 형상, 원 형상 중 적어도 하나일 수 있다. 도 1, 도 4, 도 5에서는 예시적으로 다이아몬드 형상(또는 오각형 형상 또는 육각형 형상)을 도시하였다.
- [0051] 예를 들어, 제1 상승된 도핑 영역(123)은 도 4에 도시된 것과 같이, 제1 영역(123a)과 제2 영역(123b)을 포함할 수 있다. 제2 영역(123b)은 제1 영역(123a)보다 제1 핀(F11)에 더 가까운 영역이다. 제1 영역(123a)의 제1 폭(W1)은 제2 영역(123b)의 제2 폭(W2)보다 클 수 있다. 마찬가지로, 제2 상승된 도핑 영역(124)은 제3 영역(124a)과 제4 영역(124b)을 포함할 수 있다. 제4 영역(124b)은 제3 영역(124a)보다 제2 핀(F12)에 더 가까운 영역이며, 제3 영역(124a)의 제3 폭(W3)은 제4 영역(124b)의 제4 폭(W4)보다 클 수 있다. 따라서, 제1 영역(123a)과 제3 영역(124a) 사이의 거리는 제2 영역(123b)과 제4 영역(124b) 사이의 거리보다 가까울 수 있고, 제2 영역(123b)과 제4 영역(124b) 사이는 서로 이격되어 있을 수 있다.
- [0052] 제1 상승된 도핑 영역(123)과 제2 상승된 도핑 영역(124) 사이에는 제1 브리지(125)가 형성된다. 제1 브리지(125)는 제1 상승된 도핑 영역(123)과 제2 상승된 도핑 영역(124)에 접촉하고 제1 상승된 도핑 영역(123)과 제2 상승된 도핑 영역(124)을 서로 연결할 수 있다. 구체적으로, 제1 브리지(125)는 제1 상승된 도핑 영역(123)의 제1 영역(123a)과 제2 상승된 도핑 영역(124)의 제3 영역(124a)을 서로 연결할 수 있다. 제1 영역(123a)과 제3 영역(124a) 사이의 거리가 짧기 때문에 제1 브리지(125)는 제1 영역(123a)과 제3 영역(124a) 사이에 형성될 수 있다.
- [0053] 한편, 제1 브리지(125)의 단면, 예를 들어 C-C를 따라서 절단한 단면은 역사다리꼴 형상일 수 있다. 또는 제1 브리지(125)가 제1 상승된 도핑 영역(123)과 접하는 단면, 그리고 제2 상승된 도핑 영역(124)과 접하는 면은 예를 들어, 시그마 형상(Σ)일 수 있으나 이에 제한되는 것은 아니다.
- [0054] 제2 브리지(127)는 제1 브리지(125) 상에 형성될 수 있다. 제2 브리지(127)는 제1 상승된 도핑 영역(123)과 제2 상승된 도핑 영역(124)을 서로 연결할 수 있다. 구체적으로, 제2 브리지(127)는 제1 브리지(125) 상에 형성된 제1 상승된 도핑 영역(123)과 제2 상승된 도핑 영역(124) 사이의 공간을 메울 수 있다. 다시 말해서, 제2 브리지(127)는 제1 상승된 도핑 영역의 상면(123c)과 제2 상승된 도핑 영역의 상면(125c)을 연결할 수 있다. 결국, 제1 상승된 도핑 영역의 상면(123c)과, 제2 상승된 도핑 영역의 상면(125c)과, 제2 브리지의 상면(127c)은 서로 이어져 있을 수 있다.
- [0055] 제1 캡핑막(129)은 제1 상승된 도핑 영역(123)의 측벽과 제2 상승된 도핑 영역(124)의 측벽에 형성될 수 있다. 또한, 제1 브리지(125)의 하면에도 형성될 수 있다. 그러나, 제1 캡핑막(129)은 제1 브리지(125) 상에는 형성되지 않는다. 제1 브리지(125) 상의 제1 및 제2 상승된 도핑 영역(123, 124) 사이에는 제2 브리지(127)가 배치되기 때문에 제1 캡핑막(129)은 미형성된다.
- [0056] 제1 핀(F11)과 제1 상승된 도핑 영역(123) 사이에 제1 씨드막(121)이, 제2 핀(F12)과 제2 상승된 도핑 영역(124) 사이에 제2 씨드막(122)이 형성될 수 있다. 제1 및 제2 씨드막(121, 122)은 제1 및 제2 상승된 도핑 영역(123, 124)을 형성하는데 필요한 씨드(seed) 역할을 할 수 있다.
- [0057] 제1 소오스/드레인(120)은 Si를 포함할 수 있다. 제1 소오스/드레인(120) 중에서, 제1 캡핑막(129)은 불순물을 포함하지 않을 수 있다. 불순물을 포함하지 않으면, 불순물을 포함하는 경우보다 식각률이 감소한다. 따라서, 제1 캡핑막(129)은 컨택(181)을 형성할 때, 제1 및 제2 상승된 도핑 영역(123, 124)의 식각량을 조절할 수 있다. 불순물의 함유량이 많을수록 식각률은 증가한다.
- [0058] 제1 및 제2 씨드막(121, 122), 제1 상승된 도핑 영역(123), 제2 상승된 도핑 영역(124), 제1 브리지(125) 및 제2 브리지(127)는 불순물을 포함할 수 있으며, 각각이 포함하는 불순물의 함유량이 달라 도핑 농도가 다를 수 있다. 제1 및 제2 상승된 도핑 영역(123, 124)은 불순물의 제1 도핑 농도를 갖고, 제1 브리지(125)는 불순물의 제2 도핑 농도를 갖고, 제2 브리지(127)는 불순물의 제3 도핑 농도를 갖고, 제1 및 제2 씨드막(121, 122)은 제4 도핑 농도를 가질 수 있다.

- [0059] 제2 도핑 농도는 제1 도핑 농도와 다르며, 제1 도핑 농도보다 높을 수 있다. 즉, 제1 브리지(125)는 제1 및 제2 상승된 도핑 영역(123, 124)보다 불순물의 함유량이 많을 수 있다. 또한, 제2 도핑 농도는 제3 도핑 농도와 제4 도핑 농도보다도 높을 수 있다.
- [0060] 제3 도핑 농도와 제1 도핑 농도는 서로 동일할 수 있다. 여기서, ‘동일하다’는 말은, 완전히 같거나, 공정 상 발생할 수 있는 오차 범위 내의 차이를 포함하는 의미로 사용된다. 제4 도핑 농도는 제1 도핑 농도와 동일하거나 그보다 작을 수 있다.
- [0061] 제1 소오스/드레인(120) 중에서, 불순물을 제1 도핑 농도(제3 도핑 농도)로 포함하는 제1 소오스/드레인(120) 부분, 즉 제1 및 제2 도핑 영역(123, 124)과 제2 브리지(127)는 역U(inversed U)자형으로 형성될 수 있다. 불순물을 제1 도핑 농도로 포함하는 제1 소오스/드레인(120) 부분은, 역U자형의 상면(제1 도핑 영역(123), 제2 도핑 영역(124) 및 제2 브리지(127)의 상면)에서 제1 컨택(181)과 접촉할 수 있으며, 제1 핀(F11)과 제2 핀(F12)을 역U자형으로 서로 전기적으로 연결할 수 있다. 그리고 U자형의 오목한 부분, 즉, 기판(100)과 제2 브리지(127) 사이에는 제1 브리지(125)가 배치된다. 제1 브리지(125)는 기판(100)과 이격되어 형성되고 불순물을 제1 도핑 농도로 포함하는 제1 소오스/드레인(120) 부분과 접촉한다.
- [0062] 불순물은 제1 불순물과 제2 불순물 중 적어도 하나를 포함할 수 있다. 예를 들어, 제1 불순물은 Ge이고, 제2 불순물은 B일 수 있으나, 이에 제한되는 것은 아니다. 불순물 중 제1 불순물은 제1 소오스/드레인(120)의 SBH를 조절하는 역할을 할 수 있으며, 제1 불순물의 함유량이 많을수록 SBH는 감소한다. 또한, 제1 불순물은 Si보다 격자 상수가 높은 물질로서, 제1 핀(F11)과 제2 핀(F12)에 압축 스트레스를 가하여 채널 영역의 이동도(mobility)를 향상시킬 수 있다. 불순물 중 제2 불순물은 제1 소오스/드레인(120)의 저항을 조절할 수 있으며, 제2 불순물의 함유량이 많을수록 저항이 감소한다.
- [0063] 예를 들어, 제1 불순물의 제2 도핑 농도는 $2.5 \times 10^{22} \text{atom/cc}$ 이상이고, 제2 불순물의 제2 도핑 농도는 $1 \times 10^{20} \text{atom/cc}$ 이상일 수 있으나 본 발명이 이에 제한되는 것은 아니다.
- [0064] 제1 컨택(181)은 제2 브리지(127) 상에 형성될 수 있다. 제1 컨택(181)은 제2 브리지(127)와 접촉하며, 제1 상승된 도핑 영역(123)과 제2 상승된 도핑 영역(124)과도 접촉할 수 있다. 다시 말해서, 제1 및 제2 상승된 도핑 영역(123, 124)의 상면과 제2 브리지(127)의 상면은 제1 컨택(181)과 접촉할 수 있다.
- [0065] 제1 컨택(181)은 배선과 제1 소오스/드레인(120)을 전기적으로 연결하며, 실리사이드막(183), 도전막(185)을 포함할 수 있다. 실리사이드막(183)은 컨택(181)의 하면에 형성되어 제1 상승된 도핑 영역(123), 제2 상승된 도핑 영역(124) 및 제2 브리지(127)와 접촉할 수 있으며, 도전막(185)은 실리사이드막(183) 상에 형성될 수 있다.
- [0066] 도전막(185)은 제1 도전막(186)과 제2 도전막(187)을 포함할 수 있으며, 제1 도전막(186)은 실리사이드막(183) 상에서, 컨택홀(181a)의 측벽과 하면을 따라 컨포말하게 형성될 수 있으며, 제2 도전막(187)은 컨택홀(181a)의 나머지 부분을 채우도록 형성될 수 있다.
- [0067] 실리사이드막(183)은 도전 물질, 예를 들어, Pt, Ni, Co 등을 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0068] 도전막(185)은 도전 물질로 형성될 수 있으며, 예를 들어, 제1 도전막(186)은 Ti이나 TiN, 그리고 제2 도전막(187)은 W, Al Cu 등을 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0069] 제1 층간 절연막(171)과 제2 층간 절연막(172)은 소자 분리막(110) 상에 순차적으로 형성된다. 제1 층간 절연막(171)은 제1 캡핑막(129)을 덮고, 컨택(181)의 측벽 일부를 덮을 수 있다. 제2 층간 절연막(172)은 컨택(181)의 나머지 측벽을 덮을 수 있다.
- [0070] 도 3에 도시된 것처럼, 제1 층간 절연막(171)의 상면은, 제1 게이트 전극(147)의 상면과 나란할 수 있다. 평탄화 공정(예를 들어, CMP 공정)을 통해서 제1 층간 절연막(171)과 제1 게이트 전극(147)의 상면이 나란해 질 수 있다. 제2 층간 절연막(172)은 제1 게이트 전극(147)을 덮도록 형성될 수 있다. 제1 층간 절연막(171) 및 제2 층간 절연막(172)은 산화막, 질화막 및 산질화막 중 적어도 하나를 포함할 수 있다.
- [0071] 제1 층간 절연막(171)은 제2 영역(123b)과 제4 영역(124b) 사이의 공간을 채울 수 있다. 그러나, 제1 브리지(125)가 제1 영역(123a)과 제3 영역(124a) 사이의 공간에 형성되어 있기 때문에, 제1 층간 절연막(171)이 제2 영역(123b)과 제4 영역(124b) 사이의 공간을 전부 채우지 못할 수도 있다. 이 경우, 도 5와 같이 제2 영역(123b)과 제4 영역(124b) 사이에는 에어갭(airgap)(175)이 배치될 수 있다. 기판(100)과 제1 브리지(125) 사이에 에어갭(175)이 배치되더라도 반도체 장치(1)의 성능에는 영향을 미치지 않는다.

- [0072] 도 6 및 도 7을 참조하여, 본 발명의 제1 실시예에 따른 반도체 장치(1)의 효과를 설명하기로 한다.
- [0073] 도 6을 참조하면, 본 발명의 제1 실시예에 따른 반도체 장치(1)(왼쪽에 도시됨)에서, 제1 콘택(181)은 제1 상승된 도핑 영역(123)과 제2 상승된 도핑 영역(124)뿐만 아니라 제2 브리지(127)와도 접촉하도록 형성될 수 있다. 제1 콘택(181)이 제2 브리지(127)와도 접촉하기 때문에, 제1 콘택(181)과 제1 소오스/드레인(120) 사이의 접촉 면적이 넓어 콘택 저항이 감소할 수 있다. 결국 반도체 장치(1)의 동작 특성이 향상될 수 있다.
- [0074] 제2 브리지(127)는 제1 및 제2 상승된 도핑 영역(123, 124)과 같이, 불순물을 포함하기 때문에 전류가 흐를 수 있다.
- [0075] 반면, 제1 비교 대상 장치(오른쪽에 도시됨)에서, 콘택(1181)은 제1 상승된 도핑 영역(1123) 및 제2 상승된 도핑 영역(1124)과 접촉한다. 제1 상승된 도핑 영역(1123)과 제2 상승된 도핑 영역(1124) 사이에 브리지가 형성되지 않으므로 콘택(1181)이 추가적으로 접촉하는 부분은 존재하지 않는다. 달리 설명하면, 본 발명의 제1 실시예에 따른 반도체 장치(1)에서는 제1 콘택(181)과 접촉하는 제1 소오스/드레인(120)의 면적(a1)은, 제1 비교 대상 장치의 콘택(1181)과 접촉하는 소오스/드레인(제1 및 제2 상승된 도핑 영역(1123, 1124))의 면적(a2)보다 넓다. 본 발명의 제1 실시예에 따른 반도체 장치(1)에서는 U자형 제1 소오스/드레인(120)의 상면이 제1 콘택(181)과 접촉하지만, 제1 비교 대상 장치의 콘택(1181)은 불순물을 포함하는 제1 및 제2 상승된 도핑 영역(1123, 1124)과 11자 형으로 접촉한다. 따라서, 제1 비교 대상 장치는 본 발명의 제1 실시예에 따른 반도체 장치(1)에 비하여 콘택 저항이 높다.
- [0076] 한편, 도 7의 제2 비교 대상 장치(오른쪽에 도시됨)와 같이 제1 상승된 도핑 영역(1123)과 제2 상승된 도핑 영역(1124)은 서로 접할 수 있다. 이 경우, 제1 상승된 도핑 영역(1123)과 제2 상승된 도핑 영역(1124) 사이의 공간을 캡핑막(1129)이 채울 수 있고, 콘택(1181)은 제1 상승된 도핑 영역(1123)과 제2 상승된 도핑 영역(1124) 사이에서 캡핑막(1129)과 접촉할 수 있다. 캡핑막(1129)은 소오스/드레인의 일부를 구성하기 때문에 콘택(1181)은 제1 비교 대상 장치보다 넓은 면적에서 소오스/드레인과 접촉할 수 있다. 그러나, 캡핑막(1129)은 불순물을 포함하지 않아, 전류가 흐르지 않는다. 전류는 제1 및 제2 상승된 도핑 영역(1123, 1124)으로만 흐른다. 결국, 제2 비교 대상 장치에서, 불순물을 포함하여 전류가 흐르는 제1 및 제2 도핑 영역(1123, 1124)은 핀(F11, F12)과 콘택(1181) 사이에서 H형상을 가질 수 있다. 콘택(1181)이 제1 및 제2 상승된 도핑 영역(1123, 1124) 사이에서 캡핑막(1129)과 접촉하더라도, 캡핑막(1129)에는 전류가 흐르지 않으므로, 제2 비교 대상 장치는 제1 비교 대상 장치와 같이 제1 및 제2 콘택 저항이 높다.
- [0077] 도 8 및 도 9를 참조하여 본 발명의 제2 실시예에 따른 반도체 장치를 설명하기로 한다.
- [0078] 도 8은 본 발명의 제2 실시예에 따른 반도체 장치를 설명하기 위한 사시도이고, 도 9는 도 8의 반도체 장치의 C - C를 따라서 절단한 단면도이다. 설명의 편의상, 도 8에서는 제1 및 제2 층간절연막(171, 172)을 도시하지 않았으며, 도 1 내지 도 5를 이용하여 설명한 것과 다른 점을 위주로 설명한다.
- [0079] 도 8 및 도 9를 참조하면, 본 발명의 제2 실시예에 따른 반도체 장치(2)에서는 제1 상승된 도핑 영역(123)과 제2 상승된 도핑 영역(124)이 서로 접할 수 있다. 즉, 도 4의 제1 영역(123a)과 제3 영역(124a)은 서로 연결되고, 제2 영역(123b)과 제4 영역(124b)은 서로 이격될 수 있다.
- [0080] 제1 브리지(125)는 제1 상승된 도핑 영역(123)과 제2 상승된 도핑 영역(124) 사이에 형성될 수 있으며, 제1 및 제2 상승된 도핑 영역(123, 124)과 접촉한다. 구체적으로, 제1 브리지(125)는 도 4의 제1 영역(123a)과 제3 영역(124a) 상에 형성될 수 있다. 이 때, 제1 브리지(125)의 단면은 역삼각형 형상일 수 있다.
- [0081] 제1 브리지(125) 상에는 제2 브리지(127)가 형성될 수 있으며, 제2 브리지(127)는 제1 및 제2 상승된 도핑 영역(123, 124) 사이의 공간을 메울 수 있다. 제1 콘택(181)은 제1 상승된 도핑 영역(123), 제2 상승된 도핑 영역(124) 및 제2 브리지(127)와 접촉한다.
- [0082] 도 10을 참조하여 본 발명의 제3 실시예에 따른 반도체 장치를 설명하기로 한다.
- [0083] 도 10은 본 발명의 제3 실시예에 따른 반도체 장치를 설명하기 위한 사시도이다. 설명의 편의상, 도 10에서는 제1 및 제2 층간절연막을 도시하지 않았으며, 도 1 내지 도 5를 이용하여 설명한 것과 다른 점을 위주로 설명한다.
- [0084] 도 10을 참조하면, 본 발명의 제1 소오스/드레인(120)은 3개 이상의 핀(F11, F12, F13) 상에 형성될 수 있다. 도 10에서는 예시적으로 3개의 핀(F11, F12, F13)을 도시하였으나, 이에 제한되는 것은 아니며, 기판(100) 상에는 4개 이상의 핀이 형성될 수도 있다. 복수의 핀(F11, F12, F13) 상에 각각 복수의 상승된 도핑 영역(123_1,

123_2, 123_3)이 형성되고, 복수의 상승된 도핑 영역(123_1, 123_2, 123_3) 사이에는 복수의 상승된 도핑 영역(123_1, 123_2, 123_3) 사이를 연결하는 제1 브리지(125_1, 125_2)가 형성될 수 있다. 제1 브리지(125_1, 125_2) 상에는 복수의 상승된 도핑 영역(123_1, 123_2, 123_3) 사이를 메우는 제2 브리지(127_1, 127_2)가 형성된다. 제1 컨택(181)은 복수의 상승된 도핑 영역(123_1, 123_2, 123_3) 및 제2 브리지(127_1, 127_2)와 접촉하도록 형성된다.

- [0085] 복수의 씨드막(121_1, 121_2, 121_3)은 각각 복수의 핀(F11, F12, F13)과 복수의 상승된 도핑 영역(123_1, 123_2, 123_3) 사이에 형성될 수 있다.
- [0086] 제1 캡핑막(129)은 복수의 상승된 도핑 영역(123_1, 123_2, 123_3) 측벽에 형성될 수 있고, 제1 브리지(125_1, 125_2) 하면에 형성될 수 있다. 그러나, 제1 캡핑막(129)은 제1 브리지(125_1, 125_2) 상에는 형성되지 않는다.
- [0087] 복수의 상승된 도핑 영역(123_1, 123_2, 123_3), 제1 브리지(125_1, 125_2), 제2 브리지(127_1, 127_2) 및 복수의 씨드막(121_1, 121_2, 121_3)은 불순물을 포함하며, 제1 캡핑막(129)은 불순물을 포함하지 않는다.
- [0088] 도 11 및 도 12를 참조하여, 본 발명의 제4 실시예에 따른 반도체 장치를 설명하기로 한다.
- [0089] 도 11은 본 발명의 제4 실시예에 따른 반도체 장치를 설명하기 위한 사시도이고, 도 12는 도 10의 반도체 장치의 C - C를 따라서 절단한 단면도이다. 설명의 편의 상, 도 11에서는 제1 및 제2 층간절연막(171, 172)을 도시하지 않았으며, 도 1 내지 도 5를 이용하여 설명한 것과 다른 점을 위주로 설명한다.
- [0090] 도 11 및 도 12를 참조하면, 본 발명의 제4 실시예에 따른 반도체 장치(4)에서, 기관(100)은 제1 영역(I)과 제2 영역(II)을 포함할 수 있다. 예를 들어, 제1 영역(I)은 로직 영역이고, 제2 영역(II)은 SRAM 영역일 수 있다. 그러나 이에 제한되는 것은 아니며, 제1 영역(I)은 로직 영역이고, 제2 영역(II)은 다른 메모리가 형성되는 영역(예를 들어, DRAM, MRAM, RRAM, PRAM 등)일 수 있다.
- [0091] 제1 영역(I) 상에는 제1 핀형 트랜지스터(11)가 형성될 수 있다. 제1 핀형 트랜지스터(11)는 도 1 내지 도 5를 참조하여 설명한 반도체 장치(1)와 동일하므로 설명을 생략하기로 한다.
- [0092] 제2 영역(II) 상에는 제2 핀형 트랜지스터(12)가 형성될 수 있다. 제2 핀형 트랜지스터(12)는 제3 핀(F21), 제4 핀(F22), 제1 게이트 구조체(149), 제3 상승된 도핑 영역(23), 제4 상승된 도핑 영역(24), 제1 컨택(181) 등을 포함할 수 있다.
- [0093] 기관(100) 상에서, 제3 핀(F21)과 제4 핀(F22)은 나란하게 연장되고, 장변 방향(예를 들어, Y2 방향)으로 서로 인접하여 형성된다. 도 10에서는 장변 방향이 제5 방향(Y2 방향)으로 도시되어 있으나 이에 제한되는 것은 아니며, 예를 들어 장변 방향은 제4 방향(X2 방향)일 수 있다. 제4 방향(X2), 제5 방향(Y2), 제6 방향(Z2)은 각각 제1 방향(X1), 제2 방향(Y1), 제3 방향(Z1)과 평행한 방향일 수 있으나, 이에 제한되는 것은 아니다.
- [0094] 제1 게이트 구조체(149)는 제3 핀(F21) 및 제4 핀(F22)과 교차하도록 형성된다. 제2 영역(II)의 제1 게이트 구조체(149)는 제1 영역(I)의 제1 게이트 구조체(149)와 동일하므로 설명을 생략하기로 한다. 제1 게이트 구조체(149) 측벽에는 스페이서(151)가 형성될 수 있다.
- [0095] 제1 게이트 구조체(149) 양 측에는, 복수의 소오스/드레인(20-1, 20-2)이 형성될 수 있다. 복수의 소오스/드레인(20-1, 20-2)은 각각 제3 및 제4 상승된 도핑 영역(23, 24)과 제1 및 제2 캡핑막(29, 28) 등을 포함할 수 있다.
- [0096] 제3 핀(F21) 상에는 제3 상승된 도핑 영역(23)이, 제4 핀(F22) 상에는 제4 상승된 도핑 영역(24)이 형성된다. 도 11과 같이, 제3 및 제4 상승된 도핑 영역(23, 24)의 상면은 제1 층간 절연막(171)의 하면보다 높을 수 있다.
- [0097] 제3 및 제4 상승된 도핑 영역(23, 24)은 제1 및 제2 상승된 도핑 영역(123, 124)과 동시에 형성되기 때문에 불순물의 제1 도핑 농도를 포함한다. 이는 추후 자세히 사술하기로 한다.
- [0098] 제3 핀(F21)과 제3 상승된 도핑 영역(23) 사이에는 제3 씨드막(21)이, 제4 핀(F22)과 제4 상승된 도핑 영역(24) 사이에는 제4 씨드막(22)이 형성될 수 있다. 제3 및 제4 씨드막(21, 22)은 불순물을 포함하며, 제3 및 제4 상승된 도핑 영역(23, 24)을 형성하는데 필요한 씨드(seed) 역할을 할 수 있다. 제3 및 제4 씨드막(21, 22)은 제1 및 제2 씨드막(121, 122)을 형성할 때 동시에 형성할 수 있으며, 불순물을 제1 및 제2 씨드막(121, 122)과 동일한 도핑농도로 포함할 수 있다.
- [0099] 제2 영역(II)의 제3 핀(F21)과 제4 핀(F22) 사이의 거리(W12)는 제1 영역(I)의 제1 핀(F11)과 제2 핀(F12) 사

이의 거리(W11)보다 크다. 제3 상승된 도핑 영역(23)과 제4 상승된 도핑 영역(24) 사이의 거리(W12)가 길기 때문에, 제3 및 제4 상승된 도핑 영역(23, 24) 사이에 브리지가 형성되지 않는다. 따라서, 제3 및 제4 상승된 도핑 영역(23, 24)은 서로 물리적으로 분리되어 있다. 여기서, 물리적으로 분리되어 있다는 의미는, 제3 상승된 도핑 영역(23)과 제4 상승된 도핑 영역(24)은 서로 떨어져 있고, 제3 상승된 도핑 영역(23)과 제4 상승된 도핑 영역(24)을 연결하는 도전 물질이 제1 콘택(181)을 제외하고는 존재하지 않는다는 의미이다. 결국, 제3 상승된 도핑 영역(23)과 제4 상승된 도핑 영역(24) 사이는 절연 물질로 채워지고, 상승된 도핑 영역(23)과 제4 상승된 도핑 영역(24)은 서로 전기적으로 연결되지 않는다.

[0100] 제3 상승된 도핑 영역(23)과 제4 상승된 도핑 영역(24)의 측벽에는 제2 캡핑막(29, 28)이 형성된다. 제2 영역(II)에는 브리지가 형성되지 않기 때문에 제2 캡핑막(29, 28)은 제3 및 제4 상승된 도핑 영역(23, 24) 사이에서도 제3 및 제4 상승된 도핑 영역(23, 24) 측벽 전체에 형성될 수 있다. 제2 캡핑막(29, 28)은 불순물을 포함하지 않는다. 제3 및 제4 상승된 도핑 영역(23, 24) 사이의 나머지 공간에는 제1 층간 절연막(171)이 형성될 수 있다.

[0101] 제3 및 제4 상승된 도핑 영역(23, 24) 상에는 제3 및 제4 상승된 도핑 영역(23, 24)과 접촉하는 제1 콘택(181)이 형성될 수 있다. 제2 영역(II)의 제1 콘택(181)은 제1 영역(I)의 콘택(181)과 동일하므로 설명을 생략하기로 한다. 제2 영역(II)의 제1 콘택(181) 측벽의 일부는 제1 층간 절연막(171)이 덮을 수 있고, 콘택(181) 측벽의 나머지 부분은 제2 층간 절연막(172)이 덮을 수 있다. 제1 및 제2 층간 절연막(171, 172)은 산화막, 질화막 및 산질화막 중 적어도 하나를 포함할 수 있다.

[0102] 제1 핀형 트랜지스터(101)와 제2 핀형 트랜지스터(102)는 P형 트랜지스터일 수 있다. 따라서, 제1 내지 제4 상승된 도핑 영역(123, 124, 23, 24)이 포함하는 불순물은 Si보다 격자 상수가 큰 제1 불순물, 예를 들어, Ge를 포함할 수 있다. 또한 불순물은 SBH를 낮추기 위한 제2 불순물, 예를 들어 B를 더 포함할 수 있다.

[0103] 제1 및 제2 핀형 트랜지스터(101, 102)는 모두 P형 트랜지스터이지만 형성되는 영역이 다르기 때문에, 제1 영역(I)에 형성되는 제1 핀형 트랜지스터(101)는 제1 및 제2 브리지(125, 127)를 포함하지만, 제2 영역(II)에 형성되는 제2 핀형 트랜지스터(102)에는 제1 및 제2 브리지(125, 127)가 형성되지 않는다.

[0104] 도 13 내지 도 16을 참조하여, 본 발명의 제5 실시예에 따른 반도체 장치를 설명하기로 한다.

[0105] 도 13은 본 발명의 제5 실시예에 따른 반도체 장치를 설명하기 위한 사시도이고, 도 14는 도 13의 반도체 장치의 A - A와 D - D를 따라서 절단한 단면도이고, 도 15는 도 13의 반도체 장치의 B - B와 E - E를 따라서 절단한 단면도이고, 도 16은 도 13의 반도체 장치의 C - C와 F - F를 따라서 절단한 단면도이다. 설명의 편의상, 도 13에서는 제1 및 제2 층간절연막(171, 172, 271, 272)을 도시하지 않았으며, 도 1 내지 도 5를 이용하여 설명한 것과 다른 점을 위주로 설명한다.

[0106] 도 13 내지 도 16을 참조하면, 본 발명의 제5 실시예에 따른 반도체 장치(5)에서, 기판(100)은 제3 영역(III)과 제4 영역(IV)을 포함할 수 있다. 제 3 영역(III)은 제1 도전형(예를 들어, p형)의 제3 핀형 트랜지스터(103)가 형성되는 영역이고, 제4 영역(IV)은 제2 도전형(예를 들어, n형)의 제4 핀형 트랜지스터(104)가 형성되는 영역일 수 있다.

[0107] 제3 영역(III)에 형성되는 제3 핀형 트랜지스터(103)는, 제1 및 제2 핀(F11, F12)과, 제1 및 제2 핀(F11, F12)을 교차하도록 형성된 제1 게이트 구조체(149)와, 제1 게이트 전극(147)의 양측에 다수의 제1 핀(F11, F12) 상에 형성된 제1 소오스/드레인(120)과, 콘택(181)을 포함할 수 있다. 제3 영역(III)에 형성되는 제3 핀형 트랜지스터(103)는, 도 1 내지 도 5에서 설명한 것과 동일하므로, 자세한 설명은 생략하기로 한다.

[0108] 제4 영역(IV)에 형성되는 제4 핀형 트랜지스터(104)는, 기판(200) 상에 형성된 제5 및 제6 핀(F31, F32)과, 제5 및 제6 핀(F31, F32)을 교차하도록 형성된 제2 게이트 구조체(249)와, 제2 게이트 구조체(249) 양측의 제5 및 제6 핀(F31, F32) 상에 형성되며, 제5 및 제6 상승된 도핑 영역(220_1, 220_2)을 포함하는 제2 소오스/드레인(220)과, 제2 소오스/드레인(220) 상에서 제2 소오스/드레인(220)과 접촉하도록 형성된 제2 콘택(281)을 포함할 수 있다. 제5 및 제6 핀(F31, F32)은 제5 방향(Y2)을 따라서 길게 연장될 수 있고, 제2 게이트 구조체(249)는 제4 방향(X2)으로 연장될 수 있다. 제5 핀(F31)과 제6 핀(F32)은 서로 인접하여 형성된다.

[0109] 제5 핀(F31) 상에는 제5 상승된 도핑 영역(220_1)이, 제6 핀(F32) 상에는 제6 상승된 도핑 영역(220_2)이 형성된다. 상승된 도핑 영역이므로, 제5 및 제6 상승된 도핑 영역(220_1, 220_2)의 상면은 기판(200) 상에 형성된 소자 분리막(210)의 하면보다 높다. 제5 및 제6 상승된 도핑 영역(220_1, 220_2)은 물리적으로 서로 분리되어

있으며, 제5 및 제6 상승된 도핑 영역(220_1, 220_2)의 측벽은 제1 층간 절연막(271)에 의해 둘러싸여 있다.

- [0110] 제2 소오스/드레인(220)은 제1 소오스/드레인(120)과는 다른 도전형일 수 있다. 즉, 제2 소오스/드레인(220_1, 220_2)은 불순물과는 다른 제3 불순물을 포함할 수 있다. 제3 핀형 트랜지스터(103)와 제4 핀형 트랜지스터(104)는 서로 다른 도전형이기 때문에, 제2 소오스/드레인(220)은 제3 불순물을 포함할 수 있다. 예를 들어, 기판(200)이 Si일 때, 제3 불순물은 As이거나, Si보다 격자 상수가 작아 채널 영역에 인장 스트레스를 가할 수 있는 C일 수 있다. 또는, 기판(200)이 Si일 때, 제2 소오스/드레인(220)은 제3 불순물을 포함하지 않을 수도 있다.
- [0111] 제5 및 제6 상승된 도핑 영역(220_1, 220_2) 상에는 제2 컨택(281)이 형성된다. 제2 컨택(281)은 제 5 및 제6 상승된 도핑 영역(220_1, 220_2)의 상면과 접촉될 수 있다.
- [0112] 제2 컨택(281)은 배선과 제2 소오스/드레인(220)을 전기적으로 연결하며, 제2 실리사이드막(283), 도전막(285)을 포함할 수 있다. 제2 실리사이드막(283)은 제2 컨택(281)의 하면에 형성되어 제5 상승된 도핑 영역(220_1) 및 제6 상승된 도핑 영역(220_2)과 접촉할 수 있다.
- [0113] 도전막(285)은 제2 실리사이드막(283) 상에 형성될 수 있다. 도전막(285)은 제1 도전막(286)과 제2 도전막(287)을 포함할 수 있으며, 제1 도전막(286)은 제2 컨택홀(281a)의 측벽과 하면을 따라 컨포말하게 형성될 수 있다. 제2 도전막(287)은 제2 컨택홀(281a)의 나머지 부분을 채우도록 형성될 수 있다.
- [0114] 실리사이드막(283)은 도전 물질, 예를 들어 Co, Ni, Pt 등을 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0115] 도전막(285)은 도전 물질로 형성될 수 있으며, 예를 들어, 제1 도전막(1856)은 Ti, 제2 도전막(187)은 W, Al Cu 등을 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0116] 제1 층간 절연막(271)과 제2 층간 절연막(272)은 소자 분리막(210) 상에 순차적으로 형성된다. 제1 층간 절연막(271)은 제2 소오스/드레인(220)을 덮고, 제2 컨택(281)의 측벽 일부를 덮을 수 있다. 제2 층간 절연막(272)은 제2 컨택(281)의 나머지 측벽을 덮을 수 있다.
- [0117] 도 15에 도시된 것처럼, 제1 층간 절연막(271)의 상면은, 제2 게이트 전극(247)의 상면과 나란할 수 있다. 평탄화 공정(예를 들어, CMP 공정)을 통해서 제1 층간 절연막(271)과 제2 게이트 전극(247)의 상면이 나란해 질 수 있다. 제2 층간 절연막(272)은 제2 게이트 전극(247)을 덮도록 형성될 수 있다. 제1 층간 절연막(271) 및 제2 층간 절연막(272)은 산화막, 질화막 및 산질화막 중 적어도 하나를 포함할 수 있다.
- [0118] 제2 게이트 구조체(249)는 제2 게이트 전극(247)과 제2 게이트 절연막(245)를 포함할 수 있다.
- [0119] 제2 게이트 전극(247)은 금속층(MG3, MG4)을 포함할 수 있다. 제1 게이트 전극(247)은 도시된 것과 같이, 2층 이상의 금속층(MG3, MG4)이 적층될 수 있다. 제3 금속층(MG3)은 일함수 조절을 하고, 제4 금속층(MG4)은 제3 금속층(MG3)에 의해 형성된 공간을 채우는 역할을 한다. 예를 들어, 제3 금속층(MG3) TiN, TaN, TiC, 및 TaC 중 적어도 하나를 포함할 수 있다. 또한, 제4 금속층(MG4)은 W 또는 Al을 포함할 수 있다. 또는, 제2 게이트 전극(247)은 금속이 아닌, Si, SiGe 등으로 이루어질 수도 있다. 이러한 제1 게이트 전극(147)은 예를 들어, 리플레이션먼트(replacement) 공정을 통해서 형성될 수 있으나, 이에 한정되는 것은 아니다.
- [0120] 제2 게이트 절연막(245)은 제5 핀(F31) 및 제6 핀(F32)과, 제2 게이트 전극(247) 사이에 형성될 수 있다. 도 14에 도시된 것과 같이, 제2 게이트 절연막(245)은 제5 핀(F31)의 상면과 측면의 상부, 그리고 제6 핀(F32)의 상면과 측면의 상부에 형성될 수 있다. 또한, 제2 게이트 절연막(245)은 제2 게이트 전극(247)과 소자 분리막(210) 사이에 배치될 수 있다. 이러한 제2 게이트 절연막(245)은 실리콘 산화막보다 높은 유전 상수를 갖는 고유전체 물질을 포함할 수 있다. 예를 들어, 제2 게이트 절연막(245)은 HfO₂, ZrO₂ 또는 Ta₂O₅을 포함할 수 있다.
- [0121] 스페이서(251)는 제2 게이트 구조체(249)의 측벽에 형성될 수 있으며, 질화막, 산질화막 중 적어도 하나를 포함할 수 있다.
- [0122] 도 17a는 본 발명의 몇몇 실시예에 따른 반도체 장치(1~5)를 포함하는 전자 시스템의 블록도이다.
- [0123] 도 17a를 참조하면, 본 발명의 실시예에 따른 전자 시스템(11000)은 컨트롤러(11100), 입출력 장치(11200, I/O), 기억 장치(11300, memory device), 인터페이스(11400) 및 버스(11500, bus)를 포함할 수 있다. 컨트롤러(11100), 입출력 장치(11200), 기억 장치(11300) 및/또는 인터페이스(11400)는 버스(11500)를 통하여 서로 결합될 수 있다. 버스(11500)는 데이터들이 이동되는 통로(path)에 해당한다.

- [0124] 컨트롤러(11100)는 마이크로프로세서, 디지털 신호 프로세서, 마이크로컨트롤러, 및 이들과 유사한 기능을 수행할 수 있는 논리 소자들 중에서 적어도 하나를 포함할 수 있다. 입출력 장치(11200)는 키패드(keypad), 키보드 및 디스플레이 장치 등을 포함할 수 있다. 기억 장치(11300)는 데이터 및/또는 명령어 등을 저장할 수 있다. 인터페이스(11400)는 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하는 기능을 수행할 수 있다. 인터페이스(11400)는 유선 또는 무선 형태일 수 있다. 예컨대, 인터페이스(11400)는 안테나 또는 유무선 트랜시버 등을 포함할 수 있다. 도시하지 않았지만, 전자 시스템(11000)은 컨트롤러(11100)의 동작을 향상시키기 위한 동작 메모리로서, 고속의 디램 및/또는 에스램 등을 더 포함할 수도 있다. 본 발명의 몇몇 실시예들에 따른 반도체 장치(1~5)는 기억 장치(11300) 내에 제공되거나, 컨트롤러(11100), 입출력 장치(11200, I/O) 등의 일부로 제공될 수 있다.
- [0125] 전자 시스템(11000)은 개인 휴대용 정보 단말기(PDA, personal digital assistant) 포터블 컴퓨터(portable computer), 웹 태블릿(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player), 메모리 카드(memory card), 또는 정보를 무선환경에서 송신 및/또는 수신할 수 있는 모든 전자 제품에 적용될 수 있다.
- [0126] 도 17b 및 도 17c는 본 발명의 몇몇 실시예들에 따른 반도체 장치(1~5)를 적용할 수 있는 예시적인 반도체 시스템이다. 도 17b는 태블릿 PC이고, 도 17c는 노트북을 도시한 것이다. 본 발명의 제1 내지 제5 실시예에 따른 반도체 장치는 태블릿 PC, 노트북 등에 사용될 수 있다. 본 발명의 몇몇 실시예들에 따른 반도체 장치는 예시하지 않는 다른 집적 회로 장치에도 적용될 수 있음은 당업자에게 자명하다.
- [0127] 도 1, 도 3 및 도 18 내지 도 28을 참조하여 본 발명의 제1 실시예에 따른 반도체 장치 제조 방법을 설명하기로 한다.
- [0128] 도 18 내지 도 28은 본 발명의 제1 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간단계 도면들이다.
- [0129] 도 18을 참조하면, 기판(100) 상에 제1 및 제2 핀(F11, F12)을 형성한다.
- [0130] 구체적으로, 기판(100) 상에 마스크 패턴(2103)을 형성한 후, 식각 공정을 진행하여 제1 및 제2 핀(F11, F12)을 형성할 수 있다. 제1 및 제2 핀(F11, F12)은 서로 인접하고, 장변 방향(예를 들어, 제2 방향(Y1))을 따라 연장될 수 있다. 제1 및 제2 핀(F11, F12) 주변에는 트렌치(121)가 형성된다. 마스크 패턴(2103)은 실리콘 산화막, 실리콘 질화막, 실리콘 산화 질화막 중 적어도 하나를 포함하는 물질로 형성될 수 있다.
- [0131] 도 19를 참조하면, 트렌치(121)를 채우는 소자 분리막(110)을 형성한다. 소자 분리막(110)은 실리콘 산화막, 실리콘 질화막, 실리콘 산화 질화막 중 적어도 하나를 포함하는 물질로 형성될 수 있다.
- [0132] 도 20을 참조하면, 소자 분리막(110)의 상부를 리세스하여, 제1 및 제2 핀(F11, F12)의 상부를 노출시킨다. 리세스 공정은 선택적 식각 공정을 포함할 수 있다. 마스크 패턴(2103)은 소자 분리막(110)의 형성 이전에 제거되거나, 리세스 공정 이후에 제거될 수 있다.
- [0133] 한편, 소자 분리막(110) 위로 돌출된 제1 및 제2 핀(F11, F12)의 일부는, 에피 공정에 의하여 형성될 수도 있다. 구체적으로, 소자 분리막(110) 형성 후, 리세스 공정없이 소자 분리막(110)에 의하여 노출된 제1 및 제2 핀(F11, F12)의 상면을 씨드로 하는 에피 공정에 의하여 제1 및 제2 핀(F11, F12)의 일부가 형성될 수 있다.
- [0134] 또한, 제1 및 제2 핀(F11, F12)에 문턱 전압 조절용 도핑이 수행될 수 있다. 예를 들어, NMOS 트랜지스터를 형성할 경우, 불순물은 붕소(B)일 수 있고, PMOS 트랜지스터를 형성할 경우, 불순물은 인(P) 또는 비소(As)일 수 있다.
- [0135] 도 21을 참조하면, 마스크 패턴(2104)을 이용하여 식각 공정을 진행하여, 제1 및 제2 핀(F11, F12)과 교차하여 제1 방향(X1)으로 연장되는 제1 더미 게이트 절연막(141), 제1 더미 게이트 전극(143)을 형성한다.
- [0136] 예를 들어, 제1 더미 게이트 절연막(141)은 실리콘 산화막일 수 있고, 제1 더미 게이트 전극(143)은 폴리 실리콘일 수 있다.
- [0137] 도 22를 참조하면, 제1 스페이서(151)는 제1 더미 게이트 전극(143)의 측벽에 형성되고, 마스크 패턴(2104)의 상면을 노출할 수 있다. 제1 스페이서(151)는 실리콘 질화막 또는 실리콘 산질화막일 수 있다.
- [0138] 이어서, 제1 더미 게이트 전극(143)의 양측에 노출된 제1 및 제2 핀(F11, F12)의 일부를 제거하여 리세스(199)

를 형성한다.

- [0139] 이어서, 리세스(199) 내에서, 제1 핀(F11)의 표면을 따라 제1 씨드막(121)을 형성하고, 제2 핀(F12)의 표면을 따라 제2 씨드막(122)을 형성한다. 제1 및 제2 씨드막(121, 122)은 불순물을 제4 도핑 농도로 포함할 수 있다.
- [0140] 불순물은 제1 불순물과 제2 불순물 중 적어도 하나를 포함할 수 있다. 예를 들어, 제1 불순물은 Ge이고, 제2 불순물은 B일 수 있다. 불순물에 의하여 PMOS 트랜지스터를 형성할 수 있다. 제1 및 제2 씨드막(121, 122)은 에피 공정을 통해 형성할 수 있다.
- [0141] 도 23을 참조하면, 제1 핀(F11) 상에 제1 상승된 도핑 영역(123)을 형성하고, 제2 핀(F12) 상에 제2 상승된 도핑 영역(124)을 형성한다. 구체적으로, 리세스(199) 내에서, 제1 씨드막(121) 상에 제1 상승된 도핑 영역(123)을 형성하고, 제2 씨드막(122) 상에 제2 상승된 도핑 영역(124)을 형성한다.
- [0142] 제1 및 제2 상승된 도핑 영역(123, 124)은 에피 공정에 의해서 형성할 수 있다. 또한, 제1 및 제2 상승된 도핑 영역(123, 124)은 제1 압력에서 형성될 수 있다. 제1 압력은 제1 및 제2 씨드막(121, 122)을 형성할 때의 압력보다 낮을 수 있다. 예를 들어, 제1 및 제2 상승된 도핑 영역(123, 124)은 30 torr 이하의 압력에서 형성될 수 있다.
- [0143] 제1 및 제2 상승된 도핑 영역(123, 124)은 불순물을 제1 도핑 농도로 포함할 수 있다. 제1 도핑 농도는 제4 도핑 농도와 동일하거나 그보다 클 수 있다.
- [0144] 제1 및 제2 상승된 도핑 영역(123, 124)은 다이아몬드 형상, 원 형상 및 직사각형 형상 중 적어도 하나일 수 있다. 도 23에서는 예시적으로 다이아몬드 형상(또는 오각형 형상 또는 육각형 형상)을 도시하였다.
- [0145] 도 24를 참조하면, 제1 및 제2 상승된 도핑 영역(123, 124) 사이에 제1 브리지(125)를 형성한다. 제1 브리지(125)는 에피 공정에 의해서 형성할 수 있다.
- [0146] 구체적으로, 제1 브리지(125)는 제1 상승된 도핑 영역(123)과 제2 상승된 도핑 영역(124)을 서로 연결할 수 있다. 제1 브리지(125)와 소자 분리막(110) 사이는 비어있으며, 추후 캡핑막(도 25의 129)과 제1 층간 절연막(도 26의 171)이 형성될 수 있다.
- [0147] 제1 브리지(125)는 제1 및 제2 상승된 도핑 영역(123, 124)과 같은 제1 압력에서 형성될 수 있으나, 제1 브리지(125)는 불순물을 제2 도핑 농도로 포함한다. 제2 도핑 농도는 제1 도핑 농도와 다르며, 제1 도핑 농도보다 높을 수 있다. 불순물이 제1 불순물을 포함하면 상기 제2 도핑 농도는 $2.5 \times 10^{22} \text{atom/cc}$ 이상이고, 불순물이 제2 불순물을 포함하면 상기 제2 도핑 농도는 $1 \times 10^{20} \text{atom/cc}$ 이상일 수 있다.
- [0148] 제1 압력 하에서는, 제1 및 제2 상승된 도핑 영역(123, 124)의 표면에서 에피 성장이 진행되지 않는다. 그러나, 제1 및 제2 상승된 도핑 영역(123, 124) 사이의 거리가 짧기 때문에 제1 브리지(125)가 제1 및 제2 상승된 도핑 영역(123, 124) 사이에 쌓여서 형성될 수 있다. 또한, 제1 브리지(125)는 제2 도핑 농도를 갖기 때문에, 제1 도핑 농도를 갖는 제1 및 제2 상승된 도핑 영역(123, 124)보다 쉽게 형성될 수 있다. 불순물의 도핑 농도가 증가할수록 에피 성장률은 증가한다.
- [0149] 이어서, 제1 브리지(125) 상에 제2 브리지(127)를 형성한다. 제2 브리지(127)는 에피 공정을 통해 형성할 수 있다. 구체적으로, 제2 브리지(127)는 제1 및 제2 상승된 도핑 영역(123, 124)과 제1 브리지(125)와 연결되며, 제1 브리지(125) 상에서, 제1 및 제2 상승된 도핑 영역(123, 124) 사이의 빈 공간을 메울 수 있다. 제2 브리지(127)는 불순물을 제3 도핑 농도로 포함할 수 있고, 제1 압력 하에서 형성한다. 제3 농도는 제1 농도와 동일하다.
- [0150] 제1 압력 하에서 제1 및 제2 상승된 도핑 영역(123, 124) 표면에서는 에피 성장이 진행되지 않는다. 그러나, 제1 브리지(125)는 불순물을 제2 도핑 농도로 포함하기 때문에, 도핑 농도가 높아 제2 브리지(127)의 씨드 역할을 할 수 있다. 따라서, 제2 브리지(127)는 제1 브리지(127)를 씨드로 하여, 제1 브리지(127) 상의 제1 및 제2 상승된 도핑 영역(123, 124) 사이의 공간을 채울 수 있다.
- [0151] 도 25를 참조하면, 제1 캡핑막(129)을 형성한다. 구체적으로, 제1 캡핑막(129)은 제1 및 제2 상승된 도핑 영역(123, 124)과, 제1 및 제2 브리지(125, 127)를 둘러싸도록 형성할 수 있다. 따라서, 제1 캡핑막(129)은 제1 및 제2 상승된 도핑 영역(123, 124)의 측벽, 제1 브리지(125)의 하면 및 제2 브리지(127)의 상면에 배치될 수 있다.
- [0152] 제1 캡핑막(129)은 에피 공정을 통해 형성할 수 있다. 제1 캡핑막(129)은 제1 압력보다 높은 제2 압력에서 형성

하기 때문에 제2 상승된 도핑 영역(123, 124)과, 제1 및 제2 브리지(125, 127)의 표면에 형성될 수 있다. 제2 압력은 예를 들어, 50 torr 이상일 수 있다.

- [0153] 제1 캡핑막(129)은 불순물을 포함하지 않을 수 있다. 불순물을 포함하지 않으면, 불순물을 포함하는 경우에 비하여 식각률이 작기 때문에, 컨택(181)을 형성할 때에 제1 및 제2 상승된 도핑 영역(123, 124)과 제2 브리지(127)의 식각량을 줄일 수 있다.
- [0154] 도 26을 참조하면, 도 25의 결과물 상에, 제1 층간 절연막(171)을 형성한다. 제1 층간 절연막(171)은 예를 들어, 산화막, 질화막, 산질화막 중 적어도 하나일 수 있다.
- [0155] 이어서, 제1 더미 게이트 전극(143)의 상면이 노출될 때까지, 제1 층간 절연막(171)을 평탄화한다. 그 결과, 마스크 패턴(2104)이 제거되고 제1 더미 게이트 전극(143)의 상면이 노출될 수 있다.
- [0156] 이어서, 제1 더미 게이트 절연막(141) 및 제1 더미 게이트 전극(143)을 제거한다. 제1 더미 게이트 절연막(141) 및 제1 더미 게이트 전극(143)의 제거함에 따라, 소자 분리막(110)을 노출하는 트렌치(133)가 형성된다.
- [0157] 도 27을 참조하면, 트렌치(133) 내에 제1 게이트 절연막(145) 및 제1 게이트 전극(147)을 형성한다.
- [0158] 제1 게이트 절연막(145)은 실리콘 산화막보다 높은 유전 상수를 갖는 고유전체 물질을 포함할 수 있다. 예를 들어, 제1 게이트 절연막(145)은 HfO₂, ZrO₂, LaO, Al₂O₃ 또는 Ta₂O₅을 포함할 수 있다. 제1 게이트 절연막(145)은 트렌치(133)의 측벽 및 하면을 따라 실질적으로 컨포멀하게 형성될 수 있다.
- [0159] 제1 게이트 전극(147)은 금속층(MG1, MG2)을 포함할 수 있다. 제1 게이트 전극(147)은 도시된 것과 같이, 2층 이상의 금속층(MG1, MG2)이 적층될 수 있다. 제1 금속층(MG1)은 일함수 조절을 하고, 제2 금속층(MG2)은 제1 금속층(MG1)에 의해 형성된 공간을 채우는 역할을 한다. 예를 들어, 제1 금속층(MG1) TiN, TaN, TiC, 및 TaC 중 적어도 하나를 포함할 수 있다. 또한, 제2 금속층(MG2)은 W 또는 Al을 포함할 수 있다. 또는, 제1 게이트 전극(147)은 금속이 아닌, Si, SiGe 등으로 이루어질 수도 있다.
- [0160] 도 1, 도 3 및 도 28을 참조하면, 도 27의 결과물 상에, 제2 층간 절연막(172)을 형성한다. 제2 층간 절연막(172)은 예를 들어, 산화막, 질화막, 산질화막 중 적어도 하나일 수 있다.
- [0161] 이어서, 제1 층간 절연막(171)과 제2 층간 절연막(172)을 관통하고, 제1 및 제2 상승된 도핑 영역(123, 124)과 제2 브리지(127)를 노출하는 제1 컨택홀(181a)을 형성한다. 제1 및 제2 상승된 도핑 영역(123, 124)과 제2 브리지(127)를 노출하는 제1 컨택홀(181a)을 형성할 때, 식각률이 낮은 제1 캡핑막(129)에 의하여 제1 및 제2 상승된 도핑 영역(123, 124)과 제2 브리지(127)의 식각량을 감소시킬 수 있다.
- [0162] 이어서, 제1 컨택홀(181a)을 채우도록, 제1 컨택(181)을 형성한다. 제1 컨택(181)은 제1 컨택홀(181a)의 하면에 형성된 제1 실리사이드막(183)과, 제1 도전막(186)과, 제2 도전막(187)을 포함할 수 있다. 제1 도전막은 제1 컨택홀(181a)의 측벽과 제1 실리사이드막(183)의 상면을 따라 컨포멀하게 형성할 수 있고, 제2 도전막(187)은 제1 도전막(186) 상에서 컨택홀(181a)을 채우도록 형성할 수 있다.
- [0163] 제1 실리사이드막(183)은 도전 물질, 예를 들어, Pt, Ni, Co 등을 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0164] 도전막(185)은 도전 물질로 형성될 수 있으며, 예를 들어, 제1 도전막(186)은 Ti이나 TiN, 그리고 제2 도전막(187)은 W, Al Cu 등을 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0165] 도 11, 도 12 및 도 29 내지 도 37을 참조하여, 본 발명의 제4 실시예에 따른 반도체 장치 제조 방법을 설명하기로 한다.
- [0166] 도 29 내지 도 37은 본 발명의 제4 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간 단계 도면들이다. 설명의 편의상, 본 발명의 제1 실시예에 따른 반도체 장치 제조 방법에서 설명한 것과 다른 점을 위주로 설명한다.
- [0167] 도 29를 참조하면, 기판(100)에는 제1 영역(I)과 제2 영역(II)이 정의되어 있다. 제1 영역(I)은 로직 영역일 수 있고, 제2 영역(II)은 SRAM 영역일 수 있다. 그러나 이에 제한되는 것은 아니며, 제1 영역(I)은 로직 영역이고, 제2 영역(II)은 다른 메모리가 형성되는 영역(예를 들어, DRAM, MRAM, RRAM, PRAM 등)일 수 있다.
- [0168] 제1 영역(I)에는, 서로 장변 방향(예를 들어, Y1 방향)으로 인접하여 형성된 제1 및 제2 핀(F11, F12)과, 제1 및 제2 핀(F11, F12)을 교차하도록 형성된 제1 더미 게이트 전극(143)이 형성되어 있다. 제1 더미 게이트 전극

(143) 아래에는 제1 더미 게이트 절연막(141)이 위치하고, 제1 더미 게이트 전극(143) 상에는 마스크 패턴(2104)이 위치할 수 있다.

- [0169] 제2 영역(II)에는, 서로 장변 방향(예를 들어, Y2 방향)으로 인접하여 형성된 제3 및 제4 핀(F21, F22)과, 제3 및 제4 핀(F21, F22)을 교차하도록 형성된 제1 더미 게이트 전극(243)이 형성되어 있다. 제1 더미 게이트 전극(143) 아래에는 제1 더미 게이트 절연막(141)이 위치하고, 제1 더미 게이트 전극(143) 상에는 마스크 패턴(2104)이 위치할 수 있다.
- [0170] 제1 및 제2 핀(F11, F12) 사이의 거리(W11)는, 제3 및 제4 핀(F21, F22) 사이의 거리(W12)보다 짧다. 핀 사이 거리의 장단에 의하여 브리지의 형성여부가 결정되는데, 이는 후술하기로 한다.
- [0171] 도 30을 참조하면, 제1 및 제2 영역(I, II)의 제1 더미 게이트 전극(143) 측벽에 제1 스페이서(151)를 형성한다.
- [0172] 이어서, 제1 더미 게이트 전극(143) 양 측에 노출된 제1 내지 제4 핀(F11, F12, F21, F22)의 일부를 제거하여 리세스(199)를 형성한다.
- [0173] 도 31을 참조하면, 리세스(199) 내에 제1 내지 제4 씨드막(121, 122, 21, 22)을 형성한다. 구체적으로, 제1 핀(F11)의 표면을 따라 제1 씨드막(121)을 형성하고, 제2 핀(F12)의 표면을 따라 제2 씨드막(122)을 형성하고, 제3 핀(F21)의 표면을 따라 제3 씨드막(21)을 형성하고, 제4 핀(F22)의 표면을 따라 제4 씨드막(22)을 형성한다. 제1 내지 제4 씨드막(121, 122, 21, 22)은 에피 공정에 의하여 형성할 수 있다.
- [0174] 도 32를 참조하면, 제1 내지 제4 핀(F11, F12, F21, F22) 상에 각각 제1 내지 제4 상승된 도핑 영역(123, 124, 23, 24)을 형성한다. 제1 내지 제4 상승된 도핑 영역(123, 124, 23, 24)은 제1 내지 제4 씨드막(121, 122, 21, 22)을 씨드로 하여 에피 성장을 통해 형성할 수 있으며, 제1 내지 제4 씨드막(121, 122, 21, 22)을 형성할 때의 압력보다 낮은 제1 압력에서 형성한다.
- [0175] 제1 내지 제4 상승된 도핑 영역(123, 124, 23, 24)은 불순물을 제1 도핑 농도로 포함할 수 있다. 여기서, 불순물은 제1 불순물과 제2 불순물을 포함할 수 있다. 예를 들어, 제1 불순물은 Ge이고, 제2 불순물은 B일 수 있다.
- [0176] 도 33을 참조하면, 제1 영역(I)에 제1 브리지(125)를 형성한다. 제1 브리지(125)는 제1 및 제2 상승된 도핑 영역(123, 124)을 서로 연결한다. 제1 브리지(125)는 제1 압력에서 에피 공정을 통해 형성될 수 있으며, 불순물을 제2 도핑 농도로 포함한다. 제2 도핑 농도는 제1 도핑 농도보다 높다. 제2 도핑 농도는 불순물이 제1 불순물을 포함하면 제2 도핑 농도는 $2.5 \times 10^{22} \text{atom/cc}$ 이상이고, 불순물이 제2 불순물을 포함하면 제2 도핑 농도는 $1 \times 10^{20} \text{atom/cc}$ 이상일 수 있다. 제1 브리지(125)는 제2 영역(II)에는 형성되지 않는다.
- [0177] 제1 압력 하에서는, 압력이 낮기 때문에 제1 및 제2 상승된 도핑 영역(123, 124)의 표면에서 에피 성장이 진행하지 않는다. 그러나, 제1 영역(I)에서는 제1 및 제2 핀(F11, F12) 사이의 거리(W11)가 짧아 제1 및 제2 상승된 도핑 영역(123, 124) 사이의 거리가 짧다. 심지어 제1 및 제2 상승된 도핑 영역(123, 124)이 서로 접할 수도 있다. 따라서, 제1 브리지(125)가 제1 및 제2 상승된 도핑 영역(123, 124) 사이에 쌓일 수 있고, 결국, 제1 브리지(125)가 형성되어 제1 및 제2 상승된 도핑 영역(123, 124)을 서로 연결할 수 있다. 또한, 제1 브리지(125)는 제2 도핑 농도를 갖기 때문에, 제1 도핑 농도를 갖는 제1 및 제2 상승된 도핑 영역(123, 124)에 비해 쉽게 형성할 수 있다.
- [0178] 그러나, 제3 및 제4 핀(F21, F22) 사이의 거리(W12)는 제1 및 제2 핀(F11, F12) 사이의 거리(W11)보다 길기 때문에, 제3 및 제4 상승된 도핑 영역(23, 24) 사이의 거리가 멀어 제1 브리지(125)가 형성될 수 없다. 제1 영역(I)에 제1 브리지(125)가 형성되는 동안, 제2 영역(II)에서는 어떠한 변화도 발생하지 않는다.
- [0179] 결국, 제1 브리지(125)를 형성하기 위해 제1 영역(I)과 제2 영역(II)에 동시에 에피 공정을 실시하더라도, 제1 영역(I)에만 제1 및 제2 상승된 도핑 영역(123, 124) 사이에 제1 브리지(125)가 형성될 수 있다.
- [0180] 이어서, 제1 브리지(125) 상에 제2 브리지(127)를 형성한다. 제2 브리지(127)는 불순물을 제3 도핑 농도로 포함하며, 제1 압력에서 에피 공정을 통해 형성할 수 있다. 제3 도핑 농도는 제1 도핑 농도와 동일하다. 제1 브리지(125)를 씨드로 하여 제2 브리지(127)는 제1 브리지(125) 상에서 형성될 수 있으며, 제1 및 제2 상승된 도핑 영역(123, 124) 사이의 공간을 메울 수 있다. 제1 압력에서 에피 공정을 수행하기 때문에, 제1 내지 제4 상승된 도핑 영역(123, 124, 23, 24)의 표면에서는 에피 성장이 진행되지 않는다. 다만, 제1 브리지(125)는 불순물을 제2 도핑 농도로 포함하고 있기 때문에 제1 브리지(125) 상에서 에피 성장이 가능하여, 제2 브리지(127)가 형성

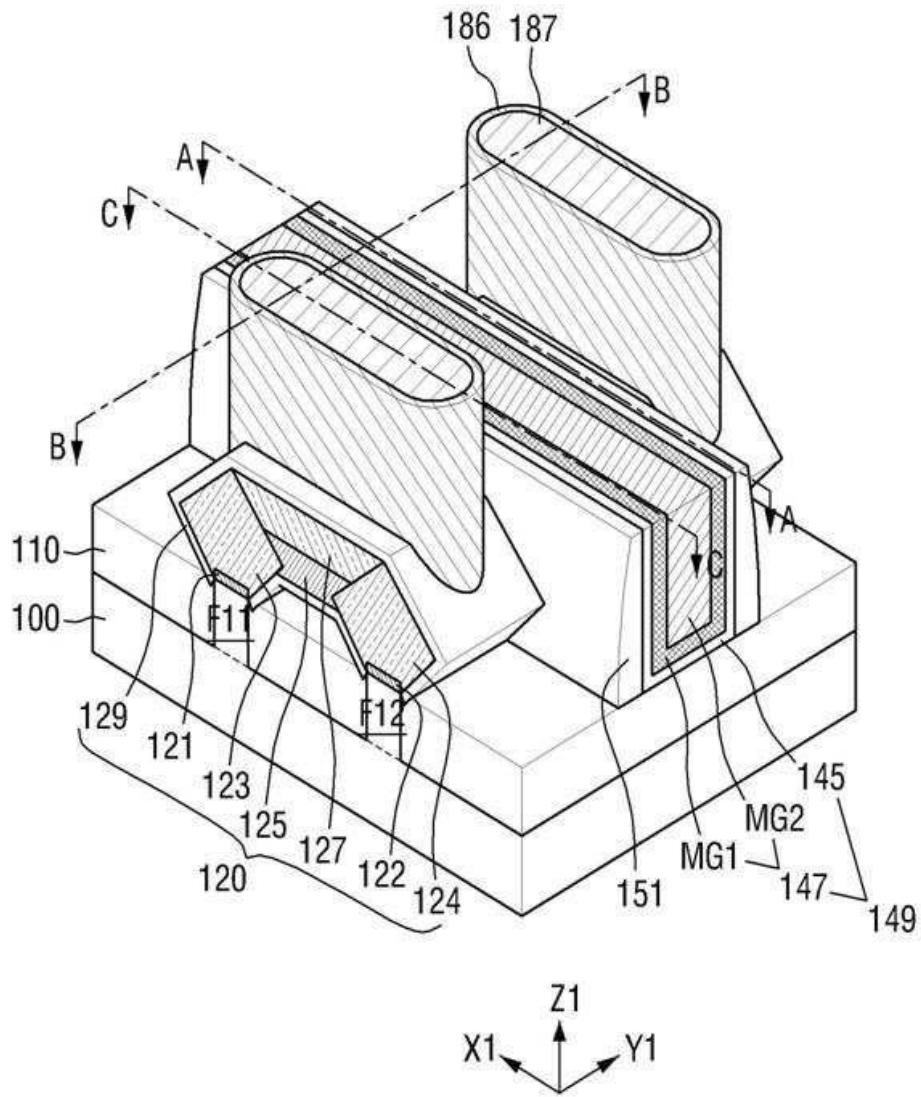
183: 실리콘사이드막

185: 도전막

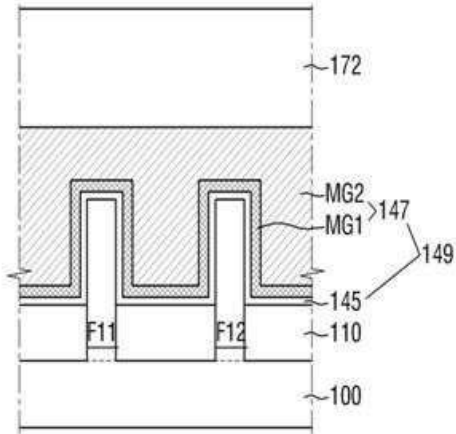
도면

도면1

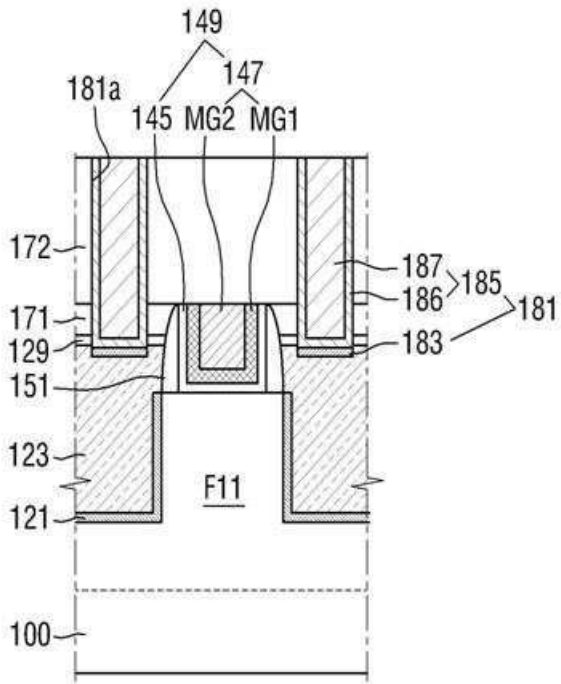
1



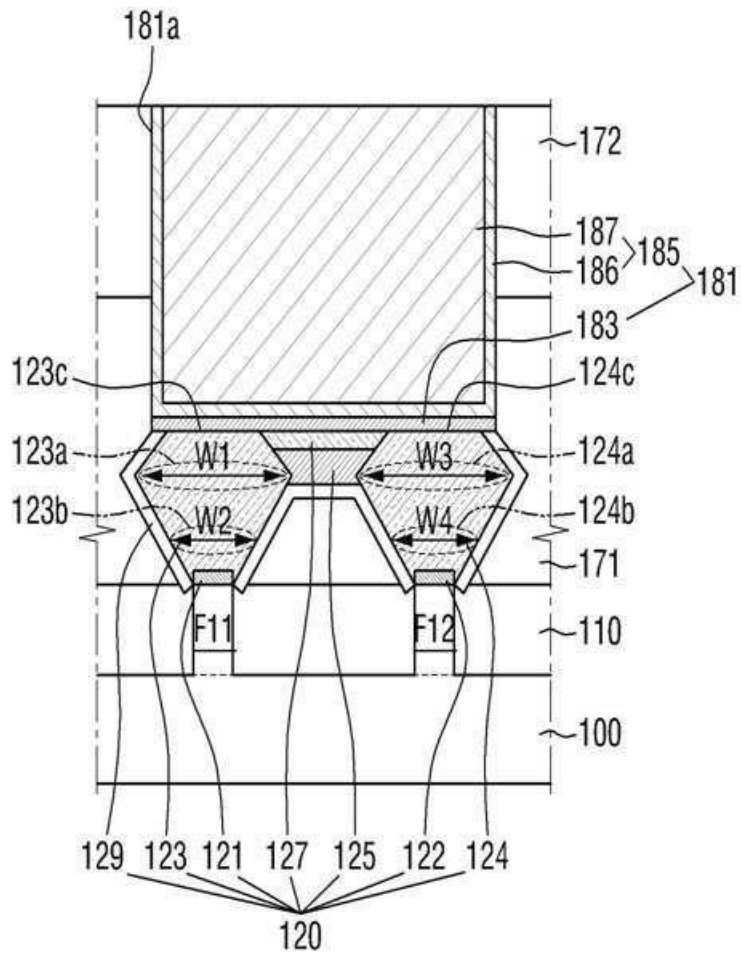
도면2



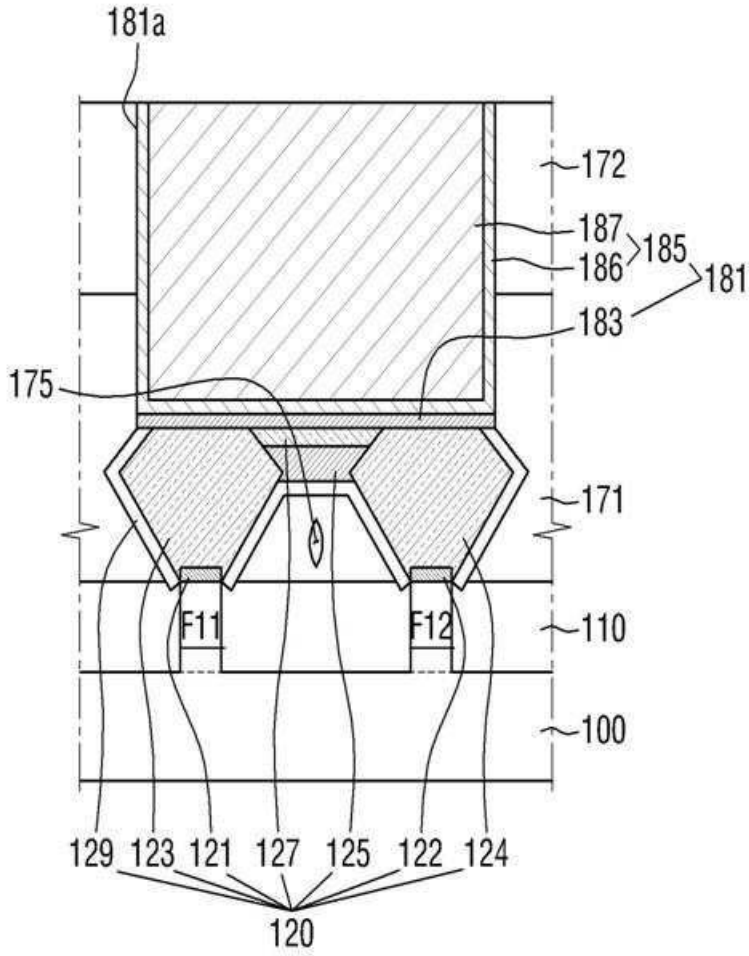
도면3



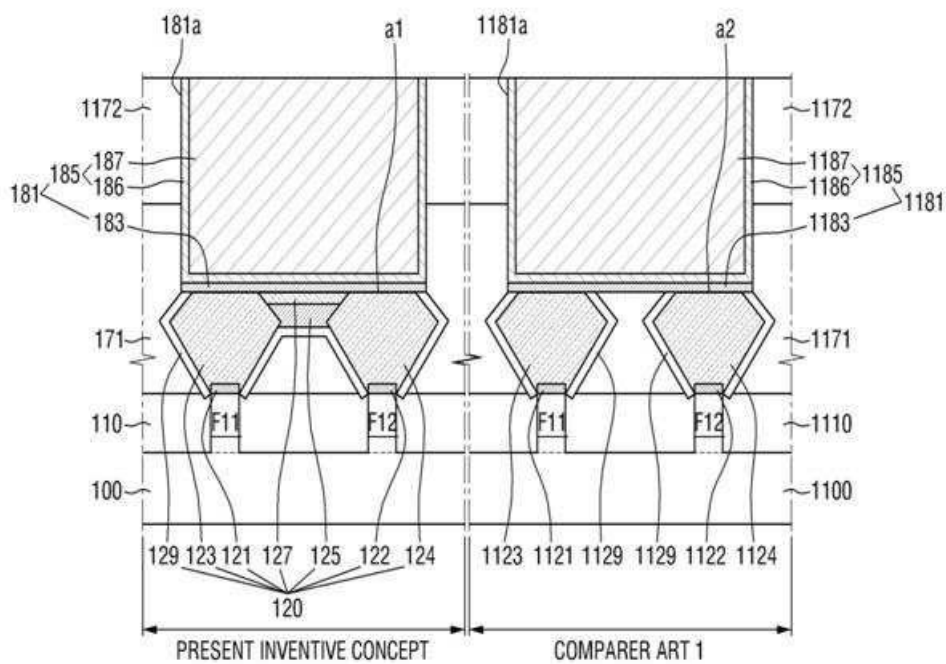
도면4



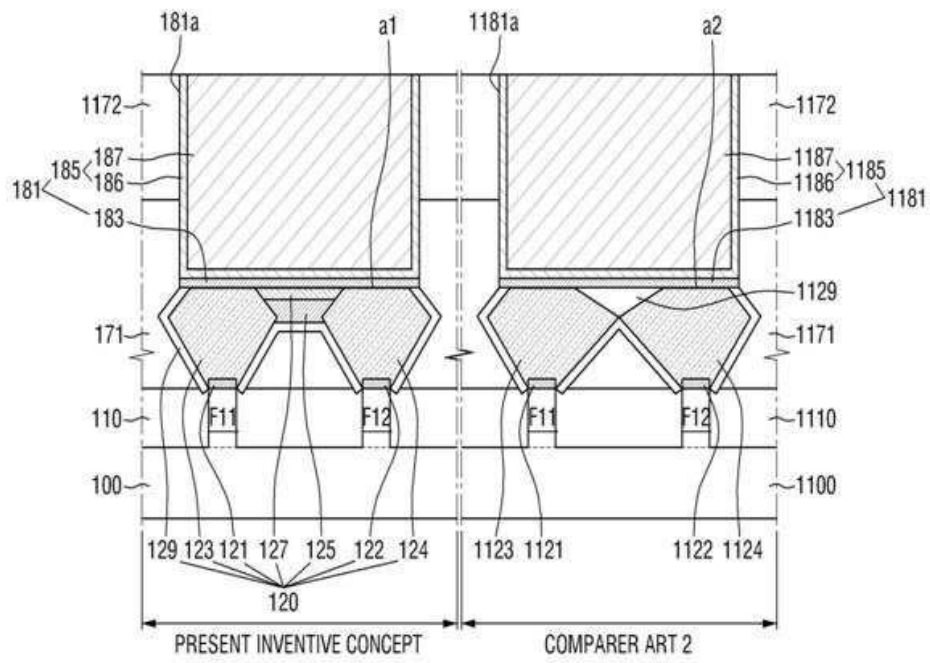
도면5



도면6

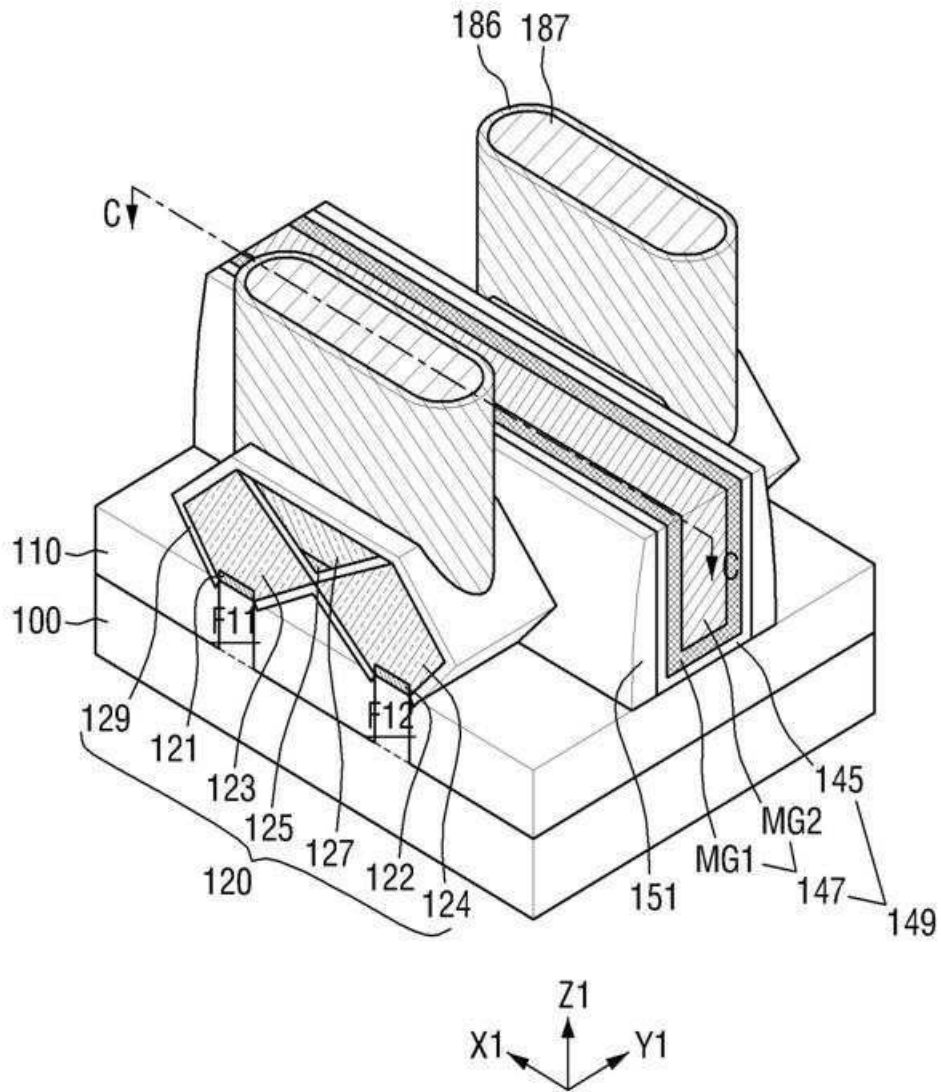


도면7

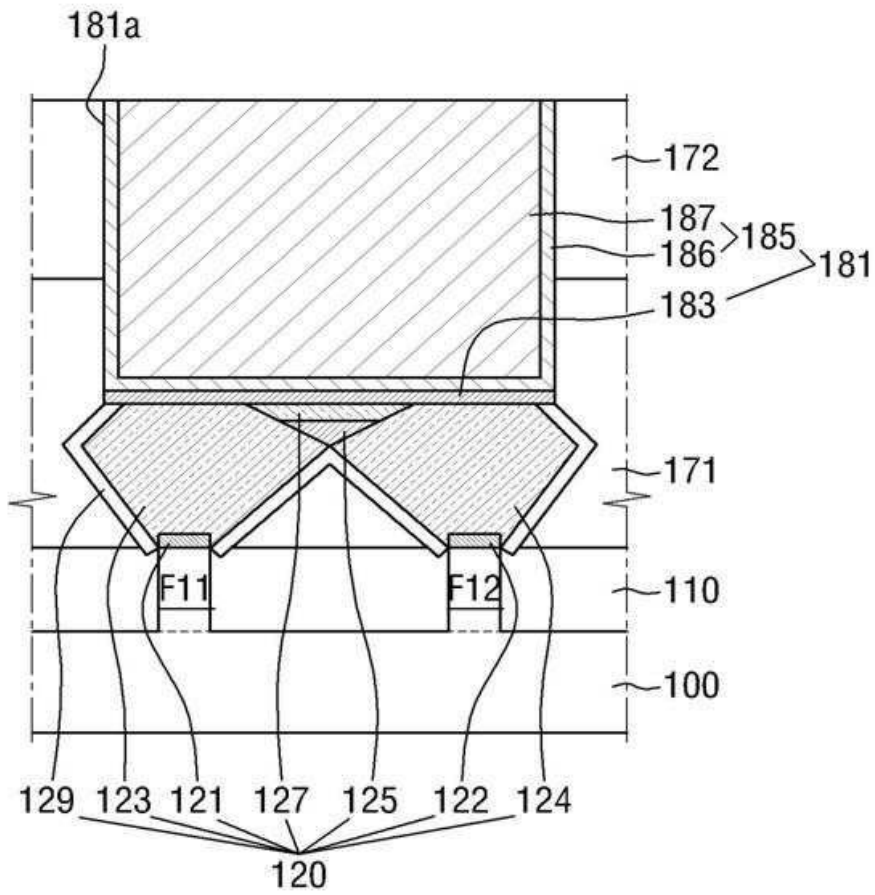


도면8

2

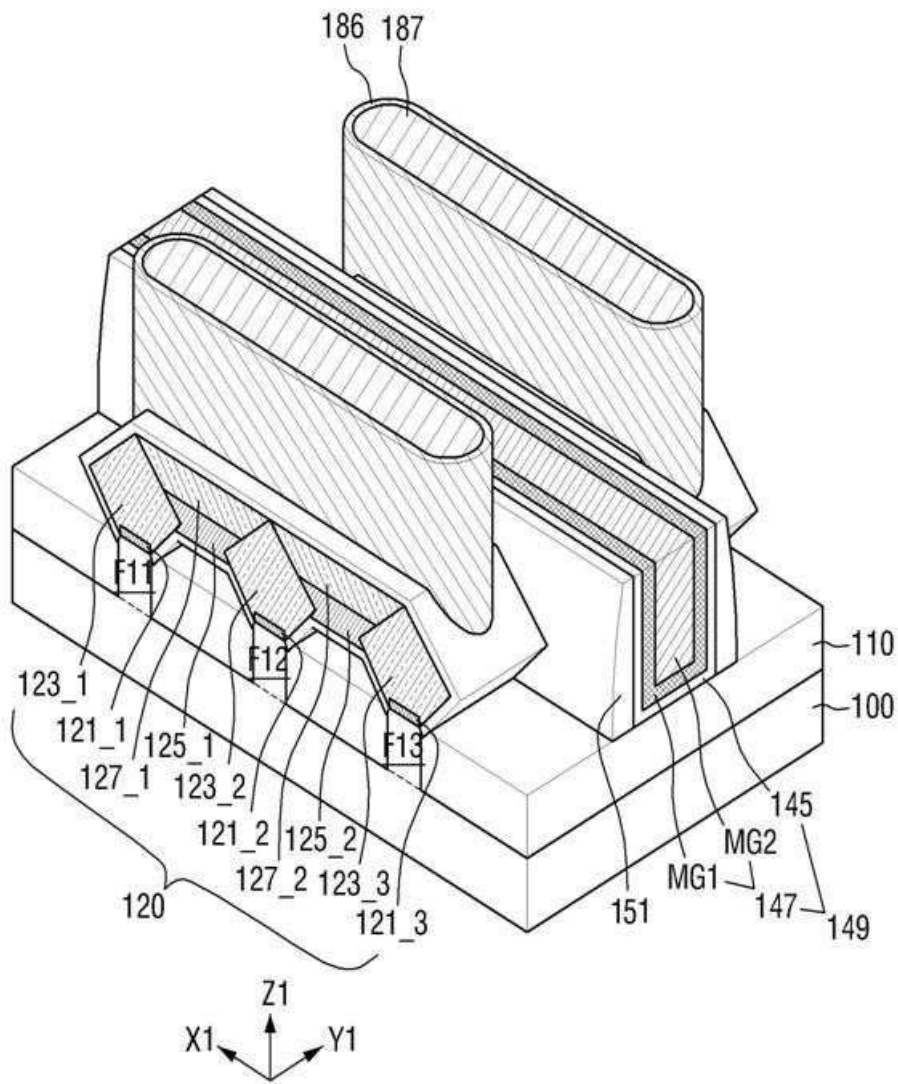


도면9

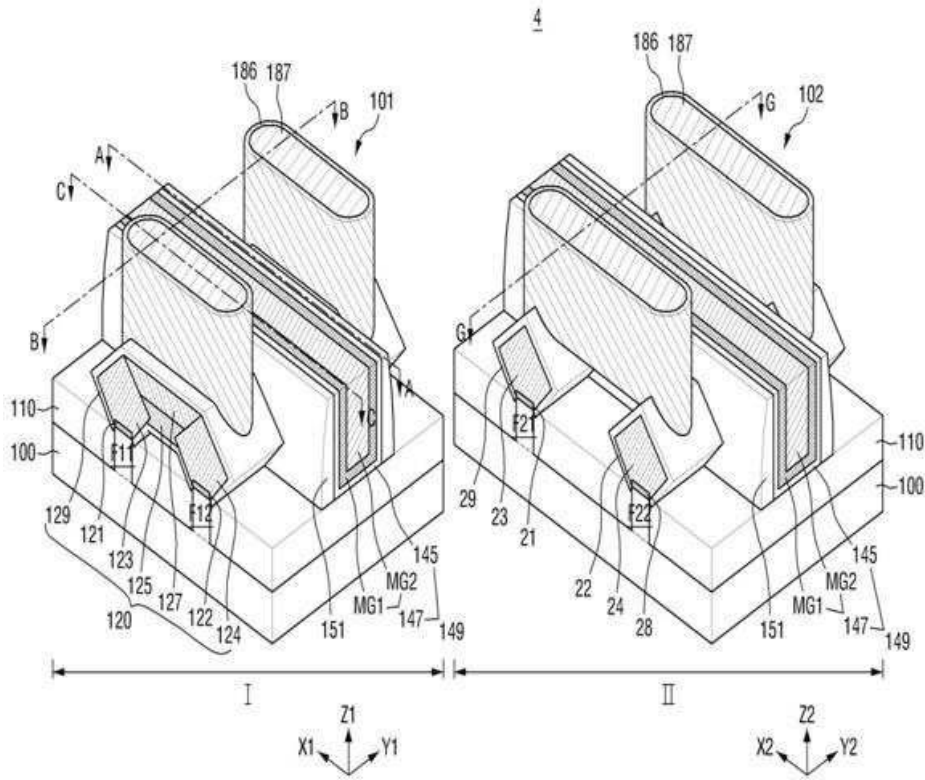


도면10

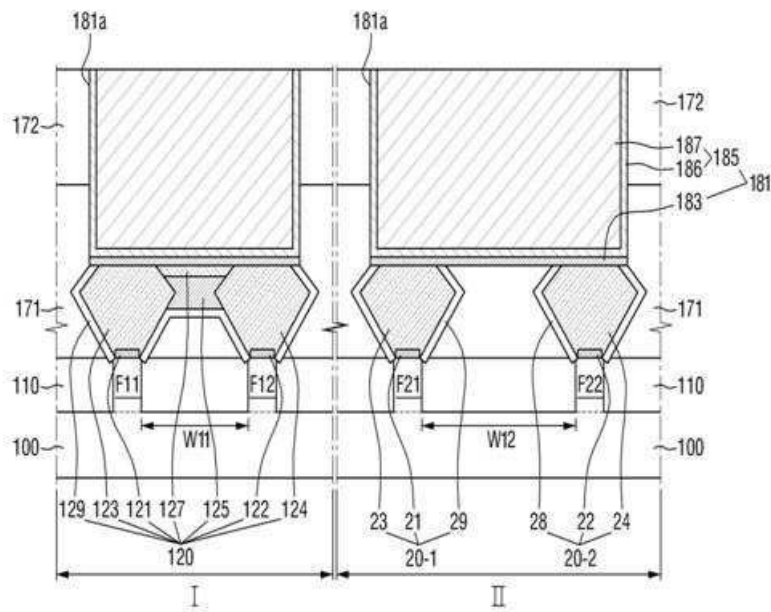
3



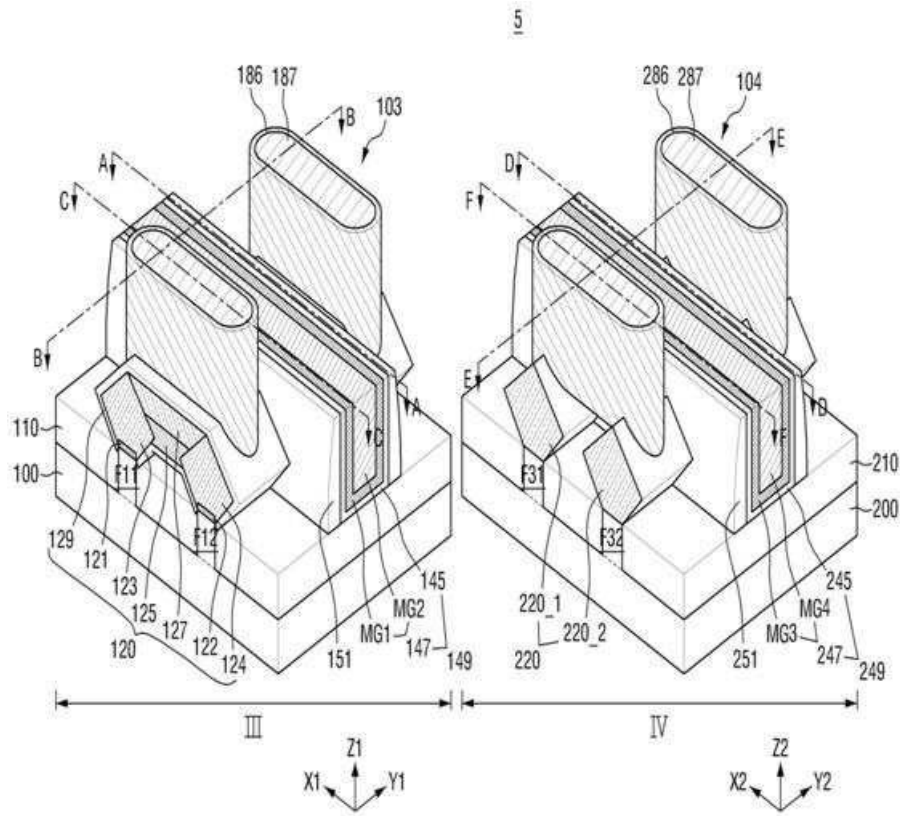
도면11



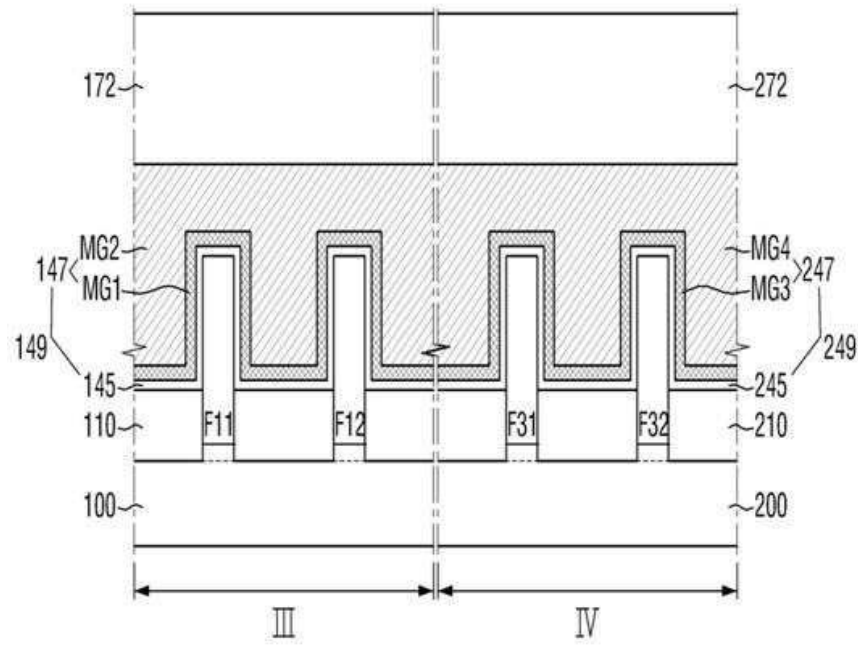
도면12



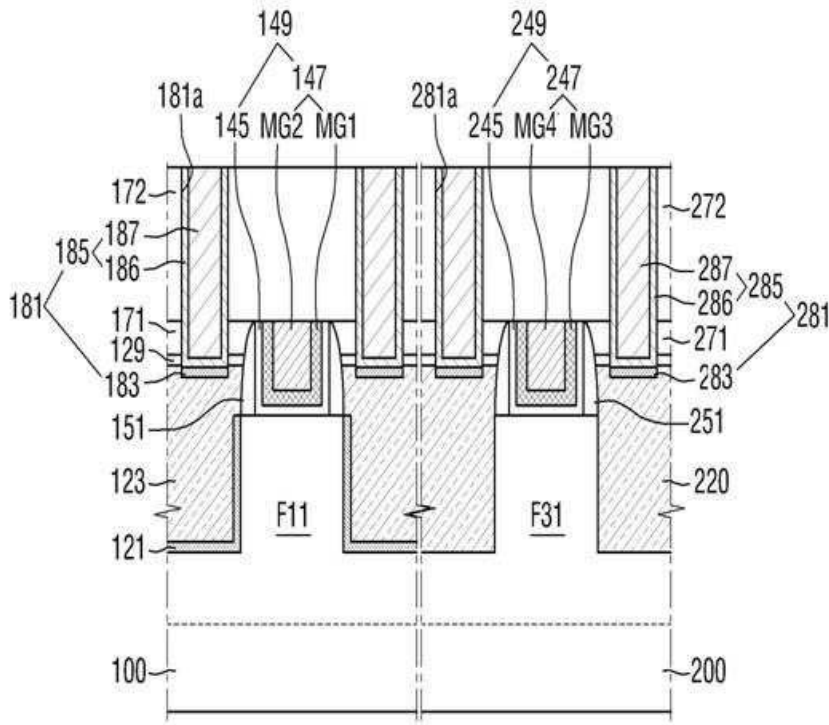
도면13



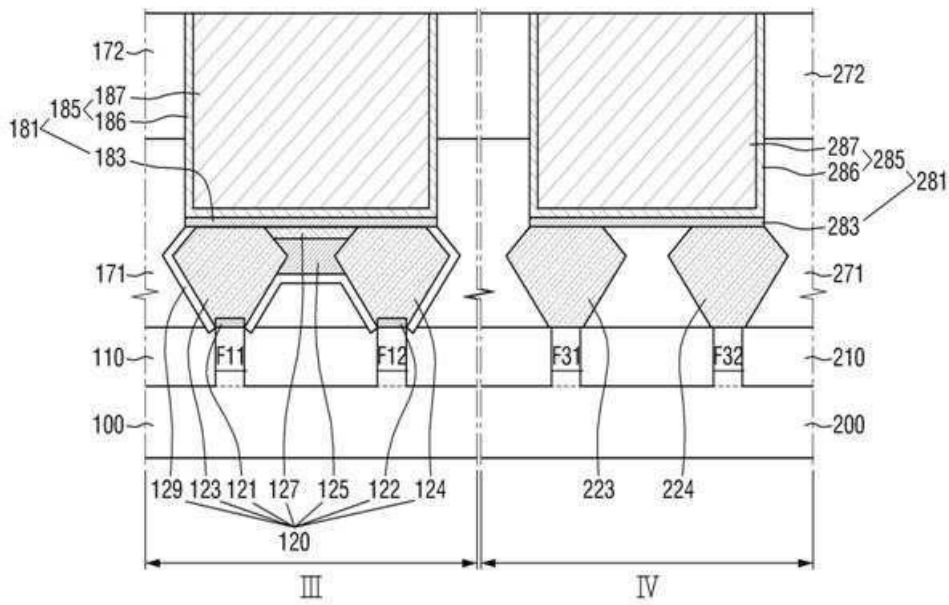
도면14



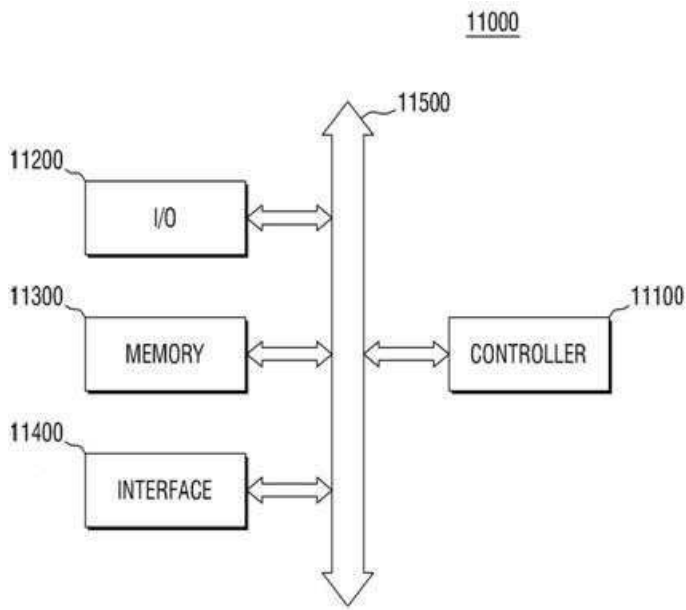
도면15



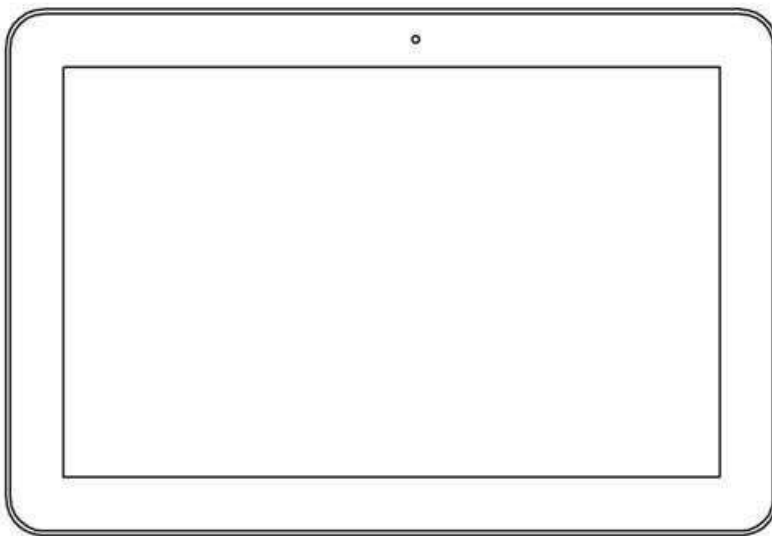
도면16



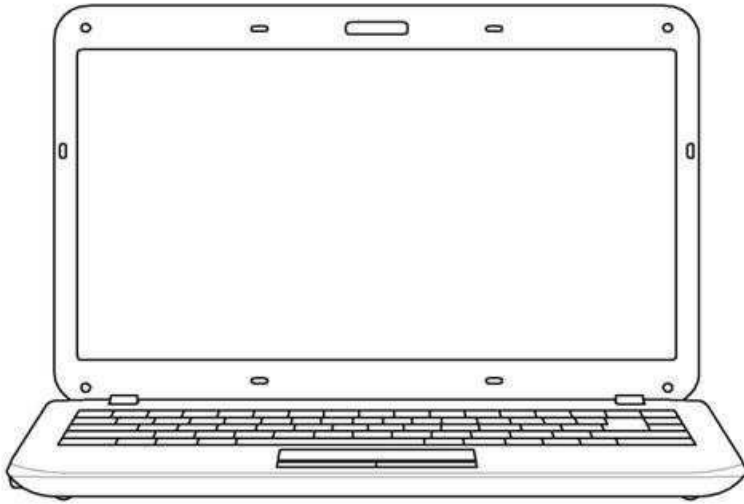
도면17a



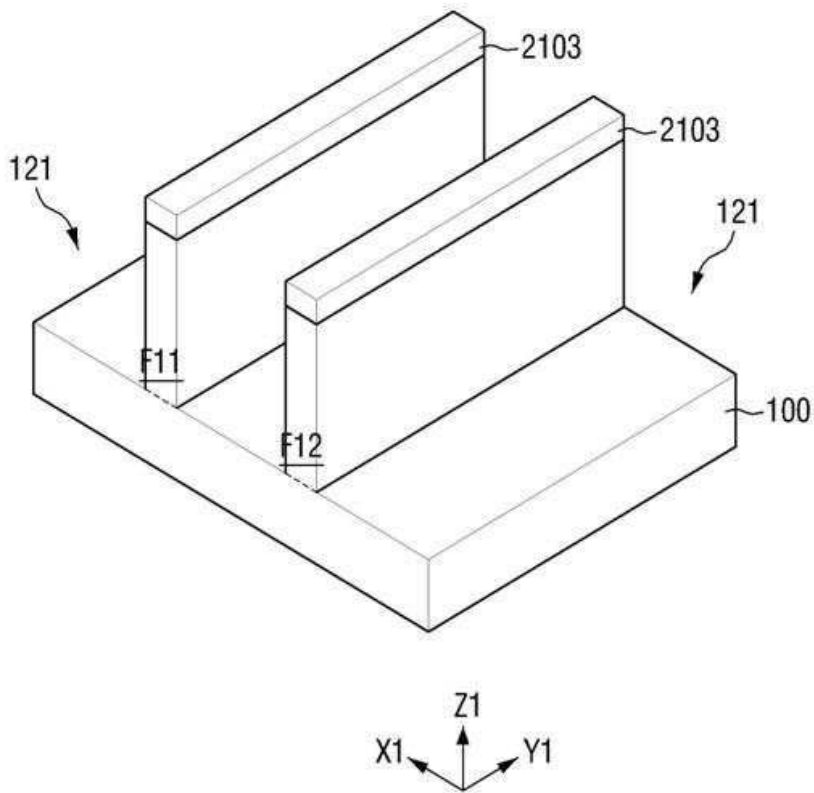
도면17b



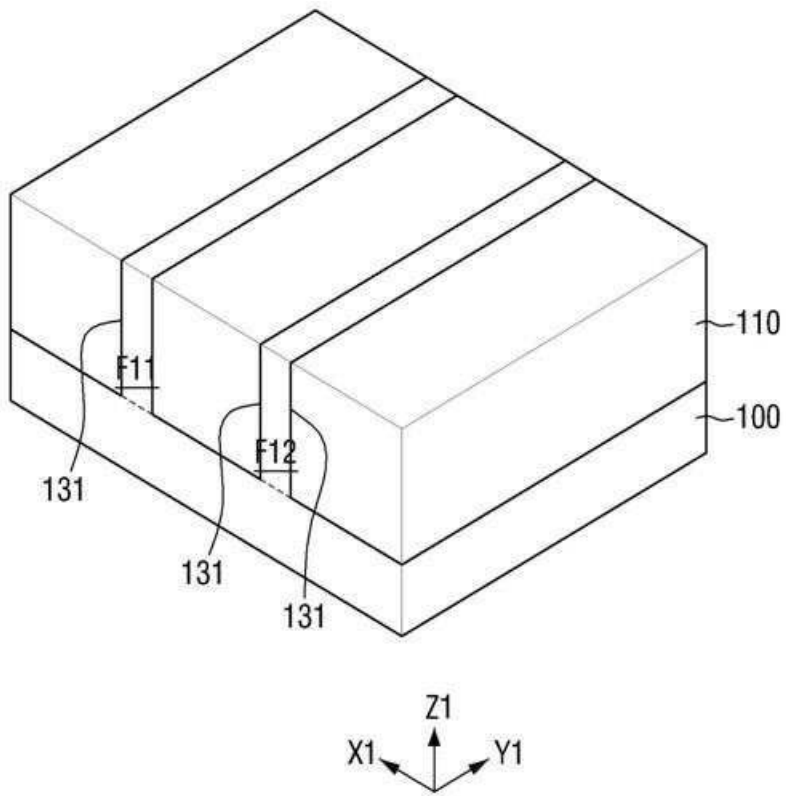
도면17c



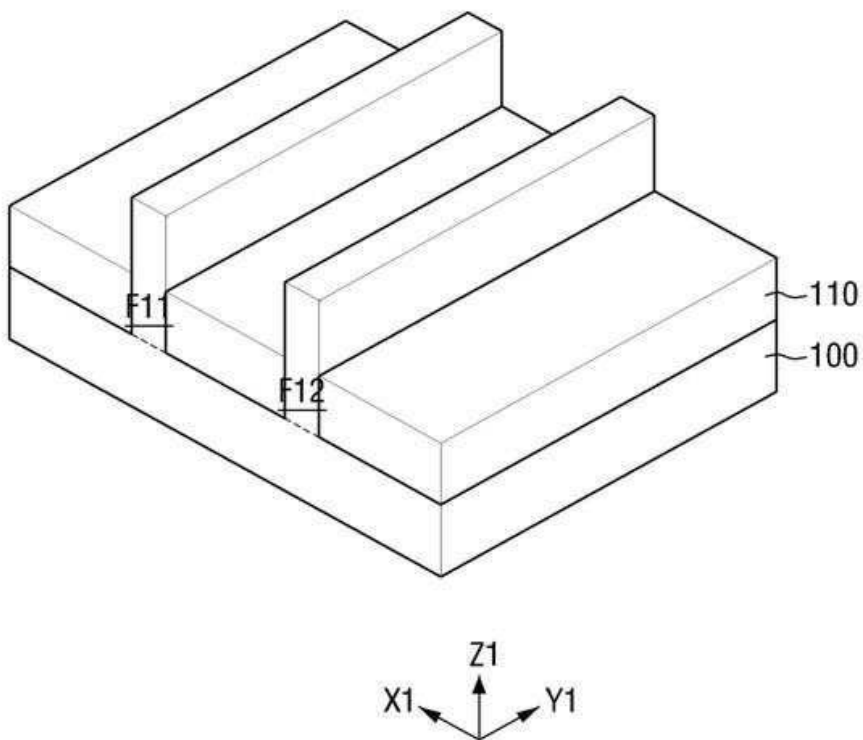
도면18



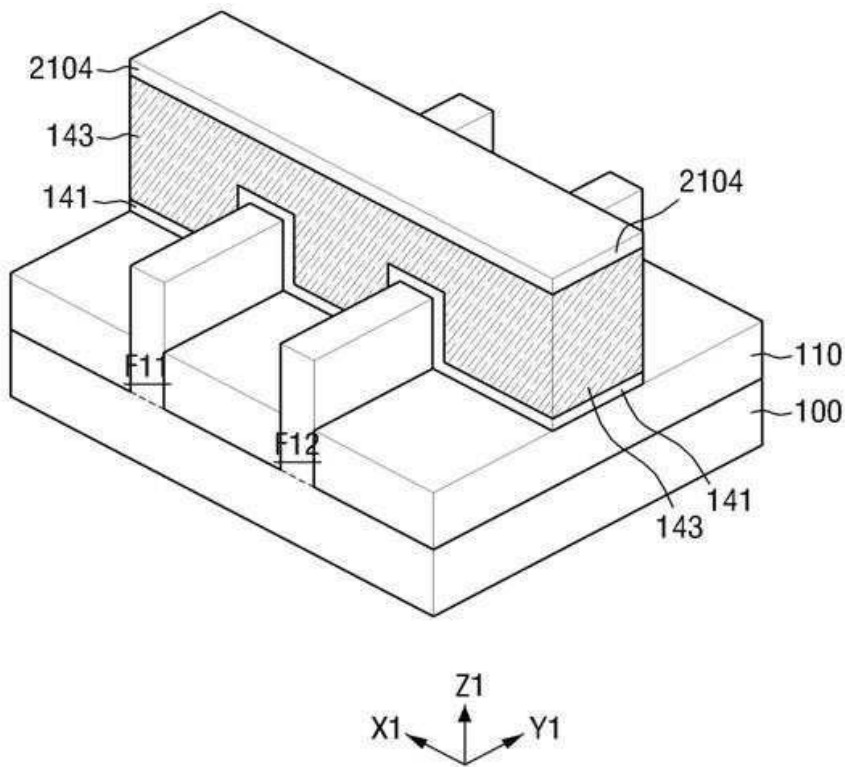
도면19



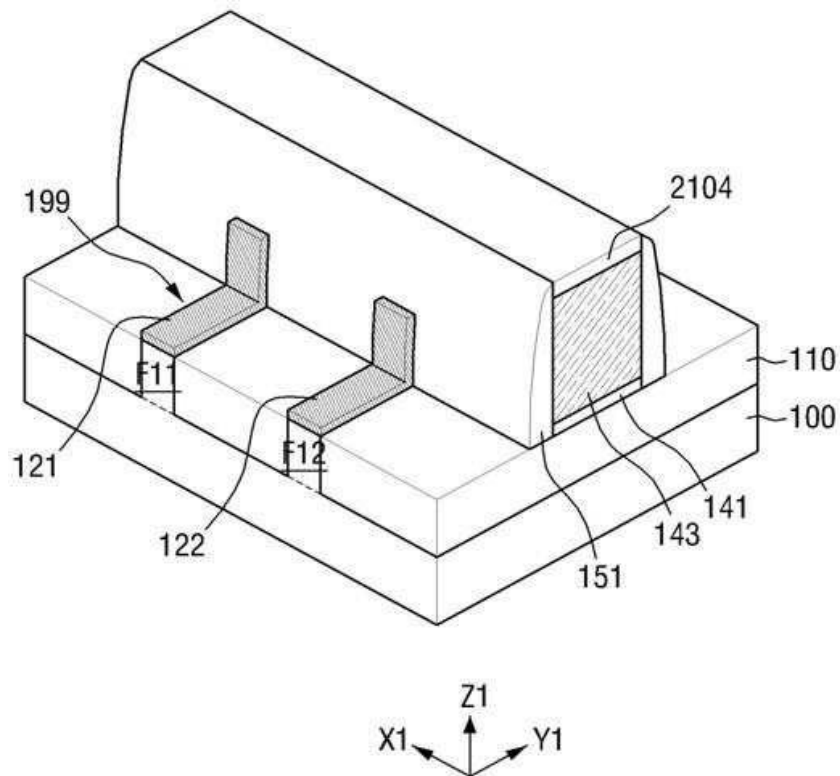
도면20



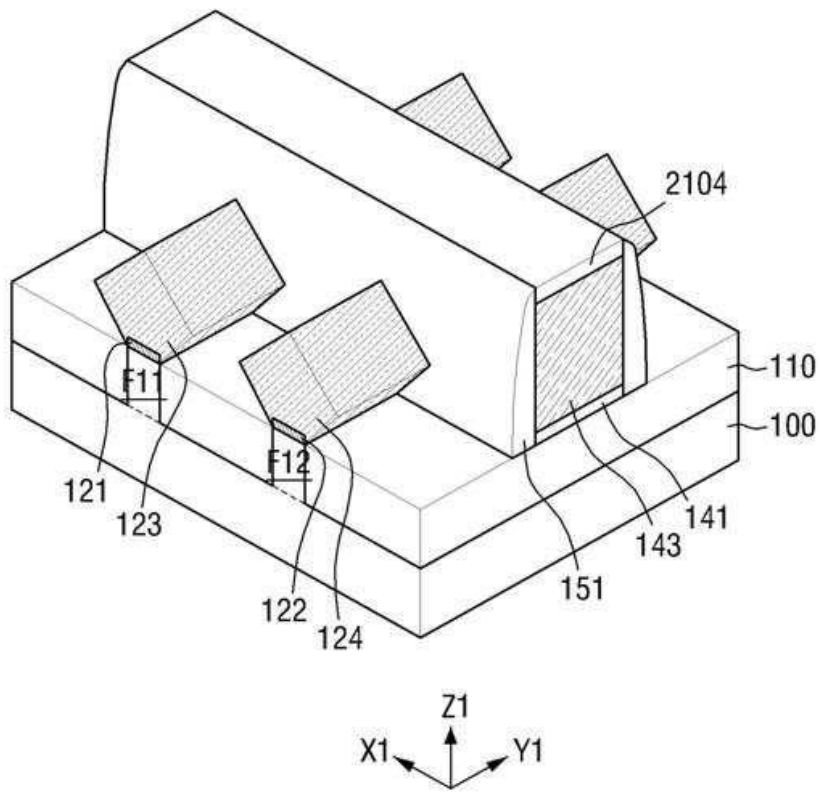
도면21



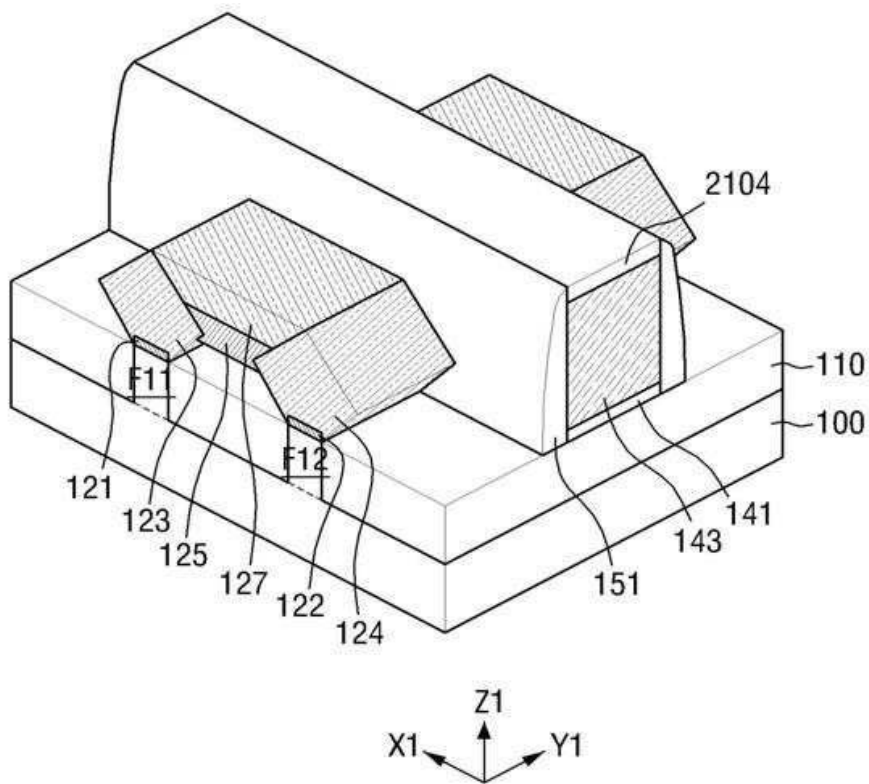
도면22



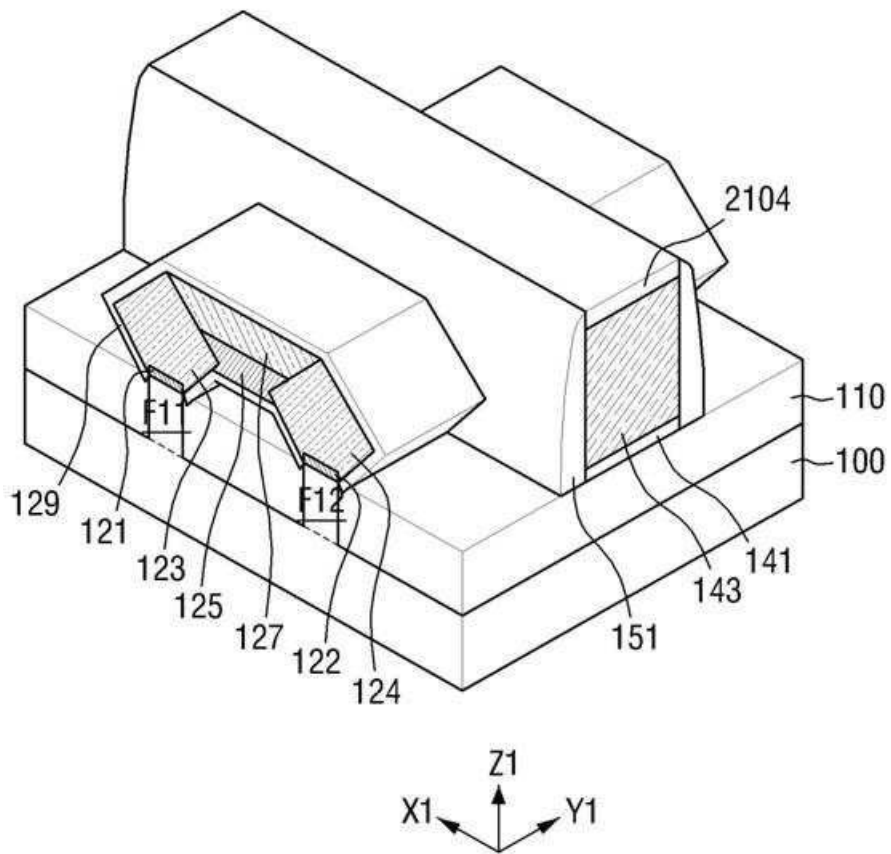
도면23



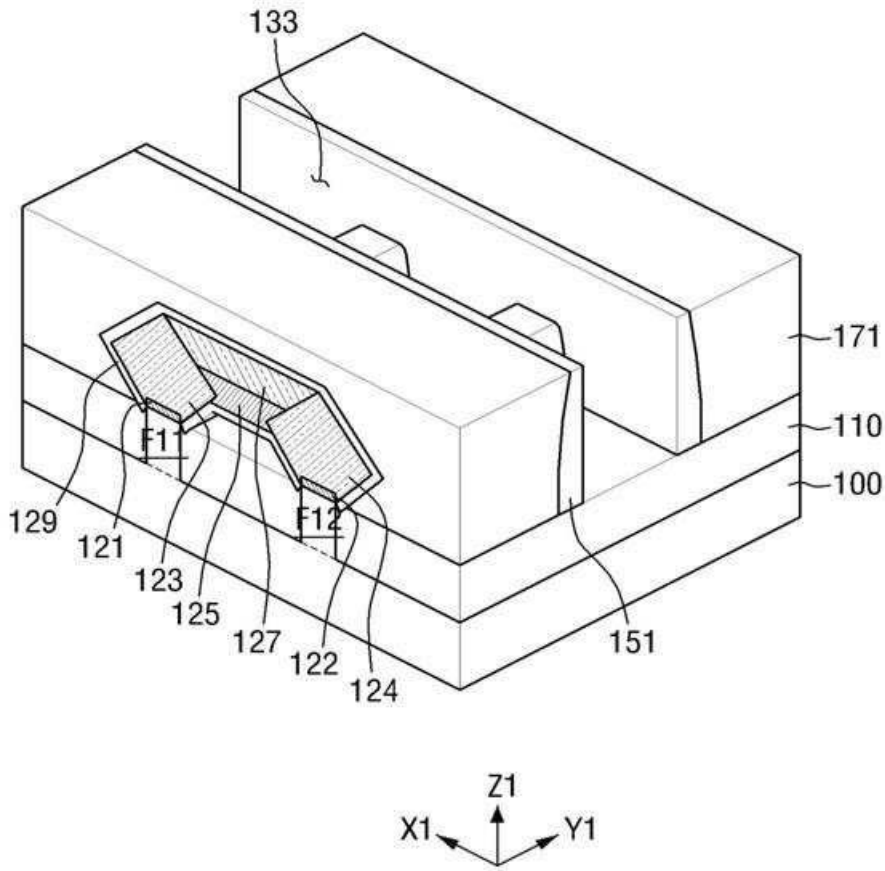
도면24



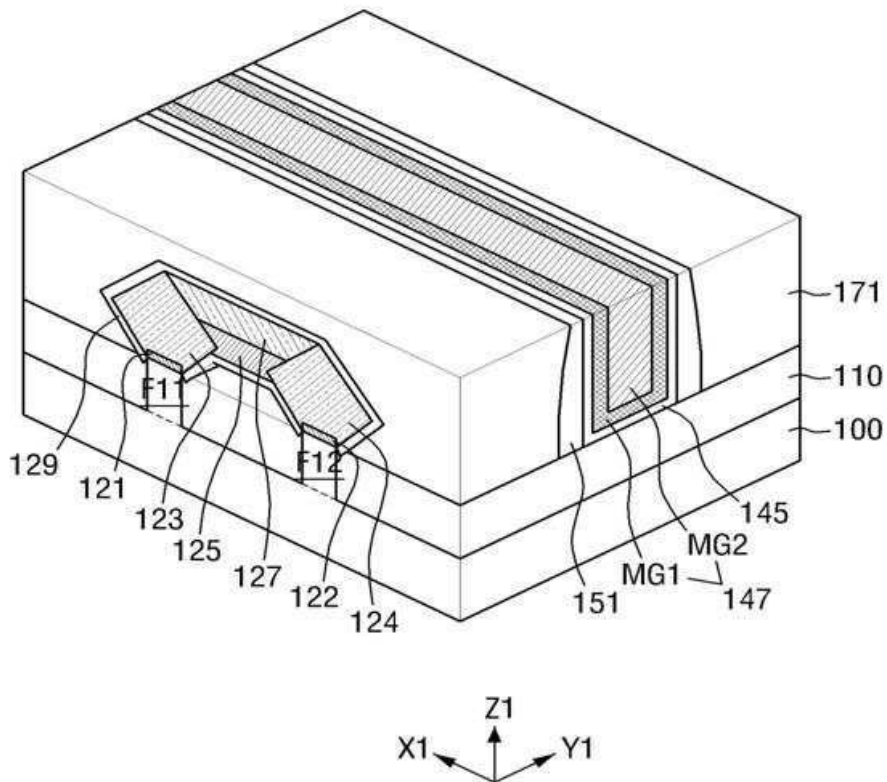
도면25



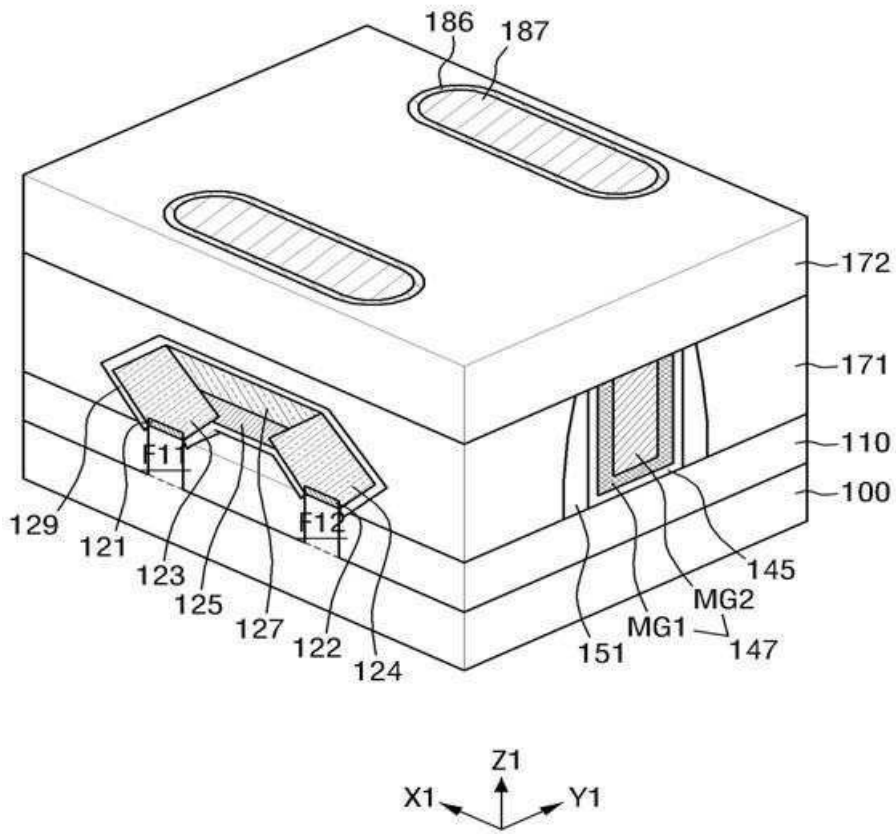
도면26



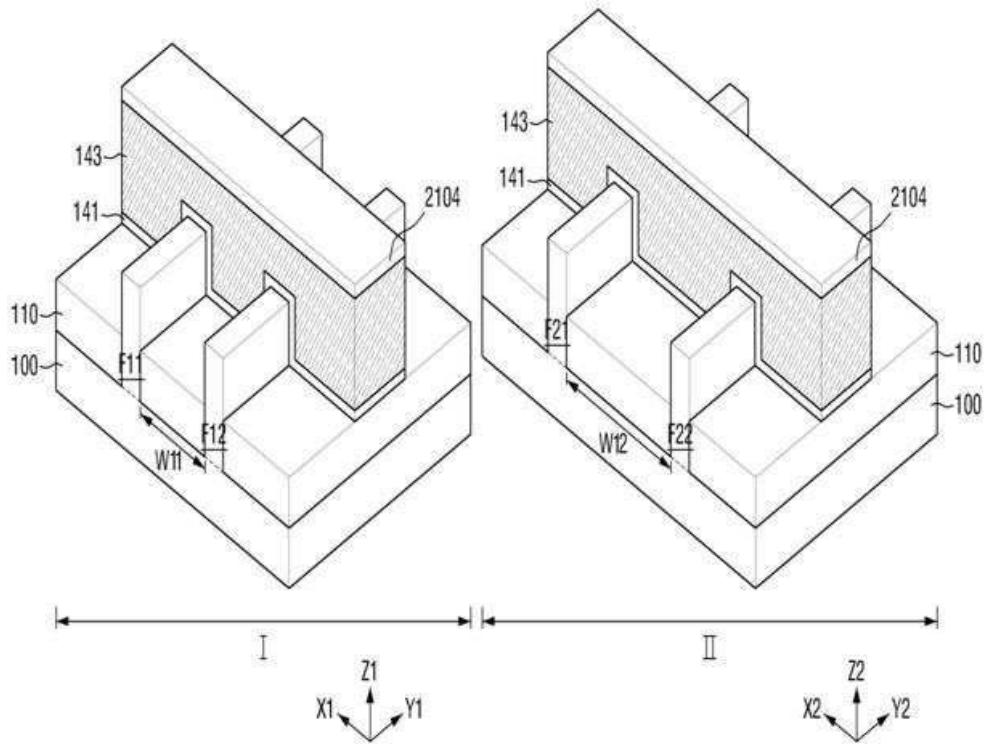
도면27



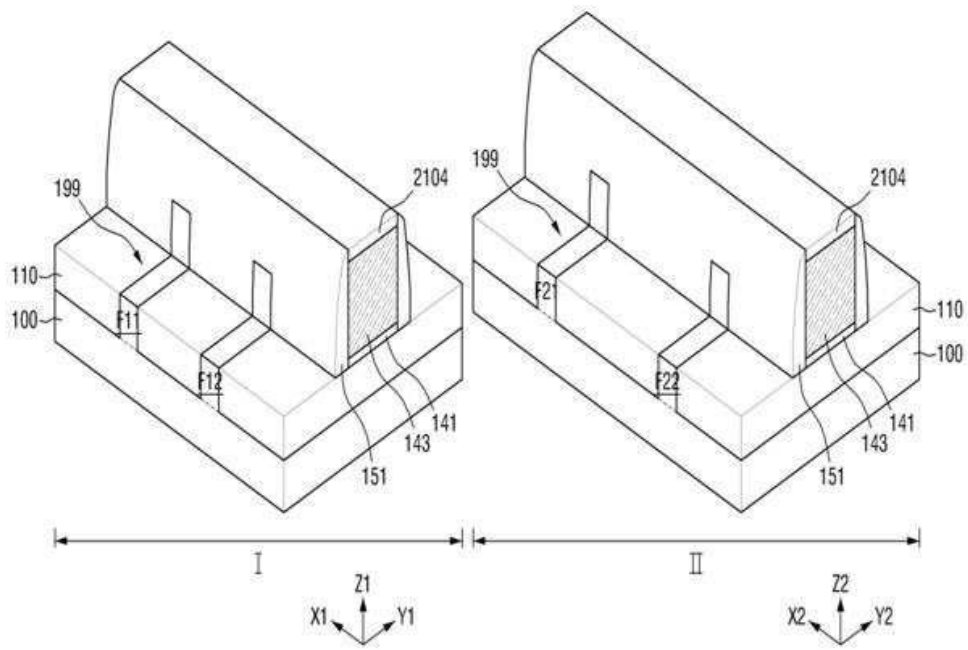
도면28



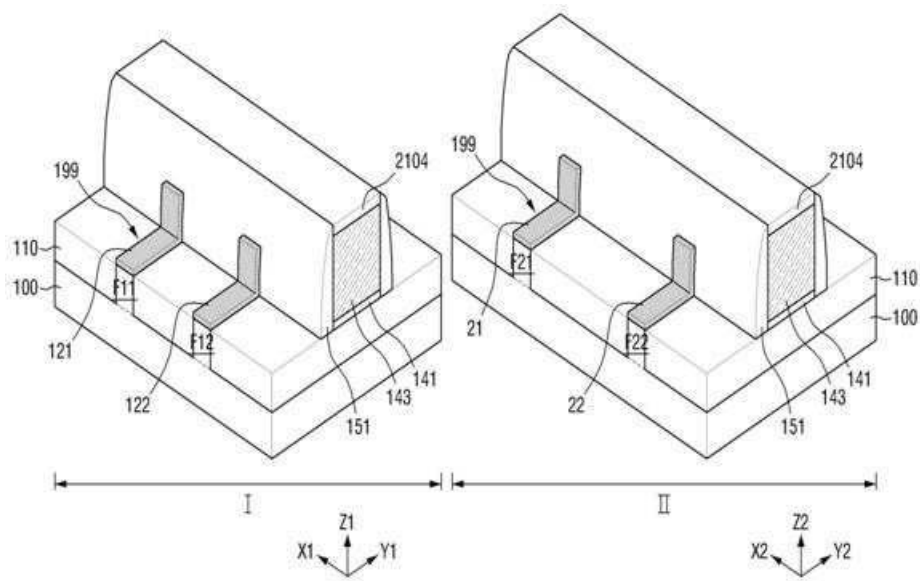
도면29



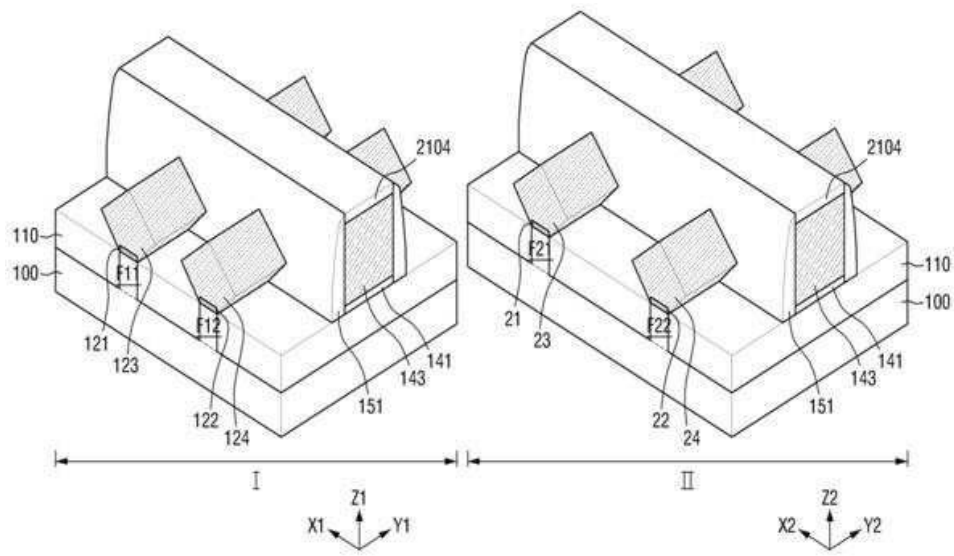
도면30



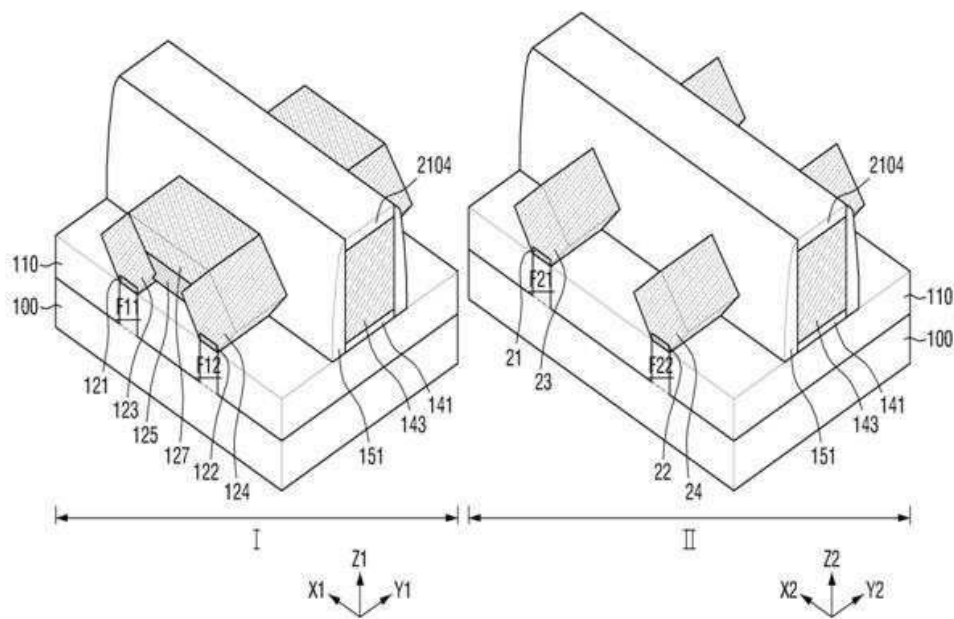
도면31



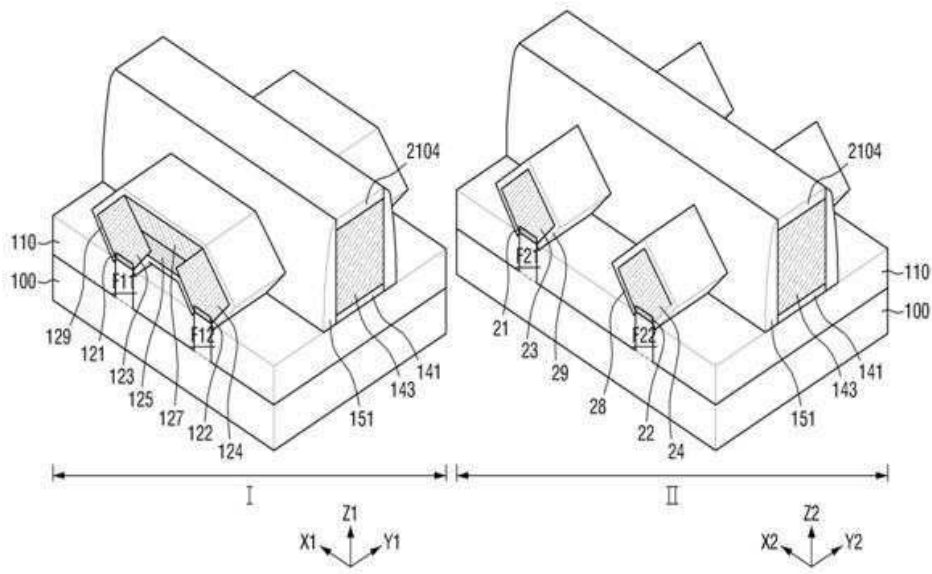
도면32



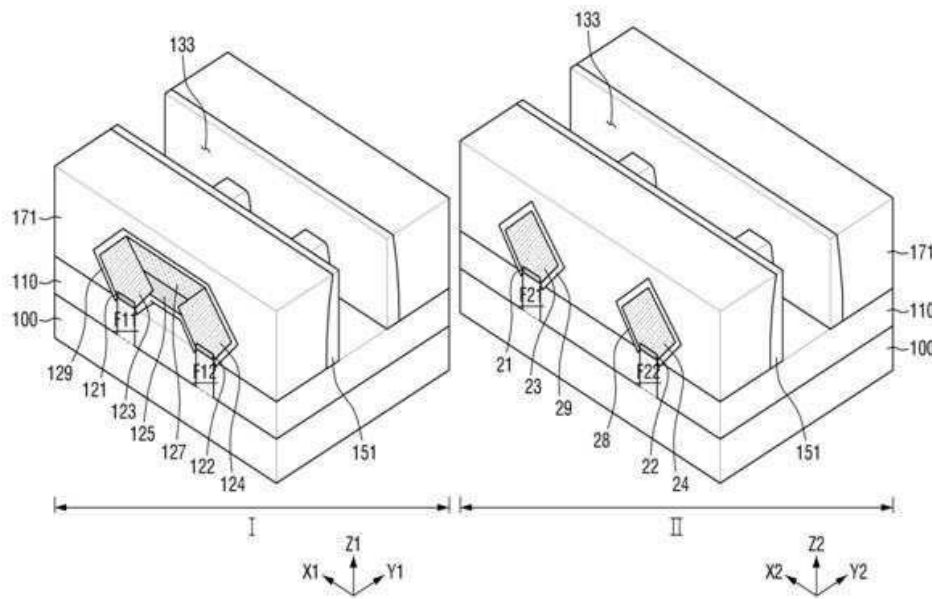
도면33



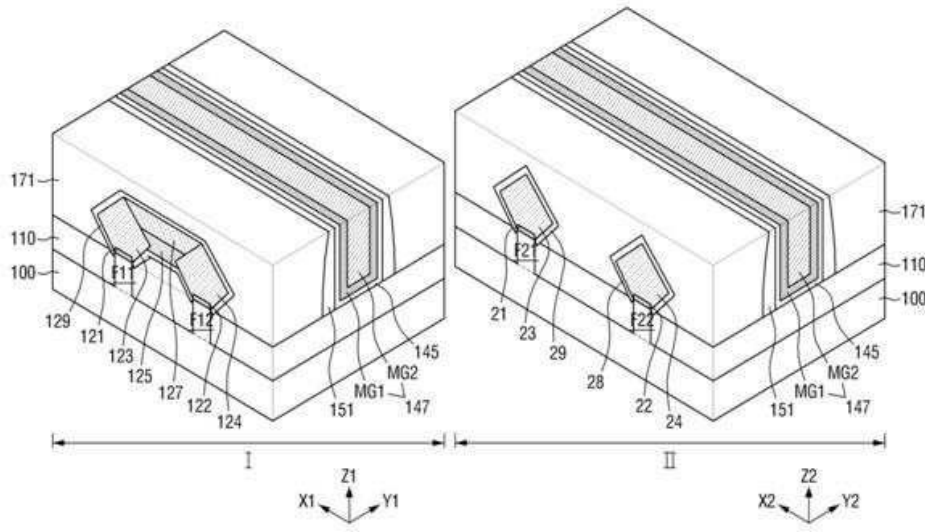
도면34



도면35



도면36



도면37

