



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I608486 B

(45)公告日：中華民國 106 (2017) 年 12 月 11 日

(21)申請案號：105113606

(22)申請日：中華民國 100 (2011) 年 08 月 23 日

(51)Int. Cl. : G11C16/06 (2006.01)

H01L27/115 (2017.01)

(30)優先權：2010/09/13 日本

2010-204419

(71)申請人：半導體能源研究所股份有限公司(日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：松崎隆德 MATSUZAKI, TAKANORI (JP)；長塚修平 NAGATSUKA, SHUHEI
(JP)；井上廣樹 INOUE, HIROKI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 406416

TW 519648

JP 2001-53167

US 4546273

US 4771323

US 6515892B1

US 2004/0264279A1

US 2006/0164876A1

審查人員：劉聖尉

申請專利範圍項數：9 項 圖式數：16 共 109 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

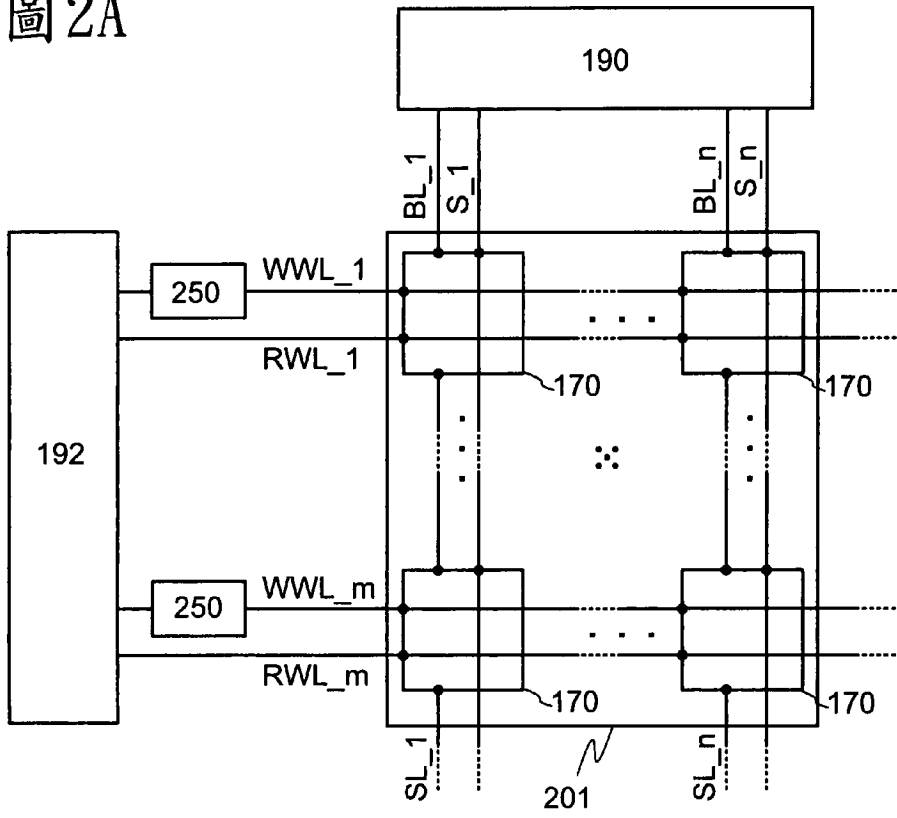
(57)摘要

本發明的一個方式的目的之一是提供一種即使沒有電力供給也能夠保持儲存內容且對寫入次數也沒有限制的半導體裝置。使用能夠使電晶體的截止電流足夠小的材料，例如作為寬頻隙半導體的氧化物半導體材料構成半導體裝置。藉由使用能夠使電晶體的截止電流足夠小的半導體材料，可以在長期間保持資訊。另外，藉由設置電連接到寫入字線的電容元件或雜訊去除電路，可以降低或去除輸入到儲存單元的短脈衝或雜訊等的信號。由此，可以防止因儲存單元所具有的電晶體瞬間地成為導通而寫入在儲存單元中的資料消失的錯誤工作。

A semiconductor device in which stored data can be held even when power is not supplied and there is no limitation on the number of writing operations is provided. A semiconductor device is formed using a material which can sufficiently reduce the off-state current of a transistor, such as an oxide semiconductor material that is a wide-gap semiconductor. When a semiconductor material which can sufficiently reduce the off-state current of a transistor is used, the semiconductor device can hold data for a long period. In addition, by providing a capacitor or a noise removal circuit electrically connected to a write word line, a signal such as a short pulse or a noise input to a memory cell can be reduced or removed. Accordingly, a malfunction in which data written into the memory cell is erased when a transistor in the memory cell is instantaneously turned on can be prevented.

指定代表圖：

圖 2A



符號簡單說明：

192 . . . 驅動電路

250 . . . 電容元件

190 . . . 驅動電路

170 . . . 儲存單元

201 . . . 儲存單元陣列

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【技術領域】

本發明係關於一種利用半導體元件的半導體裝置及其驅動方法。

【先前技術】

利用半導體元件的儲存裝置大致分為揮發性儲存裝置和非揮發性儲存裝置，揮發性儲存裝置是如果沒有電力供給，儲存內容就消失的儲存裝置，而非揮發性儲存裝置是即使沒有電力供給也保持儲存內容的儲存裝置。

作為揮發性儲存裝置的典型例子，有 DRAM (Dynamic Random Access Memory：動態隨機存取記憶體)。DRAM 藉由選擇構成記憶元件的電晶體並將電荷積蓄在電容器內來儲存資訊。

根據上述原理，因為當從 DRAM 讀出資訊時電容器的電荷消失，所以每次讀出資訊時都需要再次進行寫入工作。此外，在構成記憶元件的電晶體中，即使在電晶體未被選擇時，也由於截止狀態下的源極電極與汲極電極之間的洩漏電流（截止電流）等，電荷流出或流入，所以資料

保持期間較短。因此，需要按所定的週期再次進行寫入工作（刷新工作），而難以充分降低耗電量。此外，因為如果沒有電力供給，儲存內容就消失，所以需要利用磁性材料或光學材料的其他儲存裝置以長期保持儲存內容。

作為揮發性儲存裝置的另一例子，有 SRAM（Static Random Access Memory：靜態隨機存取記憶體）。SRAM 使用正反器等電路保持儲存內容，而不需要進行刷新工作。在這一點上 SRAM 優越於 DRAM。但是，由於使用正反器等電路，所以有每儲存容量的單價高的問題。此外，在如果沒有電力供給儲存內容就消失這一點上，SRAM 和 DRAM 相同。

作為非揮發性儲存裝置的典型例子，有快閃記憶體。快閃記憶體在電晶體的閘極電極和通道形成區之間具有浮動閘極，並使該浮動閘極保持電荷來進行儲存，因此，快閃儲存器具有其資料保持期間極長（幾乎永久）並且不需要進行揮發性儲存裝置要進行的刷新工作的優點（例如，參照專利文獻 1）。

但是，由於當進行寫入時產生的穿隧電流導致構成記憶元件的閘極絕緣層劣化，從而產生記憶元件因進行所定次數的寫入而不能發揮其功能的問題。為了緩和上述問題的影響，例如，採用使各記憶元件的寫入次數均等的方法，但是，為了採用該方法，需要複雜的週邊電路。另外，即使採用這種方法，也不能從根本上解決壽命問題。總之，快閃記憶體不適合於資訊的重寫頻度高的用途。

此外，爲了對浮動閘極注入電荷或從浮動閘極去除該電荷，需要高電壓和用於該目的的電路。再者，還存在當注入電荷或去除電荷時需要較長時間而難以實現寫入和擦除的高速化的問題。

[專利文獻 1] 日本專利申請公開 昭第 57-105889 號
公報

【發明內容】

鑒於上述問題，本發明的一個方式的目的之一是提供一種具有新的結構的半導體裝置，其中即使沒有電力供給也能夠保持儲存內容並且對寫入次數也沒有限制。

在本發明的一個方式中，使用能夠使電晶體的截止電流足夠小的材料，例如作爲寬頻隙半導體的氧化物半導體材料構成半導體裝置。藉由使用能夠使電晶體的截止電流足夠小的半導體材料，可以在長期間保持資訊。

另外，藉由設置電連接到寫入字線的電容元件或雜訊去除電路，可以降低或去除有可能從驅動電路等輸入到儲存單元的與控制信號不同的短脈衝或雜訊等的信號。由此，可以防止因儲存單元所具有的電晶體瞬間地成爲導通而寫入在儲存單元中的資料消失的錯誤工作。

更明確而言，例如可以採用如下結構。

本發明的一個方式是一種半導體裝置，該半導體裝置包括寫入字線、讀出字線、位元線、源極電極線、信號線、具有多個儲存單元的儲存單元陣列、第一驅動電路以

及第二驅動電路。儲存單元之一包括：具有第一閘極電極、第一源極電極、第一汲極電極及第一通道形成區的第一電晶體；具有第二閘極電極、第二源極電極、第二汲極電極及第二通道形成區的第二電晶體；以及第一電容元件。第一通道形成區包括與第二通道形成區不同的半導體材料。第一閘極電極與第二汲極電極與第一電容元件的電極的一方電連接而構成保持電荷的節點。第一驅動電路藉由位元線電連接到儲存單元所具有的第一汲極電極，藉由源極電極線電連接到儲存單元所具有的第一源極電極，並藉由信號線電連接到儲存單元所具有的第二源極電極。第二驅動電路藉由讀出字線電連接到儲存單元所具有的第一電容元件的電極的另一方，並藉由寫入字線電連接到儲存單元所具有的第二閘極電極。在第二驅動電路和儲存單元陣列之間具有第二電容元件，並且第二電容元件的電極的一方電連接到寫入字線。

另外，本發明的一個方式是一種半導體裝置，該半導體裝置包括寫入字線、讀出字線、位元線、源極電極線、信號線、具有多個儲存單元的儲存單元陣列、第一驅動電路以及第二驅動電路。儲存單元之一包括：具有第一閘極電極、第一源極電極、第一汲極電極及第一通道形成區的第一電晶體；具有第二閘極電極、第二源極電極、第二汲極電極及第二通道形成區的第二電晶體；以及第一電容元件。第一通道形成區包括與第二通道形成區不同的半導體材料。第一閘極電極與第二汲極電極與第一電容元件的電

極的一方電連接而構成保持電荷的節點。第一驅動電路藉由位元線電連接到儲存單元所具有的第一汲極電極，藉由源極電極線電連接到儲存單元所具有的第一源極電極，並藉由信號線電連接到儲存單元所具有的第二源極電極。第二驅動電路藉由讀出字線電連接到儲存單元所具有的第一電容元件的電極的另一方，並藉由寫入字線電連接到儲存單元所具有的第二閘極電極。在第二驅動電路和儲存單元陣列之間具有第二電容元件以及電阻元件，第二電容元件的電極的一方電連接到寫入字線及電阻元件的端子的一方，電阻元件的端子的另一方電連接到第二驅動電路。

另外，本發明的一個方式是一種半導體裝置，該半導體裝置包括寫入字線、讀出字線、位元線、源極電極線、信號線、具有多個儲存單元的儲存單元陣列、第一驅動電路以及第二驅動電路。儲存單元之一包括：具有第一閘極電極、第一源極電極、第一汲極電極及第一通道形成區的第一電晶體；具有第二閘極電極、第二源極電極、第二汲極電極及第二通道形成區的第二電晶體；以及電容元件。第一通道形成區包括與第二通道形成區不同的半導體材料。第一閘極電極與第二汲極電極與電容元件的電極的一方電連接而構成保持電荷的節點。第一驅動電路藉由位元線電連接到儲存單元所具有的第一汲極電極，藉由源極電極線電連接到儲存單元所具有的第一源極電極，並藉由信號線電連接到儲存單元所具有的第二源極電極。第二驅動電路藉由讀出字線電連接到儲存單元所具有的电容元件的

電極的另一方，並藉由寫入字線電連接到儲存單元所具有的第二閘極電極。第二驅動電路具有電連接到寫入字線的雜訊去除電路，並且雜訊去除電路具有串聯連接的偶數個反相器電路以及電容元件。

另外，本發明的一個方式是一種半導體裝置，該半導體裝置包括寫入字線、讀出字線、位元線、源極電極線、信號線、具有多個儲存單元的儲存單元陣列、第一驅動電路以及第二驅動電路。儲存單元之一包括：具有第一閘極電極、第一源極電極、第一汲極電極及第一通道形成區的第一電晶體；具有第二閘極電極、第二源極電極、第二汲極電極及第二通道形成區的第二電晶體；以及電容元件。第一通道形成區包括與第二通道形成區不同的半導體材料。第一閘極電極與第二汲極電極與電容元件的電極的一方電連接而構成保持電荷的節點。第一驅動電路藉由位元線電連接到儲存單元所具有的第一汲極電極，藉由源極電極線電連接到儲存單元所具有的第一源極電極，並藉由信號線電連接到儲存單元所具有的第二源極電極。第二驅動電路藉由讀出字線電連接到儲存單元所具有的電容元件的電極的另一方，並藉由寫入字線電連接到儲存單元所具有的第二閘極電極。第二驅動電路具有電連接到寫入字線的雜訊去除電路，並且雜訊去除電路具有串聯連接的偶數個反相器電路以及電阻元件。

另外，本發明的一個方式是一種半導體裝置，該半導體裝置包括寫入字線、讀出字線、位元線、源極電極線、

信號線、具有多個儲存單元的儲存單元陣列、第一驅動電路以及第二驅動電路。儲存單元之一包括：具有第一閘極電極、第一源極電極、第一汲極電極及第一通道形成區的第一電晶體；具有第二閘極電極、第二源極電極、第二汲極電極及第二通道形成區的第二電晶體；以及電容元件。第一通道形成區包括與第二通道形成區不同的半導體材料。第一閘極電極與第二汲極電極與電容元件的電極的一方電連接而構成保持電荷的節點。第一驅動電路藉由位元線電連接到儲存單元所具有的第一汲極電極，藉由源極電極線電連接到儲存單元所具有的第一源極電極，並藉由信號線電連接到儲存單元所具有的第二源極電極。第二驅動電路藉由讀出字線電連接到儲存單元所具有的電容元件的電極的另一方，並藉由寫入字線電連接到儲存單元所具有的第二閘極電極。第二驅動電路具有電連接到寫入字線的雜訊去除電路，並且雜訊去除電路具有串聯連接的偶數個反相器電路、電容元件以及電阻元件。

在上述具有雜訊去除電路的結構中，雜訊去除電路還可以包括 AND 電路。

在上述結構中，第二電晶體的第二通道形成區包含氧化物半導體。

在上述結構中，第一電晶體的第一通道形成區包含氧化物半導體以外的材料。

另外，在上述結構中，有時使用氧化物半導體構成電晶體，但是本發明不侷限於此。也可以使用能夠實現與氧

化物半導體同等的截止電流特性的材料，例如碳化矽等的寬頻隙材料（更明確而言，例如，能隙 E_g 大於 $3eV$ 的半導體材料）等。

另外，在本說明書等中，“電極”或“佈線”不限定構成要素的功能。例如，有時將“電極”用作“佈線”的一部分，反之亦然。再者，“電極”或“佈線”還包括多個“電極”或“佈線”形成爲一體的情況等。

另外，“源極電極”和“汲極電極”的功能在使用極性不同的電晶體的情況或電路工作的電流方向變化的情況等下，有時互相調換。因此，在本說明書等中，“源極電極”和“汲極電極”可以互相調換。

另外，在本說明書等中，“電連接”也包括藉由“具有某種電作用的元件”連接的情況。這裏，“具有某種電作用的元件”只要可以進行連接物件間的電信號的授受，就對其沒有特別的限制。

例如，“具有某種電作用的元件”不僅包括電極和佈線，而且還包括電晶體等的切換元件、電阻元件、電感器、電容器、其他具有各種功能的元件等。

因爲使用氧化物半導體的電晶體的截止電流極小，所以藉由使用該電晶體而可以在極長期間保持儲存內容。就是說，因爲不需要進行刷新工作，或者，可以將刷新工作的頻度降低到極低，所以可以充分降低耗電量。另外，即使沒有電力供給（但是，固定電位較佳），也可以在較長期間保持儲存內容。

另外，在根據本發明的半導體裝置中，資訊的寫入不需要高電壓，而且也沒有元件劣化的問題。例如，不像現有的非揮發性記憶體的情況那樣，不需要對浮動閘極注入電子或從浮動閘極抽出電子，所以根本不發生閘極絕緣層的劣化等的問題。就是說，根據本發明的半導體裝置對改寫次數沒有限制，該限制是現有的非揮發性記憶體的問題，所以可以顯著提高可靠性。再者，因為根據電晶體的導通狀態或截止狀態而進行資訊的寫入，所以容易實現高速工作。另外，還有不需要用於擦除資訊的工作的優點。

在根據本發明的半導體裝置中，藉由設置電連接到寫入字線的電容元件或雜訊去除電路，可以降低或去除有可能從驅動電路等輸入到儲存單元的與控制信號不同的短脈衝或雜訊等的信號。由此，可以防止因儲存單元所具有的電晶體瞬間地成為導通而寫入在儲存單元中的資料消失的錯誤工作。

此外，因為使用氧化物半導體以外的材料的電晶體可以進行足夠的高速工作，所以藉由將該電晶體和使用氧化物半導體的電晶體組合而使用，可以充分地確保半導體裝置的工作（例如，資訊的讀出工作）的高速性。此外，藉由利用使用氧化物半導體以外的材料的電晶體，可以良好地實現被要求高速工作的各種電路（邏輯電路、驅動電路等）。

如此，藉由將使用氧化物半導體以外的材料的電晶體（換言之，能夠進行足夠的高速工作的電晶體）和使用氧

化物半導體的電晶體（作更廣義解釋，截止電流足夠小的電晶體）設置為一體，可以實現具有從來沒有的特徵的半導體裝置。

【圖式簡單說明】

在圖式中：

圖 1A-1 至 1B 是半導體裝置的電路圖；

圖 2A 至 2C 是半導體裝置的方塊圖；

圖 3A 至 3D 是半導體裝置的方塊圖；

圖 4A 至 4F 是半導體裝置的電路圖；

圖 5A 至 5C 是半導體裝置的電路圖；

圖 6A 和 6B 是半導體裝置的剖面圖及平面圖；

圖 7 是半導體裝置的剖面圖；

圖 8A 至 8G 是根據 SOI 基板的製造製程的剖面圖；

圖 9A 至 9E 是根據半導體裝置的製造製程的剖面圖；

圖 10A 至 10D 是根據半導體裝置的製造製程的剖面圖；

圖 11A 至 11D 是根據半導體裝置的製造製程的剖面圖；

圖 12A 至 12C 是根據半導體裝置的製造製程的剖面圖；

圖 13A 和 13B 是半導體裝置的剖面圖；

圖 14A 至 14C 是半導體裝置的剖面圖；

圖 15A 至 15C 是根據半導體裝置的製造製程的剖面圖；

圖 16A 至 16F 是電子裝置的圖。

【實施方式】

下面，使用圖式對本發明的實施方式的一個例子進行說明。但是，本發明不侷限於以下說明，所屬[發明所屬之技術領域]的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的宗旨及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在以下所示的實施方式所記載的內容中。

另外，圖式等所示的每個結構的位置、大小、範圍等為了容易理解而有時不表示為實際上的位置、大小、範圍等。因此，本發明不一定侷限於圖式等所公開的位置、大小、範圍等。

另外，本說明書等中的“第一”、“第二”、“第三”等的序數是為避免構成要素的混淆而附記的，而不是用於在數目方面上進行限制。

實施方式 1

在本實施方式中，參照圖 1A-1 至 2C 對根據所公開的發明的一個方式的半導體裝置的電路結構及工作進行說明。另外，在電路圖中，為了表示使用氧化物半導體的電

晶體，有時附上“OS”的符號。

<基本電路>

首先，參照圖 1A-1、1A-2 和 1B 對儲存單元的基本電路結構及其工作進行說明。在圖 1A-1 所示的具有儲存單元的半導體裝置中，位元線 BL 與電晶體 160 的源極電極（或汲極電極）電連接，源極電極線 SL 與電晶體 160 的汲極電極（或源極電極）電連接。另外，信號線 S 與電晶體 162 的源極電極（或汲極電極）電連接，寫入字線 WWL 與電晶體 162 的閘極電極電連接。再者，電晶體 160 的閘極電極及電晶體 162 的汲極電極（或源極電極）與電容元件 164 的電極的一方電連接，讀出字線 RWL 與電容元件 164 的電極的另一方電連接。

在此，作為電晶體 162，例如，採用使用氧化物半導體的電晶體。使用氧化物半導體的電晶體具有截止電流極少的特徵。由此，藉由使電晶體 162 成為截止狀態，可以在極長時間保持電晶體 160 的閘極電極的電位。再者，藉由具有電容元件 164，容易保持施加到電晶體 160 的閘極電極的電荷，也容易讀出所保持有的資訊。

另外，對電晶體 160 的材料沒有特別的限制。從提高資訊的讀出速度的觀點來看，例如，較佳的是使用利用單晶矽的電晶體等的開關速度快的電晶體。

另外，如圖 1B 所示，也可以採用不設置電容元件 164 的結構。

在圖 1A-1 所示的半導體裝置中，藉由有效地利用能夠保持電晶體 160 的閘極電極的電位的特徵，可以如下所示那樣進行資訊的寫入、保持以及讀出。

首先，對資訊的寫入和保持進行說明。首先，將寫入字線 WWL 的電位設定為使電晶體 162 成為導通狀態的電位，來使電晶體 162 成為導通狀態。由此，對電晶體 160 的閘極電極和電容元件 164 施加信號線 S 的電位。也就是說，對電晶體 160 的閘極電極施加所定的電荷（寫入）。在此，將施加兩種不同的電位的電荷（以下將施加低電位的電荷稱為電荷 Q_L ，將施加高電位的電荷稱為電荷 Q_H ）中的任一方施加到電晶體 160 的閘極電極。另外，也可以使用施加三種或三種以上的不同電位的電荷來提高儲存容量。然後，藉由將寫入字線 WWL 的電位設定為使電晶體 162 成為截止狀態的電位，來使電晶體 162 成為截止狀態，而保持對電晶體 160 的閘極電極施加的電荷（保持）。

由於電晶體 162 的截止電流極小，因此電晶體 160 的閘極電極的電荷被長時間地保持。

接著，對資訊的讀出進行說明。當在對源極電極線 SL 施加所定的電位（固定電位）的狀態下對讀出字線 RWL 施加適當的電位（讀出電位）時，根據保持在電晶體 160 的閘極電極中的電荷量，位元線 BL 具有不同的電位。換言之，電晶體 160 的導電率根據保持在電晶體 160 的閘極電極中的電荷控制。

一般地當電晶體 160 為 p 通道型時，對電晶體 160 的閘極電極施加 Q_H 時的外觀上的臨界值 V_{th_H} 低於對電晶體 160 的閘極電極施加 Q_L 時的外觀上的臨界值 V_{th_L} 。

例如，在寫入中，在對電晶體 160 的閘極電極施加 Q_L 的情況下，如果讀出字線 RWL 的電位成爲 V_0 (V_{th_H} 和 V_{th_L} 的中間的電位)，則電晶體 160 成爲“導通狀態”。在對電晶體 160 的閘極電極施加 Q_H 的情況下，即使讀出字線 RWL 的電位成爲 V_0 ，電晶體 160 也處於“截止狀態”。因此，藉由看位元線 BL 的電位可以讀出所保持有的資訊。

另外，當將儲存單元配置爲陣列狀而使用時，需要可以唯讀出所希望的儲存單元的資訊。像這樣，當讀出所定的儲存單元的資訊，且不讀出其他儲存單元的資訊時，對讀出的物件之外的儲存單元的讀出字線 RWL 施加不管閘極電極的狀態如何都使電晶體 160 成爲“截止狀態”的電位，也就是大於 V_{th_L} 的電位，即可。或者，對讀出字線 RWL 施加不管閘極電極的狀態如何都使電晶體 160 成爲“導通狀態”的電位，也就是小於 V_{th_H} 的電位，即可。

接著，對資訊的重寫進行說明。資訊的重寫與上述資訊的寫入及保持同樣進行。也就是說，將寫入字線 WWL 的電位設定爲使電晶體 162 成爲導通狀態的電位，而使電晶體 162 成爲導通狀態。由此，對電晶體 160 的閘極電極及電容元件 164 施加信號線 S 的電位（有關新的資訊的電位）。然後，藉由將寫入字線 WWL 的電位設定爲使電晶

體 162 成爲截止狀態的電位，使電晶體 162 成爲截止狀態，而使電晶體 160 的閘極電極成爲施加有有關新的資訊的電荷的狀態。

另外，雖然在上述說明中電晶體 160 是 p 通道型電晶體，但是也可以作爲電晶體 160 使用 n 通道型電晶體。在此情況下，適當地調節施加到各佈線的電位，即可。

像這樣，根據所公開的發明的半導體裝置藉由再次進行資訊的寫入來可以直接重寫資訊。因此，不需要快閃記憶體等所需要的使用高電壓從浮動閘極抽出電荷的處理，可以抑制起因於擦除工作的工作速度的降低。換言之，可以實現半導體裝置的高速工作。

另外，藉由將電晶體 162 的汲極電極（或源極電極）電連接到電晶體 160 的閘極電極，該汲極電極（或源極電極）起到與用作非揮發性記憶元件的浮動閘極型電晶體的浮動閘極同等的作用。以下，有時將電晶體 162 的汲極電極（或源極電極）與電晶體 160 的閘極電極電連接的部分稱爲節點 FG。當電晶體 162 處於截止狀態時，可以認爲該節點 FG 被埋設在絕緣體中，在節點 FG 中保持有電荷。因爲使用氧化物半導體的電晶體 162 的截止電流爲使用矽半導體等形成的電晶體的截止電流的十萬分之一以下，所以可以不考慮由於電晶體 162 的洩漏而導致的儲存在節點 FG 中的電荷的消失。也就是說，藉由利用使用氧化物半導體的電晶體 162，可以實現即使沒有電力供給也能夠保持資訊的非揮發性儲存裝置。

例如，當室溫（ 25°C ）下的電晶體 162 的截止電流為 10zA （ 1zA （zeptoampere）是 $1\times 10^{-21}\text{A}$ ）以下，並且電容元件 164 的電容值為 10fF 左右時，至少可以保持資料 10^4 秒以上。另外，當然該保持時間根據電晶體特性或電容值而變動。

另外，在所公開的發明的半導體裝置中，不存在現有的浮動閘極型電晶體中被指出的閘極絕緣膜（隧道絕緣膜）的劣化的問題。也就是說，可以解決以往被視為問題的將電子注入到浮動閘極時的閘極絕緣膜的劣化問題。這意味著在原理上不存在寫入次數的限制。另外，也不需要現在現有的浮動閘極型電晶體中當寫入或擦除數據時所需要的高電壓。

構成圖 1A-1 所示的半導體裝置的電晶體等的要素包括電阻器和電容器，因此可以將圖 1A-1 所示的半導體裝置看作如圖 1A-2 所示的半導體裝置。換言之，在圖 1A-2 中，可以認為電晶體 160 和電容元件 164 分別包括電阻器和電容器。 $R1$ 和 $C1$ 分別是電容元件 164 的電阻值和電容值，電阻值 $R1$ 相當於由構成電容元件 164 的絕緣層產生的電阻值。另外， $R2$ 和 $C2$ 分別是電晶體 160 的電阻值和電容值，電阻值 $R2$ 相當於由電晶體 160 處於導通狀態時的閘極絕緣層產生的電阻值，電容值 $C2$ 相當於所謂的閘極電容（形成在閘極電極和源極電極或汲極電極之間的電容、以及形成在閘極電極和通道形成區之間的電容）的電容值。

在電晶體 162 處於截止狀態時的源極電極和汲極電極之間的電阻值（也稱為有效電阻）為 R_{OS} 的情況下，在電晶體 162 的閘極洩漏電流足夠小的條件下，當 R_1 及 R_2 滿足 $R_1 \geq R_{OS}$ 、 $R_2 \geq R_{OS}$ 時，電荷的保持期間（也可以稱為資訊的保持期間）主要由電晶體 162 的截止電流決定。

反之，當不滿足上述條件時，即使電晶體 162 的截止電流足夠小也難以充分確保保持期間。這是因為電晶體 162 的截止電流之外的洩電流（例如，產生在電晶體 160 的源極電極和閘極電極之間的洩漏電流等）大。由此，可以說，較佳的是本實施方式所公開的半導體裝置滿足 $R_1 \geq R_{OS}$ 及 $R_2 \geq R_{OS}$ 的關係。

另一方面， C_1 和 C_2 滿足 $C_1 \geq C_2$ 的關係較佳。這是因為藉由增大 C_1 ，當由讀出字線 RWL 控制節點 FG 的電位時，可以將讀出字線 RWL 的電位高效地施加到節點 FG ，而可以將施加到讀出字線 RWL 的電位間（例如，讀出電位和非讀出電位）的電位差抑制為小的緣故。

像這樣，藉由滿足上述關係，可以實現更佳的半導體裝置。另外， R_1 和 R_2 由電晶體 160 的閘極絕緣層和電容元件 164 的絕緣層控制。 C_1 和 C_2 也是同樣的。因此，較佳的是，適當地設定電晶體 160 的閘極絕緣層或電容元件 164 的絕緣層的材料或厚度等，以滿足上述關係。

在本實施方式所示的半導體裝置中，節點 FG 起到與快閃記憶體等的浮動閘極型電晶體的浮動閘極同等的作用，但是，本實施方式的節點 FG 具有與快閃記憶體等的

浮動閘極根本不同的特徵。

因為在快閃記憶體中施加到控制閘極的電位高，所以為了防止該電位影響到鄰近的單元的浮動閘極，需要保持各單元之間的一定程度的間隔。而這是阻礙半導體裝置的高集成化的主要原因之一。該原因起因於藉由施加高電場來產生穿隧電流的快閃記憶體的根本原理。

另一方面，根據本實施方式的半導體裝置藉由使用氧化物半導體的電晶體的開關工作，而不使用如上所述的利用穿隧電流進行電荷注入的原理。就是說，不需要快閃記憶體所需要的用於注入電荷的高電場。由此，因為不需要考慮到控制閘極帶給鄰近的單元的高電場的影響，所以容易實現高集成化。

另外，在不需要高電場、不需要大型週邊電路（升壓電路等）這兩點上也優越於快閃記憶體。例如，在寫入兩級（1 位元）的資訊的情況下，在一個儲存單元中，可以將施加到根據本實施方式的儲存單元的電壓（同時施加到儲存單元的各端子的電位中的最大電位與最小電位之間的差異）的最大值設定為 5V 以下，較佳地設定為 3V 以下。

另外，在使構成電容元件 164 的絕緣層的相對介電常數 ϵ_{r1} 與構成電晶體 160 的絕緣層的相對介電常數 ϵ_{r2} 不同的情況下，容易在使構成電容元件 164 的絕緣層的面積 $S1$ 和在電晶體 160 中構成閘極電容的絕緣層的面積 $S2$ 滿足 $2 \cdot S2 \geq S1$ （較佳的是，滿足 $S2 \geq S1$ ）的同時，實現

$C1 \geq C2$ ($C1$ 為 $C2$ 以上)。換言之，容易在縮減構成電容元件 164 的絕緣層的面積的同時實現 $C1 \geq C2$ 。明確而言，例如，作為構成電容元件 164 的絕緣層，可以採用由氧化鉛等的 high-k 材料構成的膜或由氧化鉛等的 high-k 材料構成的膜與由氧化物半導體構成的膜的疊層結構，並將 ϵ_{r1} 設定為 10 以上，較佳地設定為 15 以上，並且作為構成電晶體 160 的閘極電容的絕緣層，可以採用氧化矽，並滿足 $\epsilon_{r2}=3$ 至 4。

藉由並用這種結構，可以進一步實現根據所公開的發明的半導體裝置的高集成化。

另外，為了增大半導體裝置的儲存容量，除了高集成化以外還可以採用多值化的方法。例如，藉由採用對儲存單元之一寫入三級以上的資訊的結構，與寫入兩級（1 位元）的資訊的情況相比，可以增大儲存容量。例如，藉由不僅向電晶體 160 的閘極電極供應如上所述的施加低電位的電荷 Q_L 、施加高電位的電荷 Q_H ，而且還供應施加其他電位的電荷 Q ，可以實現多值化。在此情況下，即使採用規模較大的電路結構（例如， $15F^2$ 至 $50F^2$ 等：F 是最小加工尺寸）也可以確保足夠的儲存容量。

<應用例子>

接著，參照圖 2A 至 2C 對應用圖 1A-1 至 1B 所示的儲存單元的電路的更具體電路結構及工作進行說明。

圖 2A 是具有 $(m \times n)$ 個儲存單元 170 的半導體裝置的電

路圖的一個例子。圖 2A 中的儲存單元 170 的結構與圖 1A-1 相同。但是，在圖 2A 中，只有第一行的儲存單元 170 與位元線 BL 直接連接，並且只有第 m 行的儲存單元 170 與源極電極線 SL 直接連接。其他行的儲存單元 170 藉由同一列的其他儲存單元 170 與位元線 BL 及源極電極線 SL 電連接。

圖 2A 所示的半導體裝置包括：m 個（m 為 2 以上的整數）寫入字線 WWL；m 個讀出字線 RWL；n 個（n 為 2 以上的整數）源極電極線 SL；n 個位元線 BL；n 個信號線 S；以矩陣狀配置有縱 m 個（行）×橫 n 個（列）儲存單元 170 的儲存單元陣列 201；與 n 個位元線 BL 及 n 個信號線 S 連接的第一驅動電路 190；以及與 m 個寫入字線 WWL 及 m 個讀出字線 RWL 連接的第二驅動電路 192。

在圖 2A 所示的半導體裝置中，在第二驅動電路 192 和儲存單元陣列 201 之間具有電容元件 250。例如，可以使用圖 2B 所示的電容元件 250。如圖 2B 所示，電容元件 250 具有其電極的一方電連接到寫入字線 WWL 的結構。

或者，在圖 2A 所示的半導體裝置中，在第二驅動電路 192 和儲存單元陣列 201 之間也可以具有電容元件 250 和電阻元件 251（在圖 2A 中未圖示）。例如，可以使用圖 2C 所示的電容元件 250 及電阻元件 251。如圖 2C 所示，電容元件 250 的電極的一方電連接到寫入字線 WWL 及電阻元件 251 的端子的一方。電阻元件 251 的端子的另一方電連接到第二驅動電路 192。

另外，不需要在讀出字線 RWL 一側設置電容元件 250 或電容元件 250 及電阻元件 251。或者，也可以與寫入字線 WWL 一側同樣在讀出字線 RWL 一側也設置電容元件 250 或電容元件 250 及電阻元件 251。

資料的寫入、保持及讀出基本上與圖 1A-1 至 1B 的情況相同。換言之，以下示出具體寫入工作。注意，雖然在此作為一個例子說明對節點 FG 施加電位 V1（低於電源電位 VDD 的電位）和基準電位 GND 中的任何一種的情況，但是對節點 FG 施加的電位關係不侷限於此。另外，當對節點 FG 施加電位 V1 時保持的資料為資料“1”，並且當對節點 FG 施加基準電位 GND 時保持的資料為資料“0”。另外，源極電極線 SL 的電位是 VDD 或比 VDD 較低的電位（VR）。但是，如果沒有工作的問題，則也可以暫時改變源極電極線 SL 的電位。

首先，將連接到儲存單元 170 的讀出字線 RWL 的電位設定為 GND，將寫入字線 WWL 的電位設定為 V2（高於 V1 的電位，例如 VDD），來選擇儲存單元 170。

當對儲存單元 170 寫入資料“0”時，對信號線 S 施加 GND，而當對儲存單元 170 寫入資料“1”時，對信號線 S 施加 V1。此時，因為將寫入字線 WWL 的電位設定為 V2，所以可以對節點 FG 施加 V1。

藉由將讀出字線 RWL 的電位及寫入字線 WWL 的電位設定為 GND 來保持資料。

當將讀出字線 RWL 的電位固定為 GND 時，節點 FG

的電位被固定為寫入時的電位。換言之，在節點 FG 施加有作為資料“1”的 V1 的狀態下，節點 FG 的電位成為 V1，而在節點 FG 施加有作為資料“0”的 GND 的狀態下，節點 FG 的電位成為 GND。

另外，因為寫入字線 WWL 施加有 GND，所以不管寫入資料“1”還是資料“0”，電晶體 162 都成為截止狀態。因為電晶體 162 的截止電流極小，所以長時間地保持電晶體 160 的閘極電極的電荷。

藉由將與讀出物件的儲存單元 170 連接的讀出字線 RWL 的電位和寫入字線 WWL 的電位設定為 GND，將與讀出物件之外的儲存單元 170 連接的讀出字線 RWL 的電位設定為 V1，且將寫入字線 WWL 的電位設定為 GND，來讀出數據。

在將與讀出物件的儲存單元 170 連接的讀出字線 RWL 的電位設定為 GND 的情況下，當讀出物件的儲存單元 170 的節點 FG 施加有作為資料“1”的 V1 時，電晶體 160 成為截止狀態。另一方面，當節點 FG 施加有作為資料“0”的 GND 時，電晶體 160 成為導通狀態。

另外，當將與讀出物件之外的儲存單元 170 連接的讀出字線 RWL 的電位設定為 V1 且將寫入字線 WWL 的電位設定為 GND 時，不管讀出物件之外的儲存單元 170 寫入有資料“1”還是資料“0”，電晶體 160 都成為導截止狀態。

換言之，藉由進行上述讀出工作，在讀出物件的儲存

單元 170 寫入有資料“1”時，電晶體 160 成爲截止狀態，且維持開始讀出時的位元線 BL 的電位或該電位降低。另一方面，在儲存單元 170 寫入有資料“0”時，電晶體 160 成爲導通狀態，且位元線 BL 的電位得到提高。

注意，雖然在上述說明中電晶體 160 爲 p 通道型電晶體，但是也可以將 n 通道型電晶體用作電晶體 160。在此情況下，適當地調節施加到各佈線的電位。

如上所述，所公開的發明的一個方式的半導體裝置藉由電晶體 162 的開關工作，且利用電晶體 162 的截止電流極小的特徵長時間地保持節點 FG 的電荷。因此，如果與控制信號不同的短脈衝或雜訊等的信號被輸入到與電晶體 162 的閘極電極電連接的寫入字線 WWL 而電晶體 162 瞬間地成爲導通，則寫入在儲存單元 170 中的資料有可能消失。

在所公開的發明的一個方式的半導體裝置中，藉由在第二驅動電路 192 和儲存單元陣列 201 之間設置電連接到寫入字線 WWL 的電容元件 250 或電容元件 250 及電阻元件 251，可以降低或去除與控制信號不同的短脈衝或雜訊等的信號。由此，可以防止因儲存單元 170 所具有的電晶體 162 瞬間地成爲導通而寫入在儲存單元 170 中的資料消失的錯誤工作。

注意，與控制信號不同的短脈衝或雜訊等的信號包括：從第二驅動電路 192 輸入的信號；以及起因於當如打開電源時或切斷電源時等電位不穩定時產生的電位變化的

信號等。

如上所述，藉由在第二驅動電路 192 和儲存單元陣列 201 之間設置電連接到寫入字線 WWL 的電容元件 250 或電容元件 250 及電阻元件 251，可以降低或去除與控制信號不同的短脈衝或雜訊等的信號。由此，可以防止因儲存單元 170 所具有的電晶體 162 瞬間地成爲導通而寫入在儲存單元 170 中的資料消失的錯誤工作。

以上，本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而實施。

實施方式 2

在本實施方式中，參照圖 3A 至圖 4F 說明應用圖 1A-1 至 1B 所示的儲存單元的電路且與圖 2A 至 2C 所示的電路結構不同的電路結構。

圖 3A 是具有 ($m \times n$) 個儲存單元 170 的半導體裝置的電路圖的一個例子。圖 3A 中的儲存單元 170 的結構與圖 1A-1 及圖 2A 相同，因此省略詳細說明。

圖 3A 所示的半導體裝置包括：以矩陣狀配置有縱 m 個（行） \times 橫 n 個（列）儲存單元 170 的儲存單元陣列 201；與 n 個位元線 BL 及 n 個信號線 S 連接的第一驅動電路 190；以及與 m 個寫入字線 WWL 及 m 個讀出字線 RWL 連接的第二驅動電路 192。

在圖 3A 所示的半導體裝置中，第二驅動電路 192 具有與寫入字線 WWL 電連接的雜訊去除電路 260。例如，

可以使用圖 3B 所示的雜訊去除電路 260。圖 3B 所示的雜訊去除電路 260 具有串聯連接的偶數個反相器電路和電容元件。例如，圖 3B 所示的雜訊去除電路 260 具有第一反相器電路、第二反相器電路以及電容元件，並且電容元件的電極的一方與第一反相器電路的輸出端子及第二反相器電路的輸入端子電連接。注意，雖然在圖中使用兩個反相器電路，但是只要使用偶數個反相器電路，對其數量沒有限制。在此情況下，只要在電容元件的前後分別至少具有一個反相器電路，即可。

或者，在圖 3A 所示的半導體裝置中，也可以使用圖 3C 所示的雜訊去除電路 260。圖 3C 所示的雜訊去除電路 260 具有串聯連接的偶數個反相器電路和電阻元件。例如，雜訊去除電路 260 具有第一反相器電路、第二反相器電路以及電阻元件，電阻元件的端子的一方與第一反相器電路的輸出端子電連接，並且電阻元件的端子的另一方與第二反相器電路的輸入端子電連接。注意，雖然在圖中使用兩個反相器電路，但是只要使用偶數個反相器電路，對其數量沒有限制。在此情況下，只要在電阻元件的前後分別至少具有一個反相器電路，即可。

或者，在圖 3A 所示的半導體裝置中，也可以使用圖 3D 所示的雜訊去除電路 260。圖 3D 所示的雜訊去除電路 260 具有串聯連接的偶數個反相器電路、電容元件以及電阻元件。例如，雜訊去除電路 260 具有第一反相器電路、第二反相器電路、電容元件以及電阻元件，並且電阻元件

的端子的一方與第一反相器電路的輸出端子電連接，電阻元件的端子的另一方及電容元件的電極的一方與第二反相器電路的輸入端子電連接。注意，雖然在圖中使用兩個反相器電路，但是只要使用偶數個反相器電路，對其數量沒有限制。在此情況下，只要在電容元件和電阻元件的前後分別至少具有一個反相器電路，即可。

或者，在圖 3A 所示的半導體裝置中，也可以使用圖 4A 所示的雜訊去除電路 260。圖 4A 所示的雜訊去除電路 260 具有串聯連接的兩個緩衝器電路和電容元件。例如，雜訊去除電路 260 具有第一緩衝器電路、第二緩衝器電路、電容元件，並且電容元件的電極的一方與第一緩衝器電路的輸出端子及第二緩衝器電路的輸入端子電連接。注意，雖然在圖中使用兩個緩衝器電路，但是只要使用多個緩衝器電路，對其數量沒有限制。在此情況下，只要在電容元件的前後分別至少具有一個緩衝器電路，即可。

或者，在圖 3A 所示的半導體裝置中，也可以使用圖 4B 所示的雜訊去除電路 260。圖 4B 所示的雜訊去除電路 260 具有串聯連接的多個緩衝器電路和電阻元件。例如，雜訊去除電路 260 具有第一緩衝器電路、第二緩衝器電路以及電阻元件，電阻元件的端子的一方與第一緩衝器電路的輸出端子電連接，並且電阻元件的端子的另一方與第二緩衝器電路的輸入端子電連接。注意，雖然在圖中使用兩個緩衝器電路，但是只要使用多個緩衝器電路，對其數量沒有限制。在此情況下，只要在電阻元件的前後分別至少

具有一個緩衝器電路，即可。

或者，在圖 3A 所示的半導體裝置中，也可以使用圖 4C 所示的雜訊去除電路 260。圖 4C 所示的雜訊去除電路 260 具有串聯連接的多個緩衝器電路、電容元件以及電阻元件。例如，雜訊去除電路 260 具有第一緩衝器電路、第二緩衝器電路、電容元件以及電阻元件，電阻元件的端子的一方與第一緩衝器電路的輸出端子電連接，並且電阻元件的端子的另一方及電容元件的電極的一方與第二緩衝器電路的輸入端子電連接。注意，雖然在圖中使用兩個緩衝器電路，但是只要使用多個緩衝器電路，對其數量沒有限制。在此情況下，只要在電容元件和電阻元件的前後分別至少具有一個緩衝器電路，即可。

或者，在圖 3A 所示的半導體裝置中，也可以使用圖 4D 所示的雜訊去除電路 260。圖 4D 所示的雜訊去除電路 260 具有緩衝器電路、電容元件和 AND 電路，並且緩衝器電路的輸出端子與 AND 電路的輸入端子的一方、另一方及電容元件的電極的一方電連接。注意，雖然在圖中使用一個緩衝器電路，但是也可以使用多個緩衝器電路。

或者，在圖 3A 所示的半導體裝置中，也可以使用圖 4E 所示的雜訊去除電路 260。圖 4E 所示的雜訊去除電路 260 具有緩衝器電路、電阻元件和 AND 電路，緩衝器電路的輸出端子與 AND 電路的輸入端子的一方及電阻元件的端子的一方電連接，並且電阻元件的端子的另一方與 AND 電路的輸入端子的另一方電連接。注意，雖然在圖

中使用一個緩衝器電路，但是也可以使用多個緩衝器電路。

或者，在圖 3A 所示的半導體裝置中，也可以使用圖 4F 所示的雜訊去除電路 260。圖 4F 所示的雜訊去除電路 260 具有緩衝器電路、電容元件、電阻元件和 AND 電路，緩衝器電路的輸出端子與 AND 電路的輸入端子的一方及電阻元件的端子的一方電連接，並且電阻元件的端子的另一方與電容元件的電極的一方及 AND 電路的輸入端子的另一方電連接。注意，雖然在圖中使用一個緩衝器電路，但是也可以使用多個緩衝器電路。

在上述結構中，可以使用偶數個反相器電路構成緩衝器電路。

另外，也可以在讀出字線 RWL 一側不設置雜訊去除電路 260。或者，與寫入字線 WWL 一側同樣可以在讀出字線 RWL 一側也設置雜訊去除電路 260。

資料的寫入、保持及讀出基本上與圖 1A-1 至 2C 的情況相同。

換言之，所公開的發明的一個方式的半導體裝置藉由電晶體 162 的開關工作，且利用電晶體 162 的截止電流極小的特徵長時間地保持節點 FG 的電荷。因此，如果與控制信號不同的短脈衝或雜訊等的信號被輸入到與電晶體 162 的閘極電極電連接的寫入字線 WWL 而電晶體 162 瞬間地成爲導通，則寫入在儲存單元 170 中的資料有可能消失。

在所公開的發明的一個方式的半導體裝置中，藉由設置與寫入字線 WWL 電連接的雜訊去除電路 260，可以降低或去除與控制信號不同的短脈衝或雜訊等的信號。由此，可以防止因儲存單元 170 所具有的電晶體 162 瞬間地成爲導通而寫入在儲存單元 170 中的資料消失的錯誤工作。

另外，作爲圖 3B 至 3D 所示的反相器電路或構成圖 4A 至 4F 所示的緩衝器電路的反相器電路，也可以使用改變資料反相位置的反相器電路。例如，藉由改變用於反相器電路的 P 通道型電晶體的尺寸（通道長度、通道寬度）或 N 通道型電晶體的尺寸（通道長度、通道寬度）來可以改變反相器電路中的資料反相位置。或者，也可以使用具有磁滯特性的電路（磁滯型反相器電路、磁滯型 AND 電路）改變反相器電路中的資料反相位置。藉由改變資料反相位置，可以提高降低或去除與控制信號不同的短脈衝或雜訊等的信號的效果。

如上所述，藉由設置與寫入字線 WWL 電連接的雜訊去除電路 260，可以降低或去除與控制信號不同的短脈衝或雜訊等的信號。由此，可以防止因儲存單元 170 所具有的電晶體 162 瞬間地成爲導通而寫入在儲存單元 170 中的資料消失的錯誤工作。

以上，本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而實施。

實施方式 3

在本實施方式中，使用圖 5A 至 5C 對根據所公開的發明的一個方式的半導體裝置的應用例子進行說明。在此，對半導體裝置所具有的儲存單元陣列的一部分或全部的結構進行說明。注意，在電路圖中，為了示出使用氧化物半導體的電晶體，有時附上符號“OS”。

圖 5A、5B 及 5C 是使用多個圖 1A-1 所示的半導體裝置（以下也表示為儲存單元）來形成的儲存單元陣列的一部分或全部的電路圖。圖 5A 及 5B 是儲存單元串聯連接的所謂 NAND 型半導體裝置的電路圖，圖 5C 是儲存單元並聯連接的所謂 NOR 型半導體裝置的電路圖。

圖 5A 所示的半導體裝置具有源極電極線 SL、位元線 BL、信號線 S、m 個寫入字線 WWL、m 個讀出字線 RWL、以及 m 個儲存單元。圖 5A 示出半導體裝置具有一個源極電極線 SL 和一個位元線 BL 的結構，但是本發明的一個方式不侷限於此，也可以採用具有多個源極電極線 SL 及多個位元線 BL 的結構。

在各儲存單元（典型為儲存單元 170 (i)）。在此，i 為 1 以上且 m 以下的整數）中，電晶體 160 (i) 的閘極電極與電晶體 162 (i) 的汲極電極（或源極電極）與電容元件 164 (i) 的電極的一方電連接。另外，信號線 S 與電晶體 162 (i) 的源極電極（或汲極電極）電連接，寫入字線 WWL (i) 與電晶體 162 (i) 的閘極電極電連接。再者，讀出字線 RWL (i) 與電容元件 164 (i) 的電極的另

一方電連接。

另外，儲存單元 170 (i) 所具有的電晶體 160 (i) 的汲極電極與鄰近的儲存單元 170 (i-1) 所具有的電晶體 160 (i-1) 的源極電極電連接，並且儲存單元 170 (i) 所具有的電晶體 160 (i) 的源極電極與鄰近的儲存單元 170 (i+1) 所具有的電晶體 160 (i+1) 的汲極電極電連接。另外，串聯連接的 m 個儲存單元中的儲存單元 170 (1) 所具有的電晶體 160 (1) 的汲極電極與位元線 BL 電連接。另外，串聯連接的 m 個儲存單元中的儲存單元 170 (m) 所具有的電晶體 160 (m) 的源極電極與源極電極線 SL 電連接。

儲存單元 170 (1) 所具有的電晶體 160 (1) 也可以藉由選擇電晶體與位元線 BL 電連接（未圖示）。在此情況下，選擇電晶體的閘極電極與選擇線 G1 連接。另外，儲存單元 170 (m) 所具有的電晶體 160 (m) 也可以藉由選擇電晶體與源極電極線 SL 電連接（未圖示）。在此情況下，選擇電晶體的閘極電極與選擇線 G2 連接。

在圖 5A 所示的半導體裝置中，按每個行進行寫入工作和讀出工作。以如下步驟進行寫入工作。對進行寫入的行（例如，第 i 行）的寫入字線 WWL (i) 施加使電晶體 162 (i) 成爲導通狀態的電位，而使進行寫入的行的電晶體 162 (i) 成爲導通狀態。由此，對所指定的行的電晶體 160 (i) 的閘極電極施加信號線 S 的電位，而對該閘極電極施加所定的電荷。像這樣，可以對所指定的行的儲存單

元寫入資料。

另外，以下示出讀出工作。對進行讀出的行（例如，第 i 行）之外的讀出字線 RWL 施加不管施加到電晶體 160 的閘極電極的電荷如何都使進行讀出的行之外的電晶體 160 成爲導通狀態的電位，而使進行讀出的行之外的電晶體 160 成爲截止狀態。然後，對進行讀出的行的讀出字線 RWL (i) 施加根據電晶體 160 (i) 的閘極電極所具有的電荷對應哪個資料而選擇電晶體 160 (i) 的導通狀態或截止狀態的電位（讀出電位）。此外，對源極電極線 SL 施加固定電位，使與位元線 BL 連接的讀出電路（未圖示）成爲工作狀態。在此，進行讀出的行的電晶體 160 (i) 之外的源極電極線 SL-位元線 BL 之間的多個電晶體 160 (1) 至 160 (m) 都處於導通狀態，所以源極電極線 SL-位元線 BL 之間的導電率的大小由進行讀出的行的電晶體 160 (i) 的狀態（導通狀態或截止狀態）決定。因爲電晶體的狀態（導通狀態或截止狀態）根據進行讀出的行的電晶體 160 (i) 的閘極電極所具有的電荷對應哪個資料而不同，所以根據其位元線 BL 的電位具有不同的值。藉由使用讀出電路讀出位元線 BL 的電位，可以從所指定的行的儲存單元讀出資訊。

圖 5B 所示的半導體裝置的一部分的結構與圖 5A 不同。

圖 5B 所示的半導體裝置與圖 5A 所示的半導體裝置的不同之處之一是：在圖 5B 所示的半導體裝置中，位元

線 BL 與儲存單元 170 (1) 所具有的電晶體 160 (1) 的汲極電極藉由選擇電晶體 530 電連接。選擇電晶體 530 的閘極電極與用於轉換選擇電晶體 530 的導通、截止的選擇線 G1 電連接。

另外，圖 5B 所示的半導體裝置與圖 5A 所示的半導體裝置的不同之處之一是：在圖 5A 所示的半導體裝置中，各儲存單元的電晶體 162 的源極電極（或汲極電極）與信號線 S 連接，而在圖 5B 所示的半導體裝置中，各儲存單元的電晶體 162 串聯連接。換言之，儲存單元 170 (i) 所具有的電晶體 162 (i) 的源極電極與鄰近的儲存單元 170 (i-1) 所具有的電晶體 162 (i-1) 的汲極電極電連接，並且儲存單元 170 (i) 所具有的電晶體 162 (i) 的汲極電極與鄰近的儲存單元 170 (i+1) 所具有的電晶體 162 (i+1) 的源極電極電連接。但是，串聯連接的 m 個儲存單元中，儲存單元 170 (1) 所具有的電晶體 162 (1) 的源極電極與信號線 S 電連接。另外，在串聯連接的各儲存單元中，與圖 5A 所示的半導體裝置同樣，電晶體 162 (i) 的汲極電極電連接到電晶體 160 (i) 的閘極電極與電容元件 164 (i) 的電極的一方。

圖 5B 所示的半導體裝置的其他部分的結構與圖 5A 所示的半導體裝置同樣，因此，作為其詳細內容可以參照上述記載。

另外，雖然在圖 5B 所示的半導體裝置中分別設置有信號線 S 和位元線 BL，但是所公開的發明不侷限於此，

也可以採用信號線 S 與位元線 BL 為同一佈線的結構。

在圖 5B 所示的半導體裝置中也按每個行進行寫入工作和讀出工作。寫入工作以如下方法來進行。

寫入工作按每個行進行，並從第 m 行按順序進行。當對第 i 行 ($i=1$ 至 m) 進行寫入時，對進行寫入的行 (第 i 行) 的寫入字線 $WWL(i)$ 施加使電晶體 $162(i)$ 成為導通狀態的電位，而使進行寫入的行的電晶體 $162(i)$ 成為導通狀態。在此，當在電晶體 $162(i)$ 與信號線 S 之間有電晶體 $162(1)$ 至電晶體 $162(i-1)$ 時，也使到進行寫入的行為止的電晶體 $162(1)$ 至 $162(i-1)$ 成為導通狀態，對進行寫入的行的儲存單元 $170(i)$ 施加信號線 S 的電位。由此，對所指定的行的電晶體 $160(i)$ 的閘極電極施加信號線 S 的電位，而對該閘極電極施加所定的電荷。然後，藉由將寫入字線 $WWL(i)$ 的電位固定為 GND ，保持蓄積在電晶體 $160(i)$ 的閘極電極中的電荷。像這樣，可以對所指定的行 (第 i 行) 的儲存單元寫入資料。

另外，在圖 5B 所示的半導體裝置中，由於將構成各儲存單元 170 的電晶體 162 串聯連接，因此難以只重寫任意的行的資料。所以，較佳的是，作為驅動方式進行多個行的同時擦除工作。例如，較佳的是，將從第一行到第 m 行看作一個組，按每個組進行擦除。當重寫所定的組的數據時，較佳的是，先擦除該組的資料，從第 m 行按順序寫入資料。另外，當重寫即將重寫之前寫入的行的資料

時，不需要進行擦除工作。

另外，如下所述那樣進行讀出工作。首先，藉由對選擇線 G1 施加電位，使選擇電晶體成爲導通。注意，當有與選擇線 G1 連接的選擇電晶體以及與選擇線 G2 連接的選擇電晶體時，使兩個電晶體都成爲導通狀態。此外，對進行讀出的行（例如，第 i 行）之外的讀出字線 RWL 施加不管施加到電晶體 160 的閘極電極的電荷如何都使進行讀出的行之外的電晶體 160 成爲導通狀態的電位，而使進行讀出的行之外的電晶體 160 成爲導通狀態。然後，對進行讀出的行的讀出字線 RWL (i) 施加根據電晶體 160 (i) 的閘極電極所具有的電荷對應哪個資料而選擇電晶體 160 (i) 的導通狀態或截止狀態的電位（讀出電位）。此外，對源極電極線 SL 施加固定電位，使與位元線 BL 連接的讀出電路（未圖示）成爲工作狀態。在此，源極電極線 SL-位元線 BL 之間的多個電晶體 160 (1) 至 160 (m) 中的進行讀出的行的電晶體 160 (i) 之外的電晶體都處於導通狀態，所以源極電極線 SL-位元線 BL 之間的導電率的大小由進行讀出的行的電晶體 160 (i) 的狀態（導通狀態或截止狀態）決定。因爲電晶體的狀態（導通狀態或截止狀態）根據進行讀出的行的電晶體 160 (i) 的閘極電極所具有的電荷對應哪個資料而不同，所以相應地位元線 BL 的電位成爲不同的值。藉由使用讀出電路讀出位元線 BL 的電位，可以從所指定的行的儲存單元讀出資訊。

圖 5C 所示的半導體裝置具有 n 個源極電極線 SL 、 n 個位元線 BL 、 n 個信號線 S 、 m 個寫入字線 WWL 、 m 個讀出字線 RWL 以及多個儲存單元 $170(1, 1)$ 至 $170(m, n)$ 。

在各儲存單元（典型為儲存單元 $170(i, j)$ ）。在此， i 為 1 以上且 m 以下的整數， j 為 1 以上且 n 以下的整數）中，電晶體 $160(i, j)$ 的閘極電極與電晶體 $162(i, j)$ 的汲極電極（或源極電極）與電容元件 $164(i, j)$ 的電極的一方電連接。另外，源極電極線 $SL(j)$ 與電晶體 $160(i, j)$ 的源極電極電連接，並且位元線 $BL(j)$ 與電晶體 $160(i, j)$ 的汲極電極電連接。另外，信號線 $S(j)$ 與電晶體 $162(i, j)$ 的源極電極（或汲極電極）電連接，寫入字線 $WWL(i)$ 與電晶體 $162(i, j)$ 的閘極電極電連接。再者，讀出字線 $RWL(i)$ 與電容元件 $164(i, j)$ 的電極的另一方電連接。

在圖 5C 所示的半導體裝置中，按每個行進行寫入工作和讀出工作。使用與上述圖 5A 所示的半導體裝置相同的方法進行寫入工作。讀出工作如下所述那樣進行。首先，對進行讀出的行（例如，第 i 行的儲存單元 $(i, 1)$ 至 (i, n) ）之外的讀出字線 RWL 施加不管施加到電晶體 $160(i, 1)$ 至 (i, n) 的閘極電極的電荷對應哪個資料都使進行讀出的行之外的電晶體 160 成為截止狀態的電位，而使進行讀出的行之外的電晶體 160 成為截止狀態。然後，對進行讀出的行的讀出字線 $RWL(i)$ 施加根據電

晶體 160 (i、1) 至 (i、n) 的閘極電極所具有的電荷對應哪個資料而選擇電晶體 160 (i、1) 至 (i、n) 的導通狀態或截止狀態的電位 (讀出電位)。此外，對源極電極線 SL (j) 施加固定電位，使與位元線 BL (j) 連接的讀出電路 (未圖示) 成爲工作狀態。在此，源極電極線 SL (j) - 位元線 BL (j) 之間的導電率的大小由進行讀出的行的電晶體 160 (i、1) 至 (i、n) 的狀態 (導通狀態或截止狀態) 決定。也就是說，位元線 BL (j) 的電位根據進行讀出的行的電晶體 160 (i、1) 至 (i、n) 的閘極電極所具有的電荷對應哪個資料而不同。藉由讀出電路讀出位元線 BL (j) 的電位，可以從所指定的行的儲存單元讀出資訊。

注意，雖然在上述說明中使各儲存單元 170 所保持的信息量爲 1 位元，但是本實施方式所示的半導體裝置的結構不侷限於此。也可以當進行寫入時準備施加到各電晶體 160 的閘極電極的三種以上的電位來增加各儲存單元 170 所保持的信息量。例如，在當進行寫入時準備施加到各電晶體 160 的閘極電極的四種電位的情況下，可以使各儲存單元保持 2 位元的資訊。

在圖 5A 至 5C 中，也可以兼用信號線 S 和位元線 BL。藉由兼用信號線 S 和位元線 BL，可以減少佈線的數量。此外，在圖 5C 中，多個儲存單元也可以共同使用源極電極線 SL。

也可以使用圖 5A 或 5B 所示的 NAND 型半導體裝置

代替圖 2A 或圖 3A 所示的儲存單元陣列 201。在此情況下，也可以將圖 5A 或 5B 所示的 NAND 型半導體裝置排成 n 列使用。另外，也可以使用圖 5C 所示的 NOR 型半導體裝置代替圖 2A 或圖 3A 所示的儲存單元陣列 201。

所公開的發明的一個方式的半導體裝置藉由電晶體 162 的開關工作，且利用電晶體 162 的截止電流極小的特徵長時間地保持節點 FG 的電荷。因此，如果與控制信號不同的短脈衝或雜訊等的信號被輸入到與電晶體 162 的閘極電極電連接的寫入字線 WWL 而電晶體 162 瞬間地成爲導通，則寫入到儲存單元 170 中的資料有可能消失。

在所公開的發明的一個方式的半導體裝置中，如圖 2A 至 4F 所示，藉由設置與寫入字線 WWL 電連接的電容元件 250 或雜訊去除電路 260，可以降低或去除與控制信號不同的短脈衝或雜訊等的信號。由此，可以防止因儲存單元 170 所具有的電晶體 162 瞬間地成爲導通而寫入在儲存單元 170 中的資料消失的錯誤工作。

以上，本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而實施。

實施方式 4

在本實施方式中，參照圖 6A 至 14C 說明根據所公開的發明的一個方式的半導體裝置的結構及其製造方法。

<半導體裝置的剖面結構及平面結構>

圖 6A 和 6B 是半導體裝置所具有的儲存單元的結構的一個例子。圖 6A 示出半導體裝置所具有的儲存單元的剖面，圖 6B 示出半導體裝置所具有的儲存單元的平面。在此，圖 6A 相當於沿著圖 6B 的 A1-A2 及 B1-B2 的剖面。圖 6A 和 6B 所示的半導體裝置在下部具有使用第一半導體材料的電晶體 160 並在上部具有使用第二半導體材料的電晶體 162。在此，較佳的是，第一半導體材料和第二半導體材料是不同的材料。例如，可以使用氧化物半導體以外的半導體材料作為第一半導體材料，並且使用氧化物半導體作為第二半導體材料。作為氧化物半導體以外的半導體材料，例如可以使用矽、鍺、矽鍺、碳化矽或砷化鎵等，較佳的是，使用單晶半導體。除此之外，也可以使用有機半導體材料等。使用這種半導體材料的電晶體容易進行高速工作。另一方面，使用氧化物半導體的電晶體由於其特性而能夠長時間地保持電荷。圖 6A 和 6B 所示的半導體裝置可以用作儲存單元。

另外，所公開的發明的技術本質在於：為了保持資訊，將如氧化物半導體的能夠充分地降低截止電流的半導體材料用於電晶體 162。因此，用於半導體裝置的材料或半導體裝置的結構等的半導體裝置的具體結構不需要侷限於在此所示的結構。

圖 6A 和 6B 中的電晶體 160 包括：設置在半導體基板 500 上的半導體層中的通道形成區 134；夾著通道形成區 134 地設置的雜質區 132（也稱為源極區及汲極區）；

設置在通道形成區 134 上的閘極絕緣層 122a；以及在閘極絕緣層 122a 上與通道形成區 134 重疊地設置的閘極電極 128a。注意，在圖式中，雖然有時不明顯地具有源極電極或汲極電極，但是爲了方便起見有時將這種結構也稱爲電晶體。另外，此時，爲了對電晶體的連接關係進行說明，也有時將源極區或汲極區總括地稱爲源極電極或汲極電極。也就是說，在本說明書中，源極電極的記載會包括源極區。

另外，設置在半導體基板 500 上的半導體層中的雜質區 126 與導電層 128b 連接。在此，導電層 128b 也用作電晶體 160 的源極電極或汲極電極。另外，在雜質區 132 和雜質區 126 之間設置有雜質區 130。另外，覆蓋電晶體 160 地設置有絕緣層 136、絕緣層 138 及絕緣層 140。另外，爲了實現高集成化，如圖 6A 和 6B 所示，較佳的是，採用電晶體 160 不具有側壁絕緣層的結構。另一方面，在重視電晶體 160 的特性的情況下，也可以在閘極電極 128a 的側面設置側壁絕緣層，並設置包括不同雜質濃度的區域的雜質區 132。

圖 6A 和 6B 中的電晶體 162 包括：設置在絕緣層 140 等上的氧化物半導體層 144；與氧化物半導體層 144 電連接的源極電極（或汲極電極）142a 及汲極電極（或源極電極）142b；覆蓋氧化物半導體層 144、源極電極 142a 以及汲極電極 142b 的閘極絕緣層 146；以及在閘極絕緣層 146 上與氧化物半導體層 144 重疊地設置的閘極電極 148a。

在此，較佳的是，氧化物半導體層 144 藉由被充分地去除氫等的雜質，或者被供給充分的氧，而被高純度化。明確地說，例如，氧化物半導體層 144 的氫濃度為 $5 \times 10^{19} \text{atoms/cm}^3$ 以下，較佳地為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下，更佳地為 $5 \times 10^{17} \text{atoms/cm}^3$ 以下。另外，上述氧化物半導體層 144 中的氫濃度是藉由二次離子質譜測定技術（SIMS：Secondary Ion Mass Spectrometry）來測量的。如此，在氫濃度被充分降低而被高純度化，並藉由被供給充分的氧來降低起因於氧缺乏的能隙中的缺陷能階的氧化物半導體層 144 中，載子濃度為低於 $1 \times 10^{12}/\text{cm}^3$ ，較佳地為低於 $1 \times 10^{11}/\text{cm}^3$ ，更佳地為低於 $1.45 \times 10^{10}/\text{cm}^3$ 。例如，室溫（ 25°C ）下的截止電流（在此，每單位通道寬度（ $1\mu\text{m}$ ）的值）為 100zA （ 1zA （仄普托安培）等於 $1 \times 10^{-21}\text{A}$ ）以下，較佳地為 10zA 以下。如此，藉由使用被 i 型化（本質化）或實質上被 i 型化的氧化物半導體，可以得到截止電流特性極為優良的電晶體 162。

另外，較佳的是，氧化物半導體層 144 為充分降低了鹼金屬及鹼土金屬的濃度的氧化物半導體層。關於利用 SIMS 分析法測定的鹼金屬或鹼土金屬的濃度，例如，Na 為 $5 \times 10^{16} \text{cm}^{-3}$ 以下，較佳地為 $1 \times 10^{16} \text{cm}^{-3}$ 以下，更佳地為 $1 \times 10^{15} \text{cm}^{-3}$ 以下，Li 為 $5 \times 10^{15} \text{cm}^{-3}$ 以下，較佳地為 $1 \times 10^{15} \text{cm}^{-3}$ 以下，K 為 $5 \times 10^{15} \text{cm}^{-3}$ 以下，較佳地為 $1 \times 10^{15} \text{cm}^{-3}$ 以下。

一般地認為，由於氧化物半導體對雜質不敏感，因此即使在膜中包含多量金屬雜質也沒有問題，而也可以使用

包含多量的鹼金屬諸如鈉等的廉價的鈉鈣玻璃（神穀、野村以及細野，“アモルファス酸化物半導體の物性とデバイス開発の現状（Carrier Transport Properties and Electronic Structures of Amorphous Oxide Semiconductors: The present status：非晶氧化物半導體の物性及裝置開發の現状）”，固體物理，2009年9月號，Vol.44，p.621-633）。但是，這種意見不是適當的。因為對於氧化物半導體來說鹼金屬及鹼土金屬是惡性的雜質，所以較佳的是，氧化物半導體所含有的鹼金屬及鹼土金屬量少。尤其是，鹼金屬中的 Na 當與氧化物半導體接觸的絕緣膜是氧化物時擴散到氧化物中並成爲 Na^+ 。另外，在氧化物半導體內，Na 斷裂金屬與氧的結合或者擠進結合之中。其結果是，導致電晶體特性的劣化（例如，常開啓化（臨界值向負一側漂移）、遷移率的降低等）。而且，還成爲特性偏差的原因。特別在氧化物半導體中的氫濃度充分低時，這些問題變得明顯。由此，當氧化物半導體中的氫濃度是 $5 \times 10^{19} \text{cm}^{-3}$ 以下，特別是 $5 \times 10^{18} \text{cm}^{-3}$ 以下時，強烈要求將鹼金屬的濃度設定爲上述值。

另外，較佳的是，氧化物半導體是費米能階（ E_f ）與本質費米能階（ E_i ）相等（ $E_f = E_i$ ）或本質費米能階（ E_i ）大於費米能階（ E_f ）（ $E_f < E_i$ ）的所謂 p^- 型。例如，藉由對氧化物半導體添加作爲摻雜劑的錫來可以形成 p^- 型氧化物半導體。另外，當氧化物半導體是 i 型（本質）或實質上 i 型時，更容易添加雜質控制費米能階

(E_f)，所以是較佳的。再者，較佳的是，作為閘極電極使用功函數 (ϕ_M) 大的材料。藉由採用上述結構可以實現電晶體的常關閉化，並且還對電晶體添加反向偏壓是有效的。因此，因為可以得到截止電流低的電晶體，即 85°C 下的截止電流值為 1yA 以下且室溫下的截止電流值為 0.1yA 以下的電晶體，所以藉由將該電晶體用於記憶元件來可以形成資料保持特性 (儲存保持：memory retention) 得到提高的半導體裝置。

另外，雖然在圖 6A 和 6B 的電晶體 162 中，為了抑制起因於微型化而產生在元件之間的洩漏，使用被加工為島狀的氧化物半導體層 144，但是也可以採用不被加工為島狀的結構。在不將氧化物半導體層加工為島狀的情況下，可以防止由於加工時的蝕刻導致的氧化物半導體層 144 的污染。

圖 6A 和 6B 所示的電容元件 164 包括汲極電極 142b、閘極絕緣層 146 以及導電層 148b。換言之，汲極電極 142b 用作電容元件 164 的一方的電極，導電層 148b 用作電容元件 164 的另一方的電極。藉由採用這種結構，可以確保足夠的電容。另外，當層疊氧化物半導體層 144 和閘極絕緣層 146 時，可以充分確保汲極電極 142b 和導電層 148b 之間的絕緣性。再者，當不需要電容時，也可以採用不設置電容元件 164 的結構。

在本實施方式中，以與電晶體 160 至少部分重疊的方式設置有電晶體 162 及電容元件 164。藉由採用這種平面

佈局，可以實現高集成化。例如，可以以最小加工尺寸為 F ，將儲存單元所占的面積設定為 $15F^2$ 至 $25F^2$ 。

在電晶體 162 和電容元件 164 上設置有絕緣層 150。並且，在形成於閘極絕緣層 146 及絕緣層 150 中的開口中設置有佈線 154。佈線 154 是連接儲存單元之一與其他儲存單元的佈線，該佈線相當於兼作圖 1A-1 至 3C 的電路圖中的位元線 BL 及信號線 S 的佈線。佈線 154 藉由源極電極 142a 及導電層 128b 連接到雜質區 126。由此，與將電晶體 160 中的源極區或汲極區和電晶體 162 中的源極電極 142a 分別連接到不同佈線的情況相比可以減少佈線數目，從而可以提高半導體裝置的集成度。

另外，藉由設置導電層 128b，可以使雜質區 126 連接到源極電極 142a 的位置與源極電極 142a 連接到佈線 154 的位置重疊。藉由採用這種平面佈局，可以抑制起因於接觸區的元件面積的增大。換言之，可以提高半導體裝置的集成度。

另外，圖 7 示出半導體裝置具有圖 2A 至 2C 所示的結構的情況下的電連接到寫入字線 WWL 的電容元件 250 的剖面的一個例子。

圖 7 所示的電容元件 250 包括：設置在半導體層中的雜質區 126；設置在與閘極絕緣層 122a 相同的層中的絕緣層 122；設置在與閘極電極 128a 相同的層中的導電層 128c；設置在與源極電極 142a 及汲極電極 142b 相同的層中的導電層 142c；以及設置在與閘極電極 148a 相同的層

中的導電層 148c。導電層 128c 與導電層 142c 與導電層 148c 電連接而用作電容元件 250 的電極的一方，雜質區 126 用作電容元件 250 的電極的另一方，並且絕緣層 122 用作電容元件 250 的電介質。藉由採用上述結構，可以確保足夠的電容。注意，電容元件 250 不侷限於上述結構。只要使用構成圖 6A 和 6B 所示的半導體裝置的半導體層、絕緣層及導電層中的任一個形成電容元件 250，即可。例如，作為電容元件 250，也可以採用與圖 6A 和 6B 所示的電容元件 164 相同的結構。

<SOI 基板的製造方法>

接著，參照圖 8A 至 8G 對用於製造上述半導體裝置的 SOI 基板的製造方法的一個例子進行說明。

首先，準備作為基底基板的半導體基板 500（參照圖 8A）。作為半導體基板 500，可以使用如單晶矽基板、單晶鍺基板等半導體基板。另外，作為半導體基板，可以使用太陽能電池級矽（SOG-Si: Solar Grade Silicon）基板等。此外，還可以使用多晶半導體基板。與使用單晶矽基板等的情況相比，使用太陽能電池級矽或多晶半導體基板等時可以抑制製造成本。

也可以使用：鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋇硼矽酸鹽玻璃之類的用於電子工業的各種玻璃基板；石英基板；陶瓷基板；藍寶石基板等代替半導體基板 500。另外，也可以使用以氮化矽和氧化鋁為主要成分的熱膨脹係

數接近於矽的陶瓷基板。

較佳的是，預先對半導體基板 500 的表面進行清洗。明確而言，較佳的是，使用鹽酸和過氧化氫水的混合液（HPM）、硫酸和過氧化氫水的混合液（SPM）、氨水和過氧化氫水的混合液（APM）、稀氫氟酸（DHF）等對半導體基板 500 進行清洗。

接著，準備接合基板。這裏，作為接合基板使用單晶半導體基板 510（參照圖 8B）。另外，雖然在這裏使用單晶基板作為接合基板，但是接合基板的結晶性不侷限於單晶。

作為單晶半導體基板 510，例如可以使用如單晶矽基板、單晶鍺基板、單晶矽鍺基板等的由第 14 族元素構成的單晶半導體基板。此外，也可以使用諸如砷化鎵、磷化銦等的化合物半導體基板。作為市場上出售的矽基板，典型的是直徑為 5 英寸（125mm）、直徑為 6 英寸（150mm）、直徑為 8 英寸（200mm）、直徑為 12 英寸（300mm）、直徑為 16 英寸（400mm）的圓形的矽基板。另外，單晶半導體基板 510 的形狀不侷限於圓形，例如，還可以使用被加工為矩形等的基板。另外，單晶半導體基板 510 可以利用 CZ（提拉）法或 FZ（浮區）法製造。

在單晶半導體基板 510 的表面形成氧化膜 512（參照圖 8C）。另外，從去除污染物的觀點來看，較佳的是，在形成氧化膜 512 之前預先使用鹽酸和過氧化氫水的混合

液（HPM）、硫酸和過氧化氫水的混合液（SPM）、氨水和過氧化氫水的混合液（APM）、稀氫氟酸（DHF）、FPM（氫氟酸和過氧化氫以及純水的混合液）等對單晶半導體基板 510 的表面進行清洗。也可以藉由交替噴出稀氫氟酸和臭氧水來進行清洗。

例如，氧化膜 512 可以由氧化矽膜、氧氮化矽膜等的單層或疊層形成。作為上述氧化膜 512 的製造方法，有熱氧化法、CVD 法或濺射法等。此外，當使用 CVD 法形成氧化膜 512 時，較佳的是，使用四乙氧基矽烷（簡稱為 TEOS：化學式 $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）等的有機矽烷形成氧化矽膜，以實現良好的貼合。

在本實施方式中，藉由對單晶半導體基板 510 進行熱氧化處理來形成氧化膜 512（這裏為 SiO_x 膜）。較佳的是，在氧化氣圍中添加鹵素進行熱氧化處理。

例如，藉由在添加有氯（Cl）的氧化氣圍中對單晶半導體基板 510 進行熱氧化處理，可以形成被氯氧化的氧化膜 512。在這種情況下，氧化膜 512 成為含有氯原子的膜。藉由利用該氯氧化俘獲外來雜質的重金屬（例如，Fe、Cr、Ni、Mo 等）形成金屬氯化物，且藉由該金屬氯化物的汽化，可以降低單晶半導體基板 510 的污染。

另外，氧化膜 512 所包含的鹵素原子不侷限於氯原子。也可以使氧化膜 512 包含氟原子。作為使單晶半導體基板 510 表面氟氧化的方法，例如可以舉出以下方法：在將單晶半導體基板 510 浸漬在 HF 溶液中之後在氧化氣圍

中進行熱氧化處理；或者將 NF_3 添加到氧化氣圍中進行熱氧化處理；等等。

接著，藉由對單晶半導體基板 510 照射添加由電場加速的離子，在單晶半導體基板 510 的所定的深度處形成結晶結構受損傷的脆化區 514（參照圖 8D）。

可以藉由離子的動能、離子的質量和電荷、離子的入射角等來調節形成脆化區 514 的區域的深度。此外，脆化區 514 被形成在與離子的平均侵入深度大致相同的深度的區域中。由此，可以藉由離子的添加深度來調節從單晶半導體基板 510 分離的單晶半導體層的厚度。例如，以單晶半導體層的厚度成爲 10nm 以上且 500nm 以下，較佳地爲 50nm 以上且 200nm 以下左右的方式調節平均侵入深度，即可。

可以使用離子摻雜裝置或離子植入裝置進行該離子照射處理。作爲離子摻雜裝置的典型例子，有將使製程氣體電漿激發而產生的所有離子種照射到被處理體的非質量分離型裝置。在該裝置中，不對電漿中的離子種進行質量分離而將它照射到被處理體。另一方面，離子植入裝置是質量分離型裝置。在離子植入裝置中，對電漿中的離子種進行質量分離，並將某個特定的質量的離子種照射到被處理體。

在本實施方式中，對使用離子摻雜裝置將氫添加到單晶半導體基板 510 的例子進行說明。作爲源氣體，使用包含氫的氣體。至於照射的離子，提高 H_3^+ 的比率較佳。明

確而言，相對於 H^+ 、 H_2^+ 、 H_3^+ 的總量， H_3^+ 的比率為 50% 以上（更佳地為 80% 以上）。藉由提高 H_3^+ 的比例，可以提高離子照射的效率。

另外，添加的離子不侷限於氫。也可以添加氮等的離子。此外，添加的離子不侷限於一種，也可以添加多種離子。例如，當使用離子摻雜裝置同時照射氫和氮時，與在不同的製程中進行照射的情況相比可以減少製程數，並且可以抑制後面形成的單晶半導體層的表面粗糙。

另外，當使用離子摻雜裝置形成脆化區 514 時，雖然有與此同時添加重金屬的憂慮，但是藉由隔著含有鹵素原子的氧化膜 512 進行離子照射，可以防止這些重金屬對單晶半導體基板 510 的污染。

接著，使半導體基板 500 和單晶半導體基板 510 對置，並使它們藉由氧化膜 512 貼合。由此，貼合半導體基板 500 和單晶半導體基板 510（參照圖 8E）。另外，也可以在與單晶半導體基板 510 貼合的半導體基板 500 的表面形成氧化膜或氮化膜。

在進行貼合時，較佳的是，對半導體基板 500 或單晶半導體基板 510 的一處施加 $0.001N/cm^2$ 以上且 $100N/cm^2$ 以下，例如 $1N/cm^2$ 以上且 $20N/cm^2$ 以下的壓力。藉由施加壓力使接合平面接近而密接，在被貼合的部分中半導體基板 500 與氧化膜 512 接合，並以該部分為起點開始自發性的接合而擴展至幾乎整個面。該接合利用范德華力和氫鍵作用，並可以在常溫下進行。

另外，在貼合單晶半導體基板 510 與半導體基板 500 之前，較佳的是，對進行貼合的表面進行表面處理。藉由進行表面處理，可以提高單晶半導體基板 510 和半導體基板 500 的介面的接合強度。

作為表面處理，可以使用濕處理、乾處理或濕處理與乾處理的組合。此外，還可以使用不同的濕處理的組合或不同的乾處理的組合。

另外，在貼合之後，也可以進行熱處理以增高接合強度。將該熱處理的溫度設定為不使脆化區 514 發生分離的溫度（例如，室溫以上且低於 400°C ）。另外，也可以邊在該溫度範圍內加熱邊接合半導體基板 500 和氧化膜 512。作為上述熱處理，可以使用擴散爐、電阻加熱爐等加熱爐、RTA（快速熱退火：Rapid Thermal Anneal）裝置、微波加熱裝置等。另外，上述溫度條件只是一個例子而已，所公開的發明的一個方式不應被解釋為限定於此。

接著，藉由進行熱處理使單晶半導體基板 510 在脆化區中進行分離，而在半導體基板 500 上隔著氧化膜 512 形成單晶半導體層 516（參照圖 8F）。

另外，較佳的是，使進行上述分離時的熱處理的溫度盡可能地低。這是因為進行分離時的溫度越低，單晶半導體層 516 的表面粗糙度越低的緣故。明確而言，例如，可以將進行上述分離時的熱處理的溫度設定為 300°C 以上且 600°C 以下，當將該溫度設定為 500°C 以下（ 400°C 以上）時更有效。

另外，也可以在使單晶半導體基板 510 分離之後，以 500°C 以上的溫度對單晶半導體層 516 進行熱處理以降低殘留在單晶半導體層 516 中的氫的濃度。

接著，藉由對單晶半導體層 516 的表面照射雷射，形成表面平坦性提高了且缺陷減少了的單晶半導體層 518（參照圖 8G）。另外，還可以進行熱處理來替代雷射照射處理。

另外，在本實施方式中，雖然在進行了用來分離單晶半導體層 516 的熱處理之後立即進行了雷射照射處理，但是所公開的發明的一個方式不應被解釋為限定於此。既可以在用來分離單晶半導體層 516 的熱處理之後先進行蝕刻處理來去除單晶半導體層 516 表面缺陷多的區域，再進行雷射照射處理，又可以在提高單晶半導體層 516 表面的平坦性之後進行雷射照射處理。另外，上述蝕刻處理可以使用濕蝕刻或乾蝕刻。另外，在本實施方式中，還可以在進行上述那樣的雷射照射之後進行減薄單晶半導體層 516 的厚度的薄膜化製程。至於單晶半導體層 516 的薄膜化，既可使用乾蝕刻和濕蝕刻中的任一種，又可使用其兩者。

藉由上述製程，可以形成具有特性良好的單晶半導體層 518 的 SOI 基板（參照圖 8G）。

<半導體裝置的製造方法>

接著，參照圖 9A 至 12C 而說明使用上述 SOI 基板的半導體裝置的製造方法。

<下部電晶體的製造方法>

首先，參照圖 9A 至 10D 說明下部電晶體 160 的製造方法。圖 9A 至 10D 是示出根據圖 8A 至 8G 所示的方法形成的 SOI 基板的一部分，且相當於圖 6A 所示的下部電晶體的剖面製程圖。

首先，將單晶半導體層 518 加工為島狀以形成半導體層 120（參照圖 9A）。另外，在該製程的前後，為了控制電晶體的臨界值電壓，也可以將賦予 n 型導電性的雜質元素或賦予 p 型導電性的雜質元素添加到半導體層。在半導體為矽時，作為賦予 n 型導電性的雜質元素，例如可以使用磷、砷等。另外，作為賦予 p 型導電性的雜質元素，例如可以使用硼、鋁、鎵等。

接著，以覆蓋半導體層 120 的方式形成絕緣層 122（參照圖 9B）。絕緣層 122 是後面成為閘極絕緣層的層。絕緣層 122 例如可以藉由對半導體層 120 表面進行熱處理（熱氧化處理或熱氮化處理等）而形成。也可以使用高密度電漿處理代替熱處理。高密度電漿處理例如可以使用 He、Ar、Kr、Xe 等稀有氣體和氧、氧化氮、氨、氮、氫等中的任一種的混合氣體來進行。當然，也可以使用 CVD 法或濺射法等形成絕緣層。較佳的是，該絕緣層 122 採用包含氧化矽、氧氮化矽、氮化矽、氧化鈺、氧化鋁、氧化鋇、氧化釷、矽酸鈺（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的矽酸鈺（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的

鋁酸鈪 (HfAl_xO_y ($x>0$ 、 $y>0$)) 等的單層結構或疊層結構。另外，例如，可以將絕緣層 122 的厚度設定為 1nm 以上且 100nm 以下，較佳地為 10nm 以上且 50nm 以下。在此，使用電漿 CVD 法形成包含氧化矽的絕緣層的單層。

接著，在絕緣層 122 上形成掩模 124，將賦予一種導電性的雜質元素添加到半導體層 120，來形成雜質區 126 (參照圖 9C)。這裏，在添加雜質元素之後，去除掩模 124。

接著，藉由在絕緣層 122 上形成掩模，去除絕緣層 122 的與雜質區 126 重疊的區域的一部分，來形成閘極絕緣層 122a (參照圖 9D)。作為絕緣層 122 的去除方法，可以使用濕蝕刻或乾蝕刻等的蝕刻處理。

接著，在閘極絕緣層 122a 上形成用來形成閘極電極 (包括使用與該閘極電極相同的層形成的佈線) 的導電層，加工該導電層來形成閘極電極 128a 及導電層 128b (參照圖 9E)。

作為用於閘極電極 128a 及導電層 128b 的導電層，可以使用鋁、銅、鈦、鉭、鎢等的金屬材料形成。另外，也可以藉由使用如多晶矽等的半導體材料形成導電層。其形成方法也沒有特別的限制，可以使用蒸鍍法、CVD 法、濺射法或旋塗法等各種成膜方法。此外，可以藉由使用抗蝕劑掩模的蝕刻進行導電層的加工。

接著，以閘極電極 128a 及導電層 128b 為掩模，將賦

予一種導電型的雜質元素添加到半導體層，來形成通道形成區 134、雜質區 132 及雜質區 130（參照圖 10A）。這裏，添加硼（B）等雜質元素，以形成 p 型電晶體。或者，添加磷（P）或砷（As）等雜質元素，以形成 n 型電晶體。這裏，可以適當地設定所添加的雜質元素的濃度。另外，在添加雜質元素之後，進行用於活化的熱處理。在此，雜質區的濃度按雜質區 126、雜質區 132、雜質區 130 的順序依次高。

接著，以覆蓋閘極絕緣層 122a、閘極電極 128a、導電層 128b 的方式形成絕緣層 136、絕緣層 138 及絕緣層 140（參照圖 10B）。

絕緣層 136、絕緣層 138、絕緣層 140 可以使用包含氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁等的無機絕緣材料的材料形成。尤其是，較佳的是，將低介電常數（low-k）材料用於絕緣層 136、絕緣層 138、絕緣層 140，因為這樣可以充分地降低起因於各種電極或佈線的重疊的電容。另外，也可以將使用上述材料的多孔絕緣層用於絕緣層 136、絕緣層 138、絕緣層 140。因為多孔絕緣層的介電常數比密度高的絕緣層低，所以可以進一步降低起因於電極或佈線的電容。此外，也可以使用聚醯亞胺、丙烯酸樹脂等的有機絕緣材料形成絕緣層 136、絕緣層 138、絕緣層 140。在本實施方式中，對作為絕緣層 136 使用氧氮化矽，作為絕緣層 138 使用氮氧化矽，作為絕緣層 140 使用氧化矽的情況進行說明。另外，雖然在此

採用絕緣層 136、絕緣層 138 及絕緣層 140 的疊層結構，但是所公開的發明的一個方式不侷限於此。作為上述絕緣層既可以採用單層或兩層結構，又可以採用四層以上的疊層結構。

接著，藉由對絕緣層 138 及絕緣層 140 進行 CMP（化學機械拋光）處理或蝕刻處理，使絕緣層 138 及絕緣層 140 平坦化（參照圖 10C）。在此，進行 CMP 處理直到露出絕緣層 138 的一部分為止。當作為絕緣層 138 使用氮氧化矽，作為絕緣層 140 使用氧化矽時，將絕緣層 138 用作蝕刻停止層。

接著，藉由對絕緣層 138 及絕緣層 140 進行 CMP 處理或蝕刻處理，使閘極電極 128a 及導電層 128b 的上面露出（參照圖 10D）。在此，進行蝕刻處理直到露出閘極電極 128a 及導電層 128b 的一部分為止。較佳的是，作為該蝕刻處理使用乾蝕刻，但是也可以使用濕蝕刻。在使閘極電極 128a 及導電層 128b 的一部分露出的製程中，為了提高後面形成的電晶體 162 的特性，較佳的是，使絕緣層 136、絕緣層 138、絕緣層 140 的表面盡可能地為平坦。

藉由上述製程，可以形成下部的電晶體 160（參照圖 10D）。

另外，也可以在上述各製程之前或之後還包括形成電極、佈線、半導體層或絕緣層等的製程。例如，作為佈線的結構，也可以採用由絕緣層及導電層的疊層結構構成的多層佈線結構來實現高集成化的半導體裝置。

<上部電晶體的製造方法>

接著，參照圖 11A 至 12C 說明上部電晶體 162 的製造方法。

首先，在閘極電極 128a、導電層 128b、絕緣層 136、絕緣層 138、絕緣層 140 等上形成氧化物半導體層，並加工該氧化物半導體層來形成氧化物半導體層 144（參照圖 11A）。另外，在形成氧化物半導體層之前，可以在絕緣層 136、絕緣層 138、絕緣層 140 上設置用作基底的絕緣層。該絕緣層可以利用如濺射法等 PVD 法或如電漿 CVD 法等 CVD 法等來形成。

另外，作為用於氧化物半導體層的材料，可以使用：四元金屬氧化物如 In-Sn-Ga-Zn-O 類材料；三元金屬氧化物如 In-Ga-Zn-O 類材料、In-Sn-Zn-O 類材料、In-Al-Zn-O 類材料、Sn-Ga-Zn-O 類材料、Al-Ga-Zn-O 類材料、Sn-Al-Zn-O 類材料、In-Hf-Zn-O 類材料、In-La-Zn-O 類材料、In-Ce-Zn-O 類材料、In-Pr-Zn-O 類材料、In-Nd-Zn-O 類材料、In-Sm-Zn-O 類材料、In-Eu-Zn-O 類材料、In-Gd-Zn-O 類材料、In-Tb-Zn-O 類材料、In-Dy-Zn-O 類材料、In-Ho-Zn-O 類材料、In-Er-Zn-O 類材料、In-Tm-Zn-O 類材料、In-Yb-Zn-O 類材料、In-Lu-Zn-O 類材料；二元金屬氧化物如 In-Zn-O 類材料、Sn-Zn-O 類材料、Al-Zn-O 類材料、Zn-Mg-O 類材料、Sn-Mg-O 類材料、In-Mg-O 類材料、In-Ga-O 類材料；以及 In-O 材料、Sn-O 類材料、

Zn-O 類材料等。此外，也可以使上述材料包含 SiO_2 。這裏，例如，In-Ga-Zn-O 類材料是指含有銦（In）、鎵（Ga）以及鋅（Zn）的氧化物膜，對其組成比沒有特別的限制。此外，也可以包含 In、Ga 及 Zn 以外的元素。

另外，可以將使用由化學式 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 表示的材料的薄膜用作氧化物半導體層。在此，M 表示選自 Ga、Al、Mn 及 Co 中的一種或多種金屬元素。例如，作為 M，可以使用 Ga、Ga 及 Al、Ga 及 Mn 或 Ga 及 Co 等。

此外，較佳的是，將氧化物半導體層的厚度設定為 3nm 以上且 30nm 以下。這是因為若使氧化物半導體層的厚度過厚（例如，厚度為 50nm 以上），則有電晶體成為常導通狀態的擔憂。

較佳的是，氧化物半導體層使用氫、水、羥基或氫化物等的雜質不容易混入的方式製造。例如，可以藉由濺射法等製造氧化物半導體層。

在本實施方式中，藉由使用 In-Ga-Zn-O 類氧化物靶材的濺射法形成氧化物半導體層。

作為 In-Ga-Zn-O 類氧化物靶材，例如可以使用具有 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [莫耳數比] 的組成比的氧化物靶材。另外，靶材的材料及組成不侷限於上述記載。例如還可以使用具有 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [莫耳數比] 的組成比的氧化物靶材。

氧化物靶材的填充率為 90% 以上且 100% 以下，較佳

地為 95%以上且 99.9%以下。這是因為如下緣故：藉由使用高填充率的金屬氧化物靶材，可以將氧化物半導體層形成為緻密的膜。

作為成膜時的氣圍，採用稀有氣體（典型的是氬）氣圍下、氧氣圍下或稀有氣體和氧的混合氣圍下等，即可。另外，為了防止氬、水、羥基、氫化物等混入到氧化物半導體層中，較佳的是，採用使用充分地去除氬、水、羥基、氫化物等的雜質的高純度氣體的氣圍。

例如，可以採用如下方法形成氧化物半導體層。

首先，在被保持為減壓狀態的沉積室內保持基板，並對基板進行加熱以使基板溫度超過 200°C 且 500°C 以下，較佳地超過 300°C 且 500°C 以下，更佳地為 350°C 以上且 450°C 以下。

接著，一邊去除沉積室中的殘留水分，一邊引入充分地去除了氬、水、羥基、氫化物等的雜質的高純度氣體，並使用上述靶材來在基板上形成氧化物半導體層。為了去除沉積室中的殘留水分，較佳的是，作為排氣單元使用低溫泵、離子泵、鈦昇華泵等的吸附型真空泵。另外，作為排氣單元，也可以使用提供有冷阱的渦輪泵。由於在利用低溫泵進行了排氣的沉積室中，例如氬、水、羥基或氫化物等的雜質（更佳地還包括包含碳原子的化合物）等被去除，因此可以降低在該沉積室中形成的氧化物半導體層所含有的氬、水、羥基或氫化物等的雜質的濃度。

當成膜時的基板溫度低（例如， 100°C 以下）時，有

含有氫原子的物質混入到氧化物半導體中的憂慮，所以較佳的是，在上述溫度下加熱基板。藉由在上述溫度下加熱基板形成氧化物半導體層，基板溫度變高，從而氫鍵被熱切斷，含有氫原子的物質不容易被引入到氧化物半導體層中。因此，藉由在上述溫度下加熱基板的狀態下形成氧化物半導體層，可以充分地降低氧化物半導體層所含有的氫、水、羥基或氫化物等的雜質的濃度。另外，可以減輕由濺射導致的損傷。

作為成膜條件的一個例子，採用如下條件：基板與靶材之間的距離是 60mm；壓力是 0.4Pa；直流（DC）電源是 0.5kW；基板溫度是 400°C；成膜氣圍是氧（氧流量比率 100%）氣圍。另外，藉由使用脈衝直流電源，可以減輕在進行成膜時發生的粉狀物質（也稱為微粒或塵屑），並且膜厚度分佈也變得均勻，所以採用脈衝直流電源較佳。

另外，較佳的是，在藉由濺射法形成氧化物半導體層之前，進行引入氫氣體產生電漿的反濺射，來去除附著於氧化物半導體層的被形成表面上的粉狀物質（也稱為微粒或塵屑）。反濺射是指如下一種方法，其中對基板施加電壓來在基板附近形成電漿，來對基板一側的表面進行改性。此外，也可以使用氮、氬、氧等的氣體代替氫。

作為氧化物半導體層的加工，可以在氧化物半導體層上形成所希望的形狀的掩模之後對該氧化物半導體層進行蝕刻。可以藉由光刻製程等的方法形成上述掩模。或者，

也可以藉由噴墨法等的方法形成掩模。此外，氧化物半導體層的蝕刻可以採用乾蝕刻或濕蝕刻。當然，也可以組合乾蝕刻和濕蝕刻而使用。

然後，也可以對氧化物半導體層 144 進行熱處理（第一熱處理）。藉由進行熱處理，可以進一步去除包含在氧化物半導體層 144 中的含有氫原子的物質，調整氧化物半導體層 144 的結構，降低能隙中的缺陷能階。在惰性氣體氣圍下，熱處理的溫度為 250°C 以上且 700°C 以下，較佳地為 450°C 以上且 600°C 以下或者低於基板的應變點。較佳的是，作為惰性氣體氣圍應用以氮或稀有氣體（氮、氦或氬等）為主要成分且不包含水或氫等的氣圍。例如，引入到熱處理裝置中的氮或氦、氦、氬等的稀有氣體的純度為 6N（99.9999%）以上，較佳地為 7N（99.99999%）以上（即，雜質濃度為 1ppm 以下，較佳地為 0.1ppm 以下）。

作為熱處理，例如，可以將被處理物放入使用電阻發熱體等的電爐中，並在氮氣圍下以 450°C 加熱 1 個小時。在此期間，不使氧化物半導體層 144 接觸大氣以防止水或氫的混入。

藉由進行熱處理降低雜質來形成 i 型（本質半導體）或無限趨近於 i 型的氧化物半導體層，可以實現特性極為優良的電晶體。

此外，由於上述熱處理具有去除氫或水等的效果，所以可以將該熱處理也稱為脫水化處理、脫氫化處理等。例

如，該熱處理也可以在將氧化物半導體層加工為島狀之前或在形成閘極絕緣膜之後等進行。另外，上述脫水化處理、脫氫化處理不侷限於進行一次，而也可以進行多次。

接著，在氧化物半導體層 144 等上形成用來形成源極電極及汲極電極（包括使用與該源極電極及汲極電極相同的層形成的佈線）的導電層，加工該導電層來形成源極電極 142a、汲極電極 142b（參照圖 11B）。

作為導電層，可以利用 PVD 法或 CVD 法來形成。另外，作為導電層的材料，可以使用選自鋁、鉻、銅、鈮、鈦、鉬和鎢中的元素或以上述元素為成分的合金等。還可以使用選自錳、鎂、鋯、鈹、釷、釷中的一種或多種材料。

導電層既可以採用單層結構又可以採用兩層以上的疊層結構。例如可以舉出：鈦膜或氮化鈦膜的單層結構；含有矽的鋁膜的單層結構；在鋁膜上層疊鈦膜的雙層結構；在氮化鈦膜上層疊鈦膜的雙層結構；層疊鈦膜、鋁膜及鈦膜的三層結構等。另外，當作為導電層採用鈦膜或氮化鈦膜的單層結構時，有易於將源極電極 142a 及汲極電極 142b 加工為具有傾斜度的形狀的優點。

另外，導電層還可以使用導電金屬氧化物來形成。作為導電金屬氧化物，可以使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，有時縮寫為 ITO）、氧化銦氧化鋅合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）、或含有矽或氧化矽的上述任何一種金屬氧化物材

料。

較佳的是，以形成的源極電極 142a 及汲極電極 142b 的端部成爲具有傾斜度的形狀的方式對導電層進行蝕刻。這裏，較佳的是，傾斜角例如爲 30° 以上且 60° 以下。藉由以源極電極 142a 及汲極電極 142b 的端部成爲具有傾斜度的形狀的方式進行蝕刻，可以提高後面形成的閘極絕緣層 146 的覆蓋性，並防止斷開。

上部電晶體的通道長度 (L) 由源極電極 142a 的下端部與汲極電極 142b 的下端部之間的時間隔決定。另外，在形成通道長度 (L) 短於 25nm 的電晶體的情況下，當進行用來形成掩模的曝光時，較佳的是，使用短波長即幾 nm 至幾十 nm 的超紫外線 (Extreme Ultraviolet)。利用超紫外線的曝光的解析度高且聚焦深度大。由此，後面形成的電晶體的通道長度 (L) 可以爲 10nm 以上且 1000nm ($1\mu\text{m}$) 以下，而可以提高電路的工作速度。再者，藉由微型化可以降低半導體裝置的耗電量。

另外，作爲與圖 11B 不同的一個例子，也可以在氧化物半導體層 144 與源極電極及汲極電極之間設置作爲源極區及汲極區的氧化物導電層。

例如，在氧化物半導體層 144 上形成氧化物導電膜，在其上形成導電層，並且利用同一光刻製程加工氧化物導電膜及導電層，而可以形成作爲源極區及汲極區的氧化物導電層、源極電極 142a 以及汲極電極 142b。

另外，形成氧化物半導體膜和氧化物導電膜的疊層，

利用同一光刻製程加工該疊層的形狀，以形成島狀氧化物半導體層 144 和氧化物導電膜。在形成源極電極 142a 及汲極電極 142b 之後，以源極電極 142a 及汲極電極 142b 為掩模進一步蝕刻島狀氧化物導電膜，而可以形成作為源極區及汲極區的氧化物導電層。

另外，在進行蝕刻處理以加工氧化物導電層的形狀時，適當地調整蝕刻條件（蝕刻劑的種類、濃度以及蝕刻時間等），以避免氧化物半導體層被過剩地蝕刻。

較佳的是，作為氧化物半導體層的材料，使用作為其成分包含氧化鋅且不包含氧化銮的物質。作為這種氧化物導電層，可以使用氧化鋅、氧化鋅鋁、氧氮化鋅鋁、氧化鋅鎵等。

藉由在氧化物半導體層與源極電極及汲極電極之間設置氧化物導電層，可以實現源極區及汲極區的低電阻化，而可以實現電晶體的高速工作。

藉由採用使用氧化物半導體層 144、氧化物導電層以及由金屬材料構成的汲極電極的結構，可以進一步提高電晶體的耐壓性。

作為源極區及汲極區而使用氧化物導電層是為了提高週邊電路（驅動電路）的頻率特性而有效的。這是因為如下緣故：與金屬電極（鉬、鎢等）接觸氧化物半導體層的情況相比，金屬電極（鉬、鎢等）接觸氧化物導電層而可以降低接觸電阻。藉由使氧化物半導體層和源極電極及汲極電極之間夾著氧化物導電層，可以降低接觸電阻，從而

可以提高週邊電路（驅動電路）的頻率特性。

接著，以覆蓋源極電極 142a、汲極電極 142b 並與氧化物半導體層 144 的一部分接觸的方式形成閘極絕緣層 146（參照圖 11C）。

閘極絕緣層 146 可以利用 CVD 法或濺射法等形成。另外，較佳的是，閘極絕緣層 146 以含有氧化矽、氮化矽、氧氮化矽、氧化鎵、氧化鋁、氧化鉬、氧化鉛、氧化鈮、矽酸鉛（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的矽酸鉛（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的鋁酸鉛（ HfAl_xO_y （ $x>0$ 、 $y>0$ ））等的方式形成。閘極絕緣層 146 既可以採用單層結構，又可以採用組合上述材料的疊層結構。另外，雖然對其厚度沒有特別的限定，但是當對半導體裝置進行微型化時，減薄其厚度較佳，以確保電晶體的工作。例如，當使用氧化矽時，其厚度可以為 1nm 以上且 100nm 以下，較佳地為 10nm 以上且 50nm 以下。

當如上述那樣將閘極絕緣層形成為較薄時，存在由於隧道效應等而發生閘極洩漏的問題。為了解決閘極洩漏的問題，可以使用如氧化鉛、氧化鉬、氧化鈮、矽酸鉛（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的矽酸鉛（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的鋁酸鉛（ HfAl_xO_y （ $x>0$ 、 $y>0$ ））等的高介電常數（high-k）材料作為閘極絕緣層 146。藉由將 high-k 材料用於閘極絕緣層 146，不但可以確保電特性，而且可以增大膜厚度，以抑制閘極洩漏電流。另外，還可以採用含有 high-k 材料的膜與含有氧化

矽、氮化矽、氧氮化矽、氮氧化矽或氧化鋁等中的任一種膜的疊層結構。

另外，與氧化物半導體層 144 接觸的絕緣層（在本實施方式中，相當於閘極絕緣層 146）也可以使用包含第 13 族元素及氧的絕緣材料。較多氧化物半導體材料包含第 13 族元素，包含第 13 族元素的絕緣材料與氧化物半導體搭配良好，並且藉由將它用於與氧化物半導體層接觸的絕緣層，可以保持與氧化物半導體層之間的界面的良好狀態。

在此，包含第 13 族元素的絕緣材料是指包含一種或多種第 13 族元素的絕緣材料。作為包含第 13 族元素的絕緣材料，例如有氧化鎵、氧化鋁、氧化鋁鎵、氧化鎵鋁等。在此，氧化鋁鎵是指含鋁量（at.%）多於含鎵量（at.%）的物質，氧化鎵鋁是指含鎵量（at.%）等於或多於含鋁量（at.%）的物質。

例如，當以與包含鎵的氧化物半導體層接觸的方式形成閘極絕緣層時，藉由將包含氧化鎵的材料用於閘極絕緣層，可以保持氧化物半導體層和閘極絕緣層之間的良好界面特性。另外，藉由使氧化物半導體層與包含氧化鎵的絕緣層接觸地設置，可以減少氧化物半導體層與絕緣層的界面中的氫的聚積。另外，在將與氧化物半導體的成分元素同一族的元素用於絕緣層時，可以得到上述同樣的效果。例如，使用包含氧化鋁的材料形成絕緣層是有效的。另外，由於氧化鋁具有不容易透射水的特性，因此從防止

水侵入到氧化物半導體層中的角度來看，使用該材料是較佳的。

此外，較佳的是，作為與氧化物半導體層 144 接觸的絕緣層，藉由進行氧氣圍下的熱處理或氧摻雜等使絕緣材料處於其含氧量超過化學計量組成比的狀態。氧摻雜是指對塊體添加氧的處理。為了明確表示不僅對薄膜表面添加氧，而且對薄膜內部添加氧，使用該“塊體”。此外，氧摻雜包括將電漿化了的氧添加到塊體中的氧電漿摻雜。另外，也可以藉由離子植入法或離子摻雜法進行氧摻雜。

例如，當作為與氧化物半導體層 144 接觸的絕緣層使用氧化鎵時，藉由進行氧氣圍下的熱處理或氧摻雜，可以將氧化鎵的組成設定為 Ga_2O_x ($X=3+\alpha$, $0<\alpha<1$)。此外，作為與氧化物半導體層 144 接觸的絕緣層使用氧化鋁時，藉由進行氧氣圍下的熱處理或氧摻雜，可以將氧化鋁的組成設定為 Al_2O_x ($X=3+\alpha$, $0<\alpha<1$)。或者，作為與氧化物半導體層 144 接觸的絕緣層使用氧化鎵鋁（氧化鋁鎵）時，藉由進行氧氣圍下的熱處理或氧摻雜，可以將氧化鎵鋁（氧化鋁鎵）的組成設定為 $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+\alpha}$ ($0<X<2$, $0<\alpha<1$)。

藉由進行氧摻雜處理等，可以形成包含其氧含量超過化學計量組成比的區域的絕緣層。藉由使具備這種區域的絕緣層與氧化物半導體層接觸，絕緣層中的過剩的氧被供應到氧化物半導體層中，降低氧化物半導體層中或氧化物半導體層與絕緣層之間的介面中的氧缺陷，從而可以將氧

化物半導體層形成為 i 型或無限趨近於 i 型的氧化物半導體。

另外，具有其氧含量超過化學計量組成比的區域的絕緣層既可應用於作為氧化物半導體層 144 的基底膜形成的絕緣層代替閘極絕緣層 146 又可應用於閘極絕緣層 146 及基底絕緣層的兩者。

較佳的是，在形成閘極絕緣層 146 之後，在惰性氣體氣圍下或氧氣圍下進行第二熱處理。熱處理的溫度為 200°C 以上且 450°C 以下，較佳地為 250°C 以上且 350°C 以下。例如，可以在氮氣圍下以 250°C 進行 1 個小時的熱處理即可。藉由進行第二熱處理，可以降低電晶體的電特性的不均勻性。此外，當閘極絕緣層 146 含有氧時，向氧化物半導體層 144 供應氧而填補該氧化物半導體層 144 的氧缺陷，從而可以形成 i 型（本質半導體）或無限接近於 i 型的氧化物半導體層。

另外，在本實施方式中，雖然在形成閘極絕緣層 146 之後進行第二熱處理，但是第二熱處理的時序不侷限於此。例如，也可以在形成閘極電極之後進行第二熱處理。另外，既可以在第一熱處理之後連續地進行第二熱處理，又可以在第一熱處理中兼併第二熱處理，或在第二熱處理中兼併第一熱處理。

如上所述，藉由採用第一熱處理和第二熱處理中的至少一方，可以以使氧化物半導體層 144 儘量不包含含有氫原子的物質的方式使氧化物半導體層 144 高純度化。

接著，形成用來形成閘極電極（包括使用與該閘極電極相同的層形成的佈線）的導電層，加工該導電層來形成閘極電極 148a 及導電層 148b（參照圖 11D）。

作為閘極電極 148a 及導電層 148b，可以使用鉬、鈦、鉕、鎢、鋁、銅、鈹、鈳等金屬材料或以該金屬材料為主要成分的合金材料來形成。另外，閘極電極 148a 及導電層 148b 可以採用單層結構或疊層結構。

接著，在閘極絕緣層 146、閘極電極 148a 及導電層 148b 上形成絕緣層 150（參照圖 12A）。絕緣層 150 可以利用 PVD 法或 CVD 法等形式。另外，還可以使用含有如氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鎘、氧化鋁等的無機絕緣材料的材料形成。另外，較佳的是，作為絕緣層 150 使用介電常數低的材料或介電常數低的結構（多孔結構等）。這是因為藉由使絕緣層 150 的介電常數減少，可以降低產生在佈線、電極等之間的電容，從而實現工作的高速化的緣故。另外，在本實施方式中，採用絕緣層 150 的單層結構，但是，所公開的發明的一個方式不侷限於此，也可以採用兩層以上的疊層結構。

接著，在閘極絕緣層 146、絕緣層 150 中形成到達源極電極 142a 的開口。然後，在絕緣層 150 上形成與源極電極 142a 接觸的佈線 154（參照圖 12B）。另外，藉由使用掩模等選擇性地進行蝕刻來形成該開口。

在使用 PVD 法或 CVD 法形成導電層之後，對該導電層進行構圖來形成佈線 154。另外，作為導電層的材料，

可以使用選自鋁、鉻、銅、鉬、鈦、鉕和鎢中的元素或以上述元素為成分的合金等。還可以使用選自錳、鎂、銦、銻、釷、鈾中的一種或多種材料。

更明確而言，例如，可以在包括絕緣層 150 的開口的區域中藉由 PVD 法形成薄（5nm 左右）的鈦膜之後以埋入開口的方式形成鋁膜。在此，藉由 PVD 法形成的鈦膜具有還原被形成面的氧化膜（自然氧化膜等）並降低與下部電極等（在此為源極電極 142a）的接觸電阻的功能。另外，可以防止鋁膜的小丘的產生。另外，也可以在使用鈦或氮化鈦等形成障壁膜之後藉由鍍敷法形成銅膜。

較佳的是，形成在絕緣層 150 中的開口形成在與導電層 128b 重疊的區域中。藉由在這種區域中形成開口，可以抑制起因於接觸區的元件面積的增大。

在此，對不使用導電層 128b 而使如下兩種連接結構重疊的情況進行說明，該兩種連接結構：一是雜質區 126 與源極電極 142a 的連接結構；二是源極電極 142a 與佈線 154 的連接結構。此時，在形成在雜質區 126 上的絕緣層 136、絕緣層 138 及絕緣層 140 中形成開口（稱為下部的接觸），在下部的接觸中形成源極電極 142a，然後，在閘極絕緣層 146 及絕緣層 150 中，在與下部的接觸重疊的區域中形成開口（稱為上部的接觸），並且形成佈線 154。當在與下部的接觸重疊的區域中形成上部的接觸時，有如下憂慮：即，由於蝕刻，形成在下部的接觸中的源極電極 142a 斷開。當為了避免該斷開，以彼此不重疊

的方式形成下部的接觸與上部的接觸時，發生元件面積的增大的問題。

如本實施方式所示那樣，藉由使用導電層 128b，可以形成上部的接觸而不使源極電極 142a 斷開。由此，可以使下部的接觸與上部的接觸重疊地設置，從而可以抑制起因於接觸區域的元件面積的增大。換言之，可以提高半導體裝置的集成度。

接著，以覆蓋佈線 154 的方式形成絕緣層 156（參照圖 12C）。

藉由上述步驟完成使用被高純度化的氧化物半導體層 144 的電晶體 162 以及電容元件 164（參照圖 12C）。

另外，圖 7 所示的電容元件 250 所具有的雜質區 126、絕緣層 122、導電層 128c、導電層 142c 以及導電層 148c 與電晶體 160、電晶體 162 以及電容元件 164 的雜質區 126、閘極絕緣層 122a、閘極電極 128a、源極電極 142a 及汲極電極 142b 以及閘極電極 148a 同時形成。

以下示出可以應用於圖 6A 和 6B 所示的電晶體 162 的電晶體的例子。

也可以在圖 6A 和 6B 所示的電晶體 162 的氧化物半導體層 144 與源極電極 142a、汲極電極 142b 之間設置用作源極區及汲極區的氧化物導電層作為緩衝層。圖 13A 和 13B 示出在圖 6A 和 6B 所示的電晶體 162 中設置氧化物導電層的電晶體 441、442。

圖 13A 和 13B 的電晶體 441、442 在氧化物半導體層

144 與源極電極 142a、汲極電極 142b 之間形成有用作源極區及汲極區的氧化物導電層 404a、404b。圖 13A 和 13B 的電晶體 441、442 是根據製造製程氧化物導電層 404a、404b 的形狀不同的例子。

在圖 13A 所示的電晶體 441 中，形成氧化物半導體膜和氧化物導電膜的疊層，在同一光刻製程中加工氧化物半導體膜和氧化物導電膜的疊層來形成島狀的氧化物半導體層 144 和氧化物導電膜。在氧化物半導體層及氧化物導電膜上形成源極電極 142a、汲極電極 142b 之後，以源極電極 142a、汲極電極 142b 為掩模，對島狀的氧化物導電膜進行蝕刻來形成成爲源極區及汲極區的氧化物導電層 404a、404b。

在圖 13B 所示的電晶體 442 中，藉由在氧化物半導體層 144 上形成氧化物導電膜，在其上形成金屬導電膜，在同一光刻製程中加工氧化物導電膜及金屬導電膜，形成成爲源極區及汲極區的氧化物導電層 404a、404b、源極電極 142a 以及汲極電極 142b。

另外，在用來加工氧化物導電層的形狀的蝕刻處理時，適當地調整蝕刻條件（蝕刻劑的種類、濃度、蝕刻時間等），以免氧化物半導體層受過剩的蝕刻。

作爲氧化物導電層 404a、404b 的形成方法，使用濺射法、真空蒸鍍法（電子束蒸鍍法等）、電弧放電離子電鍍法、噴射法。作爲氧化物導電層的材料，可以應用氧化鋅、氧化鋅鋁、氧氮化鋅鋁、氧化鋅鎵、含氧化矽的銻錫

氧化物等。另外，也可以在上述材料中包含氧化矽。

當作爲源極區和汲極區將氧化物導電層設置在氧化物半導體層 144 與源極電極 142a、汲極電極 142b 之間時，可以實現源極區和汲極區的低電阻化，電晶體 441、442 可以進行高速工作。

另外，藉由採用氧化物半導體層 144、氧化物導電層 404a、404b、源極電極 142a、汲極電極 142b 的結構，可以提高電晶體 441、442 的耐壓性。

接著，作爲圖 6A 和 6B 所示的電晶體 162 的結構示出頂閘結構，但是本發明不侷限於此，也可以採用底閘結構。圖 14A 至 14C 示出底閘結構的例子。

在圖 14A 所示的電晶體 410 中，在閘極電極 401 上設置有閘極絕緣層 402，在閘極絕緣層 402 上設置有氧化物半導體層 403，並設置有與氧化物半導體層 403 連接的源極電極 405a、汲極電極 405b。另外，閘極電極 401、氧化物半導體層 403、閘極絕緣層 402、源極電極 405a、汲極電極 405b 相當於圖 6A 和 6B 所示的閘極電極 148a、氧化物半導體層 144、閘極絕緣層 146、源極電極 142a、汲極電極 142b。另外，絕緣層 400 相當於絕緣層 136、絕緣層 138、絕緣層 140 等。

圖 14B 所示的電晶體 420 與圖 14A 所示的結構相同之處在於：設置有閘極電極 401、閘極絕緣層 402、氧化物半導體層 403、源極電極 405a 以及汲極電極 405b。圖 14B 所示的電晶體 420 與圖 14A 所示的結構不同之處在

於：在圖 14B 所示的電晶體 420 中與氧化物半導體層 403 接觸地設置有絕緣層 427。

圖 14C 所示的電晶體 430 與圖 14A 所示的結構相同之處在於：設置有閘極電極 401、閘極絕緣層 402、氧化物半導體層 403、源極電極 405a 以及汲極電極 405b。圖 14C 所示的電晶體 430 與圖 14A 所示的結構不同之處在於：與氧化物半導體層 403 接觸的源極電極 405a 和汲極電極 405b 的位置。換言之，在圖 14A 所示的電晶體 410 中，在氧化物半導體層 403 上源極電極 405a 與汲極電極 405b 接觸，而在圖 14C 所示的電晶體 430 中，在氧化物半導體層 403 下源極電極 405a 與汲極電極 405b 接觸。

在本實施方式所示的電晶體 162 中，由於氧化物半導體層 144 被高純度化，所以其氫濃度為 $5 \times 10^{19} \text{atoms/cm}^3$ 以下，較佳地為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下，更佳地為 $5 \times 10^{17} \text{atoms/cm}^3$ 以下。另外，氧化物半導體層 144 的載子密度比通常的矽晶片中的載子密度 ($1 \times 10^{14} / \text{cm}^3$ 左右) 足夠小 (例如，低於 $1 \times 10^{12} / \text{cm}^3$ ，更佳地為低於 $1.45 \times 10^{10} / \text{cm}^3$)。另外，電晶體 162 的截止電流也足夠小。例如，電晶體 162 的室溫 (25°C) 下的截止電流 (這裏，每單位通道寬度 ($1 \mu\text{m}$) 的值) 為 100zA (1zA (仄普托安培) 為 $1 \times 10^{-21} \text{A}$) 以下，較佳地為 10zA 以下。

如此，藉由使用被高純度化而被本質化的氧化物半導體層 144，容易充分地降低電晶體的截止電流。並且，藉由使用這種電晶體，可以獲得能夠在極長期間保持儲存內

容的半導體裝置。

本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而使用。

實施方式 5

參照圖 15A 至 15C 說明在上述實施方式中可以用於電晶體的半導體層的氧化物半導體層的一個方式。

本實施方式的氧化物半導體層採用在第一結晶氧化物半導體層上具有比第一結晶氧化物半導體層厚的第二結晶氧化物半導體層的疊層結構。

在絕緣層 400 上形成絕緣層 437。在本實施方式中，作為絕緣層 437，利用 PCVD 法或濺射法形成厚度為 50nm 以上且 600nm 以下的氧化物絕緣層。例如，可以使用選自氧化矽膜、氧化鎵膜、氧化鋁膜、氮化矽膜、氧氮化矽膜、氧氮化鋁膜或氮氧化矽膜中的一層或疊層。另外，絕緣層 400 相當於絕緣層 136、絕緣層 138、絕緣層 140 等。

接著，在絕緣層 437 上形成厚度為 1nm 以上且 10nm 以下的第一氧化物半導體膜。作為第一氧化物半導體膜的形成方法利用濺射法，並且將該利用濺射法形成膜時的基板溫度設定為 200°C 以上且 400°C 以下。

在本實施方式中，在如下條件下形成厚度為 5nm 的第一氧化物半導體膜：使用氧化物半導體用靶材（In-Ga-Zn-O 類氧化物半導體用靶材（ In_2O_3 ： Ga_2O_3 ： ZnO =1：

1 : 2[莫耳數比]) ; 基板與靶材之間的距離為 170mm ; 基板溫度為 250°C ; 壓力為 0.4Pa ; 直流 (DC) 電源為 0.5kW ; 利用只有氧、只有氫或氫及氧的氣圍。

接著，將配置基板的處理室的氣圍設定為氮或乾燥空氣進行第一加熱處理。將第一加熱處理的溫度設定為 400°C 以上且 750°C 以下。藉由第一加熱處理形成第一結晶氧化物半導體層 450a (參照圖 15A) 。

雖然根據第一加熱處理的溫度，但是藉由第一加熱處理，從膜表面發生晶化，結晶從膜表面生長到膜內部，而可以得到 c 軸取向的結晶。藉由第一加熱處理，多個鋅和氧彙集在膜表面，而在最外表面上形成一層或多層的上平面為六角形且包括鋅和氧的石墨烯型二維結晶，並且該二維結晶在膜厚度方向上生長並重疊而成為疊層。在升高加熱處理的溫度時，結晶從表面生長到內部，然後從內部生長到底部。

藉由第一加熱處理，將作為氧化物絕緣層的絕緣層 437 中的氧擴散到與第一結晶氧化物半導體層 450a 的介面或其附近 (離介面有 $\pm 5\text{nm}$ 的地點) ，來減少第一結晶氧化物半導體層的氧缺陷。因此，較佳的是，用作基底絕緣層的絕緣層 437 至少在膜中 (塊 (bulk) 中) 或第一結晶氧化物半導體層 450a 與絕緣層 437 的介面具有超過化學計量比的含量的氧。

接著，在第一結晶氧化物半導體層 450a 上形成厚於 10nm 的第二氧化物半導體膜。作為第二氧化物半導體膜

的形成方法利用濺射法，並且將該成膜時的基板溫度設定為 200℃ 以上且 400℃ 以下。藉由將成膜時的基板溫度設定為 200℃ 以上且 400℃ 以下，在與第一結晶氧化物半導體層的表面上接觸地形成的氧化物半導體層中發生前驅物（precursor）的排列，可以使該層具有所謂秩序性。

在本實施方式中，在如下條件下形成厚度為 25nm 的第二氧化物半導體膜：使用氧化物半導體用靶材（In-Ga-Zn-O 類氧化物半導體用靶材（ $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO}=1 : 1 : 2$ [莫耳數比]）；基板與靶材之間的距離為 170mm；基板溫度為 400℃；壓力為 0.4Pa；直流（DC）電源為 0.5kW；利用只有氧、只有氬或氬及氧氣圍。

接著，將配置基板的處理室的氣圍設定為氮或乾燥空氣進行第二加熱處理。將第二加熱處理的溫度設定為 400℃ 以上且 750℃ 以下。藉由第二加熱處理形成第二結晶氧化物半導體層 450b（參照圖 15B）。藉由在氮氣圍下、氧氣圍下或氮和氧的混合氣圍下進行第二加熱處理，實現第二結晶氧化物半導體層的高密度化並減少缺陷數。藉由第二加熱處理，以第一結晶氧化物半導體層 450a 為晶核，結晶生長在膜厚度方向上，即從底部向內部進展，而形成第二結晶氧化物半導體層 450b。

另外，較佳的是，不接觸大氣地連續進行從絕緣層 437 的形成到第二加熱處理的製程。較佳的是，在幾乎不包含氬及水分的氣圍（惰性氣圍、減壓氣圍、乾燥空氣氣圍等）下進行從絕緣層 437 的形成到第二加熱處理的製

程，例如，採用水分的露點為 -40°C 以下，較佳地為 -50°C 以下的乾燥氮氣圍。

接著，對由第一結晶氧化物半導體層 450a 和第二結晶氧化物半導體層 450b 形成的氧化物半導體疊層進行加工來形成由島狀氧化物半導體疊層形成的氧化物半導體層 453（參照圖 15C）。雖然在圖式中以虛線表示第一結晶氧化物半導體層 450a 與第二結晶氧化物半導體層 450b 的介面並將它們看作氧化物半導體疊層，但是實際上沒有明確的介面，而在此只是為了便於理解明確地示出而已。

藉由在氧化物半導體疊層上形成所希望的形狀的掩模之後對該氧化物半導體疊層進行蝕刻來可以加工氧化物半導體疊層。可以藉由光刻製程等的方法形成上述掩模。或者，也可以藉由噴墨法等的方法形成掩模。

此外，氧化物半導體疊層的蝕刻可以採用乾蝕刻或濕蝕刻。當然，也可以組合使用乾蝕刻和濕蝕刻。

另外，根據上述製造方法得到的第一結晶氧化物半導體層及第二結晶氧化物半導體層具有 C 軸取向。注意，第一結晶氧化物半導體層及第二結晶氧化物半導體層為不是單晶結構且不是非晶結構的結構，而具有如下氧化物，該氧化物包含具有 C 軸取向的結晶 (C Axis Aligned Crystal；也稱為 CAAC)。另外，第一結晶氧化物半導體層及第二結晶氧化物半導體層的一部分具有晶粒介面。

另外，作為第一及第二結晶氧化物半導體層，可以使用至少具有 Zn 的氧化物材料，即：四元金屬氧化物的 In-

Al-Ga-Zn-O 類材料、In-Ga-B-Zn-O 類材料、In-Sn-Ga-Zn-O 類材料；三元金屬氧化物的 In-Ga-Zn-O 類材料、In-Al-Zn-O 類材料、In-Sn-Zn-O 類材料、Sn-Ga-Zn-O 類材料、Al-Ga-Zn-O 類材料、Sn-Al-Zn-O 類材料、In-Hf-Zn-O 類材料、In-La-Zn-O 類材料、In-Ce-Zn-O 類材料、In-Pr-Zn-O 類材料、In-Nd-Zn-O 類材料、In-Sm-Zn-O 類材料、In-Eu-Zn-O 類材料、In-Gd-Zn-O 類材料、In-Tb-Zn-O 類材料、In-Dy-Zn-O 類材料、In-Ho-Zn-O 類材料、In-Er-Zn-O 類材料、In-Tm-Zn-O 類材料、In-Yb-Zn-O 類材料、In-Lu-Zn-O 類材料；二元金屬氧化物的 In-Zn-O 類材料、Sn-Zn-O 類材料、Al-Zn-O 類材料、Zn-Mg-O 類材料；Zn-O 類材料等。另外，也可以使用 In-Si-Ga-Zn-O 類材料、In-Ga-B-Zn-O 類材料、In-B-Zn-O 類材料。此外，也可以使上述材料包含 SiO_2 。在此，例如，In-Ga-Zn-O 類材料是指含有銦（In）、鎵（Ga）、鋅（Zn）的氧化物膜，對其組成比沒有特別的限制。此外，也可以包含 In、Ga 及 Zn 以外的元素。

另外，不侷限於在第一結晶氧化物半導體層上形成第二結晶氧化物半導體層的雙層結構，也可以在形成第二結晶氧化物半導體層之後反復進行用來形成第三結晶氧化物半導體層的成膜和加熱處理的步驟來形成三層以上的疊層結構。

可以將藉由上述製造方法形成的由氧化物半導體疊層形成的氧化物半導體層 453 適當地用於可應用於本說明書

所公開的半導體裝置的電晶體（例如，實施方式 1 至實施方式 4 中的電晶體 162、實施方式 4 中的電晶體 410、420、430、441、442）。

另外，在作為氧化物半導體層 403 使用本實施方式的氧化物半導體疊層的實施方式 4 中的電晶體 162 中，電場不從氧化物半導體層的一方的面施加到另一方的面，且電流不向氧化物半導體疊層的厚度方向（從一方的面流到另一方的面的方向，具體地圖 6A 和 6B 所示的電晶體 162 中的上下方向）流過。由於採用電流主要流在氧化物半導體疊層的介面的電晶體結構，所以即使對電晶體照射光或施加 BT 壓力，電晶體特性的劣化也被抑制或減小。

藉由將如氧化物半導體層 453 的第一結晶氧化物半導體層和第二結晶氧化物半導體層的疊層用於電晶體，可以實現具有穩定的電特性且可靠性高的電晶體。

本實施方式可以與其他實施方式所記載的結構適當地組合而實施。

實施方式 6

在本實施方式中，使用圖 16A 至 16F 說明將上述實施方式所說明的半導體裝置應用於電子裝置的情況。在本實施方式中，對將上述半導體裝置應用於電腦、行動電話機（也稱為行動電話、行動電話裝置）、可攜式資訊終端（也包括可攜式遊戲機、聲音再現裝置等）、數位相機、數碼攝像機等的影像拍攝裝置、電子紙、電視裝置（也稱

為電視、電視接收機)等電子裝置的情況進行說明。

圖 16A 示出筆記本電腦，該筆記本電腦包括外殼 701、外殼 702、顯示部 703、鍵盤 704 等。至少在外殼 701 和外殼 702 中的一方中設置有上述實施方式所示的半導體裝置。因此，可以實現以高速寫入及讀出資訊，能夠長期保持儲存內容，而且耗電量被充分降低了的筆記本電腦。

圖 16B 示出可攜式資訊終端 (PDA)，其主體 711 包括顯示部 713、外部介面 715 及操作按鈕 714 等。此外，它還包括用來操作可攜式資訊終端的觸摸筆 712 等。在主體 711 中設置有上述實施方式所示的半導體裝置。因此，可以實現以高速寫入和讀出資訊，能夠長期保持儲存內容，而且耗電量被充分降低了的可攜式資訊終端。

圖 16C 示出安裝有電子紙的電子書閱讀器 720，該電子書閱讀器 720 包括兩個外殼，即外殼 721 和外殼 723。外殼 721 設置有顯示部 725，並且外殼 723 設置有顯示部 727。外殼 721 和外殼 723 由軸部 737 彼此連接，並且可以以該軸部 737 為軸進行開閉動作。此外，外殼 721 包括電源開關 731、操作鍵 733 及揚聲器 735 等。在外殼 721 和外殼 723 中的至少一方中設置有上述實施方式所示的半導體裝置。因此，可以實現以高速寫入和讀出資訊，能夠長期保持儲存內容，而且耗電量被充分降低了的電子書閱讀器。

圖 16D 示出行動電話機，該行動電話機包括兩個外

殼，即外殼 740 和外殼 741。再者，滑動外殼 740 和外殼 741 而可以從如圖 16D 所示那樣的展開狀態變成重疊狀態，因此可以實現適於攜帶的小型化。此外，外殼 741 包括顯示面板 742、揚聲器 743、麥克風 744、操作鍵 745、指向裝置 746、照相用透鏡 747 以及外部連接端子 748 等。此外，外殼 740 包括對行動電話機進行充電的太陽能電池單元 749 和外部記憶體插槽 750 等。此外，天線被內置在外殼 741 中。在外殼 740 和外殼 741 中的至少一方設置有上述實施方式所示的半導體裝置。因此，可以實現以高速寫入和讀出資訊，能夠長期保持儲存內容，而且耗電量被充分降低了的行動電話機。

圖 16E 示出數位相機，該數位相機包括主體 761、顯示部 767、取景器部 763、操作開關 764、顯示部 765 以及電池 766 等。在主體 761 內設置有上述實施方式所示的半導體裝置。因此，可以實現以高速寫入和讀出資訊，能夠長期保持儲存內容，而且耗電量被充分降低了的數位相機。

圖 16F 示出電視裝置 770，該電視裝置 770 包括外殼 771、顯示部 773 以及支架 775 等。可以使用外殼 771 所具有的開關、遙控操作機 780 來進行電視裝置 770 的操作。外殼 771 及遙控操作機 780 設置有上述實施方式所示的半導體裝置。因此，可以實現以高速寫入和讀出資訊，能夠長期保持儲存內容，而且耗電量被充分降低了的電視裝置。

如上所述，根據本實施方式的電子裝置安裝有根據上述實施方式的半導體裝置。因此，可以實現耗電量被降低了的電子裝置。

【符號說明】

120：半導體層

122：絕緣層

122a：閘極絕緣層

124：掩模

126：雜質區

128a：閘極電極

128b：導電層

130：雜質區

132：雜質區

134：通道形成區

136：絕緣層

138：絕緣層

140：絕緣層

142a：源極電極

142b：汲極電極

144：氧化物半導體層

146：閘極絕緣層

148a：閘極電極

148b：導電層

- 150 : 絕緣層
- 154 : 佈線
- 156 : 絕緣層
- 160 : 電晶體
- 162 : 電晶體
- 164 : 電容元件
- 170 : 儲存單元
- 190 : 驅動電路
- 192 : 驅動電路
- 201 : 儲存單元陣列
- 250 : 電容元件
- 251 : 電阻元件
- 260 : 雜訊去除電路
- 500 : 半導體基板
- 510 : 單晶半導體基板
- 512 : 氧化膜
- 514 : 脆化區
- 516 : 單晶半導體層
- 518 : 單晶半導體層
- 701 : 外殼
- 702 : 外殼
- 703 : 顯示部
- 704 : 鍵盤
- 711 : 本體

- 712：觸摸筆
- 713：顯示部
- 714：操作按鈕
- 715：外部介面
- 720：電子書閱讀器
- 721：外殼
- 723：外殼
- 725：顯示部
- 727：顯示部
- 731：電源開關
- 733：操作鍵
- 735：揚聲器
- 737：軸部
- 740：外殼
- 741：外殼
- 742：顯示面板
- 743：揚聲器
- 744：麥克風
- 745：操作鍵
- 746：指向裝置
- 747：照相用透鏡
- 748：外部連接端子
- 749：太陽能電池單元
- 750：外部記憶體插槽

- 761 : 主體
- 763 : 取景器部
- 764 : 操作開關
- 765 : 顯示部
- 766 : 電池
- 767 : 顯示部
- 770 : 電視裝置
- 771 : 外殼
- 773 : 顯示部
- 775 : 支架
- 780 : 遙控操作機

發明摘要

※申請案號：105113606(由100130104分割)

※申請日：100年08月23日

※IPC分類：G11C 16/06 (2006.01)
H01L 27/115 (2017.01)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【中文】

本發明的一個方式的目的之一是提供一種即使沒有電力供給也能夠保持儲存內容且對寫入次數也沒有限制的半導體裝置。使用能夠使電晶體的截止電流足夠小的材料，例如作為寬頻隙半導體的氧化物半導體材料構成半導體裝置。藉由使用能夠使電晶體的截止電流足夠小的半導體材料，可以在長期間保持資訊。另外，藉由設置電連接到寫入字線的電容元件或雜訊去除電路，可以降低或去除輸入到儲存單元的短脈衝或雜訊等的信號。由此，可以防止因儲存單元所具有的電晶體瞬間地成為導通而寫入在儲存單元中的資料消失的錯誤工作。

【 英文 】

A semiconductor device in which stored data can be held even when power is not supplied and there is no limitation on the number of writing operations is provided. A semiconductor device is formed using a material which can sufficiently reduce the off-state current of a transistor, such as an oxide semiconductor material that is a wide-gap semiconductor. When a semiconductor material which can sufficiently reduce the off-state current of a transistor is used, the semiconductor device can hold data for a long period. In addition, by providing a capacitor or a noise removal circuit electrically connected to a write word line, a signal such as a short pulse or a noise input to a memory cell can be reduced or removed. Accordingly, a malfunction in which data written into the memory cell is erased when a transistor in the memory cell is instantaneously turned on can be prevented.

申請專利範圍

1. 一種半導體裝置，包括：

儲存單元，包括：

第一電晶體；

第一絕緣層，在該第一電晶體上；以及

第二電晶體，在該第一絕緣層上；

驅動電路；以及

電容器，

其中該第一電晶體包括第一閘極電極、第一源極電極、第一汲極電極和第一通道形成區，

其中該第二電晶體包括第二閘極電極、第二源極電極、第二汲極電極和第二通道形成區，

其中該第一通道形成區包括矽，

其中該第二通道形成區包括氧化物半導體，

其中該第一閘極電極與該第二汲極電極彼此電連接，

其中該驅動電路電連接到該第二閘極電極，以及

其中該電容器設置在該驅動電路與該儲存單元之間，並且該電容器的一方的電極電連接到該第二閘極電極。

2. 根據申請專利範圍第 1 項之半導體裝置，其中該電容器和電阻器設置在該驅動電路與該儲存單元之間，該電容器的該一方的電極電連接到該第二閘極電極和該電阻器的一方的端子，以及該電阻器的另一方的端子電連接到該驅動電路。

3. 一種半導體裝置，包括：

儲存單元，包括：

第一電晶體；

第一絕緣層，在該第一電晶體上；以及

第二電晶體，在該第一絕緣層上；以及

驅動電路，

其中該第一電晶體包括第一閘極電極、第一源極電極、第一汲極電極和第一通道形成區，

其中該第二電晶體包括第二閘極電極、第二源極電極、第二汲極電極和第二通道形成區，

其中該第一通道形成區包括矽，

其中該第二通道形成區包括氧化物半導體，

其中該第一閘極電極與該第二汲極電極彼此電連接，

其中該驅動電路電連接到該第二閘極電極，

其中該驅動電路包括電連接到該第二閘極電極的雜訊去除電路，

其中該雜訊去除電路包括第一反向器電路、第二反向器電路和電容器，

其中該電容器的一方的電極電連接到該第一反向器電路的輸出端子和該第二反向器電路的輸入端子，以及

其中該第二反向器電路的輸出端子電連接到該第二閘極電極。

4.根據申請專利範圍第3項之半導體裝置，

其中該雜訊去除電路包括電阻器，

其中該電阻器的一方的端子電連接到該第一反向器電

路的該輸出端子，以及

其中該電阻器的另一方的端子電連接到該第二反向器電路的該輸入端子。

5.一種半導體裝置，包括：

儲存單元，包括：

第一電晶體；

第一絕緣層，在該第一電晶體上；以及

第二電晶體，在該第一絕緣層上；以及

驅動電路，

其中該第一電晶體包括第一閘極電極、第一源極電極、第一汲極電極和第一通道形成區，

其中該第二電晶體包括第二閘極電極、第二源極電極、第二汲極電極和第二通道形成區，

其中該第一通道形成區包括矽，

其中該第二通道形成區包括氧化物半導體，

其中該第一閘極電極與該第二汲極電極彼此電連接，

其中該驅動電路電連接到該第二閘極電極，

其中該驅動電路包括電連接到該第二閘極電極的雜訊去除電路，

其中該雜訊去除電路包括 AND 電路和電容器，

其中該電容器的一方的電極電連接到該 AND 電路的第一輸入端子，以及

其中該 AND 電路的輸出端子電連接到該第二閘極電極。

6.根據申請專利範圍第 5 項之半導體裝置，

其中該雜訊去除電路包括電阻器，

其中該電阻器的一方的端子電連接到該 AND 電路的該第一輸入端子，以及

其中該電阻器的另一方的端子電連接到該 AND 電路的第二輸入端子。

7.根據申請專利範圍第 1、3 及 5 中任一項之半導體裝置，

其中該電容器包括第一導電層、在該第一導電層上的第二絕緣層、在該第二絕緣層上的第二導電層、與該第二導電層接觸的第三導電層、以及與該第三導電層接觸的第四導電層，

其中該第一導電層包括矽，

其中該第二絕緣層設置在與該第一電晶體的閘極絕緣層相同的層中，

其中該第二導電層設置在與該第一閘極電極相同的層中，

其中該第三導電層設置在與該第二源極電極和該第二汲極電極相同的層中，以及

其中該第四導電層設置在與該第二閘極電極相同的層中。

8.根據申請專利範圍第 1、3 及 5 中任一項之半導體裝置，其中在室溫（25°C）下該第二電晶體的截止電流小於或等於 10 nA。

9. 根據申請專利範圍第 2、4 及 6 中任一項之半導體裝置，其中在室溫（25°C）下該第二電晶體的截止電流小於或等於 10 nA。

圖式

圖1A-1

圖1B

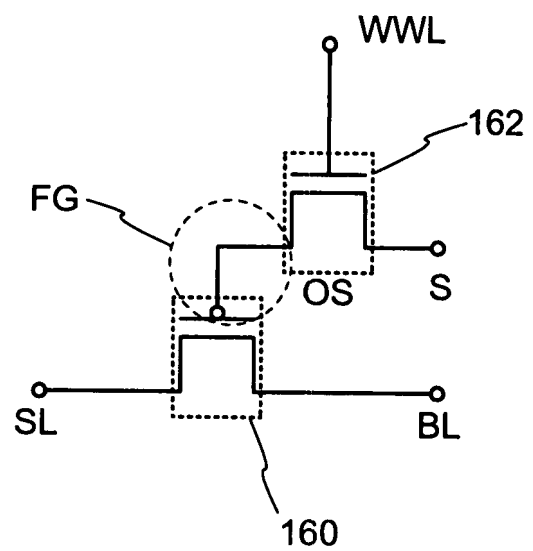
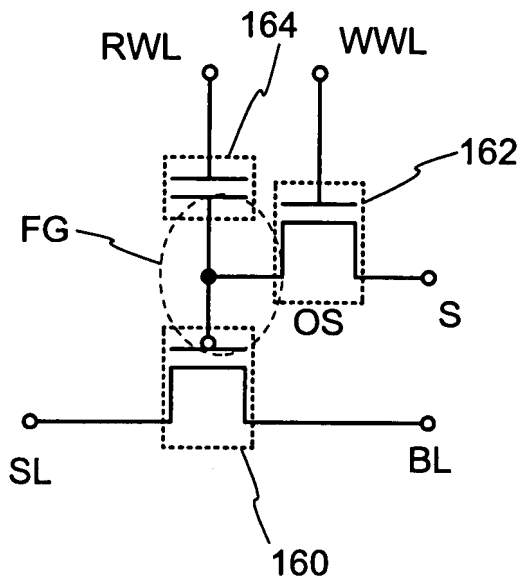


圖1A-2

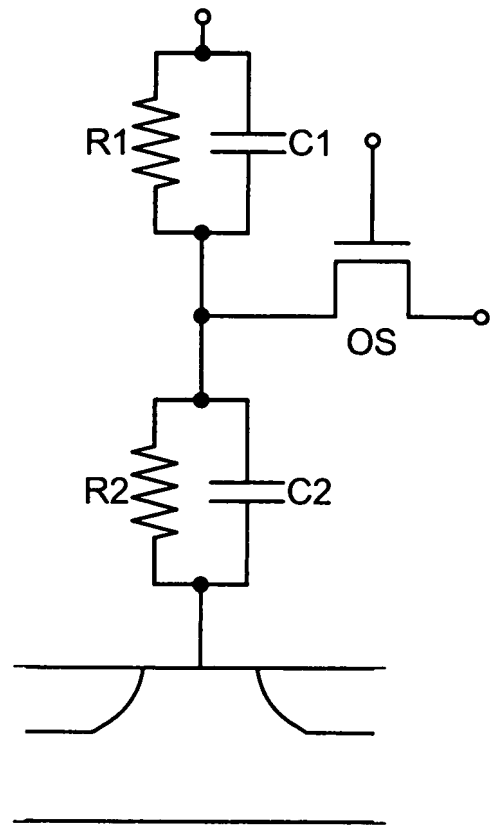


圖 2A

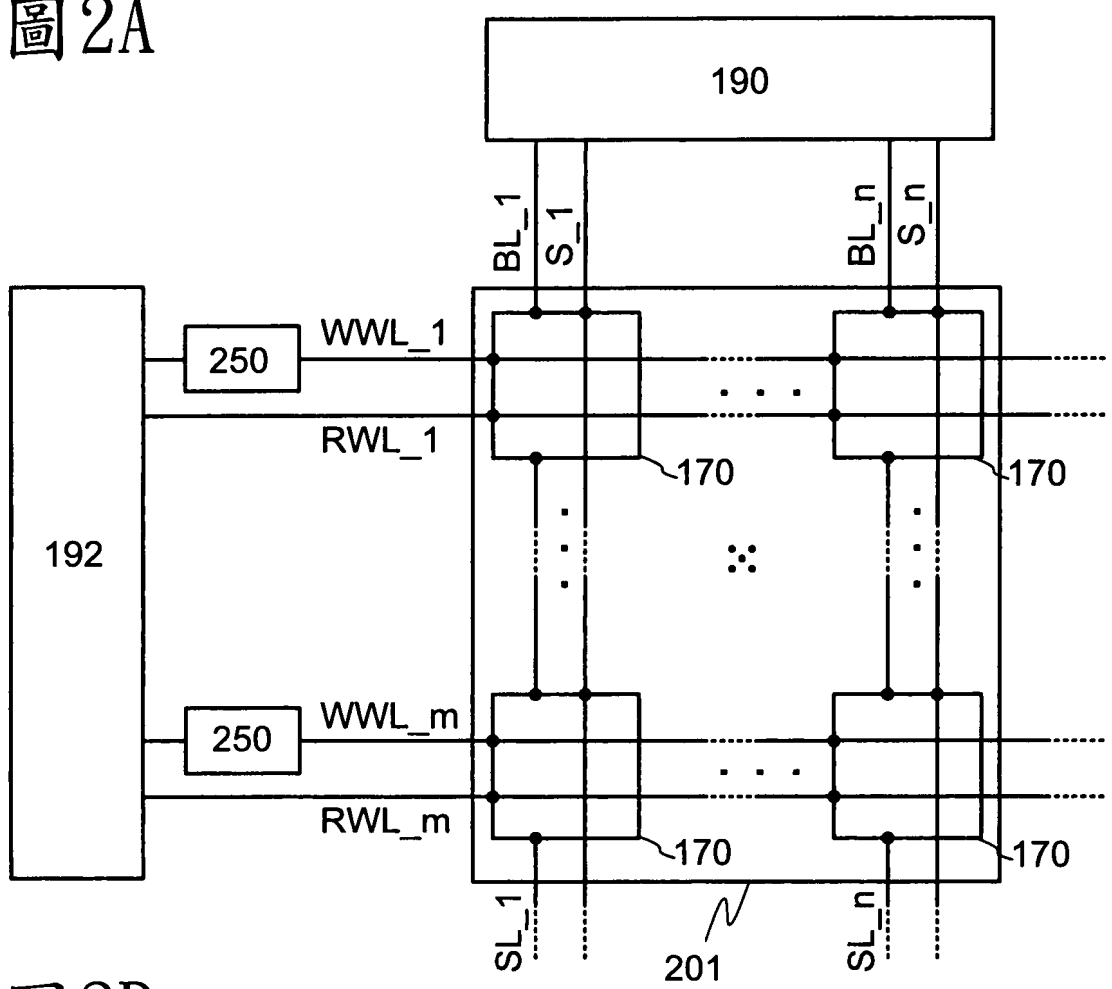


圖 2B

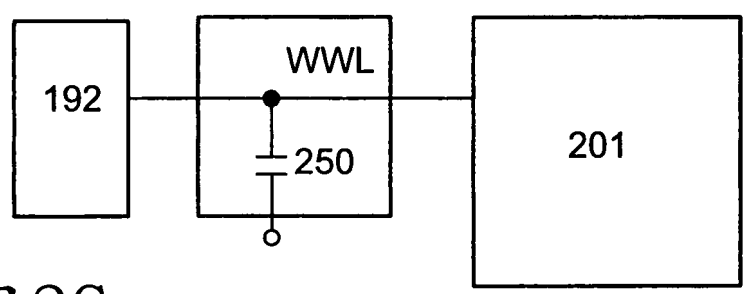


圖 2C

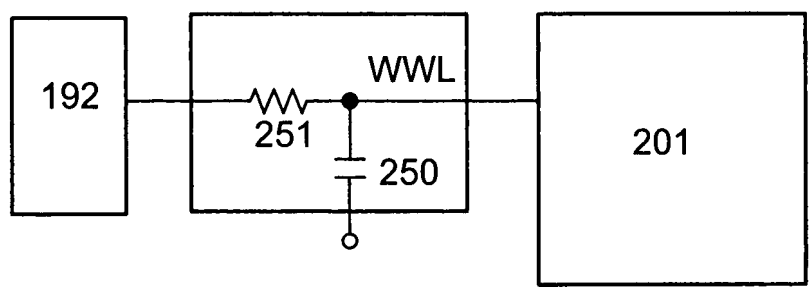


圖 3A

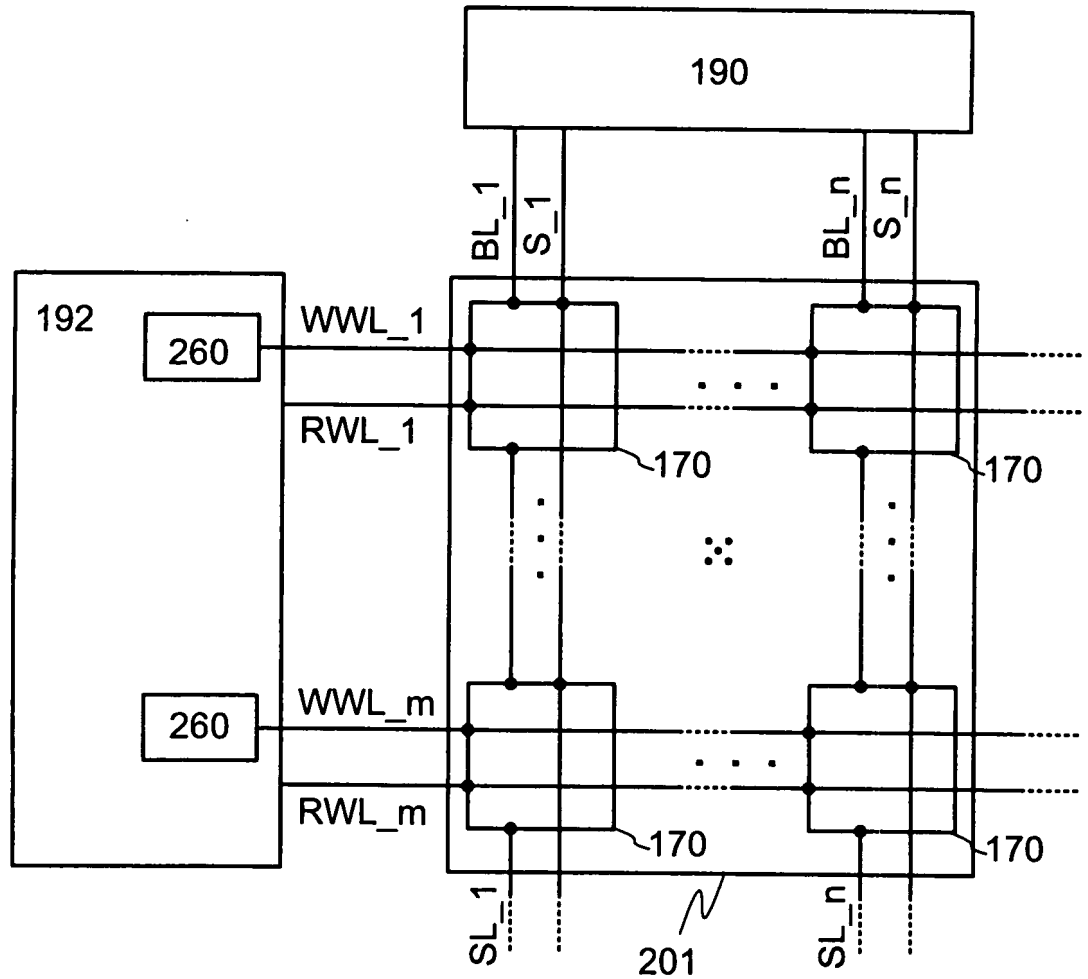


圖 3B

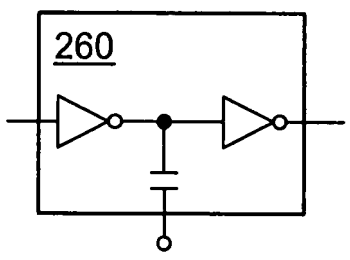


圖 3C

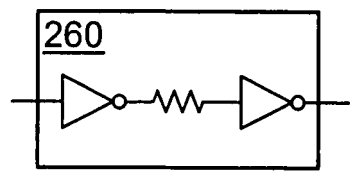


圖 3D

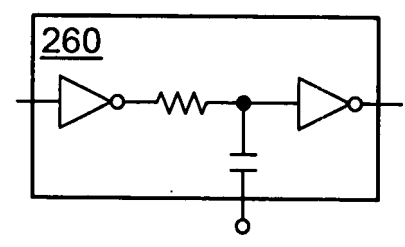


圖 4A

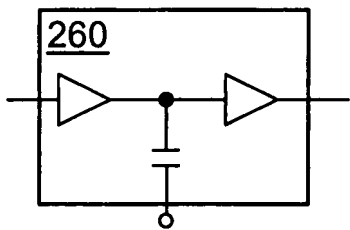


圖 4F

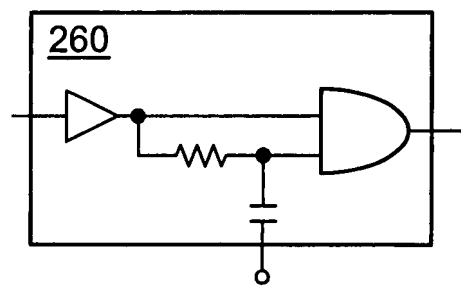


圖 4B

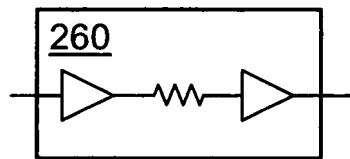


圖 4C

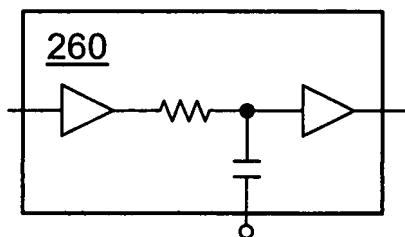


圖 4D

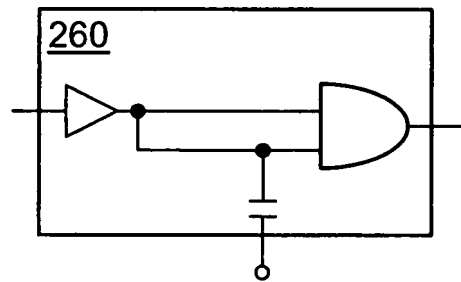


圖 4E

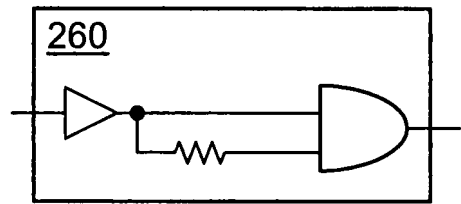


圖 5A

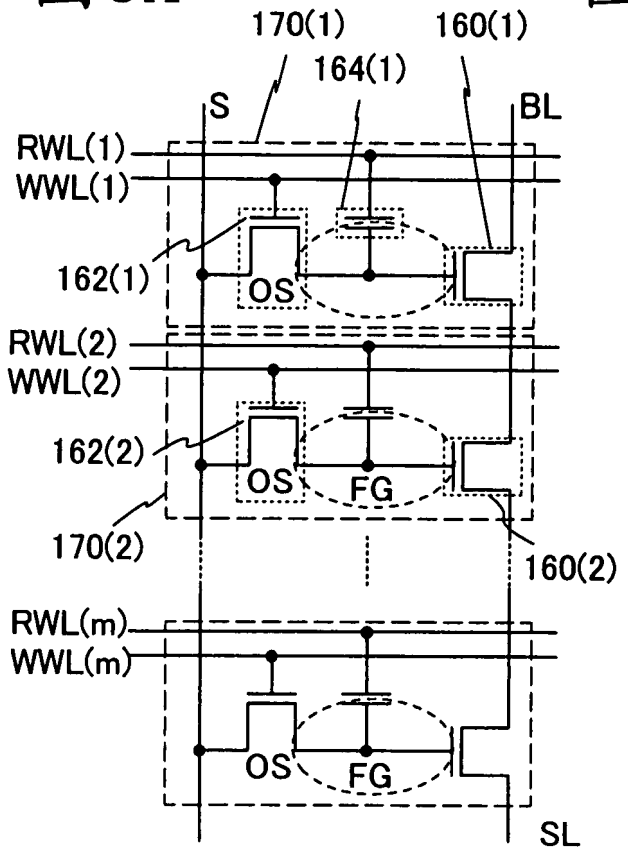


圖 5B

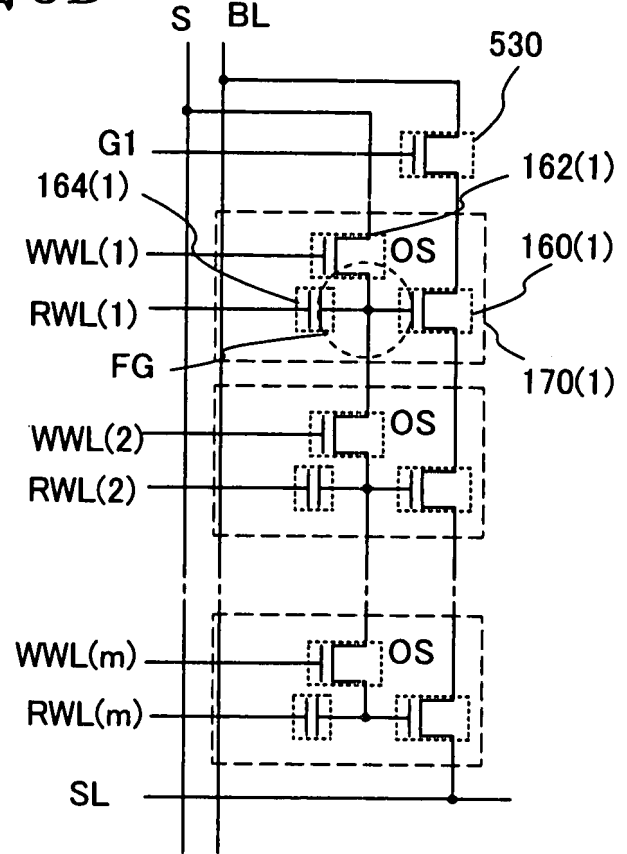


圖 5C

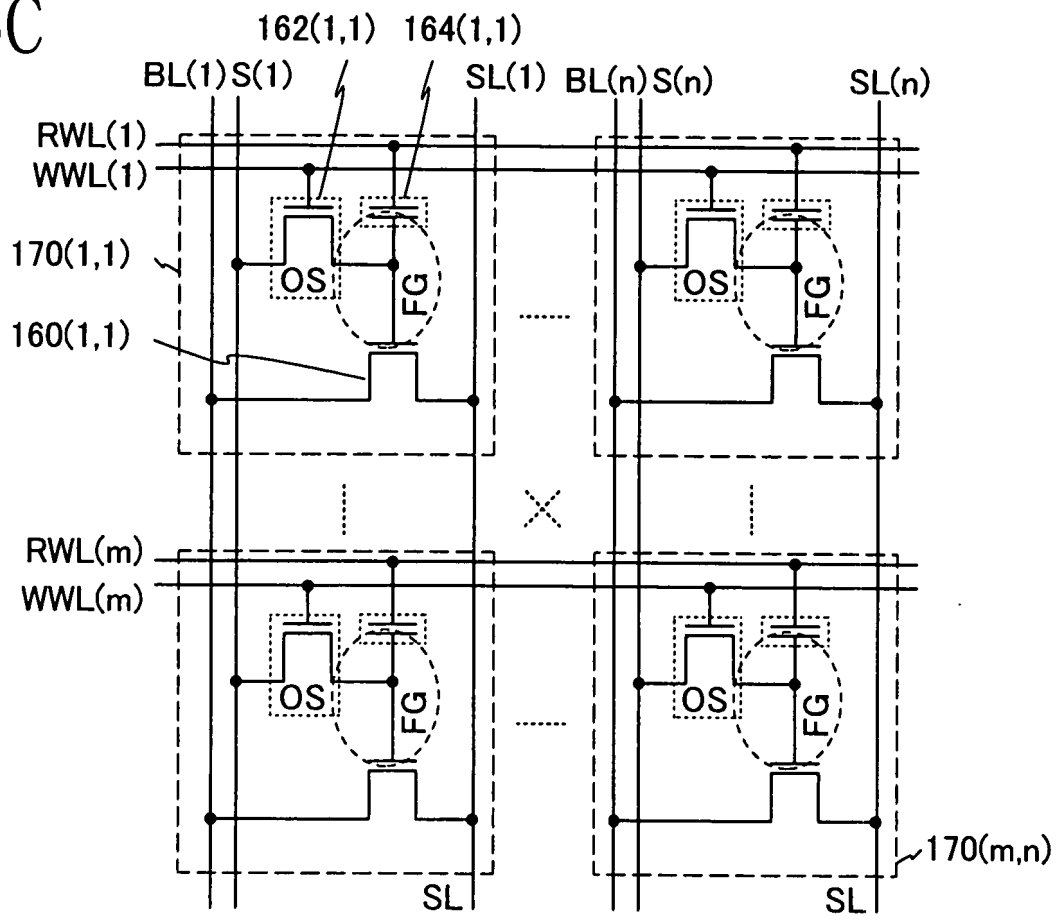


圖 6A

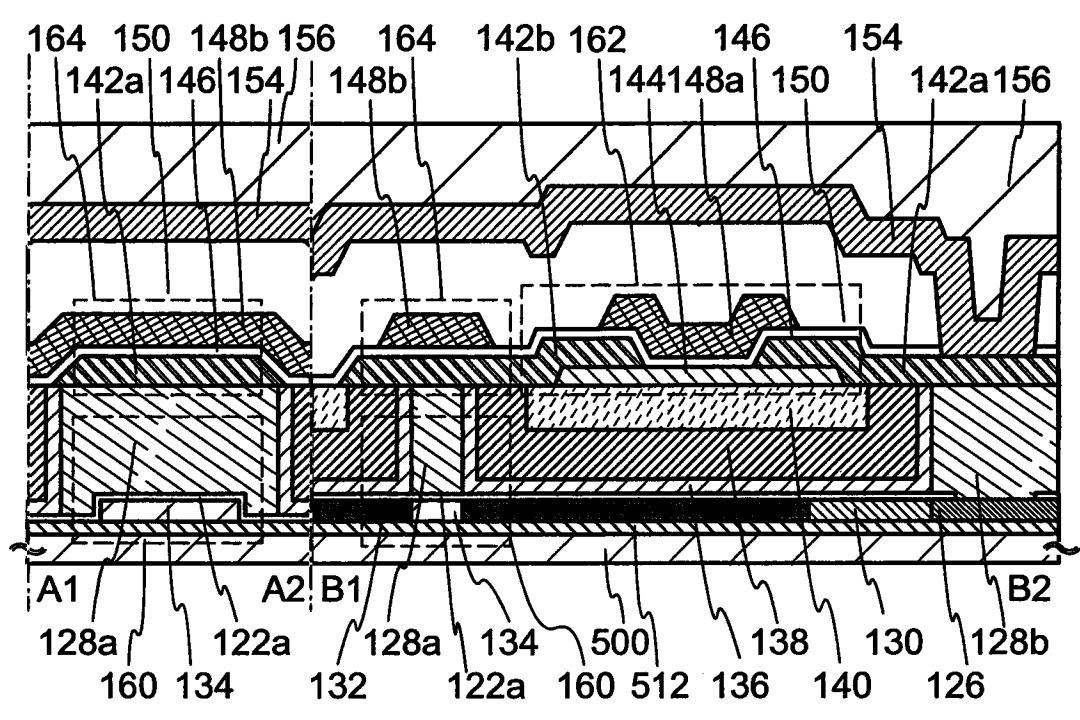


圖 6B

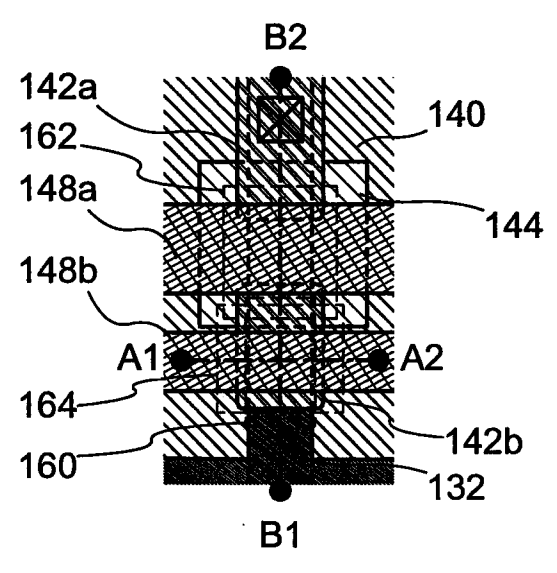


圖 7

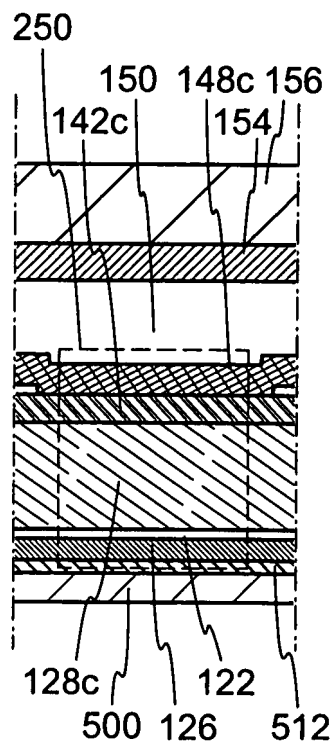


圖 8A

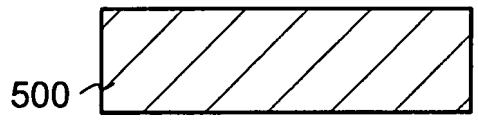


圖 8B

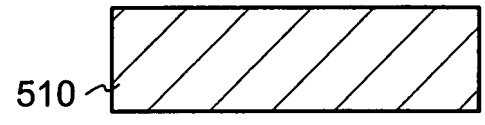


圖 8C

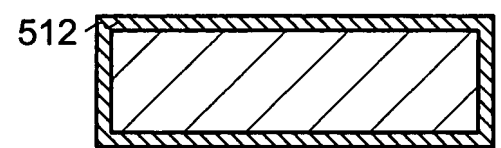


圖 8D

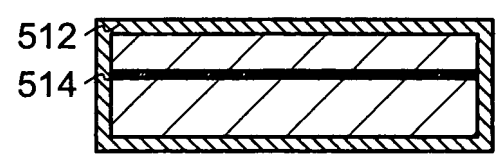


FIG. 8E

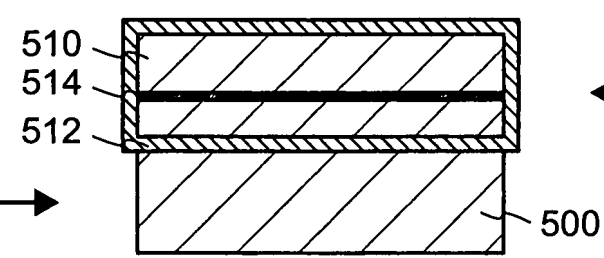


圖 8F

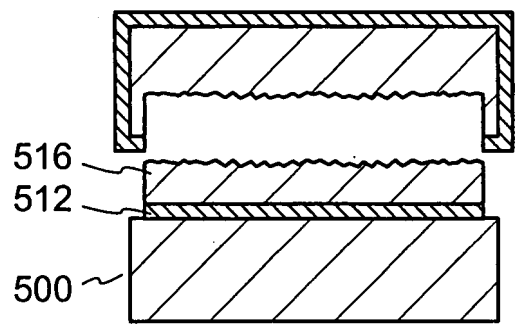


圖 8G

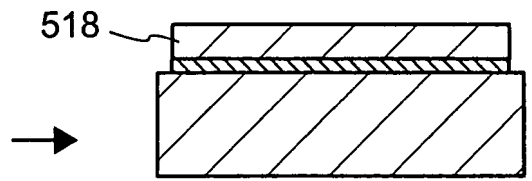


圖 9A

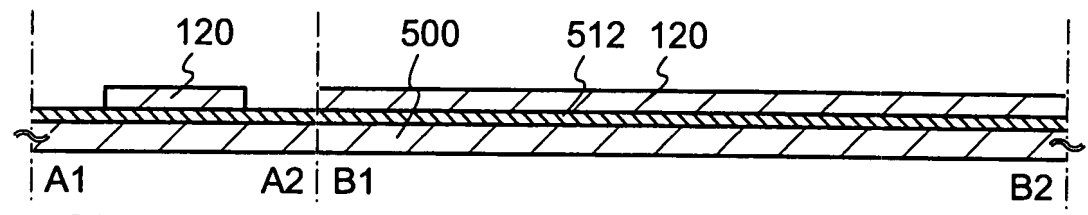


圖 9B

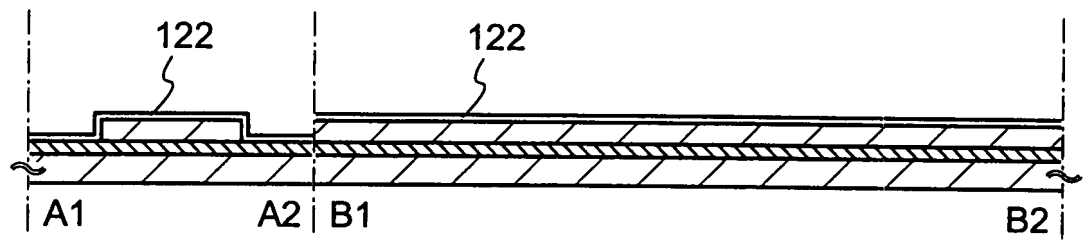


圖 9C

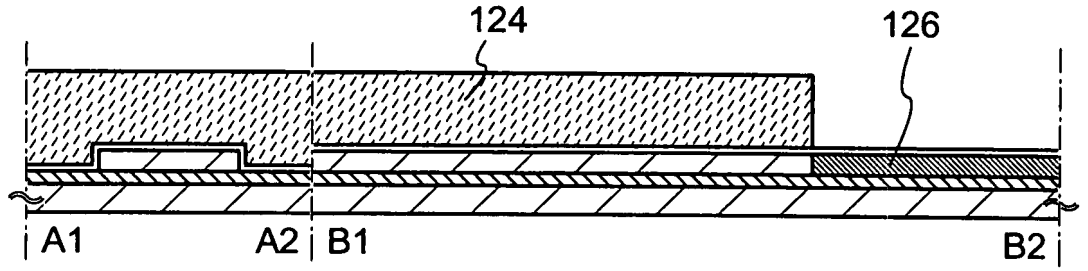


圖 9D

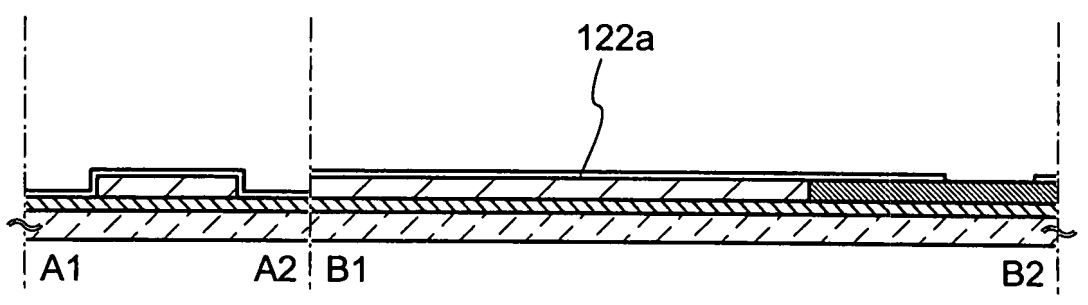


圖 9E

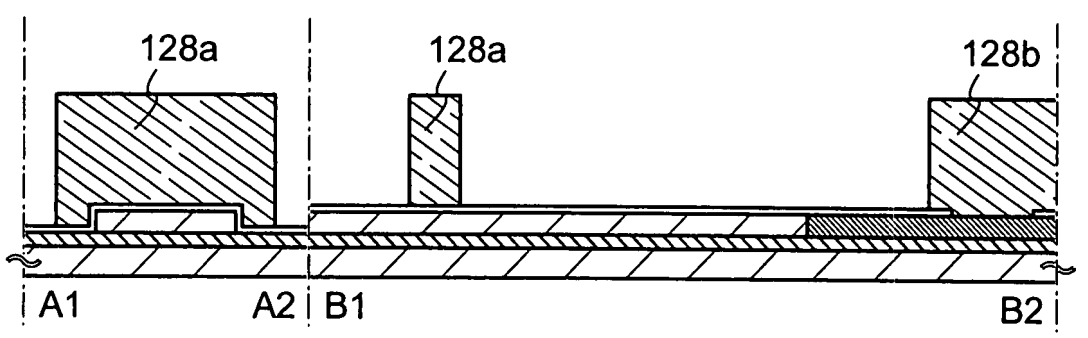


圖 13A

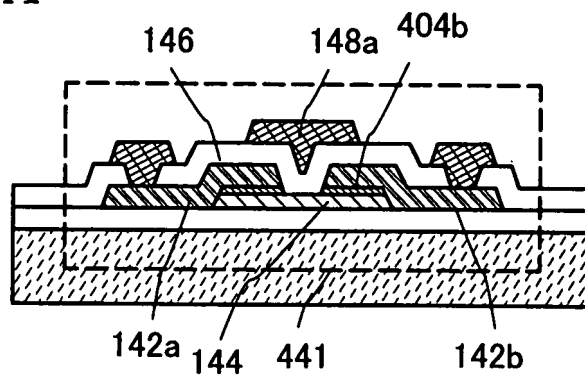


圖 13B

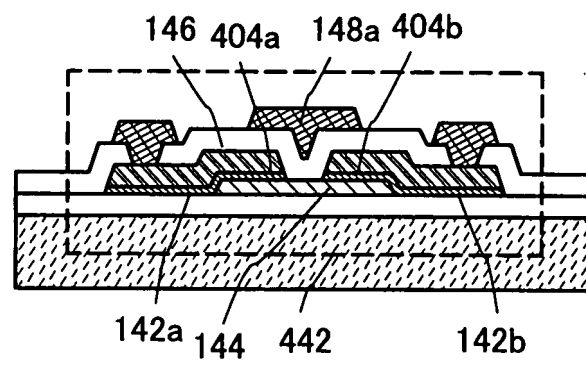


圖 14A

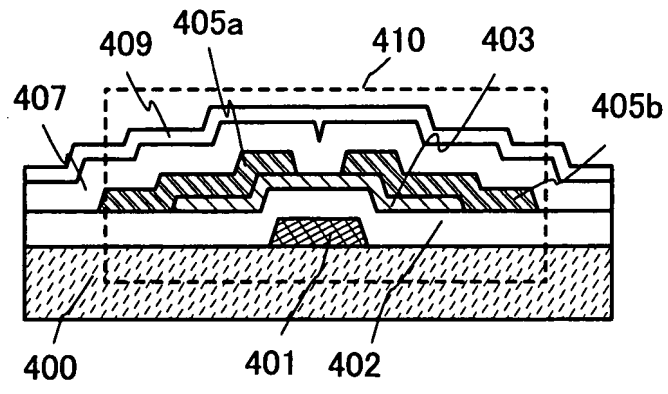


圖 14B

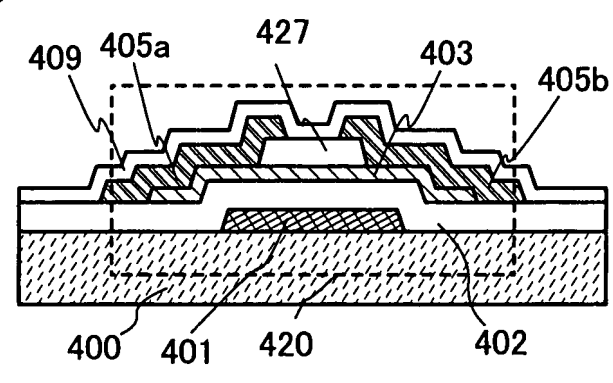


圖 14C

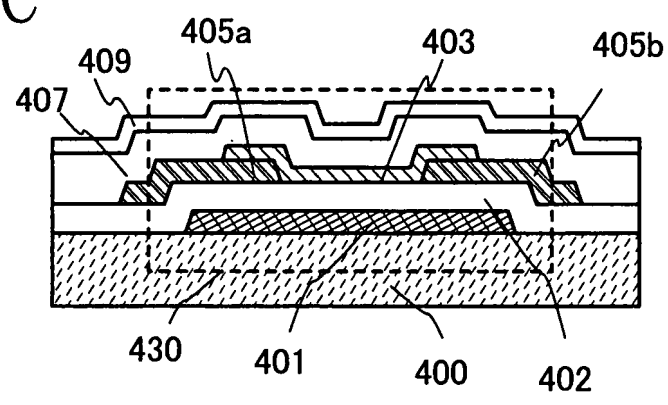


圖 15A

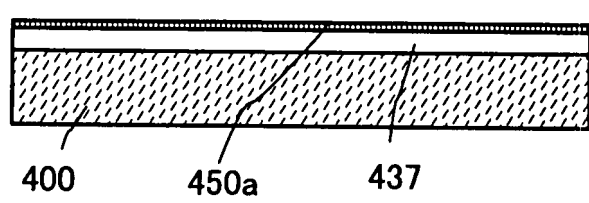


圖 15B

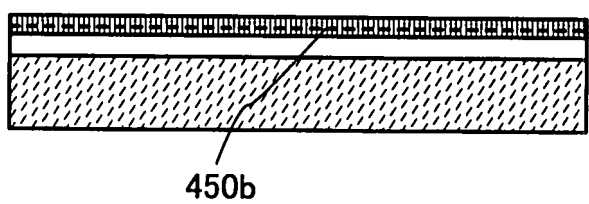


圖 15C

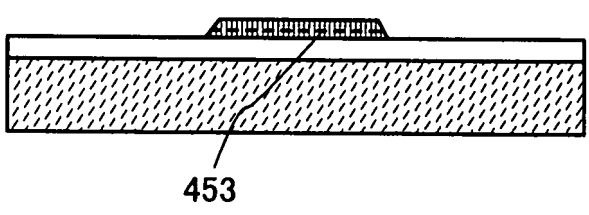


圖 16A

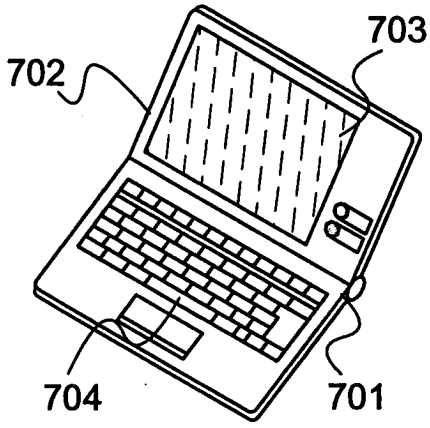


圖 16D

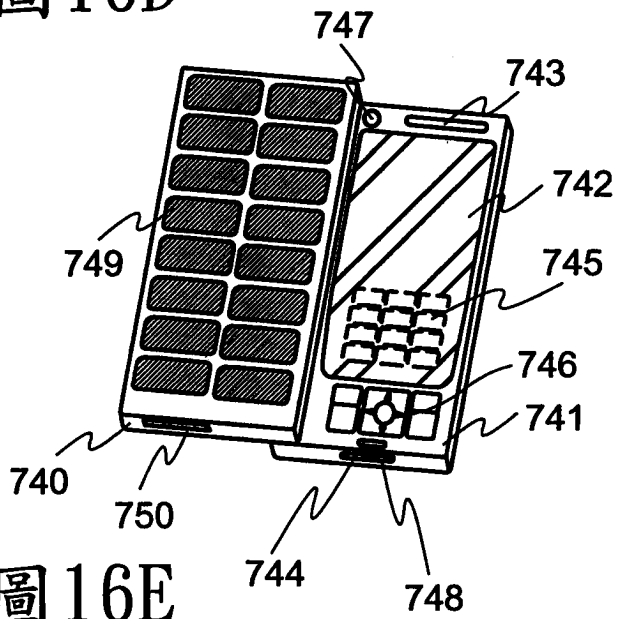


圖 16B

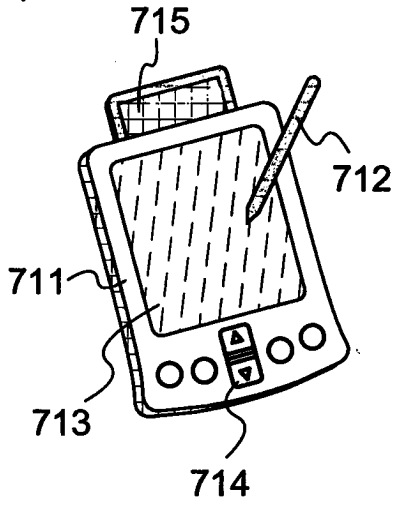


圖 16E

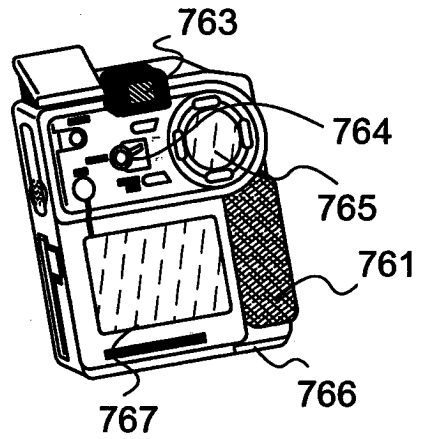


圖 16C

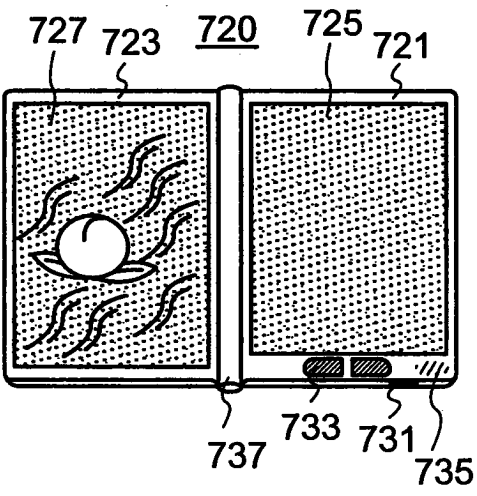
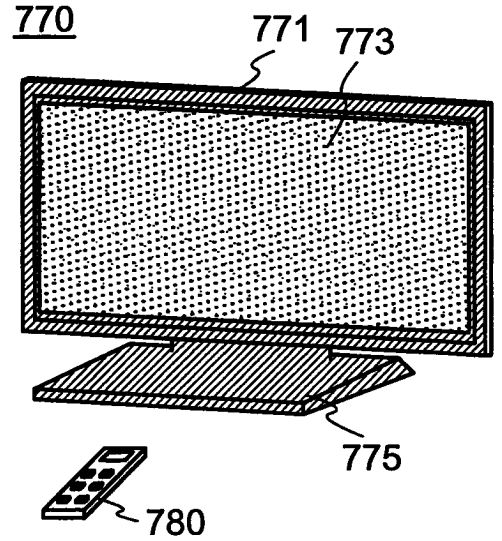


圖 16F



【代表圖】

【本案指定代表圖】：第(2A)圖。

【本代表圖之符號簡單說明】：

192：驅動電路

250：電容元件

190：驅動電路

170：儲存單元

201：儲存單元陣列

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無