



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2010년06월21일  
(11) 등록번호 10-0965028  
(24) 등록일자 2010년06월11일

(51) Int. Cl.  
G11C 16/34 (2006.01) G11C 16/30 (2006.01)  
G11C 16/12 (2006.01)  
(21) 출원번호 10-2008-0066878  
(22) 출원일자 2008년07월10일  
심사청구일자 2008년07월10일  
(65) 공개번호 10-2010-0006663  
(43) 공개일자 2010년01월21일  
(56) 선행기술조사문헌  
JP10241388 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
주식회사 하이닉스반도체  
경기 이천시 부발읍 아미리 산136-1  
(72) 발명자  
장채규  
경기 이천시 부발읍 아미리 산 148-1 현대사원임  
대아파트 103동106호  
장승호  
충북 청주시 흥덕구 복대1동 삼일아파트 104-1201  
(뒷면에 계속)  
(74) 대리인  
신영무

전체 청구항 수 : 총 11 항

심사관 : 이우찬

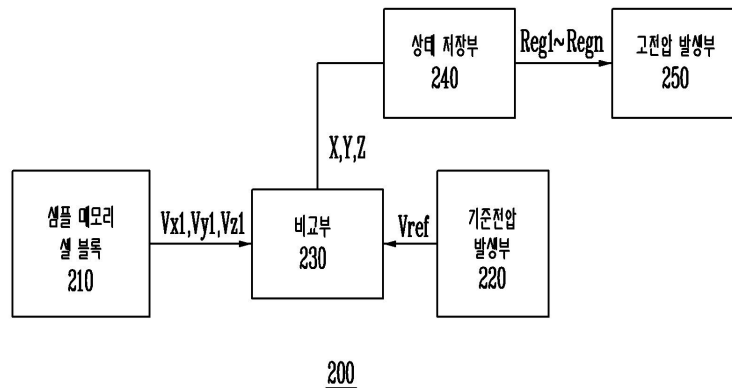
(54) 불휘발성 메모리 장치 및 그 프로그램/소거 방법

(57) 요약

본원 발명의 불휘발성 메모리장치는 샘플 메모리 셀 스트링의 특정 노드들에서 출력되는 전압과 기준전압의 크기를 비교하는 비교부와, 상기 비교부의 비교결과에 따라 메모리 셀의 상태정보를 저장하는 상태저장부와, 상기 상태저장부에 저장된 데이터에 따라 프로그램 시작전압을 변화시키는 고전압 발생부를 포함하는 것을 특징으로 한다.

또한 본원 발명의 불휘발성 메모리 장치의 프로그램 방법은 선정된 프로그램 시작전압에 따라 프로그램 동작을 수행하는 단계와, 샘플 메모리 셀의 특정노드들에서 출력되는 출력전압들과 기준전압을 각각 비교하는 단계와, 상기 각 출력전압들이 상기 기준전압보다 모두 커질 때까지 프로그램 전압을 스텝전압만큼 증가시켜 프로그램 동작을 반복수행하는 단계와, 선정된 프로그램/소거 횟수에 도달할 때마다 상기 각 출력전압들이 상기 기준전압보다 모두 커졌음을 나타내는 상태 정보를 저장시키는 단계와, 상기 저장된 상태 정보에 따라 프로그램 시작전압의 레벨을 변경시키는 단계를 포함하는 것을 특징으로 한다.

대표도 - 도2



(72) 발명자

**박영수**

서울 강남구 압구정동 현대아파트 61동 606호

**김재운**

전남 목포시 산정1동 1052-127 명성오피스 A동 20  
1호

**박세권**

서울 송파구 삼전동 102-13번지 102호

**특허청구의 범위**

**청구항 1**

샘플 메모리 셀 스트링의 특정 노드들에서 출력되는 전압과 기준전압의 크기를 비교하는 비교부와,  
 상기 비교부의 비교결과에 따라 메모리 셀의 상태정보를 저장하는 상태저장부와,  
 상기 상태저장부에 저장된 상기 메모리 셀의 상태정보에 따라 프로그램 동작시 최초에 인가하기 위한 프로그램 전압의 레벨을 변화시키는 고전압 발생부를 포함하는 불휘발성 메모리 장치.

**청구항 2**

제1항에 있어서, 상기 비교부는 상기 특정 노드들에서 출력되는 전압과 상기 기준전압의 크기를 각각 비교하는 복수의 차동증폭부를 포함하는 것을 특징으로 하는 불휘발성 메모리 장치.

**청구항 3**

제1항에 있어서, 상기 상태저장부는 상기 비교결과에 따라 전원전압을 전달하는 복수의 풀업부와,  
 상기 각 풀업부의 출력을 논리조합하여 출력하는 논리조합부와,  
 상기 논리조합부의 출력에 따라 하이레벨 전압을 전달하는 데이터 설정부와, 상기 데이터 설정부의 출력을 복수의 레지스터 중 어느 하나에 선택적으로 저장시키는 디멀크스와,  
 상기 디멀크스와 접속되어 상기 데이터 설정부의 출력이 순차적으로 저장되는 복수의 레지스터를 포함하는 것을 특징으로 하는 불휘발성 메모리 장치.

**청구항 4**

제3항에 있어서, 상기 논리 조합부는 상기 각 풀업부의 출력을 반전시키는 복수의 인버터들과,  
 상기 각 인버터들의 출력을 부정논리합하는 NOR 게이트를 포함하는 것을 특징으로 하는 불휘발성 메모리 장치.

**청구항 5**

제3항에 있어서, 상기 데이터 설정부는 상기 논리조합부의 출력을 반전시키는 인버터와,  
 상기 논리조합부의 출력 및 상기 인버터의 출력에 따라 하이레벨 전압을 상기 디멀크스로 전달하는 전달게이트를 포함하는 것을 특징으로 하는 불휘발성 메모리 장치.

**청구항 6**

제1항에 있어서, 상기 고전압 발생부는 일정한 고전압을 공급하는 밴드갭 전압 공급부와,  
 상기 밴드갭 전압 공급부의 출력인 고전압을 상기 상태 저장부의 각 레지스터에 저장된 데이터에 따라 상기 고전압을 전압 분배하는 제1 내지 제n 전압 제어부를 포함하는 것을 특징으로 하는 불휘발성 메모리 장치.

**청구항 7**

제6항에 있어서, 상기 제n 전압 제어부는 제n 저항과,  
 상기 제n 저항과 병렬 접속되며, 상기 상태 저장부에 포함된 레지스터에 저장된 데이터에 따라 상기 제n 저항의 양단을 단락시키는 제n 스위칭소자를 포함하는 것을 특징으로 하는 불휘발성 메모리 장치.

**청구항 8**

선정된 프로그램 시작전압에 따라 프로그램 동작을 수행하는 단계와,  
 샘플 메모리 셀의 특정노드들에서 출력되는 출력전압들과 기준전압을 각각 비교하는 단계와,  
 상기 각 출력전압들이 상기 기준전압보다 모두 커질 때까지 프로그램 전압을 스텝전압만큼 증가시켜 프로그램 동작을 반복수행하는 단계와,

선정된 프로그램/소거 횟수에 도달할 때마다 상기 각 출력전압들이 상기 기준전압보다 모두 커졌음을 나타내는 상태 정보를 저장시키는 단계와,

상기 저장된 상태 정보에 따라 프로그램 동작시 최초에 인가하기 위한 프로그램 전압의 레벨을 변경시키는 단계를 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 프로그램 방법.

**청구항 9**

제8항에 있어서, 상기 프로그램 동작시 최초에 인가하기 위한 프로그램 전압의 레벨을 변경시키는 단계는 상기 프로그램/소거 횟수가 증가함에 따라 상기 프로그램 동작시 최초에 인가하기 위한 프로그램 전압의 레벨을 감소시키는 단계를 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 프로그램 방법.

**청구항 10**

선정된 소거 시작전압에 따라 소거 동작을 수행하는 단계와,

샘플 메모리 셀의 특정노드들에서 출력되는 출력전압들과 기준전압을 각각 비교하는 단계와,

상기 각 출력전압들이 상기 기준전압보다 모두 커질 때까지 소거 전압을 스텝전압만큼 증가시켜 소거 동작을 반복수행하는 단계와,

선정된 프로그램/소거 횟수에 도달할 때마다 상기 각 출력전압들이 상기 기준전압보다 모두 커졌음을 나타내는 상태 정보를 저장시키는 단계와,

상기 저장된 상태 정보에 따라 소거 동작시 최초에 인가하기 위한 소거 전압의 레벨을 변경시키는 단계를 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 소거 방법.

**청구항 11**

제10항에 있어서, 상기 소거 동작시 최초에 인가하기 위한 소거 전압의 레벨을 변경시키는 단계는 상기 프로그램/소거 횟수가 증가함에 따라 상기 소거 동작시 최초에 인가하기 위한 소거 전압의 레벨을 증가시키는 단계를 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 프로그램 방법.

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 본원 발명은 불휘발성 메모리 장치 및 그를 이용한 프로그램 방법, 소거 방법에 관한 것이다.

**배경기술**

[0002] 최근 들어 전기적으로 프로그램(program)과 소거(erase)가 가능하고, 일정 주기로 데이터를 재작성해야하는 리프레시(refresh) 기능이 필요 없는 불휘발성 메모리 소자에 대한 수요가 증가하고 있다.

[0003] 상기 불휘발성 메모리 셀은 전기적인 프로그램/소거 동작이 가능한 소자로서 얇은 산화막에 인가되는 강한 전기장에 의해 전자가 이동하면서 셀의 문턱전압을 변화시켜 프로그램 및 소거 동작을 수행한다.

[0004] 상기 불휘발성 메모리 장치는 통상적으로 데이터가 저장되는 셀들이 매트릭스 형태로 구성된 메모리 셀 어레이, 상기 메모리 셀 어레이의 특정 셀들에 대하여 메모리를 기입하거나 특정 셀에 저장되었던 메모리를 독출하는 페이지 버퍼를 포함한다. 상기 페이지 버퍼는 특정 메모리 셀과 접속된 비트라인 쌍, 메모리 셀 어레이에 기록할 데이터를 임시저장하거나, 메모리 셀 어레이로부터 특정 셀의 데이터를 독출하여 임시 저장하는 레지스터, 특정 비트라인 또는 특정 레지스터의 전압 레벨을 감지하는 감지노드, 상기 특정 비트라인과 감지노드의 접속여부를 제어하는 비트라인 선택부를 포함한다.

[0005] 이러한 불휘발성 메모리 장치의 메모리 셀은 프로그램/소거 횟수가 증가함에 따라 소거 동작에도 불구하고 전하가 산화막과 플로팅 게이트 사이에 트랩되는 현상이 발생한다. 프로그램/소거 횟수가 증가할수록 상기 트랩되는 전하의 양도 증가하게 되며, 이는 불휘발성 메모리 셀의 문턱전압을 상승시킨다. 따라서 프로그램 속도도 증가하게 된다. 이러한 프로그램/소거 횟수 증가에 따른 트랩전하의 증가 현상, 또는 프로그램 속도의 증가현상을

보상하기 위하여 프로그램 전압, 또는 소거 전압을 변화시킬 필요가 있다.

**발명의 내용**

**해결 하고자하는 과제**

[0006] 전술한 문제점에 따라 본원 발명이 해결하고자 하는 과제는 프로그램/소거 횟수의 증가에 따라 상이한 프로그램 전압 또는 소거 전압을 인가시킬 수 있는 불휘발성 메모리 장치를 제공하는 것이다.

**과제 해결수단**

[0007] 전술한 과제를 해결하기 위한 본원 발명의 불휘발성 메모리장치는 샘플 메모리 셀 스트링의 특정 노드들에서 출력되는 전압과 기준전압의 크기를 비교하는 비교부와, 상기 비교부의 비교결과에 따라 메모리 셀의 상태정보를 저장하는 상태저장부와, 상기 상태저장부에 저장된 데이터에 따라 프로그램 시작전압을 변화시키는 고전압 발생부를 포함하는 것을 특징으로 한다.

[0008] 또한 본원 발명의 불휘발성 메모리 장치의 프로그램 방법은 선정된 프로그램 시작전압에 따라 프로그램 동작을 수행하는 단계와, 샘플 메모리 셀의 특정노드들에서 출력되는 출력전압들과 기준전압을 각각 비교하는 단계와, 상기 각 출력전압들이 상기 기준전압보다 모두 커질 때까지 프로그램 전압을 스텝전압만큼 증가시켜 프로그램 동작을 반복수행하는 단계와, 선정된 프로그램/소거 횟수에 도달할 때마다 상기 각 출력전압들이 상기 기준전압보다 모두 커졌음을 나타내는 상태 정보를 저장시키는 단계와, 상기 저장된 상태 정보에 따라 프로그램 시작전압의 레벨을 변경시키는 단계를 포함하는 것을 특징으로 한다.

[0009] 또한 선정된 소거 시작전압에 따라 소거 동작을 수행하는 단계와, 샘플 메모리 셀의 특정노드들에서 출력되는 출력전압들과 기준전압을 각각 비교하는 단계와, 상기 각 출력전압들이 상기 기준전압보다 모두 커질 때까지 소거 전압을 스텝전압만큼 증가시켜 소거 동작을 반복수행하는 단계와, 선정된 프로그램/소거 횟수에 도달할 때마다 상기 각 출력전압들이 상기 기준전압보다 모두 커졌음을 나타내는 상태 정보를 저장시키는 단계와, 상기 저장된 상태 정보에 따라 소거 시작전압의 레벨을 변경시키는 단계를 포함하는 것을 특징으로 한다.

**효과**

[0010] 전술한 본원 발명의 구성에 따라 프로그램/소거 횟수의 증가에 따라 상이한 프로그램 전압 또는 소거 전압을 인가시킬 수 있는 불휘발성 메모리 장치를 제공할 수 있다.

**발명의 실시를 위한 구체적인 내용**

[0011] 이하, 첨부된 도면들을 참조하여 본원 발명의 바람직한 실시예를 상세히 살펴보기로 한다. 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 도면상에서 동일 부호는 동일한 요소를 지칭한다.

[0012] 도 1은 통상적인 불휘발성 메모리 장치에서의 프로그램/소거 횟수 증가에 따른 전하트랩현상을 도시한 도면이다.

[0013] 불휘발성 메모리 장치의 통상적인 소거동작은 (a)에 도시된 바와 같이, 워드라인에 0V의 전압을 인가하고 벌크에 20V의 고전압을 인가하여 플로팅 게이트에 충전된 전하를 채널로 방전시켜 이루어진다. 이때 ISPE(Incremental step pulse erase) 소거 방법에 따라 상기 고전압을 펄스 형태로 반복적으로 인가하는 방법도 있다. 이렇게 소거동작이 수행되면 (b)에 도시된 바와 같이 플로팅 게이트에 충전되었던 전하가 모두 채널로 방전되게 된다. 그러나 프로그램/소거 횟수가 증가함에 따라 소거 동작에도 불구하고 전하가 산화막과 플로팅 게이트사이에 트랩되는 현상이 발생한다. 프로그램/소거 횟수가 증가할수록 상기 트랩되는 전하의 양도 증가하게 되며, 이는 불휘발성 메모리 셀의 문턱전압을 상승시킨다. 따라서 프로그램 속도도 증가하게 된다. 즉 낮은 프로그램 전압이 인가되더라도 문턱전압이 기준전압이상으로 프로그램된다. ISPP(Incremental step pulse program) 프로그램 방법에 따르면, 적은 프로그램 펄스가 인가되더라도 프로그램이 완료된다. 이러한 프로그램/소거 횟수 증가에 따른 트랩전하의 증가 현상, 또는 프로그램 속도의 증가현상을 보상하기 위하여 프로그램 전압, 또는 독출/검증 기준 전압을 변화시킬 필요가 있다.

- [0014] 도 2는 본원 발명의 일 실시예에 따른 불휘발성 메모리 장치를 도시한 블록도이다.
- [0015] 상기 불휘발성 메모리 장치(200)는 샘플 메모리 셀 블록(210), 기준 전압 발생부(220), 상기 샘플 메모리 셀 블록(210)에 포함된 메모리 셀 스트링의 특정노드에 인가되는 전압과 상기 기준 전압 발생부(220)의 기준전압의 크기를 비교하는 비교부(230), 상기 비교부(230)의 비교결과를 전달받아 메모리 셀의 상태정보를 저장하는 상태 저장부(240), 상기 상태 저장부(240)에 저장된 메모리 셀의 상태정보에 따라 프로그램 전압, 소거 전압등의 전압레벨을 제어하는 고전압 발생부(250)를 포함한다.
- [0016] 상기 샘플 메모리 셀 블록(210)에 포함된 메모리 셀 들은 불휘발성 메모리 셀 장치에 포함된 메모리 셀과 동일한 특성을 갖는다. 도면을 참조하여 상세하게 설명하기로 한다.
- [0017] 도 3는 본원 발명의 일 실시예에 따른 샘플 메모리 셀 블록에 포함된 메모리 셀 스트링을 도시한 회로도이다.
- [0018] 상기 메모리 셀 스트링은 일반적인 낸드(NAND)형 불휘발성 메모리 장치에 포함되는 메모리 셀 스트링과 유사한 구성을 갖는다. 즉, 직렬로 접속되는 복수의 메모리 셀(MC0, MC1, ..., MCn), 메모리 셀(MCn)과 비트라인을 선택적으로 접속시키는 드레인 선택 트랜지스터(DST), 메모리 셀(MC0)과 공통소스라인(CSL)을 선택적으로 접속시키는 소스 선택 트랜지스터(SST)를 포함한다. 또한, 본원 발명의 실시예에 따라 메모리 셀간의 접속노드에 인가되는 전압을 출력시키는 출력단(Vx1, Vy1, Vz1)이 포함된다.
- [0019] 한편, (a)는 소거 동작시 상기 출력단의 전압을 측정하는 방법을 도시한 것이고, (b)는 프로그램 동작시 상기 출력단의 전압을 측정하는 방법을 도시한 것이다. 각 워드라인에 인가되는 전압이 소거검증 전압(Verasex, Verasey, Verasez)인지 패스전압(Vpassx, Vpassy, Vpassz)인가가 다를 뿐 전체 구성은 거의 동일하다.
- [0020] 소거 동작이 완료되거나 프로그램 동작이 완료된 상태인 경우를 상기 출력단을 통해확인할 수 있다. (a)의 경우 비트라인을 하이레벨(VDD)로 프리차지시킨 상태에서, 상기 소거검증 전압(Verasex, Verasey, Verasez)이 인가되는데, 전체 셀이 모두 소거된 상태라면, 각 셀의 문턱전압이 상기 소거검증 전압보다 낮게 될 것이므로, 각 셀은 모두 턴온되고, 상기 출력단(Vx1, Vy1, Vz1)에 인가되는 전압은 모두 하이 레벨이 될 것이다. 그러나 소거되지 않은 셀이 있는 경우에는 그 상태에 따라 상기 출력단(Vx1, Vy1, Vz1)의 레벨이 상이해 질 것이다.
- [0021] (b)의 경우도 마찬가지로 비트라인을 하이레벨(VDD)로 프리차지시킨 상태에서, 상기 패스 전압(Vpassx, Vpassy, Vpassz)이 인가되는데, 전체 셀이 모두 프로그램된 상태라면, 각 셀의 문턱전압이 상기 패스 전압보다 낮게 될 것이므로, 각 셀은 모두 턴온되고, 상기 출력단(Vx1, Vy1, Vz1)에 인가되는 전압은 모두 하이 레벨이 될 것이다. 그러나 프로그램 되지 않은 셀이 있는 경우에는 그 상태에 따라 상기 출력단(Vx1, Vy1, Vz1)의 레벨이 상이해 질 것이다.
- [0022] 상기 기준 전압 발생부(220)는 상기 샘플 메모리 블록(210)에서 출력되는 출력단(Vx1, Vy1, Vz1)의 전압과 비교 대상이 될 기준전압을 출력한다. 도면을 통해 상세 구성을 살펴보기로 한다.
- [0023] 도 4는 본원 발명의 일 실시예에 따른 기준전압 발생부를 도시한 회로도이다.
- [0024] 상기 기준전압 발생부(220)로서 두 가지 실시예가 도시되어 있다. 첫 번째 실시예(a)에서는 전원전압단자(VDD)와 기준전압 출력단(Vref) 사이에 직렬접속된 다이오드(D222, D224)들을 포함한다. 상기 다이오드의 문턱전압 레벨에 따라 다소 상이할 수 있으나, 전원전압단자(VDD)의 레벨이 2.0~1.4V라 할 때, 기준전압 출력단(Vref)의 전압은 1.0~0.7V 정도가 된다.
- [0025] 두 번째 실시예(b)에서는 불휘발성 메모리 장치의 셀 스트링을 이용한다. 즉, 전체 메모리 셀을 소거시킨 상태에서, 각 메모리 셀의 워드라인에 0V의 전압을 인가한다. 또한 비트라인에 전원전압(VDD)을 인가시킨다. 각 메모리 셀은 소거상태이므로, 각 셀이 턴온되어, 임의의 메모리 셀간의 접속노드에서 출력되는 전압(Vref)은 하이 레벨 상태가 된다. 이러한 전압을 기준전압으로 이용한다.
- [0026] 상기 비교부(230)는 상기 샘플 메모리 셀 블록(210)에서 전달되는 셀 스트링의 출력단(Vx1, Vy1, Vz1) 전압과 상기 기준전압 발생부(220)에서 전달되는 기준전압의 크기를 비교한다. 도면을 통해 상세 구성을 살펴보기로 한다.



- [0027] 도 5는 본원 발명의 일 실시예에 따른 비교부를 도시한 회로도이다.
- [0028] 상기 비교부(230)는 상기 샘플 메모리 셀 블록(210)에서 전달되는 제1 출력전압(Vx1)과 상기 기준전압 발생부(220)에서 전달되는 기준전압(Vref)의 크기를 비교하는 제1 차동증폭부(232), 제2 출력전압(Vy1)과 상기 기준전압(Vref)의 크기를 비교하는 제2 차동증폭부(234), 제3 출력전압(Vz1)과 상기 기준전압(Vref)의 크기를 비교하는 제3 차동증폭부(236), 구동신호(A)에 따라 접지전압을 공급하는 구동부(238)를 포함한다.
- [0029] 상기 제1 차동증폭부(232)는 전원전압 단자(VDD)와 상기 구동부(238) 사이에 직렬 접속된 PMOS 트랜지스터(P232)와 NMOS 트랜지스터(N232), 상기 PMOS 트랜지스터(P232), NMOS 트랜지스터(N232)와 병렬 접속되며 전원전압 단자(VDD)와 상기 구동부(238) 사이에 직렬 접속된 PMOS 트랜지스터(P233)와 NMOS 트랜지스터(N233)를 포함한다. 상기 PMOS 트랜지스터(P232)와 NMOS 트랜지스터(N232)의 접속노드에서 비교결과(X)가 출력된다. 즉, 제1 출력전압(Vx1)이 상기 기준전압(Vref) 보다 크면, 로우레벨의 비교결과(X)가 출력된다.
- [0030] 상기 제2 차동증폭부(234) 및 제3 차동증폭부(236)도 상기 제1 차동증폭부(232)와 유사한 구성을 갖는다. 즉 제1 차동증폭부(234)의 PMOS 트랜지스터(P233)와 NMOS 트랜지스터(N233)를 공유하여 구성된다. 또한, 상기 PMOS 트랜지스터(P234)와 NMOS 트랜지스터(N234)의 접속노드에서 비교결과(Y)가 출력되고, 상기 PMOS 트랜지스터(P236)와 NMOS 트랜지스터(N236)의 접속노드에서 비교결과(Z)가 출력된다. 마찬가지로, 제2 출력전압(Vy1)이 상기 기준전압(Vref) 보다 크면, 로우레벨의 비교결과(Y)가 출력되고, 제3 출력전압(Vz1)이 상기 기준전압(Vref) 보다 크면, 로우레벨의 비교결과(Z)가 출력된다. 따라서 샘플 메모리 블록(210)에 포함된 셀 스트링이 소거가 완료되거나, 프로그램이 완료된 경우에는 상기 각 비교결과(X, Y, Z)가 모두 로우 레벨이 된다.
- [0031] 상기 상태 저장부(240)는 비교부(230)에서 전달받는 비교결과(X, Y, Z)에 따라 디지털 코드 데이터를 저장한다. 도면을 통해 상세 구성을 살펴보기로 한다.
- [0032] 도 6은 본원 발명의 일 실시예에 따른 상태 저장부를 도시한 회로도이다.
- [0033] 상기 상태 저장부(240)는 상기 각 비교결과(X, Y, Z)에 따라 전원전압을 전달하는 제1 내지 제3 풀업부(610, 620, 630), 상기 각 풀업부의 출력을 논리조합하여 출력하는 논리조합부(640), 상기 논리조합부(640)의 출력에 따라 하이레벨 전압(B)을 전달하는 데이터 설정부(650), 상기 데이터 설정부(650)의 출력을 복수의 레지스터중 어느 하나에 선택적으로 저장시키는 디멀스(660), 상기 디멀스(660)와 접속되어 상기 데이터 설정부(650)의 출력이 순차적으로 저장되는 복수의 레지스터(670, 680, 690)를 포함한다.
- [0034] 상기 각 풀업부(610, 620, 630)는 전원전압단자와 상기 논리조합부(640) 사이에 접속되며, 비교결과(X, Y, Z)에 따라 턴온되는 PMOS 트랜지스터(P610, P620, P630)를 포함한다. 따라서 상기 비교결과(X, Y, Z)가 모두 로우 레벨인 경우, 즉 소거가 완료되거나 프로그램이 완료된 경우에 상기 논리조합부(640)에 하이레벨의 비교결과(X, Y, Z)를 전달한다.
- [0035] 상기 논리 조합부(640)는 상기 각 풀업부(610, 620, 630)의 출력을 반전시키는 인버터(IV642, IV644, IV646), 상기 인버터(IV642, IV644, IV646)의 출력을 부정논리합하는 NOR 게이트(NOR640)를 포함한다. 따라서 상기 비교 결과(X, Y, Z)가 모두 하이레벨인 경우에 한하여 상기 NOR 게이트(NOR640)가 하이레벨의 신호를 출력한다.
- [0036] 상기 데이터 설정부(650)는 상기 논리조합부(640)의 출력신호를 반전시키는 인버터(IV650), 상기 논리조합부(640)의 출력신호에 따라 하이레벨 전압(B)을 전달하는 전송게이트(T650)를 포함한다. 따라서 상기 NOR 게이트(NOR640)가 하이레벨 신호를 출력하는 경우에 한하여 상기 데이터 설정부(650)는 하이레벨 전압(B)을 상기 디멀스(660)로 전달할 수 있다.
- [0037] 상기 디멀스(660)는 데이터 설정부(650)에서 전달되는 하이레벨 전압(B)을 순차적으로 상기 각 레지스터(670, 680, 690)에 전달한다. 상기 디멀스(660)는 데이터 설정부(650)에서 전달되는 신호를 프로그램/소거 횟수에 따라 각 레지스터에 선택적으로 전달한다. 예를 들어 제1 프로그램/소거 횟수에는 제1 레지스터(670)에 저장하고, 제2 프로그램/소거 횟수에는 제2 레지스터(680)에 저장한다.
- [0038] 상기 각 레지스터(670, 680, 690)는 인버터들(IV672, IV674)로 구성된 래치를 각각 포함한다. 따라서 상기 디멀스(660)로부터 하이레벨 전압(B)을 전달받은 경우 각 레지스터의 출력단(Reg)에 로우레벨 전압이 저장된다.
- [0039] 정리하면, 특정 메모리 셀 스트링이 모두 소거 완료되거나 프로그램 완료된 경우, 비교부(230)의 비교결과(X, Y, Z)가 모두 로우레벨이 되고 그에 따라 상기 논리조합부(640)는 하이레벨 신호를 출력한다. 이에 의하여 특정

레지스터에 로우레벨 데이터가 저장된다.

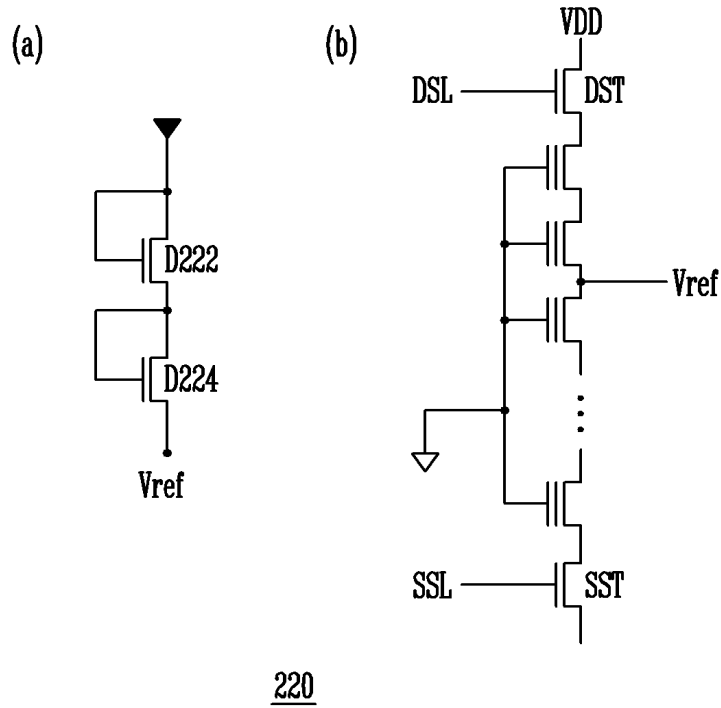
- [0040] 상기 고전압 발생부(250)는 상기 상태 저장부(240)에 저장된 메모리 셀의 상태정보에 따라 프로그램 전압, 소거 전압등의 전압레벨을 제어한다. 도면을 참조하여 상세 구성을 살펴보기로 한다.
- [0041] 도 7은 본원 발명의 일 실시예에 따른 고전압 발생부의 구성을 도시한 회로도이다.
- [0042] 상기 고전압 발생부(250)는 일정한 고전압을 공급하는 밴드갭 전압 공급부(252), 상기 밴드갭 전압 공급부의 출력인 고전압을 상기 상태 저장부(240)의 각 레지스터에 저장된 데이터에 따라 상기 고전압을 전압 분배하는 제1 내지 제n 전압 제어부(254, 256, 258), 저항(Ra)를 포함한다. 제n 전압 제어부는 제n 저항, 상기 제n 저항과 병렬 접속되며, 제n 레지스터에 저장된 데이터에 따라 상기 제n 저항의 양단을 단락시키는 제n 스위칭소자(N258)를 포함한다. 또한 각 전압 제어부(254, 256, 258)는 상기 밴드갭 전압 공급부(252)의 출력단과 상기 저항(Ra) 사이에 직렬접속된다.
- [0043] 따라서 제n 전압 제어부(258)는 제n 레지스터에 하이레벨 데이터가 저장된 경우, 제n 스위칭소자(N258)가 턴온되어 상기 제n 저항의 양단을 단락시킨다.
- [0044] 이와 같은 구성에 따르면, 상태 저장부(240)의 각 레지스터에 저장된 데이터에 따라 밴드갭 전압 공급부(252)의 출력전압의 분배비율이 상이해지며, 이에 따라 출력전압(Vout)의 레벨도 상이해진다.
- [0045] 이제 지금 까지 설명한 본원 발명의 불휘발성 메모리 장치를 이용한 소거 방법, 프로그램 방법에 대하여 살펴보기로 한다.
- [0046] 도 8은 본원 발명의 일 실시예에 따른 불휘발성 메모리 장치의 소거 방법 또는 프로그램 방법을 도시한 순서도이다.
- [0047] 먼저 프로그램 동작 또는 소거 동작을 수행한다(단계 810). 본 발명의 방법을 프로그램 방법 또는 소거 방법에 선택적으로 적용할 수 있다.
- [0048] 다음으로, 상기 비교부(230)를 이용하여 샘플 메모리 셀의 출력단 전압(Vx1, Vy1, Vz1)과 기준전압(Vref)의 크기를 비교한다(단계 820). 앞서 설명한 바와 같이 프로그램이 다 완료되거나, 소거가 다 완료된 상태에서 비교부(230)의 비교결과(X, Y, Z)는 모두 로우레벨, 즉 '0' 이 된다.
- [0049] 다음으로, 상기 비교결과(X, Y, Z)가 모두 로우레벨인지 확인하고, 그렇지 않은 경우에는 스텝전압만큼 프로그램 전압 또는 소거전압을 증가시켜 ISPP에 의한 프로그램 동작 또는 ISPE에 의한 소거 동작을 반복 수행한다(단계 830, 832, 810).
- [0050] 다음으로, 상기 비교결과(X, Y, Z)가 모두 로우레벨인 경우에는 프로그램/소거 횟수에 따라 상태 저장부(240)에 상태정보를 저장시킨다(단계 830, 840). 즉 제1 프로그램/소거횟수인 경우에는 제1 레지스터에 상태 정보를 저장시키고, 제2 프로그램/소거횟수인 경우에는 제2 레지스터에 상태 정보를 저장시킨다.
- [0051] 다음으로, 상기 상태 저장부(240)에 저장된 데이터에 따라 프로그램/소거 시작 전압을 재설정한다(단계 850).
- [0052] 즉, 상태 저장부(240)의 레지스터에 저장된 데이터에 따라 고전압 발생부(250)의 전압분배 비율이 상이해져 출력전압(Vout)의 레벨이 변화한다. 최초 동작시에는 상기 상태 저장부(240)의 각 레지스터에 하이레벨 데이터가 저장되도록 설정한다. 따라서 상기 출력전압(Vout)은 고전압 발생부(250)의 출력전압과 동일한 레벨을 갖게된다. 이후 프로그램/소거횟수가 증가할수록 상기 상태 저장부(240)의 각 레지스터에 로우레벨 데이터가 저장되면서, 전압분배부의 저항이 커져 상기 출력전압(Vout)의 레벨이 감소한다. 바람직하게는 제1 프로그램/소거 횟수에서 출력되는 출력전압이 제1 프로그램/소거 횟수보다 큰 제2 프로그램/소거 횟수에서 출력되는 출력전압보다 커지도록 한다. 이는 프로그램/소거 횟수가 증가할수록 프로그램 속도가 증가하게 되므로, 이를 보상하기 위하여 최초 동작시에는 프로그램 시작전압을 높은 전압으로 인가하고, 프로그램/소거 횟수가 증가할수록 프로그램 시작전압을 낮은 전압으로 인가하기 위함이다. 한편 소거 동작시에는 프로그램/소거 횟수가 증가할수록 소거 시작전압이 커지도록 설정한다. 즉, 프로그램/소거 횟수가 증가할수록 프로그램속도가 커져 소거동작이 일어나기 어려워지므로, 소거 시작전압을 증가시킨다.



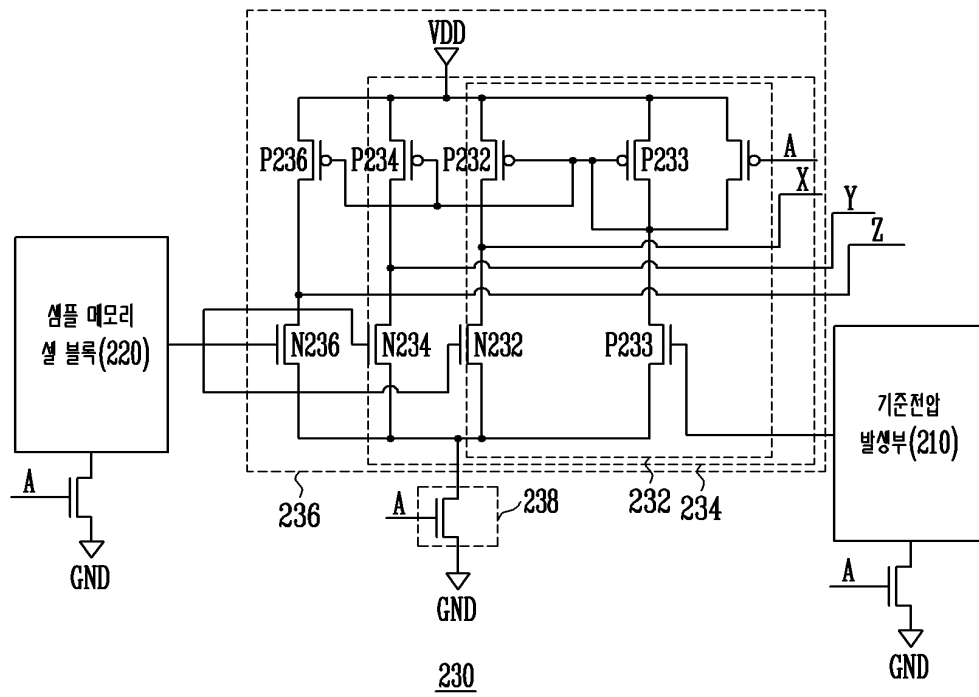




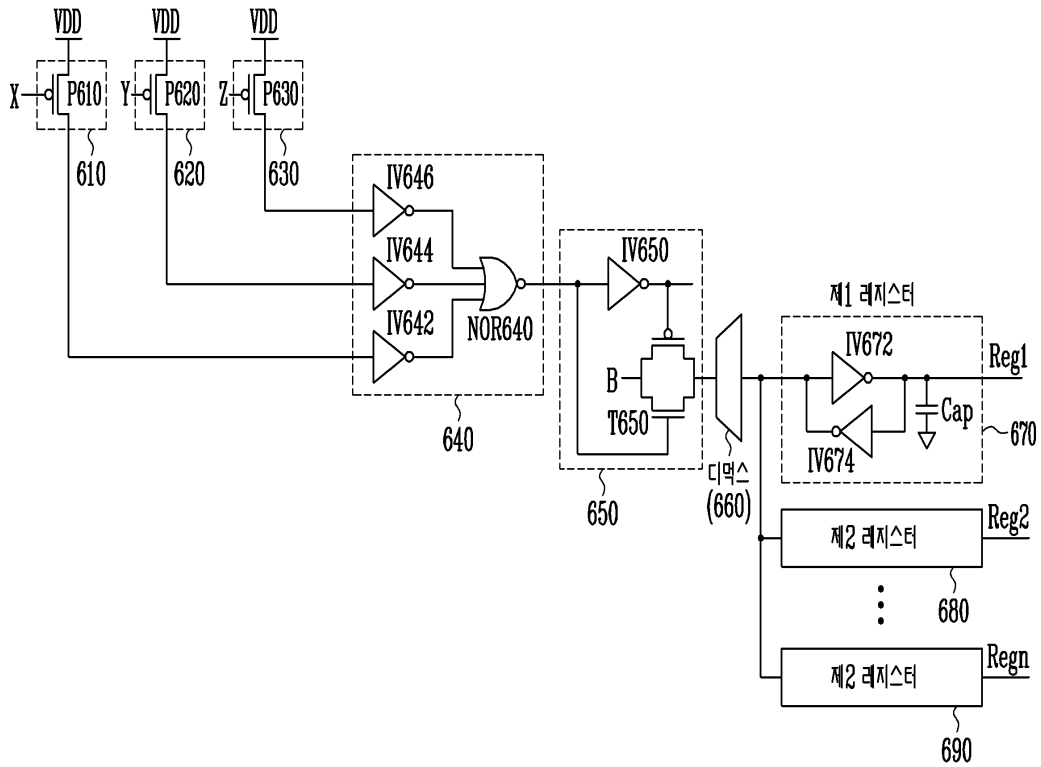
도면4



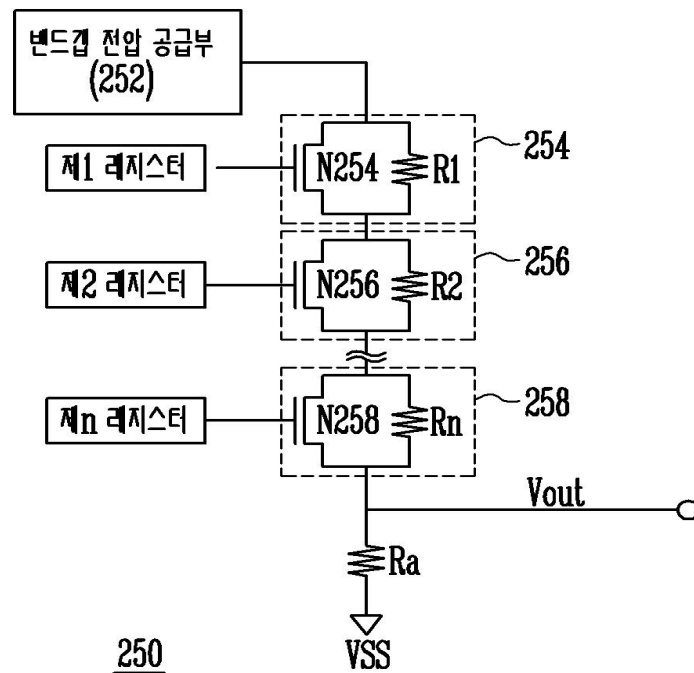
도면5



도면6



도면7



도면8

