



(12)发明专利

(10)授权公告号 CN 106297704 B

(45)授权公告日 2019.06.11

(21)申请号 201610796870.3

(22)申请日 2016.08.31

(65)同一申请的已公布的文献号

申请公布号 CN 106297704 A

(43)申请公布日 2017.01.04

(73)专利权人 深圳市华星光电技术有限公司

地址 518132 广东省深圳市光明新区塘明大道9-2号

(72)发明人 石龙强

(74)专利代理机构 深圳市威世博知识产权代理

事务所(普通合伙) 44280

代理人 钟子敏

(51)Int.Cl.

G09G 3/36(2006.01)

(56)对比文件

CN 101604551 A,2009.12.16,

CN 105355187 A,2016.02.24,

CN 101093647 A,2007.12.26,

CN 101187743 A,2008.05.28,

CN 104700803 A,2015.06.10,

JP 2008003602 A,2008.01.10,

审查员 张利

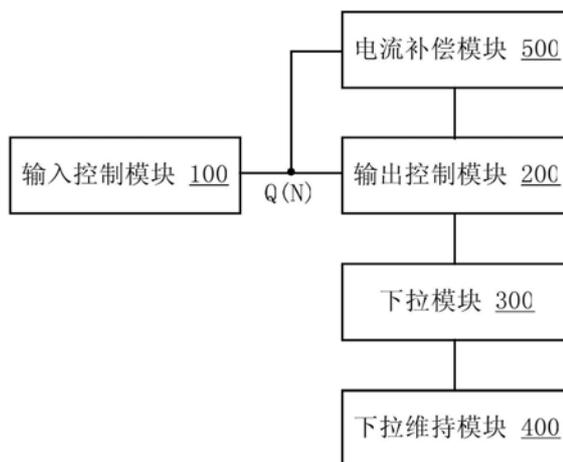
权利要求书2页 说明书6页 附图3页

(54)发明名称

一种栅极驱动电路

(57)摘要

本发明公开了一种栅极驱动电路,其包括多级栅极驱动单元。其中,每级栅极驱动单元包括受控于上一级栅极驱动单元输出的扫描信号以控制第一节点的电位的输入控制模块、根据第一节点的电位控制栅极驱动单元输出端的电位的输出控制模块、根据第二节点的电位下拉本级栅极驱动单元的输出端的电位的下拉模块、维持第二节点在非扫描期间的电位以使本级栅极驱动单元的输出端的电位维持在负电位的下拉维持模块、以及增加流经输出端的电流的电流补偿模块。电流补偿模块对本级栅极驱动单元输出端的电位进行有效补偿,从而在很大程度上提高了栅极驱动电路的稳定性,有利于液晶显示面板显示效果的提高。



1. 一种栅极驱动电路,其特征在于,包括以串联方式连接的多级栅极驱动单元,每级栅极驱动单元设置为依据上一级栅极驱动单元输出的扫描信号、下一级栅极驱动单元输出的扫描信号以及时钟信号来在其输出端输出扫描信号;

每级栅极驱动单元包括:

输入控制模块,设置为受控于所述上一级栅极驱动单元输出的扫描信号,以控制第一节点的电位;

连接所述第一节点的输出控制模块,设置为根据所述第一节点的电位控制本级栅极驱动单元的输出端的电位;

连接所述输出控制模块的下拉模块,设置为根据第二节点的电位下拉本级栅极驱动单元的输出端的电位;

连接所述下拉模块的下拉维持模块,设置为维持所述第二节点在非扫描期间的电位,以使本级栅极驱动单元的输出端的电位维持在负电位;以及

连接所述输出控制模块的电流补偿模块,设置为增加流经本级栅极驱动单元的输出端的电流;

所述电流补偿模块包括第二十三晶体管和第二十四晶体管;

其中,所述第二十三晶体管的栅极连接所述第一节点,漏极连接本级栅极驱动单元的输出端,源极连接所述第二十四晶体管的源极;所述第二十四晶体管的栅极和漏极均连接第四节点。

2. 根据权利要求1所述的栅极驱动电路,其特征在于,所述下拉维持模块包括:

第五十一晶体管,其栅极与漏极均连接恒压高电位输出端,源极连接所述第四节点;

第五十二晶体管,其栅极连接所述第一节点,漏极连接所述第四节点,源极连接第一负电位输出端;

第五十三晶体管,其栅极连接所述第四节点,漏极连接所述恒压高电位输出端,源极连接第二节点;

第五十四晶体管,其栅极连接所述第一节点,漏极连接所述第二节点,源极连接第三节点;

第七十三晶体管,其栅极连接所述第四节点,漏极连接所述恒压高电位输出端,源极连接所述第三节点;

第七十四晶体管,其栅极连接所述第一节点,漏极连接所述第三节点,源极连接恒压低电位输出端;

第八十一晶体管,其栅极连接所述第一节点,漏极连接所述恒压高电位输出端,源极连接第五节点;

第八十二晶体管,其栅极连接所述第二节点,漏极连接所述恒压低电位输出端,源极连接所述第五节点;

第四十二晶体管,其栅极连接所述第二节点,漏极连接所述第一节点,源极连接所述第五节点;以及

第三十二晶体管,其栅极连接所述第二节点,漏极连接本级栅极驱动单元的输出端,源极连接所述第一负电位输出端;

其中,所述恒压低电位输出端的电位低于所述第一负电位输出端的电位。

3. 根据权利要求2所述的栅极驱动电路,其特征在于,所述恒压高电位输出端的电位为20-30V。

4. 根据权利要求3所述的栅极驱动电路,其特征在于,所述恒压低电位输出端的电位和所述第一负电位输出端的电位均为-5--8V。

5. 根据权利要求2至4中任一项所述的栅极驱动电路,其特征在于,所述输入控制模块包括第十一晶体管;其中,所述第十一晶体管的栅极连接所述恒压高电位输出端,漏极连接上一级栅极驱动单元的输出端,源极连接所述第一节点。

6. 根据权利要求5所述的栅极驱动电路,其特征在于,所述输出控制模块包括:

第二十一晶体管,其栅极连接所述第一节点,漏极连接所述时钟信号的输出端,源极连接本级栅极驱动单元的输出端;

第二十二晶体管,其栅极连接所述第一节点,漏极连接所述时钟信号的输出端,源极连接本级栅极驱动单元的驱动输出端;以及

自举电容,所述第一节点通过所述自举电容连接本级栅极驱动单元的输出端。

7. 根据权利要求6所述的栅极驱动电路,其特征在于,所述下拉模块包括第四十晶体管和第四十一晶体管:

其中,所述第四十晶体管的栅极和漏极均连接所述第一节点,源极连接所述第四十一晶体管的漏极;

所述第四十一晶体管的栅极连接下一级栅极驱动单元的输出端,源极连接本级栅极驱动单元的输出端。

一种栅极驱动电路

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种栅极驱动电路。

背景技术

[0002] GOA(Gate Drive On Array)技术,是利用薄膜晶体管(thin film transistor, TFT)阵列(Array)的制程来将栅极驱动器制作在薄膜晶体管阵列基板上,以实现逐行扫描的驱动方式。

[0003] 由于GOA技术有利于显示屏栅极驱动侧的窄边框设计以及成本的降低,因为得到广泛地应用和研究。

[0004] 随着氧化物半导体薄膜晶体管(例如,IGZO,铟镓锌氧化物薄膜晶体管)的发展,氧化物半导体相应的面板周边集成电路也成为关注的焦点。由于氧化物薄膜晶体管的载流子迁移率是非晶硅薄膜晶体管的20-30倍,因此可大大提高薄膜晶体管对像素电极的充放电速率。可以看出,氧化物薄膜晶体管可以提高像素的响应速度,实现更快的刷新率,从而能够大大提高像素的行扫描速率,使得超高分辨率在TFT-LCD中成为可能。氧化物半导体薄膜晶体管的GOA电路未来有可能取代非晶硅的GOA电路。

[0005] 然而,现有技术中针对氧化物半导体薄膜晶体管的GOA电路的开发较少,这是因为需要克服很多由于氧化物薄膜晶体管电性本身带来的问题。具体地,由于IGZO属于N型半导体,空穴数目很少,因此IGZO-TFT通常表现出较佳的负偏压应力(NBTS)特性。然而,IGZO-TFT的正向偏压应力却并不理想。长时间的正向偏压应力会导致TFT的阈值电压(V_{th})产生正向漂移,从而使得IGZO-TFT器件的打开速度变慢,进而对GOA电路产生严重影响。

发明内容

[0006] 本发明所要解决的技术问题是:现有技术中IGZO-TFT的正向偏压应力并不理想。长时间的正向偏压应力会导致TFT的阈值电压产生正向漂移,从而使得IGZO-TFT器件的打开速度变慢,进而对GOA电路产生严重影响。

[0007] 为了解决上述技术问题,本发明提供了一种栅极驱动电路。

[0008] 本发明的技术方案为:

[0009] 一种栅极驱动电路,其包括以串联方式连接的多级栅极驱动单元,每级栅极驱动单元设置为依据上一级栅极驱动单元输出的扫描信号、下一级栅极驱动单元输出的扫描信号以及时钟信号来在其输出端输出扫描信号;

[0010] 每级栅极驱动单元包括:

[0011] 输入控制模块,设置为受控于所述上一级栅极驱动单元输出的扫描信号,以控制第一节点的电位;

[0012] 连接所述第一节点的输出控制模块,设置为根据所述第一节点的电位控制本级栅极驱动单元的输出端的电位;

[0013] 连接所述输出控制模块的下拉模块,设置为根据第二节点的电位下拉本级栅极驱

动单元的输出端的电位；

[0014] 连接所述下拉模块的下拉维持模块，设置为维持所述第二节点在非扫描期间的电位，以使本级栅极驱动单元的输出端的电位维持在负电位；以及

[0015] 连接所述输出控制模块的电流补偿模块，设置为增加流经本级栅极驱动单元的输出端的电流。

[0016] 优选的是，所述下拉维持模块包括：

[0017] 第五十一晶体管，其栅极与漏极均连接恒压高电位输出端，源极连接第四节点；

[0018] 第五十二晶体管，其栅极连接所述第一节点，漏极连接所述第四节点，源极连接第一负电位输出端；

[0019] 第五十三晶体管，其栅极连接所述第四节点，漏极连接所述恒压高电位输出端，源极连接第二节点；

[0020] 第五十四晶体管，其栅极连接所述第一节点，漏极连接所述第二节点，源极连接第三节点；

[0021] 第七十三晶体管，其栅极连接所述第四节点，漏极连接所述恒压高电位输出端，源极连接所述第三节点；

[0022] 第七十四晶体管，其栅极连接所述第一节点，漏极连接所述第三节点，源极连接恒压低电位输出端；

[0023] 第八十一晶体管，其栅极连接所述第一节点，漏极连接所述恒压高电位输出端，源极连接第五节点；

[0024] 第八十二晶体管，其栅极连接所述第二节点，漏极连接所述恒压低电位输出端，源极连接所述第五节点；

[0025] 第四十二晶体管，其栅极连接所述第二节点，漏极连接所述第一节点，源极连接所述第五节点；以及

[0026] 第三十二晶体管，其栅极连接所述第二节点，漏极连接本级栅极驱动单元的输出端，源极连接所述第一负电位输出端；

[0027] 其中，所述恒压低电位输出端的电位低于所述第一负电位输出端的电位。

[0028] 优选的是，所述恒压高电位输出端的电位为20-30V。

[0029] 优选的是，所述恒压低电位输出端的电位和所述第一负电位输出端的电位均为-5--8V。

[0030] 优选的是，所述电流补偿模块包括第二十三晶体管和第二十四晶体管；

[0031] 其中，所述第二十三晶体管的栅极连接所述第一节点，漏极连接本级栅极驱动单元的输出端，源极连接所述第二十四晶体管的源极；所述第二十四晶体管的栅极和漏极均连接所述第四节点。

[0032] 优选的是，所述输入控制模块包括第十一晶体管；其中，所述第十一晶体管的栅极连接所述恒压高电位输出端，漏极连接上一级栅极驱动单元的输出端，源极连接所述第一节点。

[0033] 优选的是，所述输出控制模块包括：

[0034] 第二十一晶体管，其栅极连接所述第一节点，漏极连接所述时钟信号的输出端，源极连接本级栅极驱动单元的输出端；

[0035] 第二十二晶体管,其栅极连接所述第一节点,漏极连接所述时钟信号的输出端,源极连接本级栅极驱动单元的驱动输出端;以及

[0036] 自举电容,所述第一节点通过所述自举电容连接本级栅极驱动单元的输出端。

[0037] 优选的是,所述下拉模块包括第四十晶体管和第四十一晶体管:

[0038] 其中,所述第四十晶体管的栅极和漏极均连接所述第一节点,源极连接所述第四十一晶体管的漏极;

[0039] 所述第四十一晶体管的栅极连接下一级栅极驱动单元的输出端,源极连接本级栅极驱动单元的输出端。

[0040] 与现有技术相比,上述方案中的一个或多个实施例可以具有如下优点或有益效果:

[0041] 应用本发明,在栅极驱动电路工作一段时间后,利用电流补偿模块对本级栅极驱动单元的输出端得到的电流进行补偿,从而避免了由晶体管的阈值电压发生正向漂移导致的输出端电位下降的问题,保证了对像素单元的正常充电。因此,本发明在很大程度上提高了栅极驱动电路的稳定性,有利于液晶显示面板显示效果的提高。

[0042] 本发明的其它特征和优点将在随后的说明书中阐述,并且部分地从说明书中变得显而易见,或者通过实施本发明而了解。本发明的目的和其他优点可通过在说明书、权利要求书以及附图中所特别指出的结构来实现和获得。

附图说明

[0043] 附图用来提供对本发明的进一步理解,并且构成说明书的一部分,与本发明的实施例共同用于解释本发明,并不构成对本发明的限制。在附图中:

[0044] 图1示出了现有技术中由于薄膜晶体管的阈值电压向右漂移引起的第一节点和栅极驱动单元的输出端的电位输出异常的示意图;

[0045] 图2示出了本发明实施例栅极驱动单元的原理示意图;

[0046] 图3示出了本发明实施例栅极驱动单元的电路示意图;以及

[0047] 图4示出了本发明实施例栅极驱动单元的波形设置及关键节点的输出波形示意图。

具体实施方式

[0048] 以下将结合附图及实施例来详细说明本发明的实施方式,借此对本发明如何应用技术手段来解决技术问题,并达成技术效果的实现过程能充分理解并据以实施。需要说明的是,只要不构成冲突,本发明中的各个实施例以及各实施例中的各个特征可以相互结合,所形成的技术方案均在本发明的保护范围之内。

[0049] 现有技术中IGZO-TFT的正向偏压应力并不理想。长时间的正向偏压应力会导致TFT的阈值电压(V_{th})正向漂移,从而使得IGZO-TFT器件的打开速度变慢,进而对栅极驱动电路产生严重影响。

[0050] 具体地,现有技术的栅极驱动电路包括多级栅极驱动单元。其中,每级栅极驱动单元包括输出控制模块和下拉维持模块。随着栅极驱动电路工作时间的加长,输出控制模块中用于连接本级栅极驱动单元的输出端的晶体管会受到严重的应力,从而该晶体管的阈值

电压 V_{th} 容易发生正向漂移,导致该晶体管不易被打开。由此,在相同电压下,电流变小,从而导致本级栅极驱动单元的输出端的充电不足、电位下降,进而影响液晶显示面板的正常显示效果。此外,下拉维持模块中的第四节点的电位会抬升。

[0051] 图1示出了现有技术中由于薄膜晶体管的阈值电压向右漂移引起的第二节点和栅极驱动单元的输出端的电位输出异常的示意图。参照图1,第四节点S(N)的电位比正常情况下的电位(虚线表示)高,从而导致栅极驱动单元的输出端G(N)的电位比正常情况下的电位(虚线表示)低,从而使输出端充电不足,影响了液晶显示器的显示效果。

[0052] 为解决上述技术问题,本发明实施例提供了一种栅极驱动电路。

[0053] 图2示出了本发明实施例栅极驱动单元的原理示意图。图3示出了本发明实施例栅极驱动单元的电路示意图。

[0054] 本发明实施例栅极驱动电路包括以串联方式连接的多级栅极驱动单元。其中,每级栅极驱动单元设置为依据上一级栅极驱动单元输出的扫描信号、下一级栅极驱动单元输出的扫描信号以及时钟信号来在其输出端输出扫描信号。栅极驱动电路所包括的各极栅极驱动单元的电路结构相同。

[0055] 参照图2,栅极驱动单元包括输入控制模块100、输出控制模块200、下拉模块300、下拉维持模块400和电流补偿模块500。

[0056] 其中,输入控制模块100受控于上一级栅极驱动单元输出的扫描信号G(N-1),以控制第一节点Q(N)的电位。输出控制模块200连接第一节点Q(N)。输出控制模块200根据第一节点Q(N)的电位控制本级栅极驱动单元的输出端G(N)的电位。下拉模块300连接输出控制模块200。下拉模块300根据第二节点P(N)的电位下拉本级栅极驱动单元的输出端G(N)的电位。下拉维持模块400连接下拉模块300。下拉维持模块400维持第二节点P(N)在非扫描期间的电位,以使本级栅极驱动单元的输出端G(N)的电位维持在负电位。电流补偿模块500连接输出控制模块200。电流补偿模块500用于增加流经本级栅极驱动单元的输出端G(N)的电流。

[0057] 下面参照图3和图4详细描述各模块的电路组成以及工作原理。

[0058] 输入控制模块100包括第十一晶体管T11。第十一晶体管T11的栅极连接恒压高电位输出端DCH,漏极连接上一级栅极驱动单元的输出端G(N-1),源极连接第一节点Q(N)。

[0059] 输出控制模块200包括第二十一晶体管T21、第二十二晶体管T22和自举电容Cbt。其中,第二十一晶体管T21的栅极连接第一节点Q(N),漏极连接时钟信号的输出端CK/XCK,源极连接本级栅极驱动单元的输出端G(N)。第二十二晶体管T22的栅极连接第一节点Q(N),漏极连接时钟信号的输出端CK/XCK,源极连接本级栅极驱动单元的驱动输出端ST(N)。第一节点Q(N)通过自举电容Cbt连接本级栅极驱动单元的输出端G(N)。

[0060] 下拉模块300包括第四十晶体管T40和第四十一晶体管T41。其中,第四十晶体管T40的栅极和漏极均连接第一节点Q(N),源极连接第四十一晶体管T41的漏极。第四十一晶体管T41的栅极连接下一级栅极驱动单元的输出端G(N+1),源极连接本级栅极驱动单元的输出端G(N)。

[0061] 下拉维持模块400包括第五十一晶体管T51、第五十二晶体管T52、第五十三晶体管T53、第五十四晶体管T54、第七十三晶体管T73、第七十四晶体管T74、第八十一晶体管T81、第八十二晶体管T82、第四十二晶体管T42和第三十二晶体管T32。

[0062] 其中,第五十一晶体管T51的栅极与漏极均连接恒压高电位输出端DCH,源极连接第四节点S(N)。第五十二晶体管T52的栅极连接第一节点Q(N),漏极连接第四节点S(N),源极连接第一负电位输出端VSS1。第五十三晶体管T53的栅极连接第四节点S(N),漏极连接恒压高电位输出端DCH,源极连接第二节点P(N)。第五十四晶体管T55的栅极连接第一节点Q(N),漏极连接第二节点P(N),源极连接第三节点K(N)。第七十三晶体管T73的栅极连接第四节点S(N),漏极连接恒压高电位输出端DCH,源极连接第三节点K(N)。第七十四晶体管T74的栅极连接第一节点Q(N),漏极连接第三节点S(N),源极连接恒压低电位输出端DCL。第八十一晶体管T81的栅极连接第一节点Q(N),漏极连接恒压高电位输出端DCH,源极连接第五节点A(N)。第八十二晶体管T82的栅极连接第二节点P(N),漏极连接恒压低电位输出端DCL,源极连接第五节点A(N)。第四十二晶体管T42的栅极连接第二节点P(N),漏极连接第一节点Q(N),源极连接第五节点A(N)。第三十二晶体管T32的栅极连接第二节点P(N),漏极连接本级栅极驱动单元的输出端G(N),源极连接第一负电位输出端VSS1。

[0063] 这里,值得说明的是,恒压低电位输出端DCL的电位小于第一负电位输出端VSS1的电位。在本发明一优选的实施例中,恒压高电位输出端DCH的电位的范围为20-30V。恒压低电位输出端DCL的电位和第一负电位输出端VSS1的电位的范围均为-5--8V。附图中CK和XCK为彼此反相的时钟信号。

[0064] 下拉维持模块400采用了特殊的双重反相器设计。其中,第五十一晶体管T51、第五十二晶体管T52、第五十三晶体管T53、第五十四晶体管T54构成了主反相器。第七十三晶体管T73和第七十四晶体管T74构成了辅助反相器。主反相器的作用是控制第三十二晶体管T32和第四十二晶体管T42两个晶体管。辅助反相器的作用是在作用期间提供给主反相器低电位,在非作用期间提供给主反相器一个适当的高电位来降低第五十四晶体管T54的漏电,从而确保主反相器在非作用期间能够产生较高的电位。该辅助反相器引用主反相器中的第四节点S(N)来控制第七十三晶体管T73,可以减少辅助反相器的元件数量,不需要额外的元件来产生类似于第四节点S(N)节点的波形控制第七十三晶体管T73。

[0065] 在作用期间,辅助反相器被第四节点S(N)的高电压与恒压低电位输出端DCL的低电压驱动后,第五十二晶体管T52被下拉至第一负电位输出端VSS1的电位,第七十四晶体管T74在第一节点Q(N)为高电位时开启并被下拉至恒压高电位输出端DCH的电位。由此,第三节点K(N)为更低电位,第二节点P(N)也被下拉到更低电位。即,辅助反相器在作用期间给主反相器提供了低电位,因而可以杜绝第三十二晶体管T32、第四十二晶体管T42因阈值电压较低或趋近于0V的物理特性所引发的漏电情况发生,确保下拉维持模块400能够在作用期间正常拉低。

[0066] 在非作用期间,第五十二晶体管T52、第五十四晶体管T54和第七十四晶体管T74均截止关闭。由于第五十四晶体管T54的栅极与第一节点Q(N)相连接,源极连接第三节点K(N)。因此,第五十四晶体管T54的栅极为负电位,源极为正电位。这样,第五十四晶体管T54的栅极和源极的电压差是相对来说非常负值的电位,从而可将第五十四晶体管T54关闭得很好,减少它的漏电。也就是说,辅助反相器在非作用期间给主反相器提供了一个适当的高电位来降低第五十四晶体管T54的漏电,确保下拉维持模块400在非作用期间处于较高的电位,有效维持第一节点Q(N)和输出端G(N)处于低电位。此外,在第三节点K(N)为高电位时,还存在电阻分压的功能,这可以将第二节点P(N)的电位推得更高,因而可以进一步稳定第

二节点P(N)的电位。

[0067] 电流补偿模块500包括第二十三晶体管T23和第二十四晶体管T24。其中,第二十三晶体管T23的栅极连接第一节点Q(N),漏极连接本级栅极驱动单元的输出端G(N),源极连接第二十四晶体管T24的源极。第二十四晶体管T24的栅极和漏极均连接第四节点S(N)。

[0068] 下面具体说明电流补偿模块500的作用。

[0069] 本实施例为了解决由第二十一晶体管T21容易产生阈值电压 V_{th} 正向漂移导致的输出端G(N)充电不足的问题,提供了一种用于对第二十一晶体管T21进行阈值电压 V_{th} 的正向漂移进行补偿的模块。应用该电流补偿模块500,可以对流经第二十一晶体管T21的电流进行补偿,从而提高栅极驱动电路的可靠性。

[0070] 具体地,当栅极驱动电路刚开始工作时,第五十二晶体管T52正常工作。此时第五十二晶体管T52的电阻很小,因此当第一节点Q(N)为高电位时,第五十二晶体管T52分压很小,从而导致第四节点S(N)的电位为低电位。这样,当第二十四晶体管T24关闭时,电流补偿模块500不会产生电流。因此,本级栅极驱动单元的输出端G(N)最终得到的电流仅为流经第二十一晶体管T21的电流。可以看出,当栅极驱动电路刚开始工作时,无需电流补偿模块500工作,即可保证对像素单元的正常充电。

[0071] 当栅极驱动电路工作一段时间后,第五十二晶体管T52的阈值电压 V_{th} 发生正向漂移。此时第五十二晶体管T52的电阻很大,因此当第一节点Q(N)为高电位时,第五十二晶体管T52分压很大,从而导致第四节点S(N)的电位抬升。这样,第二十四晶体管T24和第二十三晶体管T23均处于打开状态,电流补偿模块500开始工作。因此,本级栅极驱动单元的输出端G(N)最终得到的电流为流经第二十一晶体管的电流和流经电流补偿模块500的电流的总和。可以看出,当栅极驱动电路工作一段时间后,电流补偿模块500能够对输出端G(N)最终得到的电流进行补偿,从而能够保证对像素单元的正常充电。

[0072] 应用本实施例所述的栅极驱动电路,在工作一段时间后,利用电流补偿模块500对本级栅极驱动单元的输出端G(N)得到的电流进行补偿,从而避免了由晶体管的阈值电压发生正向漂移导致的输出端电位下降的问题,保证了对像素单元的正常充电。因此,本实施例在很大程度上提高了栅极驱动电路的稳定性,有利于液晶显示面板显示效果的提高。

[0073] 虽然本发明所公开的实施方式如上,但所述的内容只是为了便于理解本发明而采用的实施方式,并非用以限定本发明。任何本发明所属技术领域内的技术人员,在不脱离本发明所公开的精神和范围的前提下,可以在实施的形式上及细节上作任何的修改与变化,但本发明的保护范围,仍须以所附的权利要求书所界定的范围为准。

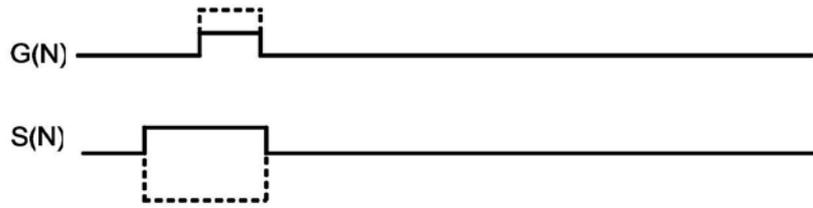


图1

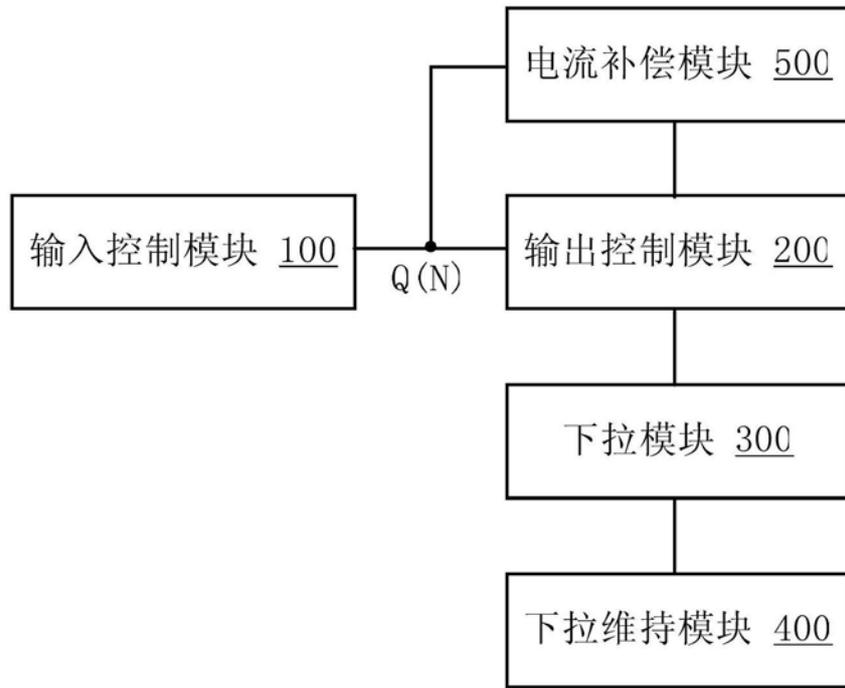


图2

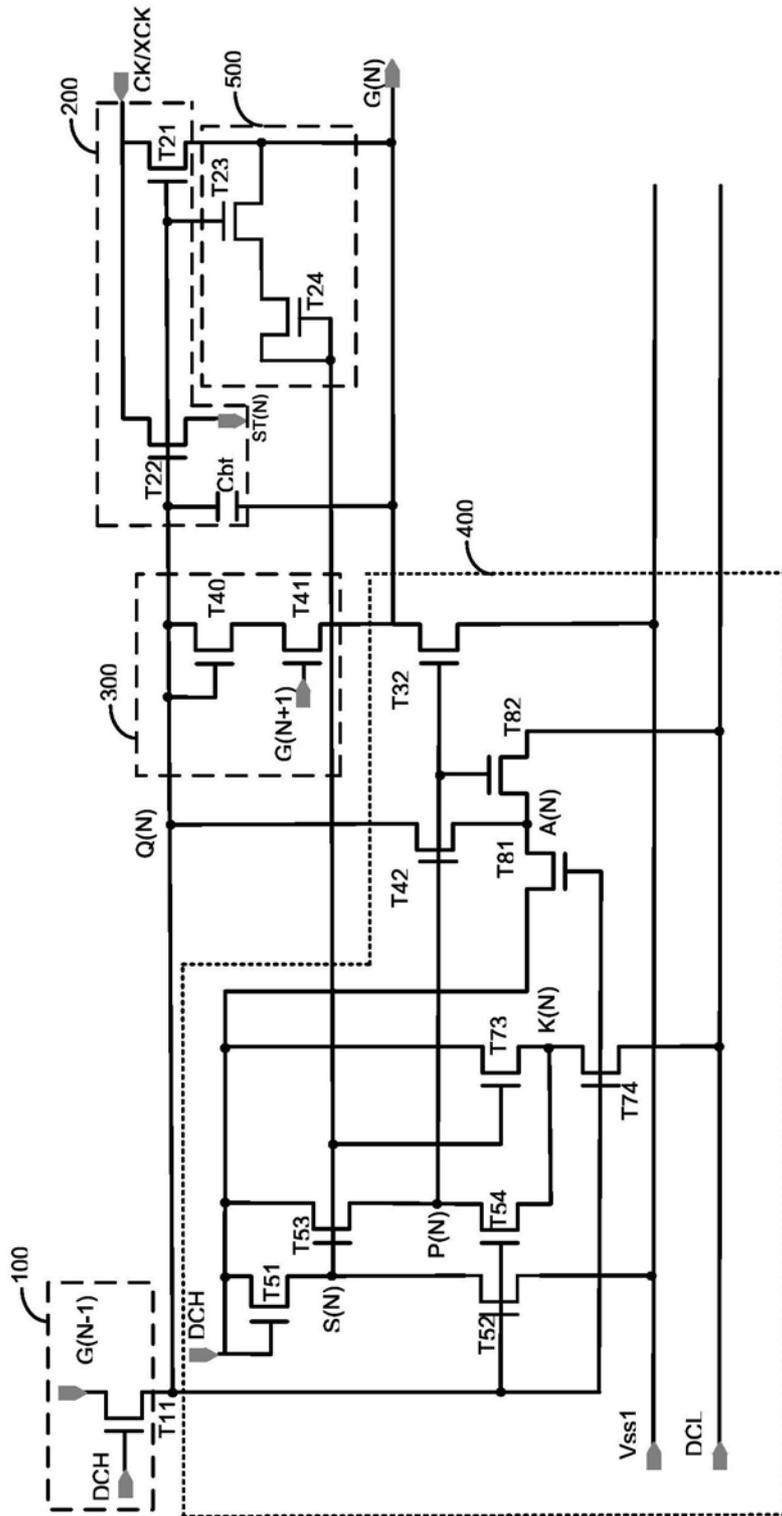


图3

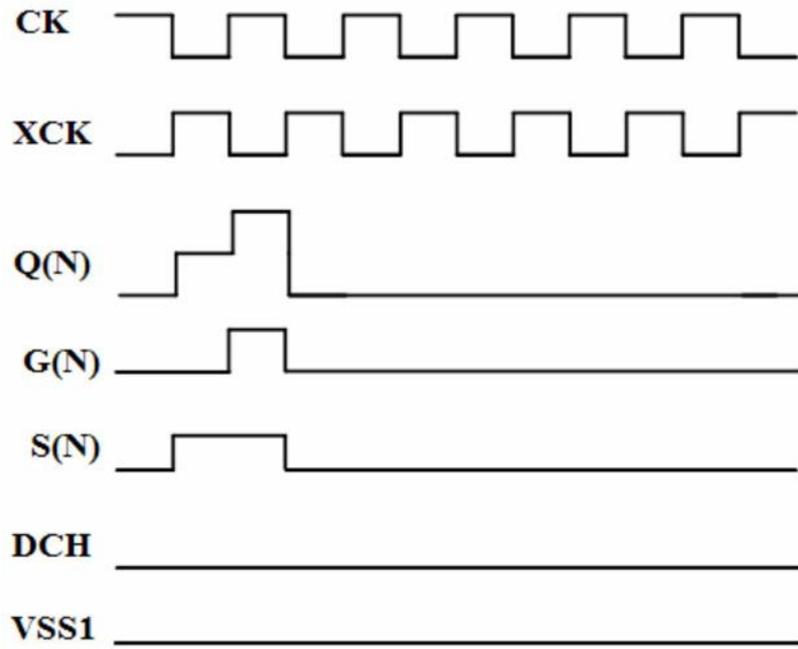


图4