

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6625676号
(P6625676)

(45) 発行日 令和1年12月25日(2019.12.25)

(24) 登録日 令和1年12月6日(2019.12.6)

(51) Int.Cl. F I
A 6 1 B 8/00 (2006.01) A 6 1 B 8/00

請求項の数 20 外国語出願 (全 64 頁)

(21) 出願番号	特願2018-5389 (P2018-5389)	(73) 特許権者	515244151
(22) 出願日	平成30年1月17日 (2018.1.17)		バタフライ ネットワーク, インコーポレイテッド
(62) 分割の表示	特願2016-501885 (P2016-501885) の分割		アメリカ合衆国, コネチカット州 06437 ギルフォード, オールド ウィットフィールド ストリート 530
原出願日	平成26年3月13日 (2014.3.13)	(74) 代理人	100079108
(65) 公開番号	特開2018-75450 (P2018-75450A)		弁理士 稲葉 良幸
(43) 公開日	平成30年5月17日 (2018.5.17)	(74) 代理人	100109346
審査請求日	平成30年1月17日 (2018.1.17)		弁理士 大貫 敏史
(31) 優先権主張番号	61/798, 851	(74) 代理人	100117189
(32) 優先日	平成25年3月15日 (2013.3.15)		弁理士 江口 昭彦
(33) 優先権主張国・地域又は機関	米国 (US)	(74) 代理人	100134120
			弁理士 内藤 和彦

最終頁に続く

(54) 【発明の名称】 超音波デバイス

(57) 【特許請求の範囲】

【請求項1】

単一の固体半導体ダイを備える超音波デバイスであって、
前記単一の固体半導体ダイ上に、
少なくとも1つの第1の容量性マイクロマシン加工ウルトラソニックトランスデューサ(CMUT)を有する第1の超音波要素、
少なくとも1つの構成可能動作パラメータを有し、前記第1の超音波要素に結合され、前記第1のCMUTに、前記少なくとも1つの動作可能パラメータを用いて生成された第1の超音波波形を提供するように構成されたプログラム可能な波形発生器であって、前記第1の超音波波形を前記第1のCMUTに提供する前に前記第1の超音波波形を離散化する回路を有するプログラム可能な波形発生器、
前記プログラム可能な波形発生器の前記少なくとも1つの構成可能動作パラメータの値を制御するように構成されたコントローラ、および
前記第1の超音波要素に結合され、前記第1の超音波要素から提供されるアナログ信号をデジタル信号に変換するように構成された少なくとも1つのアナログ-デジタル変換器(ADC)、
が形成され、
前記第1の超音波要素、前記プログラム可能な波形発生器、前記コントローラ、および、前記少なくとも1つのアナログ-デジタル変換器(ADC)は、前記単一の固体半導体ダイに組み込まれた、超音波デバイス。

10

20

【請求項 2】

単一の固体半導体ダイを備える超音波デバイスであって、

前記単一の固体半導体ダイ上に、

少なくとも1つの第1の容量性マイクロマシン加工ウルトラソニックトランスデューサ(CMUT)を有する第1の超音波要素、

前記第1の超音波要素に結合され、前記第1のCMUTに第1の超音波波形を提供するように構成されたプログラム可能な波形発生器であって、1つまたは複数の構成可能動作パラメータを有するプログラム可能な波形発生器、

前記プログラム可能な波形発生器の第1の構成可能動作パラメータの値を制御するように構成されたコントローラ、および

前記第1の超音波要素に結合され、前記第1の超音波要素から提供されるアナログ信号をデジタル信号に変換するように構成された少なくとも1つのアナログ-デジタル変換器(ADC)、

が形成され、

前記固体半導体ダイ上に形成されたデジタルシリアル通信モジュールをさらに備え、前記デジタルシリアル通信モジュールは、ユニバーサルシリアルバス(USB)モジュールである、超音波デバイス。

【請求項 3】

前記プログラム可能な波形発生器は、チャープ、連続波、コード化励振、またはインパルスを生成するようにプログラム可能である、請求項1に記載の超音波デバイス。

【請求項 4】

前記プログラム可能な波形発生器の前記少なくとも1つの構成可能動作パラメータは、位相、周波数、およびチャープ率を含む、請求項3に記載の超音波デバイス。

【請求項 5】

前記プログラム可能な波形発生器は、前記半導体ダイ内の前記第1のCMUTの下に設けられる、請求項1に記載の超音波デバイス。

【請求項 6】

単一の固体半導体ダイを備える超音波デバイスであって、

前記単一の固体半導体ダイ上に、

少なくとも1つの第1の容量性マイクロマシン加工ウルトラソニックトランスデューサ(CMUT)を有する第1の超音波要素、

少なくとも1つの構成可能動作パラメータを有し、前記第1の超音波要素に結合され、前記第1のCMUTに、前記少なくとも1つの動作可能パラメータを用いて生成された第1の超音波波形を提供するように構成されたプログラム可能な波形発生器であって、前記第1の超音波波形を前記第1のCMUTに提供する前に前記第1の超音波波形を離散化する回路を有するプログラム可能な波形発生器、

前記プログラム可能な波形発生器の前記少なくとも1つの構成可能動作パラメータの値を制御するように構成されたコントローラ、および

前記第1の超音波要素に結合され、前記第1の超音波要素から提供されるアナログ信号をデジタル信号に変換するように構成された少なくとも1つのアナログ-デジタル変換器(ADC)、

が形成され、

前記第1の超音波要素は、複数の他の超音波要素と組み合わせられて、高密度焦点式超音波(HIFU)を提供するように構成される、超音波デバイス。

【請求項 7】

前記プログラム可能な波形発生器の前記回路と前記第1のCMUTとの間に結合され、前記第1のCMUTに電圧パルスを提供するように構成されたパルサをさらに備え、前記電圧パルスの少なくともいくつかは、約30ボルト~約120ボルトの電圧である、請求項6に記載の超音波デバイス。

【請求項 8】

10

20

30

40

50

前記複数の他の超音波要素は第1の複数の超音波要素であり、前記超音波デバイスは超音波撮像を行うように構成された第2の複数の超音波要素をさらに含む、請求項6に記載の超音波デバイス。

【請求項9】

前記プログラム可能な波形発生器の前記回路と前記第1のCMUTとの間に結合され、前記第1のCMUTに電圧パルスを提供するように構成されたパルサをさらに備える、請求項1に記載の超音波デバイス。

【請求項10】

前記プログラム可能な波形発生器の入力に結合され、前記プログラム可能な波形発生器の前記回路にタイミング制御信号を提供するように構成されたシフトレジスタをさらに備える、請求項1に記載の超音波デバイス。

10

【請求項11】

前記デジタルシリアル通信モジュールを介して前記単一の固体半導体ダイに結合されたタブレットコンピュータをさらに備える、請求項2に記載の超音波デバイス。

【請求項12】

前記デジタルシリアル通信モジュールを介して前記単一の固体半導体ダイに結合されたスマートフォンをさらに備える、請求項2に記載の超音波デバイス。

【請求項13】

前記ADCは、前記第1のCMUTと前記デジタルシリアル通信モジュールとの間の受信信号経路の一部を形成し、前記受信信号経路は、前記ADCに結合された復調器をさらに含む、請求項2に記載の超音波デバイス。

20

【請求項14】

前記復調器は、前記ADCの出力に結合されたデジタル直交復調器である、請求項13に記載の超音波デバイス。

【請求項15】

前記受信信号経路は、低雑音増幅器(LNA)と、前記復調器の入力に結合された可変利得増幅器(VGA)とをさらに含む、請求項13に記載の超音波デバイス。

【請求項16】

前記受信信号経路は、前記復調器に結合されたデシメーション低域通過フィルタをさらに含む、請求項13に記載の超音波デバイス。

30

【請求項17】

前記復調器の出力に結合された平均化回路をさらに含む、請求項13に記載の超音波デバイス。

【請求項18】

前記回路は、第1の比較器および第2の比較器を含み、前記第1の比較器および前記第2の比較器は、それぞれ、前記コントローラに結合された入力と、前記パルサに結合された出力とを有する、請求項9に記載の超音波デバイス。

【請求項19】

前記回路は、前記シフトレジスタの出力を1つまたは複数の参照値と比較することにより、少なくとも部分的に前記第1の超音波波形を離散化するように構成された少なくとも1つの比較器を含む、請求項10に記載の超音波デバイス。

40

【請求項20】

前記コントローラおよび前記少なくとも1つのADCは、前記半導体ダイ内の前記第1のCMUTの下に設けられる、請求項5に記載の超音波デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

[0001] 本出願は、その全体が参照により本明細書に組み込まれる、2013年3月15日に代理人整理番号第B1348.70006US00号で出願され、「MONOLIT

50

H I C U L T R A S O N I C I M A G I N G D E V I C E S , S Y S T E M S
A N D M E T H O D S」と題する、米国仮特許出願第61/798,851号の米国特
許法の下での利益を主張する。

【0002】

[0002] 本開示の態様は、撮像および/または治療（たとえば、ウルトラソニック撮像お
よび/または治療技術）のためのデバイス、システム、および方法に関する。たとえば、
本明細書に開示されるアーキテクチャおよび技法の特定の態様は、全ウルトラソニック撮
像システムが単一の半導体基板上に一体化されることを可能にする。したがって、本明細
書に記載される特徴および方法論の多くは、シングルチップウルトラソニック撮像ソリュ
ーションに関し、または、ウルトラソニック撮像システムの少なくともかなりの部分がシ
ングルチップ上に設けられるデバイスおよびシステムに関する。

10

【背景技術】

【0003】

[0003] 従来型の超音波スキャナは、画像処理に使用することができる、撮像アルゴリズム
のタイプを制限する、送受信動作のためのビーム形成を備える線走査などのハードウェ
ア構成を有する。

【0004】

[0004] さらに、ウルトラソニックスキャナの費用および拡張性は、現在業界で主流を占
める圧電トランスデューサ技術の限界に近づいてきた。圧電トランスデューサは、依然と
して、「ダイスアンドフィル(dice and fill)」製造プロセスを使用して作られており
、そこでは、個々の圧電素子が切断され、次いで、基板上に個々に配置されてトランス
デューサを形成する。そのようなプロセスは、費用がかかり、不均一で、機械加工および配
線の拡張性がない傾向がある。

20

【0005】

[0005] 超音波スキャナ中で圧電トランスデューサ配列から電子回路に複数のチャンネルの
アナログ信号を移送する問題が、超音波撮像の解像度を前進させて高品質3D容積撮像を
可能にすることに必要な、より大きく、より密度の高いトランスデューサの配列の利用を
非常に制限してきた。

【0006】

[0006] 容量性マイクロマシン加工超音波トランスデューサ(CMUT)の製造技法における
最近の進捗によって、現在、電子産業を推進しているのと、同じ半導体工場内で高品質超
音波トランスデューサを製造することが可能になる。CMUTデバイスは、圧電トランス
デューサと比較したときに、優れた帯域幅および音響インピーダンス整合能力も有する。
また、CMUT配列を設計するのに利用可能なフレキシビリティの増加によって、撮像ア
ーティファクトを抑制し、信号品質を改善して、チャンネル数を減少することができる、進
んだ配列設計技法を可能にする。しかし、これまで提案されてきたCMUT配列を使用す
るウルトラソニック撮像ソリューションは、従来型アーキテクチャおよび信号処理パラ
ダイムを採用し、したがって厳しい制限および欠点がある。

30

【発明の概要】

【課題を解決するための手段】

40

【0007】

[0007] 本開示は、マイクロマシン加工されたウルトラソニックトランスデューサベース
のウルトラソニック撮像装置の設計のための、新規なパラダイムの様々な態様を詳述する
。いくつかの実施形態では、オンチップ信号処理を、たとえばデータ帯域幅を減少するた
めに受信信号経路中に採用することができ、かつ/または、高速シリアルデータモジュ
ールを使用して、デジタルデータストリームとして、オフチップのすべての受信チャンネル
にデータを移動することができる。本開示のいくつかの実施形態に従う、オンチップの受信
信号のデジタル化によって、進んだデジタル信号処理がオンチップで実施することが可能
になり、したがって、単一の半導体基板上に全ウルトラソニック撮像システムの完全、ま
たは実質的に完全な一体化が可能になる。いくつかの実施形態では、完全な「超音波シス

50

テムオンチップ」ソリューションが提供される。

【0008】

[0008] いくつかの実施形態では、本明細書に開示されるデバイスおよびアーキテクチャは、たとえば、1つまたは複数の合成開口技法など、1つまたは複数の高度な方法で、完全に一体化することができる。合成開口技法は、たとえば、複数の受信開口の集合から、高解像度画像の形成を可能にすることができる。

【0009】

[0009] 本技術の態様によれば、ウルトラソニックトランスデューサ要素からの信号を処理するための方法が提供され、方法は、ウルトラソニックトランスデューサ要素と同じ半導体ダイ上に一体化される構成要素を用いて、ウルトラソニックトランスデューサ要素の出力に対応するアナログ信号をデジタル信号に変換することを含む。いくつかのそのような実施形態では、次いで、ウルトラソニックトランスデューサの出力信号のデジタル表現は、半導体ダイ上で生成され、半導体ダイ上の信号のさらなる処理、および/または半導体ダイからのデジタル信号の送信が容易になる。この様式では、いくつかの実施形態では、超音波デバイスは、単一の半導体ダイ上に、他の構成要素とデジタル的に通信するように構成することができる、一体化されるトランスデューサおよび回路を含む。

【0010】

[0010] いくつかの実施形態では、方法は、半導体ダイ上に一体化される少なくとも1つの追加構成要素を用いて、高速シリアルデータストリームとして、半導体ダイからデジタル信号に対応するデータを送信することをさらに含む。いくつかの実施形態では、方法は、半導体ダイ上に一体化される少なくとも1つの追加構成要素を用いて、デジタル信号を処理してそのデータ帯域幅を減少させることをさらに含む。少なくともいくつかの実施形態では、そのような帯域幅の減少によって、他の構成要素への、半導体ダイのデジタルデータの送信が容易になる。

【0011】

[0011] いくつかの実施形態では、少なくとも1つの追加構成要素は、デジタル直交復調器を備える。いくつかの実施形態では、少なくとも1つの追加構成要素は、平均化モジュールを備える。いくつかの実施形態では、少なくとも1つの追加構成要素は、(たとえば、特定の周波数に整合した)整合フィルタを備え、代替実施形態では、不整合フィルタを備える。いくつかの実施形態では、少なくとも1つの追加構成要素は、有限インパルス応答(FIR: finite impulse response)フィルタを備える。いくつかの実施形態では、少なくとも1つの追加構成要素は、1/2帯域デシメーション低域通過フィルタを備える。いくつかの実施形態では、少なくとも1つの追加構成要素は、ランプ回路(たとえば、デジタルランプ回路)、または伸張回路であってよく、(たとえば、LFM波形といった)信号を時間から周波数に変換するように構成することができる、デチャープモジュールを備える。

【0012】

[0012] いくつかの実施形態では、方法は、半導体ダイ上に一体化される少なくとも1つの追加構成要素を用いて、デジタル信号に対応するデータを処理して、1つまたは複数の画像形成機能を実施することをさらに含む。いくつかのそのような実施形態では、画像形成機能のそのような性能は、超音波画像の形成をもたらす、または超音波画像を形成する結果となり、したがって、いくつかの実施形態では、一体型超音波撮像デバイスが半導体ダイ上に形成される。いくつかの実施形態では、1つまたは複数の画像形成機能は、アポディゼーション、逆投影、ファストヒエラルキー逆投影、補間範囲移動または他のフーリエリサンプリング技法、ダイナミックフォーカス、遅延加算処理、およびトモグラフィー再構成からなるグループから選択される少なくとも1つの画像形成機能を含む。少なくともいくつかの実施形態では、そのような機能が使用されて、たとえば、医療関連である画像タイプといった、有利な画像タイプを提供する。

【0013】

[0013] いくつかの実施形態では、方法は、半導体ダイ上に一体化される少なくとも1つ

10

20

30

40

50

の追加構成要素を用いて、デジタル信号に対応するデータを処理し、1つまたは複数のバックエンド処理機能を実施することをさらに含む。いくつかの実施形態では、1つまたは複数のバックエンド処理機能は、ダウンレンジオートフォーカス、クロスレンジオートフォーカス、周波数分散補償、非線形アポディゼーション、リマッピング、圧縮、雑音除去、コンパウンド処理、ドブブラ、エラストグラフィ、分光、および基底追跡からなるグループから選択される少なくとも1つのバックエンド処理機能を含む。

【0014】

[0014] いくつかの実施形態では、方法は、半導体ダイ上に一体化される少なくとも1つのマイクロプロセッサを使用して、少なくとも1つのデジタル信号処理機能を実施することをさらに含む。いくつかの実施形態では、少なくとも1つのマイクロプロセッサが使用されて、デジタル信号に対応するデータの帯域幅を減少させる。いくつかの実施形態では、少なくとも1つのマイクロプロセッサが使用されて、1つまたは複数の画像形成機能を実施する。いくつかの実施形態では、1つまたは複数の画像形成機能は、アポディゼーション、逆投影、ファストヒエラルキー逆投影、Stolt補間、ダイナミックフォーカス、遅延加算処理、およびトモグラフィ撮像からなるグループから選択される少なくとも1つの画像形成機能を含む。いくつかの実施形態では、少なくとも1つのマイクロプロセッサが使用されて、1つまたは複数のバックエンド処理機能を実施する。いくつかの実施形態では、1つまたは複数のバックエンド処理機能は、ダウンレンジオートフォーカス、クロスレンジオートフォーカス、周波数分散補償、非線形アポディゼーション、リマッピング、圧縮、雑音除去、コンパウンド処理、ドブブラ、エラストグラフィ、分光、および基底追跡からなるグループから選択される少なくとも1つのバックエンド処理機能を含む。いくつかの実施形態において、半導体ダイ上に一体化されるマイクロプロセッサを含むことによって、単一の半導体ダイ上の超音波デバイスの実現をさらに容易にする。たとえば、超音波画像の形成で使用するのに好適な超音波データを集めるように構成される超音波撮像デバイスが、いくつかの実施形態で実現される。

【0015】

[0015] いくつかの実施形態では、方法は、半導体ダイ上に一体化される少なくとも1つの追加構成要素を用いて、アナログ信号をデジタル信号に変換する前に、アナログ信号を処理して、そこから波形を分離することをさらに含む。波形の分離は、いくつかの実施形態で、複数の波形を表す信号に関して使用することができ、選択された信号成分（たとえば、選択された周波数）を分離することを含むことができる。いくつかの実施形態では、少なくとも1つの追加構成要素はアナログ直交復調器を備え、いくつかの実施形態では、アナログデチャープモジュールを備える。少なくともいくつかの実施形態では、波形の分離によって、ウルトラソニックトランスデューサ要素により作り出されるデータの量が減少し、したがって、データ処理および他の構成要素へのデータの転送が容易になる。

【0016】

[0016] いくつかの実施形態では、ウルトラソニックトランスデューサ要素は、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備える。すなわち、ウルトラソニックトランスデューサセルは、個別にまたは組み合わせて、ウルトラソニックトランスデューサ要素を形成する。ウルトラソニックトランスデューサ要素は、そのようなセルが組み合わされるとき、ウルトラソニックトランスデューサセルの任意の好適な組合せから形成することができる。いくつかの実施形態では、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルは、1つまたは複数の容量性マイクロマシン加工ウルトラソニックトランスデューサ（CMUT）セルを備える。いくつかの実施形態では、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルは、1つまたは複数のCMOSウルトラソニックトランスデューサ（CUT）セルを備える。いくつかの実施形態に従うそのようなセルの使用により、CMOSウェハ上の他の構成要素とウルトラソニックトランスデューサの一体化が容易になる。

【0017】

[0017] 本技術の態様によれば、超音波デバイスが提供され、超音波デバイスは、半導体

10

20

30

40

50

ダイ上に一体化される、少なくとも1つのウルトラソニックトランスデューサ要素と、半導体ダイ上に一体化され、ウルトラソニックトランスデューサ要素の出力に対応するアナログ信号をデジタル信号に変換するように構成されるアナログ-デジタル(ADC)変換器とを備える。いくつかの実施形態では、そのような構成によって、ウルトラソニックトランスデューサと回路が単一の半導体ダイ上に一体化される、一体型超音波デバイスの実現が容易になる。いくつかの実施形態では、そのようなデバイスは、単一の半導体ダイ上への構成要素の一体化に起因して、サイズが小型である。

【0018】

[0018] いくつかの実施形態では、超音波デバイスは、半導体ダイ上に一体化され、半導体ダイからのデジタル信号に対応するデータを高速シリアルデータストリームとして送信するように構成される、高速シリアルデータモジュールをさらに備える。いくつかのそのような実施形態では、高速データモジュールの使用によって、オフチップ構成要素との通信が容易になり、したがって、超音波デバイスの機能性を拡張する。たとえば、いくつかの実施形態における超音波デバイスは、いくつかの実施形態でコンピュータ、スマートフォン、またはタブレットである、外部処理構成要素と結合して通信する。

10

【0019】

[0019] いくつかの実施形態では、超音波デバイスは、半導体ダイ上に一体化され、デジタル信号を処理してそのデータ帯域幅を減少させるように構成される、少なくとも1つの信号処理モジュールをさらに備える。そのような実施形態では、データ帯域幅の減少によって、超音波デバイスの外部の構成要素との通信が容易になり、その構成要素としては、いくつかの実施形態でコンピュータ、スマートフォン、またはタブレットである、外部処理構成要素が挙げられる。いくつかの実施形態では、通信は、データを外部構成要素に送信することを含む。いくつかの実施形態では、少なくとも1つの信号処理モジュールは、デジタル直交復調器を備える。いくつかの実施形態では、少なくとも1つの信号処理モジュールは、平均化モジュールを備える。いくつかの実施形態では、少なくとも1つの信号処理モジュールは、整合フィルタを備え、代替実施形態では、不整合フィルタを備える。いくつかの実施形態では、少なくとも1つの信号処理モジュールは、有限インパルス応答フィルタを備える。いくつかの実施形態では、少なくとも1つの信号処理モジュールは、1/2帯域デシメーション低域通過フィルタを備える。いくつかの実施形態では、少なくとも1つの信号処理モジュールは、デチャープモジュールを備える。

20

30

【0020】

[0020] いくつかの実施形態では、超音波デバイスは、半導体ダイ上に一体化され、デジタル信号に対応するデータを処理して、1つまたは複数の画像形成機能を実施するように構成される、少なくとも1つの信号処理モジュールをさらに備える。いくつかの実施形態では、1つまたは複数の画像形成機能は、アポディゼーション、逆投影、ファストヒエラルキー逆投影、補間範囲移動または他のフーリエリサンプリング技法、ダイナミックフォーカス、遅延加算処理、およびトモグラフィ再構成からなるグループから選択される少なくとも1つの画像形成機能を含む。いくつかのそのような実施形態では、画像形成機能のそのような性能は、超音波画像の形成をもたらす、または超音波画像を形成する結果となり、したがって、いくつかの実施形態では、一体型超音波撮像デバイスが半導体ダイ上に形成される。少なくともいくつかの実施形態では、そのような機能が使用されて、たとえば、医療関連である画像タイプといった、有利な画像タイプを提供する。

40

【0021】

[0021] いくつかの実施形態では、超音波デバイスは、半導体ダイ上に一体化され、デジタル信号に対応するデータを処理して、1つまたは複数のバックエンド処理機能を実施するように構成される、少なくとも1つの信号処理モジュールをさらに備える。これは、以前に記載された理由のために有利な場合がある。いくつかの実施形態では、1つまたは複数のバックエンド処理機能は、ダウンレンジオートフォーカス、クロスレンジオートフォーカス、周波数分散補償、非線形アポディゼーション、リマッピング、圧縮、雑音除去、コンパウンド処理、ドブブラ、エラストグラフィ、分光、および基底追跡からなるグルー

50

プから選択される少なくとも1つのバックエンド処理機能を含む。

【0022】

[0022] いくつかの実施形態では、超音波デバイスは、半導体ダイ上に一体化され、少なくとも1つのデジタル信号処理機能を実施するように構成される、マイクロプロセッサをさらに備える。いくつかの実施形態では、マイクロプロセッサは、デジタル信号に対応するデータの帯域幅を減少するように構成され、これは、いくつかの実施形態において、データのさらなる処理、ならびにコンピュータ、スマートフォン、およびタブレットなどの外部構成要素へのデータの通信を容易にするのに有利である。いくつかの実施形態において、半導体ダイ上にマイクロプロセッサを含むことによって、一体型超音波デバイスの実現がさらに容易になる。

10

【0023】

[0023] いくつかの実施形態では、マイクロプロセッサは、1つまたは複数の画像形成機能を実施するように構成される。いくつかの実施形態では、1つまたは複数の画像形成機能は、アポディゼーション、逆投影、ファストヒエラルキー逆投影、補間範囲移動または他のフーリエリサンプリング技法、ダイナミックフォーカス、遅延加算処理、およびトモグラフィ撮影からなるグループから選択される少なくとも1つの画像形成機能を含む。

【0024】

[0024] いくつかの実施形態では、マイクロプロセッサは、1つまたは複数のバックエンド処理機能を実施するように構成される。いくつかの実施形態では、1つまたは複数のバックエンド処理機能は、ダウンレンジオートフォーカス、クロスレンジオートフォーカス、周波数分散補償、非線形アポディゼーション、リマッピング、圧縮、雑音除去、コンパウンド処理、ドップラ、エラストグラフィ、分光、および基底追跡からなるグループから選択される少なくとも1つのバックエンド処理機能を含む。

20

【0025】

[0025] いくつかの実施形態では、デバイスは、半導体ダイ上に一体化され、ADCコンバータがアナログ信号をデジタル信号に変換する前に、アナログ信号を処理して、そこから波形を分離するように構成される、少なくとも1つの追加構成要素をさらに備える。いくつかの実施形態では、少なくとも1つの追加構成要素はアナログ直交復調器を備え、いくつかの実施形態では、アナログデチャープモジュールを備える。いくつかの実施形態においてそのような処理回路を含むことにより、外部構成要素とデジタル的に通信することができる一体型超音波デバイスの形成がさらに容易になる。

30

【0026】

[0026] いくつかの実施形態では、ウルトラソニックトランスデューサ要素は、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備える。いくつかの実施形態では、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルは、1つまたは複数の容量性マイクロマシン加工ウルトラソニックトランスデューサ(CMUT)セルを備え、いくつかの実施形態では、1つまたは複数のCMOSウルトラソニックトランスデューサ(CUT)セルを備える。いくつかの実施形態に従う、そのようなセルの使用により、CMOSウェハ上の他の構成要素とウルトラソニックトランスデューサの一体化が容易になる。

40

【0027】

[0027] 本技術の態様によれば、ウルトラソニックトランスデューサ要素からの信号を処理するための方法が提供され、方法は、ウルトラソニックトランスデューサ要素と同じ半導体ダイ上に一体化される少なくとも1つの構成要素を用いて、トランスデューサ要素の出力に対応する信号を処理して、そこから波形を分離することを含む。いくつかの実施形態では、そのような処理がデータの量を減少し、これが今度は、超音波データの収集および送信を容易にする。

【0028】

[0028] いくつかの実施形態では、少なくとも1つの構成要素はアナログ直交復調器を備え、いくつかの実施形態では、アナログデチャープモジュールを備える。いくつかの実施

50

形態では、ウルトラソニックトランスデューサ要素は、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備える。いくつかの実施形態では、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルは、1つまたは複数の容量性マイクロマシン加工ウルトラソニックトランスデューサ（CMUT）セルを備え、いくつかの実施形態では、1つまたは複数のCMOSウルトラソニックトランスデューサ（CUT）セルを備える。いくつかの実施形態に従う、そのようなセルの使用により、CMOSウェハ上の他の構成要素とウルトラソニックトランスデューサの一体化が容易になる。

【0029】

[0029] 本技術の態様によれば、超音波デバイスが提供され、超音波デバイスは、半導体ダイ上に一体化される、少なくとも1つのウルトラソニックトランスデューサ要素と、半導体ダイ上に一体化され、少なくとも1つのウルトラソニックトランスデューサ要素の出力に対応する信号を処理して、そこから波形を分離するように構成される、少なくとも1つの構成要素とを備える。いくつかの実施形態では、構成要素のそのような構成によって、一体型超音波デバイスの実現が容易になる。波形の分離がデータの量を減少し、これが今度は、超音波データの収集および送信を容易にする。

【0030】

[0030] いくつかの実施形態では、少なくとも1つの構成要素はアナログ直交復調器を備え、いくつかの実施形態では、少なくとも1つの構成要素はアナログデチャープモジュールを備える。いくつかの実施形態では、少なくとも1つのウルトラソニックトランスデューサ要素は、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備える。いくつかの実施形態では、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルは、1つまたは複数の容量性マイクロマシン加工ウルトラソニックトランスデューサ（CMUT）セルを備え、いくつかの実施形態では、1つまたは複数のCMOSウルトラソニックトランスデューサ（CUT）セルを備える。いくつかの実施形態に従う、そのようなセルの使用により、CMOSウェハ上の他の構成要素とウルトラソニックトランスデューサの一体化が容易になる。

【0031】

[0031] 本技術の態様によれば、各々が複数のウルトラソニックトランスデューサセルを備える、少なくとも2つのウルトラソニックトランスデューサ要素を構成するための方法が提供される。方法は、少なくとも2つのウルトラソニックトランスデューサ要素のうち的一方の中の少なくとも1つのウルトラソニックトランスデューサセルを、少なくとも2つのウルトラソニックトランスデューサ要素の他方の中の少なくとも1つのウルトラソニックトランスデューサセルに結合することを含む。いくつかの実施形態では、そのような結合によって、ウルトラソニックトランスデューサ要素により生成される超音波波形のグレイティングローブが有利に減少する。加えて、いくつかの実施形態では、そのような結合によって、全トランスデューサ領域の有益な使用が容易になる。

【0032】

[0032] いくつかの実施形態では、結合することが、少なくとも2つのウルトラソニックトランスデューサ要素のうち的一方の中の少なくとも1つのウルトラソニックトランスデューサセルを、少なくとも2つのウルトラソニックトランスデューサ要素の他方の中の少なくとも1つのウルトラソニックトランスデューサセルに、抵抗性要素を介して結合することを含む。いくつかの実施形態では、抵抗性要素は、ポリシリコン抵抗器を備える。そのような抵抗器を使用すること、および抵抗値の好適な選択により、いくつかの実施形態において、ウルトラソニックトランスデューサ要素の性能を最適化する。

【0033】

[0033] いくつかの実施形態では、結合することが、少なくとも2つのウルトラソニックトランスデューサ要素のうち異なるものの中の第1の対のウルトラソニックトランスデューサセルを、第1のインピーダンス値を有する第1の結合要素と結合することと、少なくとも2つのウルトラソニックトランスデューサ要素のうち異なるものの中の第2の対

10

20

30

40

50

のウルトラソニックトランスデューサセルを、第1のインピーダンス値と異なる第2のインピーダンス値を有する第2の結合要素と結合することを含む。インピーダンス値の好適な選択によって、いくつかの実施形態では、ウルトラソニックトランスデューサ要素の性能を最適化する。いくつかの実施形態では、結合することが、少なくとも2つのウルトラソニックトランスデューサ要素のうち的一方の中の少なくとも1つのウルトラソニックトランスデューサセルと、少なくとも2つのウルトラソニックトランスデューサ要素の他方の中の少なくとも1つのウルトラソニックトランスデューサセルとの間に誘導結合を確立することを含む。

【0034】

[0034] いくつかの実施形態では、方法は、少なくとも2つのウルトラソニックトランスデューサ要素のウルトラソニックトランスデューサセルのうちの一つを混合することをさらに含む。

10

【0035】

[0035] いくつかの実施形態では、少なくとも2つのウルトラソニックトランスデューサ要素の各々は、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備える。いくつかの実施形態に従うそのようなセルの使用により、CMOSウェハ上の他の構成要素とウルトラソニックトランスデューサの一体化が容易になる。

【0036】

[0036] いくつかの実施形態では、方法は、少なくとも2つのトランスデューサ要素の各々の中の少なくともいくつかのトランスデューサセルをアボダイズすることをさらに含む。いくつかの実施形態では、アボダイズすることは、少なくとも2つのウルトラソニックトランスデューサ要素のうち的一方の中の少なくとも1つのトランスデューサセル、および少なくとも2つのトランスデューサ要素の他方の中の少なくとも1つのトランスデューサセルをアボダイズすることを含む。

20

【0037】

[0037] 本技術の態様によれば、各々が複数のウルトラソニックトランスデューサセルを備える少なくとも2つのウルトラソニックトランスデューサ要素を備える、超音波デバイスが提供される。少なくとも2つのウルトラソニックトランスデューサ要素のうち的一方の中の少なくとも1つのウルトラソニックトランスデューサセルが、少なくとも2つのウルトラソニックトランスデューサ要素の他方の中の少なくとも1つのウルトラソニックトランスデューサセルに結合される。いくつかの実施形態では、そのような結合によって、超音波波形のグレーティングローブを有利に減少する。加えて、いくつかの実施形態では、そのような結合によって、全トランスデューサ領域の、有益な使用が容易になる。

30

【0038】

[0038] いくつかの実施形態では、少なくとも2つのウルトラソニックトランスデューサ要素のうち的一方の中の少なくとも1つのトランスデューサセルが、少なくとも2つのトランスデューサ要素の他方の中の少なくとも1つのトランスデューサセルに抵抗性要素を介して結合される。いくつかの実施形態では、抵抗性要素は、ポリシリコン抵抗器を備える。

40

【0039】

[0039] いくつかの実施形態では、少なくとも2つのトランスデューサ要素のうち的一方が少なくとも第1および第2のトランスデューサセルを備え、少なくとも2つのトランスデューサ要素のうち他方が少なくとも第3および第4のトランスデューサセルを備え、第1のトランスデューサセルと第3のトランスデューサセルが第1のインピーダンス値を有する第1の結合要素を介して結合され、第2のトランスデューサセルと第4のトランスデューサセルが第1のインピーダンス値と異なる第2のインピーダンス値を有する第2の結合要素を介して結合される。インピーダンス値の好適な選択によって、いくつかの実施形態では、ウルトラソニックトランスデューサ要素の性能を最適化する。

【0040】

50

[0040] いくつかの実施形態では、少なくとも2つのトランスデューサ要素のうち的一方の中の少なくとも1つのトランスデューサセルと、少なくとも2つのトランスデューサ要素の他方の中の少なくとも1つのトランスデューサセルとの間に誘導結合が確立されるように、少なくとも2つのトランスデューサ要素が、構成および配置される。

【0041】

[0041] いくつかの実施形態では、少なくとも2つのトランスデューサ要素のトランスデューサセルのうち少なくともいくつかは混合され、いくつかの実施形態において、これが、トランスデューサ要素領域の有益な使用という点で利益をもたらす。

【0042】

[0042] いくつかの実施形態では、少なくとも2つのウルトラソニックトランスデューサ要素の各々は、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備える。いくつかの実施形態に従う、そのようなセルの使用により、CMOSウェハ上の他の構成要素とウルトラソニックトランスデューサの一体化が容易になる。

【0043】

[0043] いくつかの実施形態では、少なくとも2つのトランスデューサ要素の各々の中の少なくとも1つのトランスデューサセルがアボダイズされる。いくつかの実施形態では、少なくとも2つのウルトラソニックトランスデューサ要素のうち一方の中の少なくとも1つのトランスデューサセル、および少なくとも2つのトランスデューサ要素の他方の中の少なくとも1つのトランスデューサセルがアボダイズされる。

【0044】

[0044] 本技術の態様によれば、ウルトラソニックトランスデューサ要素に電圧でバイアスがかかるための方法が提供され、方法は、パルサの出力を使用して、ウルトラソニックトランスデューサ要素を駆動し、その結果、ウルトラソニックトランスデューサ要素がウルトラソニックパルスを放出することを含む。パルサは、生成される波形に対応する1つまたは複数のトランスデューサ要素に駆動信号を出力することができる。したがって、少なくともいくつかの実施形態では、パルサは、たとえば波形発生器からの波形を受信し、パルス（たとえば、電圧パルス）を生成して、ウルトラソニックトランスデューサ要素を駆動するのに好適な回路である。加えて、少なくともいくつかの場合に、パルサがウルトラソニックトランスデューサ要素を駆動するために使用されておらず、その結果、ウルトラソニックトランスデューサ要素がウルトラソニックパルスを放出するとき、パルサの出力を、ウルトラソニックトランスデューサ要素へのバイアス信号として印加することができる。少なくともいくつかの実施形態では、そのような動作を使用して、トランスデューサ要素の、安全な高電圧バイアスを実現することができる。

【0045】

[0045] 本技術の態様によれば、超音波デバイスが提供され、超音波デバイスは、少なくとも1つのウルトラソニックトランスデューサ要素と、少なくとも1つのウルトラソニックトランスデューサに結合され、少なくともいくつかの場合に、少なくとも1つのトランスデューサ要素が使用されて受信したウルトラソニックエネルギーを検知するとき、パルサの出力が使用されて少なくとも1つのウルトラソニックトランスデューサ要素にバイアスがかかるように構成および配置されるパルサとを備える。

【0046】

[0046] 本技術の態様によれば、半導体ダイ上に一体化される少なくとも1つのウルトラソニックトランスデューサ要素にバイアスがかかるための方法が提供され、方法は、半導体ダイに印加されるバイアス電圧を使用して少なくとも1つのウルトラソニックトランスデューサ要素にバイアスがかかることを含む。いくつかの実施形態では、方法は、少なくとも1つのウルトラソニックトランスデューサ要素が対象物を撮像または治療するために使用されている間、対象物に面する少なくとも1つのウルトラソニックトランスデューサ要素の側に、アースを印加することをさらに含む。そのようなバイアスが、いくつかの実施形態では、ウルトラソニックトランスデューサ要素の安全な動作をもたらし、対象物に対する電気ショックの危険を最小化する。

10

20

30

40

50

【 0 0 4 7 】

[0047] 本技術の態様によれば、超音波デバイスが提供され、超音波デバイスは、半導体ダイ上に一体化される、少なくとも1つのウルトラソニックトランスデューサ要素を備える。少なくとも1つのウルトラソニックトランスデューサ要素は、ダイに印加されるバイアス電圧が、少なくとも1つのウルトラソニックトランスデューサ要素にバイアスをかけるためにも使用されるように、ダイ上で構成および配置される。少なくともいくつかの実施形態では、そのような構成を使用して、トランスデューサ要素の、安全な高電圧バイアスを実現する。

【 0 0 4 8 】

[0048] いくつかの実施形態では、超音波デバイスは、少なくとも1つのウルトラソニックトランスデューサ要素を使用して対象物を撮像または治療するように構成される。撮像または治療の期間対象物に面するように構成される少なくとも1つのウルトラソニックトランスデューサ要素の側がアースに接続され、これが、いくつかの実施形態において、電気ショックの危険を最小化することにより、安全な動作をもたらす。いくつかの実施形態では、少なくとも1つのウルトラソニックトランスデューサ要素は、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備える。いくつかの実施形態では、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルは、1つまたは複数の容量性マイクロマシン加工ウルトラソニックトランスデューサ（CMUT）セルを備え、いくつかの実施形態では、1つまたは複数のCMOSウルトラソニックトランスデューサ（CUT）セルを備える。いくつかの実施形態に従う、そのようなセルの使用により、CMOSウェハ上の他の構成要素とウルトラソニックトランスデューサの一体化が容易になる。

【 0 0 4 9 】

[0049] 本技術の態様によれば、少なくとも1つのウルトラソニックトランスデューサ要素にバイアスをかけるための方法が提供され、方法は、少なくとも1つのウルトラソニックトランスデューサ要素が対象物を撮像または治療するために使用されている間、対象物に面する少なくとも1つのウルトラソニックトランスデューサ要素の側に、アースを印加することを含む。そのようなバイアスが、いくつかの実施形態において、電気ショックの危険を最小化することにより、デバイスの安全な動作を容易にする。

【 0 0 5 0 】

[0050] 本技術の態様によれば、超音波デバイスは、少なくとも1つのウルトラソニックトランスデューサ要素を使用して対象物を撮像または治療するように構成される。撮像または治療の期間対象物に面するように構成される少なくとも1つのウルトラソニックトランスデューサ要素の側がアースに接続され、これが、いくつかの実施形態において、電気ショックの危険を最小化することにより、安全な動作をもたらす。

【 0 0 5 1 】

[0051] 本技術の態様によれば、超音波デバイス中で第1および第2の送信制御回路を構成するために方法が提供され、第1および第2の送信制御回路の各々が、ウルトラソニックトランスデューサ要素のためのパルスを駆動する波形発生器を備え、方法は、第1の制御回路が送信イネーブル信号を受信するときと、第1の波形発生器により生成される第1の波形が第1のパルサに印加されるときとの間の第1の遅延の長さが、第2の制御回路が送信イネーブル信号を受信するときと、第2の波形発生器により生成される第2の波形が第2のパルサに印加されるときとの間の第2の遅延の長さとは異なるように、第1の送信制御回路と第2の送信制御回路を異なって構成することを含む。少なくともいくつかの実施形態では、遅延のそのような制御によって、たとえば有益な超音波撮像機能という点で、有益な動作を実現する。

【 0 0 5 2 】

[0052] いくつかの実施形態では、第1および第2の送信制御回路を構成することは、送信イネーブル信号が第1の波形発生器に到達する前に第1の長さの時間だけ送信イネーブル信号が遅延されるように第1の送信制御回路を構成することと、送信イネーブル信号が

10

20

30

40

50

第2の波形発生器に到達する前に第2の長さの時間だけ送信イネーブル信号が遅延されるように第2の送信制御回路を構成することを含む。第2の長さの時間は、いくつかの実施形態において、第1の長さの時間と異なる。

【0053】

[0053] いくつかの実施形態では、第1および第2の送信制御回路を構成することは、第1の波形発生器が第1の開始周波数を持つように構成することと、第2の波形発生器が、第1の開始周波数と異なる第2の開始周波数を持つように構成することとを含む。いくつかの実施形態では、第1および第2の送信制御回路を構成することは、第1の波形発生器が第1の開始位相を持つように構成することと、第2の波形発生器が、第1の開始位相と異なる第2の開始位相を持つように構成することとを含む。いくつかの実施形態では、第1および第2の送信制御回路を構成することは、第1の波形が第1のパルサに到達する前に、第1の波形発生器により出力される第1の波形が、第1の長さの時間だけ遅延されるように第1の送信制御回路を構成することと、第2の波形が第2のパルサに到達する前に、第2の波形発生器により出力される第2の波形が、第1の長さの時間と異なる第2の長さの時間だけ遅延されるように第2の送信制御回路を構成することとを含む。少なくともいくつかの実施形態では、そのような制御によって、たとえば本明細書に記載されるような超音波撮像で使用する、様々な対象の波形を生成することが容易になる。

10

【0054】

[0054] 本技術の態様によれば、超音波デバイスが提供され、超音波デバイスは、少なくとも第1および第2のウルトラソニックトランスデューサ要素と、第1の送信制御回路と、第2の送信制御回路とを備える。第1の送信制御回路は、第1のウルトラソニックトランスデューサ要素を駆動するように第1のウルトラソニックトランスデューサ要素に結合され、その結果、第1のウルトラソニックトランスデューサ要素がウルトラソニックパルスを出す第1のパルサと、第1のパルサに結合され、第1の送信制御回路による送信イネーブル信号の受信にตอบสนองして、第1のパルサに第1の波形を提供する第1の波形発生器とを備え、第1の送信制御回路が送信イネーブル信号を受信するときと第1の波形が第1のパルサに印加されるときとの間の第1の遅延の長さに影響を及ぼす、少なくとも1つの第1の構成要素を含むことができる。第2の送信制御回路は、第2のウルトラソニックトランスデューサ要素を駆動するように第2のウルトラソニックトランスデューサ要素に結合され、その結果、第2のウルトラソニックトランスデューサ要素がウルトラソニックパルスを出す第2のパルサと、第2のパルサに結合され、第2の送信制御回路による送信イネーブル信号の受信にตอบสนองして、第2のパルサに第2の波形を提供する第2の波形発生器と、第2の送信制御回路がイネーブル信号を受信するときと第2の波形が第2のパルサに印加されるときとの間の第2の遅延の長さに影響を及ぼす、少なくとも1つの第2の構成要素とを備える。少なくとも1つの第1の構成要素は、少なくとも1つの第2の構成要素と異なって構成され、その結果、第2の遅延の長さは、第1の遅延の長さとは異なる。少なくともいくつかの実施形態では、異なる遅延によって、たとえば、様々な望ましい超音波波形の生成を容易にすることにより、有益な動作を実現する。

20

30

【0055】

[0055] いくつかの実施形態では、少なくとも1つの第1の構成要素は、イネーブル信号を第1の波形発生器に提供する前に、第1の数のクロックサイクルだけイネーブル信号を遅延させる第1のシフトレジスタを備え、少なくとも1つの第2の構成要素は、イネーブル信号を第2の波形発生器に提供する前に、第1の数のクロックサイクルと異なる第2の数のクロックサイクルだけイネーブル信号を遅延させる第2のシフトレジスタを備える。いくつかの実施形態では、少なくとも1つの第1の構成要素が、第1の波形発生器の開始周波数を決定する第1の値を含む第1のレジスタを含み、少なくとも1つの第2の構成要素が、第2の波形発生器の開始周波数を決定する、第1の値と異なる第2の値を含む第2のレジスタを含む。いくつかの実施形態では、少なくとも1つの第1の構成要素が、第1の波形発生器の開始位相を決定する第1の値を含む第1のレジスタを含み、少なくとも1つの第2の構成要素が、第2の波形発生器の開始位相を決定する、第1の値と異なる第2

40

50

の値を含む第2のレジスタを含む。いくつかの実施形態では、少なくとも1つの第1の構成要素は、第1の波形が第1のパルサに到達する前に、第1の波形発生器により出力される第1の波形を第1の長さの時間だけ遅延させる第1の遅延要素を備え、少なくとも1つの第2の構成要素は、第2の波形が第2のパルサに到達する前に、第2の波形発生器により出力される第2の波形を、第1の長さの時間と異なる第2の長さの時間だけ遅延させる第2の遅延要素を備える。少なくともいくつかの実施形態では、そのような構成によって、たとえば波形パラメータの制御を可能にすることにより、様々な有益な超音波波形の生成が容易になる。

【0056】

[0056] 本技術の態様によれば、少なくとも第1および第2の波形発生器を構成するための方法が提供され、方法は、少なくとも第1および第2の波形発生器の第1および第2の構成可能動作パラメータの値を制御するためにコントローラを使用することを含む。少なくともいくつかの実施形態では、そのような制御によって、波形発生器をプログラム可能にし、そのため、波形発生器がプログラムまたは制御されて、たとえば波形パラメータを制御することにより、所望の波形を提供することができる。

10

【0057】

[0057] いくつかの実施形態では、方法は、コントローラで一連のイベント数を生成することと、第1の波形発生器について、第1の波形発生器に関連する第1のメモリからコントローラにより提供されるイベント数に関連する第1の値を検索することと、第1の構成可能動作パラメータとして使用するために第1の値を第1の波形発生器に提供することとをさらに含む。方法は、第2の波形発生器について、第2の波形発生器に関連する第2のメモリからコントローラにより提供されるイベント数に関連する第2の値を検索することと、第2の構成可能動作パラメータとして使用するために第2の値を第2の波形発生器に提供することとをさらに含む。この様式では、少なくともいくつかの実施形態では、波形発生器により生成される波形の制御を達成することができ、望ましい(たとえば、医療関連の)超音波波形を生成することができる。

20

【0058】

[0058] いくつかの実施形態では、第1および第2の構成可能動作パラメータが、第1および第2の波形発生器の同じ機能性を制御する。少なくとも1つのイベント数について、第1および第2のメモリから検索された第1および第2の値は異なる。

30

【0059】

[0059] いくつかの実施形態では、方法は、第1および第2の波形発生器の各々にイネーブル信号を送信するためにコントローラを使用することをさらに含む。いくつかの実施形態では、方法は、第1の波形発生器の第1の構成可能動作パラメータと第2の波形発生器の第2の構成可能動作パラメータのそれぞれが異なる値を有するように設定することをさらに含む。この様式では、いくつかの実施形態では、たとえば超音波撮像で所望の超音波波形の生成を達成するために使用することができる異なる波形が、異なる波形発生器により生成される。

【0060】

[0060] 本技術の態様によれば、デバイスが提供され、デバイスは、少なくとも第1および第2の対応するウルトラソニックトランスデューサ要素による送信のための波形を生成するように構成される少なくとも第1および第2の波形発生器であって、第1の波形発生器が少なくとも1つの第1の構成可能動作パラメータを含み、第2の波形発生器が少なくとも1つの第2の構成可能動作パラメータを含む少なくとも第1および第2の波形発生器と、第1および第2の構成可能動作パラメータの値を制御するように構成されるコントローラとを備える。この様式では、波形発生器により作り出される波形の望ましい構成可能性が、いくつかの実施形態で達成される。

40

【0061】

[0061] いくつかの実施形態では、コントローラは、一連の送信イベント数を出力するように構成される。いくつかの実施形態では、第1の波形発生器は、それぞれの送信イベン

50

ト数に関連する第1の構成可能動作パラメータについての値を記憶する第1のイベントメモリに関連し、コントローラから送信されたイベント数を受信して、第1の波形発生器にそれによって使用するために、第1の構成可能動作パラメータについての対応する記憶された値を出力するように構成される。いくつかの実施形態では、第2の波形発生器は、それぞれの送信イベント数に関連する第2の構成可能動作パラメータについての値を記憶する第2のイベントメモリに関連し、コントローラから送信されたイベント数を受信して、第2の波形発生器にそれによって使用するために、第2の構成可能動作パラメータについての対応する記憶された値を出力するように構成される。この様式では、いくつかの実施形態で、波形発生器により生成される波形を制御することができ、たとえば超音波撮像を実施するときに所望の波形を達成することができる。

10

【0062】

[0062] いくつかの実施形態では、コントローラにより出力される少なくとも1つのイベント数について、第1のイベントメモリおよび第2のイベントメモリは、第1および第2の構成可能動作パラメータについての異なる関連値を記憶する。

【0063】

[0063] いくつかの実施形態では、コントローラは、第1および第2の波形発生器の各々に送信イネーブル信号を通信するようにさらに構成される。

【0064】

[0064] いくつかの実施形態では、第1の構成可能動作パラメータは、第2の構成可能動作パラメータと異なる値に設定することができる。

20

【0065】

[0065] 本技術の態様によれば、超音波デバイスを作るための方法が提供され、方法は、少なくとも1つのCMOSウルトラソニックトランスデューサ要素と同じ半導体ダイ上にデジタル受信回路を一体化することを含む。デジタル受信回路は、ウルトラソニックトランスデューサセルまたは要素から信号を受信するように構成されるデジタル回路であってよい。例が本明細書に記載される。いくつかの実施形態では、そのような構成は、ウルトラソニックトランスデューサおよびデジタル回路が同じ半導体ダイ上にあることを可能にすることにより、一体型超音波デバイスを提供する、さもなければ容易にすることができる。小型超音波デバイスがいくつかの実施形態をもたらす。また、デジタル回路によって、外部コンピュータ、スマートフォン、タブレット、または他の処理構成要素など、いくつかの実施形態における外部構成要素とのデジタル通信が容易になる。

30

【0066】

[0066] 本技術の態様によれば、デバイスが提供され、デバイスは、単一の集積回路基板上に形成される、少なくとも1つのCMOSウルトラソニックトランスデューサ要素とデジタル受信回路とを備える。いくつかの実施形態では、そのような構成は、ウルトラソニックトランスデューサおよびデジタル回路が同じ半導体ダイ上にあることを可能にすることにより、一体型超音波デバイスを提供する、さもなければ容易にする。小型超音波デバイスがいくつかの実施形態をもたらす。また、デジタル回路によって、外部コンピュータ、スマートフォン、タブレット、または他の処理構成要素など、いくつかの実施形態における外部構成要素とのデジタル通信が容易になる。

40

【0067】

[0067] 本技術の態様によれば、超音波デバイスを作るための方法が提供され、方法は、少なくとも第1および第2の送信制御回路ならびに第1および第2のウルトラソニックトランスデューサ要素に対応する少なくとも第1および第2の受信制御回路を備えるCMOS回路の上（たとえば、より高く、またはより後で設けられる処理層の上）に少なくとも第1および第2のウルトラソニックトランスデューサ要素を製造することを含む。少なくともいくつかの実施形態では、そのような製造によって、ウルトラソニックトランスデューサおよび関連する回路を含む一体型超音波デバイスの形成が容易になる。また、デバイスは、記載されたように、回路に対してウルトラソニックトランスデューサを配置することに少なくとも部分的に起因して小型となることができる。

50

【 0 0 6 8 】

[0068] いくつかの実施形態では、第1および第2の受信制御回路の各々は、アナログ - デジタル変換器を備え、いくつかの実施形態では、デジタル信号処理回路をさらに備える。デジタル回路を含むことによって、いくつかの実施形態において、データ処理および外部構成要素とのデジタル通信が容易になる。

【 0 0 6 9 】

[0069] いくつかの実施形態では、少なくとも第1および第2のウルトラソニックトランスデューサ要素は、CMOS回路の上(たとえば、より高く、またはより後で設けられる処理層の上)に製造され、そのため、第1の送信制御回路および第1の受信制御回路は、両方が第1のウルトラソニックトランスデューサ要素の下に配設され、第2の送信制御回路および第2の受信制御回路は、両方が第2のウルトラソニックトランスデューサ要素の下に配設される。いくつかの実施形態では、回路構成要素は、ウルトラソニックトランスデューサの形成の前に完了される処理層上に回路構成要素を製造することができるという意味において、ウルトラソニックトランスデューサの下にあってよい。いくつかの実施形態では、ウルトラソニックトランスデューサは、回路よりも、基板(たとえば、半導体基板)のデバイス面により近くに置かれる。少なくともいくつかの実施形態では、そのような構成によって、小型超音波デバイスを製造することが可能になる。

【 0 0 7 0 】

[0070] いくつかの実施形態では、少なくとも第1および第2のウルトラソニックトランスデューサ要素を製造することが、CMOS回路と同じ半導体基板上に少なくとも第1および第2のウルトラソニックトランスデューサ要素を製造することを含む。いくつかの実施形態では、少なくとも第1および第2のウルトラソニックトランスデューサ要素を製造することが、第1のウルトラソニックトランスデューサ要素のために第1のパルスを駆動するように結合される第1の波形発生器を含むように第1の送信制御回路を製造することと、第2のウルトラソニックトランスデューサ要素のために第2のパルスを駆動するように結合される第2の波形発生器を含むように第2の送信制御回路を製造することを含む。一体型超音波デバイスは、いくつかの実施形態において、半導体基板上に信号生成機能性を含んで達成される。

【 0 0 7 1 】

[0071] 本技術の態様によれば、超音波デバイスが提供され、超音波デバイスは、少なくとも第1および第2のウルトラソニックトランスデューサ要素と、少なくとも第1および第2のウルトラソニックトランスデューサ要素の下に配設されるCMOS回路とを備える。CMOS回路は、その中に、第1および第2のウルトラソニックトランスデューサ要素に対応する第1および第2の送信制御回路ならびに第1および第2の受信制御回路を一体化している。少なくともいくつかの実施形態では、そのような構成によって、ウルトラソニックトランスデューサおよび関連する回路を含む一体型超音波デバイスの形成が容易になる。デバイスは、記載されたように、回路に対してウルトラソニックトランスデューサを配置することに少なくとも部分的に起因して小型となることができる。

【 0 0 7 2 】

[0072] いくつかの実施形態では、第1および第2の受信制御回路の各々は、アナログ - デジタル変換器を備える。いくつかの実施形態では、第1および第2の受信制御回路の各々は、デジタル信号処理回路をさらに備える。デジタル回路を含むことによって、いくつかの実施形態において、データ処理および外部構成要素とのデジタル通信が容易になる。

【 0 0 7 3 】

[0073] いくつかの実施形態では、第1の送信制御回路および第1の受信制御回路は、両方が第1のウルトラソニックトランスデューサ要素の下に配設され、第2の送信制御回路および第2の受信制御回路は、両方が第2のウルトラソニックトランスデューサ要素の下に配設される。いくつかの実施形態では、そのような構成によって、小型超音波デバイスを製造することが可能になる。

【 0 0 7 4 】

[0074] いくつかの実施形態では、第1および第2のウルトラソニックトランスデューサ要素が、CMOS回路と同じ半導体ダイ上に一体化され、このことによって、少なくともいくつかの実施形態において、一体型超音波デバイスの製造が用意になる。

【0075】

[0075] いくつかの実施形態では、第1の送信制御回路が、第1のウルトラソニックトランスデューサ要素のために第1のパルスを駆動するように結合される第1の波形発生器を備え、第2の送信制御回路が、第2のウルトラソニックトランスデューサ要素のために第2のパルスを駆動するように結合される第2の波形発生器を備える。

【0076】

[0076] いくつかの実施形態では、第1および第2のウルトラソニックトランスデューサ要素の各々は、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備える。いくつかの実施形態では、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルは、1つまたは複数の容量性マイクロマシン加工ウルトラソニックトランスデューサ(CMUT)セルを備え、いくつかの実施形態では、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルは、1つまたは複数のCMOSウルトラソニックトランスデューサ(CUT)セルを備える。いくつかの実施形態に従う、そのようなセルの使用により、CMOSウェハ上の他の構成要素とウルトラソニックトランスデューサの一体化が容易になる。

【0077】

[0077] 本技術の態様によれば、ウルトラソニックトランスデューサ要素からの信号を処理するための方法が提供され、方法は、ウルトラソニックトランスデューサ要素と同じ半導体ダイ上に一体化される構成要素を用いて、半導体ダイからのウルトラソニックトランスデューサ要素の出力に対応するデータを高速シリアルデータストリームとして送信することを含む。いくつかの実施形態におけるそのような動作によって、コンピュータ、スマートフォン、およびタブレットなどの外部処理構成要素へのデータの通信が容易になる。

【0078】

[0078] いくつかの実施形態では、方法は、ウルトラソニックトランスデューサ要素の出力に対応するアナログ信号をデジタル信号に変換することと、高速シリアルデータストリームとして半導体ダイからのデジタル信号に対応するデータを送信することを含むデータを送信することとをさらに含む。外部構成要素とのデジタル通信が、いくつかの実施形態で実現される。

【0079】

[0079] いくつかの実施形態では、方法は、半導体ダイ上に一体化される少なくとも1つの追加構成要素を用いて、デジタル信号を処理してそのデータ帯域幅を減少させることをさらに含み、これは、いくつかの実施形態において、データのさらなる処理、ならびにコンピュータ、スマートフォン、およびタブレットなどの外部構成要素へのデータの通信を容易にするのに有利である。いくつかの実施形態では、少なくとも1つの追加構成要素は、デジタル直交復調器を備える。いくつかの実施形態では、少なくとも1つの追加構成要素は、平均化モジュールを備える。いくつかの実施形態では、少なくとも1つの追加構成要素は、整合フィルタを備え、代替実施形態では、不整合フィルタを備える。いくつかの実施形態では、少なくとも1つの追加構成要素は、有限インパルス応答(finite impulse response: FIR)フィルタを備える。いくつかの実施形態では、少なくとも1つの追加構成要素は、1/2帯域デシメーション低域通過フィルタを備える。いくつかの実施形態では、少なくとも1つの追加構成要素は、デチャープモジュールを備える。

【0080】

[0080] いくつかの実施形態では、方法は、半導体ダイ上に一体化される少なくとも1つの追加構成要素を用いて、アナログ信号をデジタル信号に変換する前に、アナログ信号を処理して、そこから波形を分離することをさらに含む。いくつかの実施形態では、そのような処理がデータの量を減少し、これが今度は、超音波データの収集および送信を容易にする。いくつかの実施形態では、少なくとも1つの追加構成要素はアナログ直交復調器を

10

20

30

40

50

備え、いくつかの実施形態では、アナログデチャージモジュールを備える。

【0081】

[0081] いくつかの実施形態では、送信することは、USBモジュールを使用して、半導体ダイからのウルトラソニックトランスデューサ要素の出力に対応するデータを高速シリアルデータストリームとして送信することを含む。いくつかの実施形態では、USBモジュールは、USB3.0モジュールを備える。いくつかの実施形態では、送信することは、低電圧差動信号(LVDS)リンクを使用して半導体ダイからウルトラソニックトランスデューサ要素の出力に対応するデータを送信することを含む。そのような通信プロトコルによって、外部構成要素と共にウルトラソニックトランスデューサ要素を使用することが容易になる。

10

【0082】

[0082] 本技術の態様によれば、超音波デバイスが提供され、超音波デバイスは、半導体ダイ上に一体化される、少なくとも1つのウルトラソニックトランスデューサ要素と、半導体ダイ上に一体化され、半導体ダイからのウルトラソニックトランスデューサ要素の出力に対応するデータを高速シリアルデータストリームとして送信するように構成される高速シリアルデータモジュールとを備える。高速シリアルデータストリームによって、いくつかの実施形態において、シリアルデータストリームを受信することができるデバイスに関して、超音波デバイスの使用が容易になる。

【0083】

[0083] いくつかの実施形態では、デバイスは、半導体ダイ上に一体化され、ウルトラソニックトランスデューサ要素の出力に対応するアナログ信号をデジタル信号に変換するように構成されるアナログ-デジタル(ADC)変換器をさらに備える。いくつかの実施形態では、高速シリアルデータモジュールは、半導体ダイからのデジタル信号に対応するデータを高速シリアルデータストリームとして送信するように構成される。いくつかの実施形態では、そのような動作によって、外部デバイスとの超音波データの通信が容易になる。

20

【0084】

[0084] いくつかの実施形態では、超音波デバイスは、半導体ダイ上に一体化され、デジタル信号を処理してそのデータ帯域幅を減少させるように構成される、少なくとも1つの信号処理モジュールをさらに備え、これは、いくつかの実施形態において、さらなる処理、ならびにコンピュータ、スマートフォン、およびタブレットなどの外部構成要素への通信を容易にするのに有利である。いくつかの実施形態では、少なくとも1つの信号処理モジュールは、デジタル直交復調器を備える。いくつかの実施形態では、少なくとも1つの信号処理モジュールは、平均化モジュールを備える。いくつかの実施形態では、少なくとも1つの信号処理モジュールは、整合フィルタを備え、代替実施形態では、不整合フィルタを備える。いくつかの実施形態では、少なくとも1つの信号処理モジュールは、有限インパルス応答フィルタを備える。いくつかの実施形態では、少なくとも1つの信号処理モジュールは、1/2帯域デシメーション低域通過フィルタを備える。いくつかの実施形態では、少なくとも1つの信号処理モジュールは、デチャージモジュールを備える。

30

【0085】

[0085] いくつかの実施形態では、デバイスは、半導体ダイ上に一体化され、ADCコンバータがアナログ信号をデジタル信号に変換する前に、アナログ信号を処理して、そこから波形を分離するように構成される、少なくとも1つの追加構成要素をさらに備える。いくつかの実施形態では、少なくとも1つの追加構成要素はアナログ直交復調器を備え、いくつかの実施形態では、アナログデチャージモジュールを備える。

40

【0086】

[0086] いくつかの実施形態では、高速シリアルデータモジュールは、USBモジュールを備える。いくつかの実施形態では、USBモジュールは、USB3.0モジュールを備える。いくつかの実施形態では、高速シリアルデータモジュールは、低電圧差動信号(LVDS)リンクモジュールを備える。そのような通信プロトコルの使用によって、外部構成要素で超音波デバイスの使用が容易になる。

50

【 0 0 8 7 】

[0087] 本技術の態様によれば、送信および/または制御回路が設けられるものと同じ半導体ダイ上に一体化される、少なくとも第1および第2の超音波トランスデューサ要素のために、送信および/または制御回路を動作させるための方法が提供され、方法は、コントローラを使用して、少なくとも第1および第2の超音波トランスデューサ要素のために、送信および/または制御回路の動作パラメータの値を制御することを含む。少なくともいくつかの実施形態では、そのような制御によって、いくつかの実施形態における望ましい波形の生成が容易になる。

【 0 0 8 8 】

[0088] いくつかの実施形態では、方法は、半導体ダイ上に一体化されないコントローラで、高速シリアルデータリンクを介して、送信および/または制御回路に関連するレジスタに動作パラメータを通信することをさらに含む。

【 0 0 8 9 】

[0089] いくつかの実施形態では、コントローラを使用することは、コントローラを使用して、少なくとも第1および第2の超音波トランスデューサ要素のために、送信制御回路の波形発生器の動作パラメータの値を制御することを含む。いくつかの実施形態では、コントローラを使用することは、コントローラを使用して、少なくとも第1および第2の超音波トランスデューサ要素のために、受信制御回路の増幅器の動作パラメータの値を制御することを含む。

【 0 0 9 0 】

[0090] 本技術の態様によれば、デバイスが提供され、デバイスは、半導体ダイ上に一体化される、少なくとも第1および第2の超音波トランスデューサ要素と、半導体ダイ上に一体化される、送信および/または制御回路と、少なくとも第1および第2の超音波トランスデューサ要素のために、送信および/または制御回路の動作パラメータの値を制御するように構成されるコントローラとを備える。いくつかの実施形態では、そのような構成は、超音波画像を形成するのに好適な超音波データを集めるように構成される超音波撮像デバイスなどの、一体型超音波デバイスの少なくとも部分を表す。

【 0 0 9 1 】

[0091] いくつかの実施形態では、コントローラは、半導体ダイ上に一体化されず、高速シリアルデータリンクを介して、送信および/または制御回路に関連するレジスタに動作パラメータを通信するように構成される。いくつかの実施形態では、コントローラは、少なくとも第1および第2の超音波トランスデューサ要素のために、送信制御回路の波形発生器の動作パラメータの値を制御するように構成される。いくつかの実施形態では、コントローラは、少なくとも第1および第2の超音波トランスデューサ要素のために、受信制御回路の増幅器の動作パラメータの値を制御するように構成される。

【 0 0 9 2 】

[0092] 本技術の態様によれば、デバイスが提供され、デバイスは、超音波撮像チップ、および高密度焦点式超音波(HIFU)チップを備える。超音波撮像チップとHIFUチップは、結合され、組み合わせて動作して、画像誘導HIFUを実施する。超音波撮像チップは、好適な構成要素(たとえば、超音波トランスデューサおよび回路)を含み、超音波画像を形成するのに好適な超音波データを集めることができる。HIFUチップは、好適な構成要素(たとえば、超音波トランスデューサおよび回路)を含み、HIFUエネルギーを印加することができる。いくつかの実施形態では、超音波撮像により集められる超音波データから生じる画像は、HIFUチップによりHIFUの印加を誘導するために使用される。

【 0 0 9 3 】

[0093] 本技術の態様によれば、デバイスが提供され、デバイスは、単一のチップに一体化された、超音波撮像回路および高密度焦点式超音波(HIFU)回路を備える。デバイスは、画像誘導HIFUを実施するように構成される。したがって、いくつかの実施形態にお

10

20

30

40

50

いて、単一のデバイスが、複数の超音波機能を実施するように構成される。

【0094】

【0094】 本技術の態様によれば、デバイスが提供され、デバイスは、CMOSウェハ上の超音波トランスデューサ要素の配置、CMOSウェハ上に形成されて超音波トランスデューサ要素の配置に電氣的に結合される集積回路を備える。集積回路は約50Vまでの電圧を駆動するように構成される。そのような電圧は、いくつかの実施形態において、高電圧の使用を必要とする可能性がある、HIFUの印加および/または超音波撮像の実施に関して有利である。

【0095】

【0095】 いくつかの実施形態では、集積回路は、サブミクロンノードを備える。サブミクロンノードは、約50Vまでの電圧を駆動するように構成される。いくつかの実施形態では、サブミクロンノードとは、約1ミクロン未満であるノードのことを言う場合がある。いくつかの実施形態では、ディープサブミクロンノードとは、約0.3ミクロン未満であるノードのことを言う場合がある。いくつかの実施形態では、ウルトラディープサブミクロンノードとは、約0.1ミクロン未満であるノードのことを言う場合がある。したがって、いくつかの超音波用途で有用な高電圧を維持することが可能である、小型の一体型超音波デバイスが、少なくともいくつかの実施形態で提供される。

【0096】

【0096】 ウルトラソニックトランスデューサ要素が設けられるまたは使用される、本明細書に記載されたこれらの実施形態の少なくともいくつかでは、ウルトラソニックトランスデューサ要素は、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルを備えることができる。いくつかの実施形態では、1つまたは複数のマイクロマシン加工されたウルトラソニックトランスデューサセルは、1つまたは複数の容量性マイクロマシン加工ウルトラソニックトランスデューサ(CMUT)セルを備え、いくつかの実施形態では、1つまたは複数のCMOSウルトラソニックトランスデューサ(CUT)セルを備える。

【0097】

【0097】 開示される技術の様々な態様および実施形態は、以下の図を参照して記載されることになる。図は、必ずしも原寸に比例しないことを理解されたい。複数の図に現れるアイテムは、アイテムが現れるすべての図で同じ参照番号により示される。

【図面の簡単な説明】

【0098】

【図1】 【0098】本発明の様々な態様を具現化する、モノリシック超音波デバイスの説明に役立つ例を示す図である。

【図2A】 【0099】音響信号を送信し、対象物から後方散乱されるパルスのみを受信するように適合される撮像デバイスの例示的な実装を示す図である。

【図2B】 音響信号を送信し、対象物から後方散乱されるパルスのみを受信するように適合される撮像デバイスの例示的な実装を示す図である。

【図3A】 【0100】一対の対向する撮像デバイスを採用して対象物を撮像するシステムの例示的な実装を示す図である。

【図3B】 一対の対向する撮像デバイスを採用して対象物を撮像するシステムの例示的な実装を示す図である。

【図4A】 【0101】トランスデューサ配列中の個々のトランスデューサ要素が、その要素についてのCMOS回路に関してどのように配置できるのかの説明に役立つ例を示す図である。

【図4B】 【0102】コントローラの指示の下で一緒に動作することができる、個々の超音波デバイスのグループを備える、超音波ユニットの説明に役立つ例を示す図である。

【図5】 【0103】いくつかの実施形態において、単一のトランスデューサ要素が、より大きいトランスデューサ配列内でどのように収まることができるのかを図示する図である。

【図6A】 【0104】配列内の所与のトランスデューサ要素が、いくつかの実施形態において

10

20

30

40

50

、どのように構成することができるのかについての5つの異なる例のうちの1つを示す図である。

【図6B】配列内の所与のトランスデューサ要素が、いくつかの実施形態において、どのように構成することができるのかについての5つの異なる例のうちの1つを示す図である。

【図6C】配列内の所与のトランスデューサ要素が、いくつかの実施形態において、どのように構成することができるのかについての5つの異なる例のうちの1つを示す図である。

【図6D】配列内の所与のトランスデューサ要素が、いくつかの実施形態において、どのように構成することができるのかについての5つの異なる例のうちの1つを示す図である。

【図6E】配列内の所与のトランスデューサ要素が、いくつかの実施形態において、どのように構成することができるのかについての5つの異なる例のうちの1つを示す図である。

【図7A】[0105]グレーティングローブなどを減少させるために、いくつかの実施形態において、トランスデューサ要素をどのように混合することができるのかについての例を示す図である。

【図7B】グレーティングローブなどを減少させるために、いくつかの実施形態において、トランスデューサ要素をどのように混合することができるのかについての例を示す図である。

【図7C】グレーティングローブなどを減少させるために、いくつかの実施形態において、トランスデューサ要素をどのように混合することができるのかについての例を示す図である。

【図8】[0106]グレーティングローブなどを減少させるために、いくつかの実施形態において、配列のそれぞれのトランスデューサ要素に含まれるトランスデューサセルを互いにどのように結合することができるのかについての例を示す図である。

【図9】グレーティングローブなどを減少させるために、いくつかの実施形態において、配列のそれぞれのトランスデューサ要素に含まれるトランスデューサセルを互いにどのように結合することができるのかについての例を示す図である。

【図10】[0107]いくつかの実施形態において、どのようにして、所与のトランスデューサ要素についてのTX制御回路およびRX制御回路を使用して、要素に通電してウルトラソニックパルスを放出することができるのか、または要素により検知されるウルトラソニックパルスを表す要素からの信号を受信および処理することができるのかについて図示するブロック図である。

【図11A】[0108]受信信号のデジタル処理をオフチップで実施することができる、超音波デバイスの実施形態を図示する図である。

【図11B】[0109]波形発生器および他のデジタル回路の一部またはすべてがオフチップで配置することができる、超音波デバイスの実施形態を図示する図である。

【図12A】[0110]トランスデューサ配列のあらゆる送信位置において実時間遅延および増幅制御を可能にするように、いくつかの実施形態において、各TX制御回路に含むことができる回路の例を示す図である。

【図12B】トランスデューサ配列のあらゆる送信位置において実時間遅延および増幅制御を可能にするように、いくつかの実施形態において、各TX制御回路に含むことができる回路の例を示す図である。

【図13A】[0111]図12A～図12Bの実施形態中の波形発生器により使用されるレジスタに関する値を選択的に決定するため、タイミング&制御回路および各TX制御回路で採用することができる構成要素の説明に役立つ例を示す図である。

【図13B】[0112]TX制御回路および/またはRX制御回路により使用される動作パラメータのうちの1つまたは複数に関する値を選択的に決定するために使用することができる構成要素の例を示す図である。

10

20

30

40

50

【図 1 4】 [0113]いくつかの実施形態において、超音波デバイス中で発生する送信イベントおよび受信イベントの両方を制御するために提供することができる、タイミング & 制御回路のイベントコントローラについての入力および出力の例を示す図である。

【図 1 5 A】 [0114]送信および / または受信イベントを制御するための好適な一連の出力を生成するために、図 1 4 に示されるイベントコントローラにより実施することができるルーチンの説明に役立つ例を示す図である。

【図 1 5 B】 [0115] TX 制御回路および / または RX 制御回路により使用される 1 つまたは複数の動作パラメータに関する値を選択的に決定するため、図 1 3 A の実施形態に関連して採用することができるルーチンの説明に役立つ例を示す図である。

【図 1 6】 [0116]単一の波形発生器を 2 つ以上の TX 制御回路により共有することができる、超音波デバイスの代替実装形態を示す図である。

10

【図 1 7】 [0117]図 1 0 に示される RX 制御回路のアナログ処理ブロックおよびデジタル処理ブロック内に含むことができる構成要素の説明に役立つ例を示す図である。

【図 1 8】図 1 0 に示される RX 制御回路のアナログ処理ブロックおよびデジタル処理ブロック内に含むことができる構成要素の説明に役立つ例を示す図である。

【図 1 9】 [0118]図 1 に示されるタイミング & 制御回路の例示的な実装を示す図である。

【図 2 0】 [0119]図 1 9 に示されるクロック生成回路の例示的な実装を示す図である。

【図 2 1】 [0120]図 1 0 に示される信号調節 / 処理回路の多重化されたデジタル処理ブロック中に含むことができる構成要素の説明に役立つ例を示す図である。

【図 2 2】図 1 0 に示される RX 制御回路のアナログ処理ブロックおよびデジタル処理ブロック内に含むことができる構成要素の説明に役立つ例を示す図である。

20

【図 2 3】図 1 0 に示される RX 制御回路のアナログ処理ブロックおよびデジタル処理ブロック内に含むことができる構成要素の説明に役立つ例を示す図である。

【図 2 4】図 1 0 に示される RX 制御回路のアナログ処理ブロックおよびデジタル処理ブロック内に含むことができる構成要素の説明に役立つ例を示す図である。

【図 2 5】図 1 0 に示される RX 制御回路のアナログ処理ブロックおよびデジタル処理ブロック内に含むことができる構成要素の説明に役立つ例を示す図である。

【図 2 6】図 1 0 に示される RX 制御回路のアナログ処理ブロックおよびデジタル処理ブロック内に含むことができる構成要素の説明に役立つ例を示す図である。

【図 2 7】図 1 0 に示される RX 制御回路のアナログ処理ブロックおよびデジタル処理ブロック内に含むことができる構成要素の説明に役立つ例を示す図である。

30

【図 2 8】図 1 0 に示される RX 制御回路のアナログ処理ブロックおよびデジタル処理ブロック内に含むことができる構成要素の説明に役立つ例を示す図である。

【図 2 9】 [0121]配列または他の配置中のトランスデューサ要素にバイアスをかけるための技法の例を図示する図である。

【図 3 0】配列または他の配置中のトランスデューサ要素にバイアスをかけるための技法の例を図示する図である。

【図 3 1】 [0122]図 1 0 に示される信号調節 / 処理回路の多重化されたデジタル処理ブロック中に含むことができる構成要素の例を示す図である。

【図 3 2 A】 [0123]波形除去回路および / もしくはソフトウェア、画像形成回路および / もしくはソフトウェア、ならびに / またはバックエンド処理回路および / もしくはソフトウェアの一部またはすべてがオフチップで配置することができる実施形態を図示する図である。

40

【図 3 2 B】波形除去回路および / もしくはソフトウェア、画像形成回路および / もしくはソフトウェア、ならびに / またはバックエンド処理回路および / もしくはソフトウェアの一部またはすべてがオフチップで配置することができる実施形態を図示する図である。

【図 3 3】 [0124]いくつかの実施形態において使用することができる、高電圧 NMOS および PMOS のレイアウトの例を示す図である。

【図 3 4】 [0125]いくつかの実施形態において使用することができる、超高電圧 NMOS および PMOS のレイアウトの例を示す図である。

50

【図35】[0126]いくつかの実施形態において使用することができる、高電圧NMOSおよびPMOSの双方向またはカスコードレイアウトの例を示す図である。

【図36】[0127]いくつかの実施形態において使用することができる、超高電圧NMOSおよびPMOSの双方向またはカスコードレイアウトの例を示す図である。

【図37】[0128]いくつかの実施形態において使用することができる高電圧スイッチを備える、高電圧NMOSおよびPMOSのレイアウトを使用するパルサの例を示す図である。

【図38A】[0129]いくつかの実施形態において使用することができる二重電圧パルストライバの例を示す図である。

【図38B】いくつかの実施形態において使用することができる四重電圧パルストライバの例を示す図である。

10

【図39A】[0130]いくつかの実施形態において使用することができる、受信分離スイッチを採用しないパルサの例を示す図である。

【図39B】いくつかの実施形態において使用することができる、受信分離スイッチを採用しないパルサの例を示す図である。

【図40A】[0131]ここで、ADC参照値のうちの一つまたは複数としていくつかの実施形態において採用することができる、時間インターリーブされた単一勾配アナログ-デジタル変換器(ADC)の例を示す図である。

【図40B】ここで、ADC参照値のうちの一つまたは複数としていくつかの実施形態において採用することができる、時間インターリーブされた単一勾配アナログ-デジタル変換器(ADC)の動作の例を示す図である。

20

【図41】[0132]いくつかの実施形態において採用することができる、時間インターリーブされたサンプルホールド回路の例を示す図である。

【図42A】[0133]ここで参照されるADCのうちの一つまたは複数としていくつかの実施形態において採用することができる、時分割高速ADCの例を示す図である。

【図42B】ここで参照されるADCのうちの一つまたは複数としていくつかの実施形態において採用することができる、時分割高速ADCの動作の例を示す図である。

【発明を実施するための形態】

【0099】

[0134] 本開示のいくつかの実施形態は、CMUT技術の利益を活用し、ウルトラソニックスキナ中の超音波画像形成処理の最先端を推し進める、新規の装置、システム、および方法を提供する。いくつかの実施形態では、堅牢で高度に一体化された超音波「システムオンチップ」が、完全なデジタル超音波フロントエンドと同じダイ上に製造されるウルトラソニックトランスデューサ配列とダイレクトに一体化されて提供される。本開示のいくつかの態様によれば、このアーキテクチャによって、完全デジタル化されたチャネルデータへの十分なアクセスを可能にし、高度な画像形成アルゴリズムを実施するための、最新技術の既製の計算プラットフォームの使用を許可することができる。

30

【0100】

[0135] この領域での以前の努力は、かなりの程度が、より先進的な技法ではなく標準的なビーム形成を実施することができるASICを設計することによる、標準的な超音波アーキテクチャの密な一体化に集中され、または、先進的な撮像技法、典型的には拡大縮小可能な集積技術を欠いている高価なデバイスを作り出す技法の実装に集中されてきた。本開示は、先進的な撮像用途で十分に堅牢である、ユニークで、コスト効果的、また拡大縮小可能な一体型超音波プラットフォームオンチップを提供することにより、これらの問題の両方に対処する。

40

【0101】

[0136] 標準的なビーム形成方法を越えて進むには、単なる時間遅延パルスの送信以上をサポートすることができるアーキテクチャが必要になる。先進的な波形符号化技法を実装するのに十分なフレキシビリティには、トランスデューサ配列中の各要素について、専用のシステムリソースが必要になる。本開示は、たとえば、新規の波形発生器で、この制限

50

を克服する。いくつかの実施形態では、集積回路は、この波形発生器がマルチレベルの（たとえば、3つ以上のレベルの）パルスを制御することをユニークに可能にして、完全な一体型トランスデューサ/CMOS構成で以前には達成されていなかった特徴である、後続の処理における多くの先進的な超音波技法を実装する能力をもたらす。

【0102】

[0137] しばしば、超音波受信器アーキテクチャは、複数のチャンネルからデータ帯域幅を減らす必要がある。従来型超音波でこれを行う1つの形態は、標準的なビーム形成方法を使用することである。この操作は不可逆であり、多くのより先進的な超音波撮像再構成技法と互換性がない。多くの場合、全チャンネルのデータレートは、システムの外部デジタルリンクの帯域幅を超える可能性がある。本明細書に開示されるいくつかの実施形態は、チップを離れるデータについて、かつてないレベルの制御のデータレートを可能にする形態で、全チャンネルのデータを使用するフレキシビリティをもたらす新規のアーキテクチャを採用する。

10

【0103】

[0138] 本明細書に詳述される集積回路は、一体型超音波撮像デバイスのために、ユニークに設計される。CMOS接触によって、ダイレクトウェハボンディング、犠牲リリース、フリップチップボンディング、および/または超音波トランスデューサ要素への相互接続を確立するための他の技法が容易になる。

【0104】

[0139] 上に記載された態様および実施形態、ならびに追加の態様および実施形態が下でさらに記載される。これらの態様および/または実施形態は、本開示がこの点に関して制限されないので、別個、すべて一緒、または2つ以上の任意の組合せで使用することができる。

20

【0105】

[0140] 図1は、本発明の様々な態様を具現化する、モノリシック超音波デバイス100の説明に役立つ例を示す。示されるように、デバイス100は、1つまたは複数のトランスデューサ配置（たとえば、配列）102、送信（TX）制御回路104、受信（RX）制御回路106、タイミング&制御回路108、信号調節/処理回路110、電力管理回路118、および/または高密度焦点式超音波（HIFU）コントローラ120を含むことができる。示される実施形態では、図示される要素のすべてが、単一の半導体ダイ112上に形成される。しかし、代替実施形態では、より詳細に下で議論されるように、図示される要素のうちの1つまたは複数、代わりにオフチップに配置することができることを理解されたい。加えて、図示される例は、TX制御回路104およびRX制御回路106の両方を示すが、（やはり下でより詳細に議論される）代替実施形態では、TX制御回路のみ、またはRX制御回路のみを採用することができる。たとえば、そのような実施形態は、1つまたは複数の送信専用デバイス100が使用されて音響信号を送信し、1つまたは複数の受信専用デバイス100が使用されて、ウルトラソニックで撮像される対象物を通して送信された、または対象物により反射された音響信号を受信する環境で採用することができる。

30

【0106】

[0141] 図示される構成要素のうちの1つまたは複数間の通信は、多くの形態のうちのいずれかで実施できることを理解されたい。いくつかの実施形態では、たとえば、統一されたノースブリッジにより採用されたものなどの、1つまたは複数の高速バス（図示せず）を使用して、高速チップ内通信、または1つまたは複数のオフチップ構成要素との通信を可能にすることができる。

40

【0107】

[0142] 1つまたは複数のトランスデューサ配列102は、多くの形式のうちのいずれかをとることができ、本技術の態様は、必ずしも、トランスデューサセルまたはトランスデューサ要素の任意の特定のタイプまたは配置を使用する必要がない。実際に、「配列」という用語がこの記載で使用されるが、いくつかの実施形態において、トランスデューサ要

50

素は、配列に組織化されなくてよく、代わりに何らかの配列でない様式で配置されてよいことを理解されたい。様々な実施形態では、配列 102 中のトランスデューサ要素の各々は、たとえば、1つもしくは複数の CMUT、1つもしくは複数の CMOS ウルトラソニックトランスデューサ (CUT)、および/または1つもしくは複数の他の好適なウルトラソニックトランスデューサセルを含むことができる。いくつかの実施形態では、各トランスデューサ配列 102 のトランスデューサ要素 304 は、TX 制御回路 104 および/または RX 制御回路 106 の電子回路と同じチップ上に形成することができる。ウルトラソニックトランスデューサセル、要素、および配置 (たとえば、配列)、ならびに CMOS 回路が下にあるそのようなデバイスを一体化する方法の多くの例は、その全体の開示が参照により本明細書に組み込まれる、「COMPLEMENTARY METAL OXIDE SEMICONDUCTOR (CMOS) ULTRASONIC TRANSDUCERS AND METHODS FOR FORMING THE SAME」と題し、代理人整理番号第 B1348.70007US00 号を持ち、2013 年 3 月 15 日に出版された、米国出願第 61/794,744 号に詳細に議論されている。

【0108】

[0143] CUT は、たとえば、CMOS ウェハに形成される空洞を含み、膜が空洞の上であって、いくつかの実施形態では、空洞を封止する。カバーされる空洞構造からトランスデューサセルを形成するために、電極を設けることができる。CMOS ウェハは、トランスデューサセルを接続できる集積回路を含むことができる。トランスデューサセルと CMOS ウェハを、モノリシックに一体化し、したがって、単一基板 (CMOS ウェハ) 上に一体型ウルトラソニックトランスデューサセルおよび集積回路を形成することができる。

【0109】

[0144] TX 制御回路 104 は (含まれる場合)、たとえば、撮像のために使用される音響信号を生成するように、トランスデューサ配列 102 の個々の要素、またはトランスデューサ配列 102 内の要素の1つまたは複数のグループを駆動するパルスを生成することができる。RX 制御回路 106 は (含まれる場合)、一方、音響信号がそのような要素に当たったとき、トランスデューサ配列 102 の個々の要素により生成される電気信号を受信して処理することができる。

【0110】

[0145] いくつかの実施形態では、タイミング & 制御回路 108 は、たとえば、デバイス 100 の中の他の要素の動作を同期して協調させるために使用されるすべてのタイミングおよび制御信号を生成する役目を果たすことができる。示される例では、タイミング & 制御回路 108 は、入力ポート 116 に供給される単一のクロック信号 CLK により駆動される。クロック信号 CLK は、たとえば、オンチップ回路構成要素のうちの1つまたは複数 を駆動するために使用される高周波クロックであってよい。いくつかの実施形態では、クロック信号 CLK は、たとえば、信号調節/処理回路 110 の中の高速シリアル出力デバイス (図 1 では図示せず) を駆動するために使用される 1.5625 GHz もしくは 2.5 GHz クロック、またはダイ 112 上の他のデジタル構成要素を駆動するために使用される 20 MHz または 40 MHz クロックであってよく、タイミング & 制御回路 108 は、必要に応じて、ダイ 112 上の他の構成要素を駆動するため、クロック CLK を分周または乗算してよい。他の実施形態では、(上で参照されたもののような)異なる周波数の2つ以上のクロックを、オフチップ発生源からタイミング & 制御回路 108 に別個に供給することができる。タイミング & 制御回路 108 内に含むことができる好適なクロック発生回路 1904 の説明に役立つ例は、図 19 および図 20 に関して下で議論される。

【0111】

[0146] 電力管理回路 118 は、たとえば、オフチップ発生源からの1つまたは複数の入力電圧 V_{IN} をチップの動作を実行するために必要な電圧に変換する、さもなければ、デバイス 100 内の電力消費を管理する役目を果たすことができる。いくつかの実施形態では、たとえば、単一の電圧 (たとえば、1.2 V、80 V、100 V、120 V など) をチップに供給することができ、電力管理回路 118 は、必要に応じて、チャージポンプ回路

10

20

30

40

50

を使用して、または何らかの他のDC - DC電圧変換機構を介して、その電圧をステップアップまたはステップダウンすることができる。他の実施形態では、他のオンチップ構成要素の処理および/または他のオンチップ構成要素への分配のため、複数の異なる電圧を、電力管理回路118に別個に供給することができる。

【0112】

[0147] 図1に示されるように、いくつかの実施形態では、トランスデューサ配列102のうちの一つまたは複数の要素を介してHIFU信号の生成を可能にするように、HIFUコントローラ120を、ダイ112上に一体化することができる。他の実施形態では、トランスデューサ配列102を駆動するためのHIFUコントローラを、オフチップ、またはそれぞれ、デバイス100とは別個のデバイス内に配置することができる。すなわち、本開示の態様は、超音波撮像能力を持つ、および持たない超音波オンチップHIFUシステムを提供することに関する。しかし、いくつかの実施形態はHIFU能力を持たない場合があり、したがってHIFUコントローラ120を含まない場合があることを理解されたい。

10

【0113】

[0148] さらに、HIFU機能性を提供するそれらの実施形態において、HIFUコントローラ120がはっきりした回路を呈さない場合があることを理解されたい。たとえば、いくつかの実施形態では、図1の残りの回路(HIFUコントローラ120以外)は、超音波撮像機能性および/またはHIFUを提供するのに好適であってよく、すなわち、いくつかの実施形態では、同じ共有回路を、撮像システムとして、かつ/またはHIFUのために動作することができる。撮像またはHIFU機能性が発揮されるかどうかは、システムに提供される電力に依存する場合がある。HIFUは、典型的には、超音波撮像よりも高い電力で動作する。したがって、撮像用途に適した第1の電力レベル(または電圧)をシステムに提供することによって、システムを撮像システムとして動作させることができ、一方、より高い電力レベル(または電圧)を提供することによって、システムをHIFU用に動作させることができる。そのような電力管理は、いくつかの実施形態において、オフチップ制御回路により実現することができる。

20

【0114】

[0149] 異なる電力レベルを使用することに加えて、撮像およびHIFUへの応用では、異なる波形を利用することができる。したがって、波形発生回路を使用して、撮像システムまたはHIFUシステムのいずれかとしてシステムを動作させるための好適な波形を提供することができる。

30

【0115】

[0150] いくつかの実施形態では、システムは、撮像システムおよび(たとえば、画像誘導HIFUを実現することが可能な)HIFUシステムの両方として動作することができる。いくつかのそのような実施形態では、同じオンチップ回路を利用して両方の機能を実現することができ、2つのモダリティの間で動作を制御するために、好適なタイミングシーケンスが使用される。本開示に記載される様々な実施形態で採用することができる、HIFU実装および動作特徴に関するさらなる詳細が、その全体の内容が参照により本明細書に組み込まれる、「TRANSMISSIVE IMAGING AND RELATED APPARATUS AND METHODS」と題し、2012年10月17日に出願された、同時係属および共有される米国特許出願第13/654,337号に記載される。

40

【0116】

[0151] 示される例では、一つまたは複数の出力ポート114が、信号調節/処理回路110の一つまたは複数の構成要素により生成される高速シリアルデータストリームを出力することができる。そのようなデータストリームは、たとえば、ダイ112上に一体化される、一つまたは複数のUSB3.0モジュール、および/または一つまたは複数の10GB、40GB、または100GBイーサネットモジュールにより生成することができる。いくつかの実施形態では、出力ポート114上に作り出される信号ストリームは、2次

50

元、3次元、および/またはトモグラフィック画像の生成および/または表示のため、コンピュータ、タブレット、またはスマートフォンに送ることができる。画像形成能力が信号調節/処理回路110の中に(下でさらに説明されるように)組み込まれる実施形態では、アプリケーション実行のため利用可能な限られた量の処理力およびメモリだけを有するスマートフォンまたはタブレットなどの、比較的低電力デバイスでさえ、出力ポート114からのシリアルデータストリームのみを使用して画像を表示することができる。信号調節/処理回路110の中に含むことができる高速シリアルデータモジュールおよび他の構成要素の例が、図21および図31に関して下でより詳細に議論される。上に言及したように、デジタルデータストリームをオフロードするため、オンチップアナログ-デジタル変換および高速シリアルデータリンクを使用することは、本開示のいくつかの実施形態に従って、「超音波オンチップ」解決策を容易にする助けとなる特徴のうちの1つである。

10

【0117】

[0152] 図1に示されたものなどのデバイス100は、いくつかの撮像および/または治療(たとえば、HIFU)への応用のうちのいずれかで使用することができ、本明細書で議論された特定の例は、限定するものと考えべきでない。1つの説明に役立つ実装では、たとえば、CMUT要素の $N \times M$ 個の平面または実質的に平面の配列を含む撮像デバイスは、1つまたは複数の送信位相期間に配列102中の要素の一部または全部を(一緒に、または別個に)通電すること、ならびに、各受信位相期間にCMUT要素が対象物により反射される音響信号を検知するように、1つまたは複数の受信位相期間に、配列102中の要素の一部または全部により生成される信号を受信および処理することによって、たとえば人間の腹部といった対象物の超音波画像を取得するため、撮像デバイス自体を使用することができる。他の実装では、配列102中の要素のいくつかは、音響信号を送信するためだけに使用することができ、同じ配列102中の他の要素は、音響信号を受信するためだけに同時に使用することができる。さらに、いくつかの実装では、単一の撮像デバイスは、個々のデバイスの $P \times Q$ 個の配列、またはCMUT要素の個々の $N \times M$ 個の平面配列の $P \times Q$ 個の配列を含むことができ、その構成要素は、単一のデバイス100の中、または単一のダイ112上で具現化することができるよりも多い数のCMUT要素から累積されるデータを可能にするように、並列、順次、または何らかの他のタイミング方式に従って動作することができる。

20

30

【0118】

[0153] さらに他の実装では、対象物をまたぐように一对の撮像デバイスを配置することができ、そのため、対象物の一方の側の撮像デバイスのデバイス100の中の1つまたは複数のCMUT要素が、対象物の他方の側の撮像デバイスのデバイス100の中の1つまたは複数のCMUT要素により生成される音響信号を、そのようなパルスが対象物により大幅に減衰されない限り、検知することができる。さらに、いくつかの実装では、同じデバイス100を使用して、デバイス100自体のCMUT要素のうちの1つまたは複数からの音響信号の散乱、ならびに対象物の反対側の撮像デバイス中に配設されるCMUT要素のうちの1つまたは複数からの音響信号の送信の両方を測定することができる。

【0119】

[0154] 音響信号を送信して対象物202から後方散乱されるパルスだけを受信するように適合される、超音波ユニット200の実施形態の説明に役立つ例が図2A~図2Bに示される。超音波ユニット200は、たとえば、回路板(図示せず)上の配列に配置され、超音波ユニット200の筐体により支持される、1つまたは複数のデバイス100を備える。図2Aの例示的な実装では、超音波ユニット200からの高速シリアルデータストリームを、さらなる処理および/またはコンピュータ204のスクリーン206上への表示のため、コンピュータ204のシリアルポート(たとえば、USBポート)に出力することができる。下でより詳細に議論されるように、そのような機能性を達成するための構成要素がデバイス100のうちの1つまたは複数のダイ112上に一体化されるのか、さもなければ、超音波ユニット200中に設けられるのかに依存して、コンピュータの表示ス

40

50

クリーン 206 上に画像を表示する前に、波形除去、画像形成、バックエンド処理などの機能を実施することをコンピュータ 204 が要求される場合があり、要求されない場合もある。

【0120】

[0155] 図 2 B に示されるように、他の実装では、超音波ユニット 200 からの高速シリアルデータストリームを、さらなる処理および/または表示のため、スマートフォン 208 の入力ポートに提供することができる。このタイプのデバイスにおけるアプリケーション実行のため利用可能な処理力およびメモリは制限される可能性があるため、いくつかの実施形態では、データ処理（たとえば、波形除去、画像形成、および/またはバックエンド処理など）のうちの一部または全部は、デバイス 100 のうちの 1 つまたは複数のダイ 112 上、さもなければ、超音波ユニット 200 内で実施することができる。しかし、他の実施形態では、そのようなデータ処理のうちの一部または全部を、追加または代替的に、スマートフォン 208 上の 1 つまたは複数のプロセッサにより実施することができる。

10

【0121】

[0156] 一対の対向する超音波ユニット 200 を採用する実装の別の例が、図 3 A ~ 図 3 B に図示される。図 3 A に示されるように、一対の超音波ユニット 200 は、対象物 202 をまたぐように配置され（対象物 202 の後の超音波ユニット 200 は、図 3 A では見えない）、デスクトップコンピュータまたはワークステーション 306 にデータのシリアルストリームを出力することができる。図 3 B は、対象物 202 内の領域 302 を撮像するため、どのようにデバイス 100 のトランスデューサ配列 102 を配置することができるのかを図示する。上で議論したように、採用される撮像技法および方法論に依存して、所与の配列 102 中の個々のトランスデューサ要素 304 を使用して、音響信号を生成する、または音響信号を受信する、または両方を行うことができる。上記の例のいずれかは、たとえば、2D ブライトネスモード（Bモード）、3D Bモード、またはトモグラフィックウルトラソニック撮像を可能にする。

20

【0122】

[0157] いくつかの実施形態では、本明細書に開示されるデバイスおよびアーキテクチャは、たとえば、1 つまたは複数の合成開口技法など、1 つまたは複数の高度な方法と完全に一体化することができる。合成開口技法は、たとえば、複数の受信開口の集合から、高解像度画像の形成を可能にすることができる。そのような技法の例としては、限定はしないが、(1) トランスデューサ要素のすべての対で送信および受信する、(2) 平面波合成、(3) 任意の送信モードについての逆散乱解決策、(4) 補間範囲移動（たとえば、Stolt 補間）または他のフーリエリサンプリング技法、(5) ダイナミックフォーカス、(6) 遅延加算処理、および (7) 仮想発生源が挙げられる。

30

【0123】

[0158] 本明細書に開示されるものなどのデバイス 100 を使用して、追加または代替的に採用することができるウルトラソニックトランスデューサ要素 304 の配列の他の構成および実装の多くの例は、上で参照により組み込まれ、「TRANSMISSIVE IMAGING AND RELATED APPARATUS AND METHODS」と題し、2012年10月17日に出版された、同時係属および共有される米国特許出願第 13/654,337 号に記載される。

40

【0124】

[0159] 図 4 A は、トランスデューサ配列 102 中の個々のトランスデューサ要素 304 が、そのトランスデューサ要素 304 についての（TX 制御回路 104 および/または RX 制御回路 106 を含む）CMOS 回路 402 に関してどのように配置できるのかの説明に役立つ例を示す。示されるように、いくつかの実施形態では、各トランスデューサ要素 304 は、それに対応する TX 制御回路 104 および RX 制御回路 106 を関連付けることができる。そのような回路の例示的な実装の詳細が下に記載される。図 4 A に示される実施形態では、たとえば、相互接続、構成要素間のクロストークの最小化、寄生容量の最小化などが容易になるように、トランスデューサ要素 304 の各々は、その対応する TX

50

制御回路104および/またはRX制御回路106の直接上に配設される。(以前に議論されたように、トランスデューサセル(たとえば、下に記載されるトランスデューサセル602)、トランスデューサ要素304、およびトランスデューサ配列102が、この様式で、どのようにCMOS回路と一体化されるのか、さもなければ、CMOS回路の上に形成されるのかについての詳細は、上で参照により組み込まれ、「COMPLEMENTARY METAL OXIDE SEMICONDUCTOR (CMOS) ULTRASONIC TRANSDUCERS AND METHODS FOR FORMING THE SAME」と題し、代理人整理番号第B1348.70007US00号を持ち、2013年3月15日に出願された、米国出願第61/794,744号に提供される。)

10

【0125】

[0160] しかし、他の実施形態では、トランスデューサ要素304のうちの1つまたは複数は、他の利益または利点を達成するため、1つまたは複数のTX制御回路104および/または1つまたは複数のRX制御回路106に対して、その他の方法で配置できることを理解されたい。上に言及したように、さらに、いくつかの実施形態では、TX制御回路104および/またはRX制御回路106の構成要素のうちの一部または全部は、ダイ112、デバイス100、および/または超音波ユニット200から省略できることを理解されたい。ある種の実施形態では、たとえば、TX制御回路104および/またはRX制御回路106の機能性は、異なるチップ、またはそれぞれか、異なるデバイス、たとえばコンピュータによって実施することができる。

20

【0126】

[0161] 図4Bは、コントローラ406の指示の下で一緒に動作することができる、個々の超音波デバイス100a~100dのグループを備える、超音波ユニット200の説明に役立つ例を示す。超音波デバイス100a~100dは、デバイス100用に本明細書に記載されたタイプであってよく、いくつかの実施形態における超音波オンチップデバイスであってよく、または他の超音波デバイスであってよい。いくつかの実施形態では、デバイス100a~100dの各々は、超音波トランスデューサおよび集積回路を含む、単一のチップデバイスであってよい。

【0127】

[0162] さらに、デバイス100a~100dは、互いに同じであってよく、または異なるタイプのデバイスであってよい。たとえば、いくつかの実施形態では、デバイス100a~100dは、同じ機能性(たとえば、超音波撮像機能性)を提供することがすべてできる。いくつかの実施形態では、デバイス100a~100dのうちの1つまたは複数は、超音波撮像デバイスとして構成することができ、1つまたは複数は、HIFUデバイスとして構成することができる。いくつかの実施形態では、デバイス100a~100dのうちの1つまたは複数は、撮像デバイス、またはHIFUデバイス、または両方のいずれかとして動作するように制御可能であってよい。

30

【0128】

[0163] ウルトラスニックエネルギーを放出および/または検出するために使用することができる大面積を形成するために、任意の数の個別デバイス100を、2、4、8、16、または任意の他の量の配列で配置できることを理解されたい。したがって、4つの図示されたデバイス100a~100dは、非限定的な例を表す。複数のデバイス100a~100dが示されるように結合されるいくつかのそのような実施形態では、デバイス100a~100dは、共通のパッケージまたは筐体内にパッケージングしてよく、共通の基板(たとえば、板またはインターポーザ)上に配設してよく、または任意の好適な様式で機械的に結合してよい。

40

【0129】

[0164] 複数のデバイス100a~100dの動作が同期することを可能になるように、いくつかの実施形態において、個々のデバイス100のダイ112上に含むことができるクロック生成回路1904の例が、図19および図20に関して下に記載される。

50

【 0 1 3 0 】

[0165] 図5は、いくつかの実施形態において、単一のトランスデューサ要素304が、より大きいトランスデューサ配列102内でどのように収まることができるのかを図示する。図6A~図6Eは、配列102内の、円形のトランスデューサセル602からなる所与のトランスデューサ要素304を、いくつかの実施形態において、どのように構成することができるのかについての5つの異なる例を示す。図6Aに示されるように、いくつかの実施形態では、配列102中の各トランスデューサ要素304は、単一のトランスデューサセル602(たとえば、単一のCUTまたはCMUT)だけを含んでよい。図6B~図6Eに示されるように、他の実施形態では、配列102中の各トランスデューサ要素304は、個々のトランスデューサセル602(たとえば、CUTまたはCMUT)のグループを含んでよい。トランスデューサ要素304の他の可能な構成は、台形の要素、三角形の要素、六角形の要素、八角形の要素などを含む。同様に、所与のトランスデューサ要素304を作り上げる各トランスデューサセル602(たとえば、CUTまたはCMUT)は、各トランスデューサセル602自体が、上記の幾何形状のいずれかをとりことができ、そのため、所与のトランスデューサ要素304は、たとえば、1つまたは複数の正方形のトランスデューサセル602、矩形のトランスデューサセル602、円形のトランスデューサセル602、星形のトランスデューサセル602、台形のトランスデューサセル602、三角形のトランスデューサセル602、六角形のトランスデューサセル602、および/または八角形のトランスデューサセル602などを含むことができる。

10

【 0 1 3 1 】

[0166] いくつかの実施形態では、各所与のトランスデューサ要素304内のトランスデューサセル602のうちの少なくとも2つ(たとえば、すべて)はユニットとしての役割を果たし、(下に記載される)同じパルサの出力に 응답して出射するウルトラソニックパルスと一緒に生成する、かつ/または、入射するウルトラソニックパルスと一緒に受信して同じアナログ受信回路を駆動する。複数のトランスデューサセル602が各トランスデューサ要素304に含まれるとき、個々のトランスデューサセル602は、多くのパターンのうちのいずれかで配置することができ、所与の用途について、たとえば、指向性、信号対雑音比(SNR)、視野などの様々な性能パラメータを最適化するように、特定のパターンが選択される。CUTがトランスデューサセル602として使用されるいくつかの実施形態では、個々のトランスデューサセル602は、たとえば、約20~110 μm 程度の幅で、約0.5~1.0 μm の膜厚を有することができ、個々のトランスデューサ要素304は、約0.1~2.0 μm 程度の深さを有し、約0.1mm~3mmの直径、または中間の任意の値を有することができる。これらは、可能な寸法の単に説明に役立つ例であるが、より大きい寸法およびより小さい寸法が可能であり、意図される。

20

30

【 0 1 3 2 】

[0167] たとえば、その全体が参照により組み込まれる、Bavaro, V.らの「Element Shape Design of 2-D CMUT Arrays for Reducing Grating Lobes, IEEE Transactions on Ultrasonics, Ferroelectrics, and Frequency Control, Vol. 55, No. 2, February 2008」に記載されるように、トランスデューサ配列102の性能パラメータを最適化するように、トランスデューサ要素304の形状およびトランスデューサ要素304間の相互関係を選択することが可能である。本明細書に記載されるウルトラソニックデバイスの実施形態は、そのような技法を採用することができる。図7A~図7Bは、星形のトランスデューサ要素304のトランスデューサセル602(たとえば、CUTまたはCMUT)が混合される説明に役立つ例を示し、図7Cは、グレーティングローブの減少などの利点を達成するように、円形のトランスデューサ要素306のトランスデューサセル602が混合される説明に役立つ例を示す。

40

【 0 1 3 3 】

[0168] いくつかの実施形態では、グレーティングローブを減少する同様の効果などは、

50

配列 1 0 2 中のトランスデューサ要素 3 0 4 を混合することに加えて、または配列 1 0 2 中のトランスデューサ要素 3 0 4 を混合することの代わりに、所与のトランスデューサ要素 3 0 4 の中の 1 つまたは複数のトランスデューサセル 6 0 2 を、1 つまたは複数の隣接するまたは近くのトランスデューサ要素 3 0 4 の中の 1 つまたは複数のトランスデューサセル 6 0 2 と結合することにより、達成することができる。そのような技法を使用することにより、所与のトランスデューサセル 6 0 2 が、単一のトランスデューサ要素 3 0 4 だけに属する必要がなく、代わりに複数のトランスデューサ要素 3 0 4 により共有することができるので、全トランスデューサ領域をより良好に使用することを実現することができる。このセル共有技法は、いくつかの実施形態では、トランスデューサ要素 3 0 4 の中のいくつかのトランスデューサセル 6 0 2 に、同じ要素の中の他のトランスデューサセル 6 0 2 よりも小さい出力を放射させる、アポディゼーション技法と組み合わせることができる。

10

【 0 1 3 4 】

[0169] 好適なセル共有技法の説明に役立つ例が、図 8 に示される。この例では、トランスデューサ要素 3 0 4 の周辺におけるトランスデューサセル 6 0 2 (たとえば、CUTまたはCMUT) が、結合要素 8 0 2 を介して互いに結合される。いくつかの実施形態では、結合要素 8 0 2 は、たとえばポリシリコン抵抗器を備えることができる。他の実装では、結合要素 8 0 2 は、容量性および/または誘導性の要素または特徴を、追加または代替的に備えることができる。たとえば、誘導性結合は、結合されるべきトランスデューサセル 6 0 2 のための導体を互いに極めて近接して延ばすことにより、トランスデューサセル 6 0 2 の対の間に作り出すことができる。いくつかの実施形態では、たとえば共有されるトランスデューサ要素 3 0 4 の周辺のトランスデューサセル 6 0 2 といった、特定のトランスデューサセル 6 0 2 が、所望のアポディゼーション方式に従って、さらに動作することができる。図 8 に示される実施形態では、たとえば、他の要素の中のトランスデューサセル 6 0 2 に結合されるトランスデューサセル 6 0 2 にアポディゼーション方式を適用することができ、その結果、それらは、そのように結合されないトランスデューサセル 6 0 2 よりも小さい出力を放射する。

20

【 0 1 3 5 】

[0170] いくつかの実施形態では、たとえば、トランスデューサセル 6 0 2 のトランスデューサ要素 3 0 4 の周辺へのトランスデューサセル 6 0 2 の近接度に依存して、トランスデューサセル 6 0 2 の異なる対の間で異なるインピーダンス値が使用されることも有利な可能性がある。いくつかの実施形態では、たとえば、両方が 2 つのトランスデューサ要素 3 0 4 の周辺に配置されるトランスデューサセル 6 0 2 の対は、トランスデューサセル 6 0 2 のうちの 1 つがそのトランスデューサ要素 3 0 4 の周辺にないトランスデューサセル 6 0 2 の対と一緒に結合するために使用されるインピーダンス値よりも大きいインピーダンス値で、一緒に結合することができる。この可能な構成が、図 9 に図示される。示されるように、2 つのトランスデューサ要素 3 0 4 の周辺のトランスデューサセル 6 0 2 a は、抵抗値 R 1 を有する結合部 8 0 2 a (たとえば、ポリシリコン抵抗器) を介して一緒に結合することができ、一方、トランスデューサ要素 3 0 4 の中央により近いトランスデューサセル 6 0 2 b は、抵抗値 R 2 を有する結合部 8 0 2 b を介して別のトランスデューサセル 6 0 2 に結合することができる。抵抗値 R 2 は、たとえば、抵抗値 R 1 よりも大きくてよい。いくつかの実施形態では、トランスデューサ要素 3 0 4 の周辺から中心部分へ徐々に増加するインピーダンス値の勾配を採用することができる。この場合も、異なるインピーダンス値またはインピーダンス値の勾配を採用するそのようなセル共有技法は、特定の用途のために配列 1 0 2 の性能を最適化するように、アポディゼーション技法と組み合わせることができる。

30

40

【 0 1 3 6 】

[0171] 上に言及したように、配列 1 0 2 中のトランスデューサ要素 3 0 4 を共有する、かつ/またはアポダイズするための上の技法は、対称的または非対称的のいずれでも、また、何らかの勾配に従って周辺の周りで均一にまたはそうでなくても、上に議論された混

50

合技法と組み合わせることができ、そのため、トランスデューサ要素304は、その周辺で、またはインピーダンス値の勾配を介して、または他の方法で、両方が混合および一緒に結合されるトランスデューサセル602を有することができる。

【0137】

[0172] 図10は、いくつかの実施形態において、どのようにして、所与のトランスデューサ要素304についてのTX制御回路104およびRX制御回路106をいずれかを使用して、トランスデューサ要素304に通電してウルトラソニックパルスを放出するのか、またはトランスデューサ要素304により検知されるウルトラソニックパルスを表すトランスデューサ要素304からの信号を受信および処理するのかについて図示するブロック図である。いくつかの実装では、TX制御回路104は、「送信」位相期間に使用することができ、RX制御回路は、送信位相と重複しない「受信」位相期間に使用することができる。他の実装では、一对の超音波ユニット200が透過型撮像だけのために使用されるときなど、TX制御回路104およびRX制御回路106のうちの1つが、所与のデバイス100の中で単純に使用されない場合がある。上に言及したように、いくつかの実施形態では、デバイス100は、代替的に、TX制御回路104だけまたはRX制御回路106だけを採用する場合があり、本技術の態様は、両方のそのようなタイプの回路の存在を必ずしも必要としない。様々な実施形態では、各TX制御回路104および/または各RX制御回路106は、単一のトランスデューサセル602（たとえば、CUTまたはCMUT）、単一のトランスデューサ要素304内の2つ以上のトランスデューサセル602のグループ、トランスデューサセル602のグループを備える単一のトランスデューサ要素304、配列102内の2つ以上のトランスデューサ要素304のグループ、またはトランスデューサ要素304の全体配列102に関連することができる。

10

20

【0138】

[0173] 図10に示される例では、配列102の中の各トランスデューサ要素304について、別個のTX制御回路104/RX制御回路106の組合せがあるが、タイミング&制御回路108および信号調節/処理回路110の各々の、1つの事例だけがある。したがって、そのような実装では、タイミング&制御回路108は、ダイ112上の、TX制御回路104/RX制御回路106の組合せのすべての動作を同期および協調する役目を果たすことができ、信号調節/処理回路110は、ダイ112上のRX制御回路106（図10の要素1004を参照）のすべてからの入力を取り扱う役目を果たすことができる。

30

【0139】

[0174] 図10に示されるように、デバイス100の中の様々なデジタル構成要素を駆動するためのクロック信号を生成および/または分配することに加えて、タイミング&制御回路108は、各TX制御回路104の動作をイネーブルにする「TXイネーブル」信号、または各RX制御回路106の動作をイネーブルにする「RXイネーブル」信号のいずれかを出力することができる。示される例では、TX制御回路104の出力がRX制御回路106を駆動するのを防止するために、RX制御回路106の中のスイッチ1002は、TX制御回路104がイネーブルにされる前は常に開であってよい。RX制御回路106がトランスデューサ要素304により生成された信号を受信して処理できるように、スイッチ1002は、RX制御回路106の動作がイネーブルにされるとき閉であってよい。

40

【0140】

[0175] 示されるように、それぞれのトランスデューサ要素304についてのTX制御回路104は、波形発生器1006およびパルサ1008の両方を含むことができる。波形発生器1006は、たとえば、生成される波形に対応するトランスデューサ要素304への駆動信号をパルサ1008に出力させるように、パルサ1008に印加される波形を生成する役目を果たすことができる。

【0141】

[0176] 図10に示される例では、それぞれのトランスデューサ要素304についてのR

50

X制御回路106は、アナログ処理ブロック1010、アナログ-デジタル変換器(ADC)1012、およびデジタル処理ブロック1014を含む。ADC1012は、たとえば、10ビット、20MSPS、40MSPS、または80MSPSのADCを備えることができる。

【0142】

[0177] デジタル処理ブロック1014中の処理にかけた後、ダイ112上のRX制御回路106のすべての出力(この例では、出力の数は、チップ上のトランスデューサ要素304の数に等しい)は、信号調節/処理回路110中のマルチプレクサ(MUX)1016に送られる。MUX1016は、様々なRX制御回路106からのデジタルデータを多重化し、MUX1016の出力は、たとえば1つまたは複数の高速シリアル出力ポート114を介してデータがダイ112から出力される前の最後の処理のため、信号調節/処理回路110中の多重化デジタル処理ブロック1018に送られる。図10に示される様々な回路ブロックの例示的な実装は、下でさらに議論される。より詳細に下で説明されるように、アナログ処理ブロック1010および/またはデジタル処理ブロック1014中の様々な構成要素は、受信した信号から波形を分離する、さもなければ、高速シリアルデータリンクを介してまたは他の方法でダイ112から出力される必要があるデータの量を減少させるように働くことができる。いくつかの実施形態では、たとえば、アナログ処理ブロック1010および/またはデジタル処理ブロック1014中の1つまたは複数の構成要素は、こうして、RX制御回路106が、改善した信号対雑音比(SNR)および波形の多様性と互換性のある様式で、送信および/または散乱された超音波圧力波を受信することを可能にするように働くことができる。したがって、そのような要素を含むことによって、いくつかの実施形態において開示された「超音波オンチップ」解決策を、さらに容易にし、かつ/または拡張することができる。

【0143】

[0178] アナログ処理ブロック1010中に任意選択で含むことができる、特定の構成要素が下で記載されるが、そのようなアナログ構成要素に対するデジタルの対応物を、デジタル処理ブロック1014中に追加または代替的に採用できることを理解されたい。逆もまた真である。すなわち、デジタル処理ブロック1014中に任意選択で含むことができる特定の構成要素が下で記載されるが、そのようなデジタル構成要素に対するアナログの対応物を、アナログ処理ブロック1010中に追加または代替的に採用できることを理解されたい。

【0144】

[0179] 図11Aは、受信信号のデジタル処理がダイ112上で実施されない、デバイス100の実施形態を図示する。いくつかの実装では、この実施形態は、RX制御回路106が、たとえばADC1012またはデジタル処理ブロック1014を採用しない場合があり、オンチップ信号調節/処理回路110を省略する場合があることを除いて、その基本構造および機能の点で、図10の実施形態と本質的に同一であることができる。しかし、図11Aの実施形態では、ダイ112の出力線1102a~b上にアナログ信号を駆動するために、1つまたは複数のバッファ/ドライバ(図示せず)が追加で採用される場合があることを理解されたい。

【0145】

[0180] 図11Bは、波形発生器(図示せず)および本明細書で議論される他のデジタル回路の一部または全部を、半導体ダイ112上ではなくオフチップに配置することができる、超音波デバイスの実施形態を図示する。さもなければ、いくつかの実施形態では、この実施形態は、その基本構造および機能性の点で、図10の実施形態と同一であることができる。いくつかの実施形態では、パルサ1008を、追加または代替的にオフチップに配置することができる。

【0146】

[0181] 図12Aは、配列102のあらゆる送信位置において実時間遅延および増幅制御を可能にするように、いくつかの実施形態において、各TX制御回路104に含むことが

10

20

30

40

50

できる回路の例を示す。図示される例では、波形発生器 1006 は、3 レベルパルス 1008 に供給されるチャープの特性を制御するように設定できるレジスタ 1202 a の組を含む、チャープ発生器である。具体的には、位相レジスタ「 ϕ_0 」がチャープの開始位相を制御し、周波数レジスタ「 f_0 」がチャープの開始周波数を制御し、チャープ率レジスタ「 r 」がチャープの周波数が経時的に変化する割合を制御する。比較器 1204 a ~ b は、アキュムレータ 1206 により出力される波形信号を離散化するように働き、その結果、3 レベルパルス 1008 に供給される論理値 D0、D1 は、アキュムレータ 1206 の出力の、レジスタ 1202 a の中の値 V_{0_HIGH} および V_{1_HIGH} との比較に応じて、「1, 0」、「0, 0」、または「0, 1」のいずれかである。

【0147】

[0182] 図 12B は、波形発生器 1006 の代替実施形態を示す。図 12B の実施形態では、アキュムレータ 1206 により出力される、シミュレートされるサイン波信号を離散化するために比較器 1204 a ~ b を使用するのではなく、ルックアップテーブル 1212 a が使用されて、アキュムレータ 1206 の出力がレジスタ 1202 b の中の V_{0_HIGH} および V_{0_LOW} の値により規定される範囲内であるかどうかを決定し、ルックアップテーブル 1212 b が使用されて、アキュムレータ 1206 の出力がレジスタ 1202 b の中の V_{1_HIGH} および V_{1_LOW} の値により規定される範囲内であるかどうかを決定する。

【0148】

[0183] いくつかの実施形態に従って図 12A ~ 図 12B のパルス 1008 として使用するのに好適な 3 レベルパルスの構成および動作、ならびに、CMUT 要素を駆動するためそのようなパルスを採用する利益は、その全体が参照により本明細書に組み込まれる、2012 年 11 月 12 日 ~ 14 日、日本の神戸における「IEEE Asian Solid-State Circuits Conference」の、Kailiang, C による、「Ultrasonic Imaging Front-End Design for CMUT: A 3-Level 30Vpp Pulse-Shaping Pulser with Improved Efficiency and a Noise-Optimized Receiver」に記載される。したがって、それらの詳細は、ここで繰り返さないものとする。

【0149】

[0184] 図 12A ~ 図 12B に示される例示的な実施形態では、TX 制御回路 104 は、パルス 1008 の出力のタイミングにわたって、3 レベルの制御を備える。タイミング制御の最も粗いレベルは、波形発生器 1006 の入力に配置されるシフトレジスタ 1208 (これは、いくつかの実施形態において、たとえば、タイミング&制御ユニット 108 を介してプログラム可能であってよい) により提供される。次に細かいレベルのタイミング制御は、レジスタ 1202 a ~ b の中の値「 ϕ_0 」および「 f_0 」の設定により提供される。最も細かいレベルのタイミング制御は遅延線 1210 a ~ b により提供され、遅延線 1210 a ~ b は、たとえば、約 72 ピコ秒 ~ 22 ナノ秒の程度の遅延、または中間の任意の遅延値を提供する PIN ダイオードを含むことができるが、より短いまたは長い遅延も可能であり、意図される。

【0150】

[0185] これまで記載された波形発生器 1006 の実施形態は、たとえば、グレイコード、アダマールコード、ウォルシュコード、サイクリックアルゴリズムニュー (CAN) コーディング、アジマス位相コーディング、および/もしくは他の直交波形といった、広帯域または狭帯域ビーム形成するコード化励振を可能にし、かつ/または、ゲート連続波 (CW) の生成もしくはインパルス生成も可能にすることができる。波形発生技法およびオプションの多くの追加の例が、上に参照により組み込まれた、同時係属および共有される米国特許出願第 13/654,337 号に記載されており、したがって、ここではさらに詳細に記載しないものとする。

【0151】

10

20

30

40

50

[0186] 図13Aは、図12A~Bの実施形態中の波形発生器1006により使用されるレジスタ1202a~bに関する値を選択的に決定するため、タイミング&制御回路108および各TX制御回路104で採用することができる構成要素の説明に役立つ例を示す。示されるように、各TX制御回路104は、複数の「TXイベント」数の各々に対応する、レジスタ1202a~bについての値を記憶する、要素イベントメモリ1304を含むことができ、タイミング&制御回路108は、ダイ112上のTX制御回路104の各々に、適したTXイベント数を通信する役目を果たすイベントコントローラ1302を含むことができる。そのような配置で、配列102中の各トランスデューサ要素304に供給される波形は、パルスからパルスに変化することができ、イベント要素メモリ1304を適切にプログラミングすることにより、たとえば、上に述べたアジマスコーディングと
10
いった励振コーディング、合焦/平面波スキャニングなどの複雑なイベントの順序付けを達成することができる。図13には図示されないが、図12Bの波形発生器の実施形態を用いる動作について、V_{LOW}およびV_{1LOW}の値が、要素イベントメモリ1304から波形発生器1006に追加で提供できることを理解されたい。

【0152】

[0187] 図14は、いくつかの実施形態において、超音波デバイス100中で発生する送信イベントおよび受信イベントの両方を制御するために提供することができる、タイミング&制御回路108のイベントコントローラ1302についての入力および出力を示す。示される実施形態では、イベントコントローラは、パラメータ、N_{TX Samples}、
20
N_{RX Samples}、N_{TX Events}、およびN_{RX Events}を備え、インーブル信号「En」を介してインーブルされると、入力クロック「Clk」に応答して、TXおよびRXイベント数ならびにTXおよびRXインーブル信号を生成および出力する。

【0153】

[0188] 図15Aは、送信および受信イベントを制御するための好適な一連の出力を生成するために、イベントコントローラ1302により実施することができるルーチン1500の説明に役立つ例を示す。図15Aの左手側のフローチャートは、その図の右手側のフローチャートにより図示される例示的なルーチンの抽象化である。示されるように、インーブル信号「En」がハイであるとき、ルーチンは、インーブル信号「En」がローに移行するまで、TXイベントサブルーチン1502を実施することとRXイベントサブルーチン1504を実施することの間で交番する。示される例示的なルーチンでは、インーブル
30
になった後、ルーチン1500は、最初に、TXおよびRXイベント数を「0」に初期化し(ステップ1506)、次いで、TXイベントサブルーチン1502a~cに進む。TXイベントサブルーチン1502は、N_{TX Samples}パラメータにより指定されるサンプルの数の間、TXインーブル信号をハイにさせ(ステップ1502b)、現在のTXイベント数がN_{TX Events}パラメータの値を超えるまで(ステップ1502a)、TXイベント数を1だけ増やす(ステップ1502c)。現在のTXイベント数がN_{TX Events}パラメータの値を超えると(ステップ1502a)、ルーチン1500は、RXイベントサブルーチン1504に進む。

【0154】

[0189] RXイベントサブルーチン1504は、N_{RX Samples}パラメータにより
40
指定されるサンプルの数の間、RXインーブル信号をハイにさせ(ステップ1504b)、現在のRXイベント数がN_{RX Events}パラメータの値を超えるまで(ステップ1504a)、RXイベント数を1だけ増やす(ステップ1504c)。現在のRXイベント数がN_{RX Events}パラメータの値を超えると(ステップ1504a)、ルーチン1500は、ステップ1506に戻り、そこで、TXサブルーチン1502を再び開始する前に、TXおよびRXイベント数が再び「0」に初期化される。図15Aに示されるものなどのルーチンを使用することにより、イベントコントローラ1302は、デバイス100の中のTX制御回路104と相互作用することができ、その結果、任意の数のトランスデューサ要素304が一度にパルスを放つことができ、RX制御回路106と相互作用することができ、その結果、指定された様式で獲得窓を獲得することができる。
50

【 0 1 5 5 】

[0190] ルーチン 1 5 0 0 を使用するイベントコントローラ 1 3 0 2 の可能な動作モードとしては、(1) 単一送信イベント / 単一受信イベント、(2) 複数送信イベント / 単一受信イベント、(3) 単一送信イベント / 複数受信イベント、および(4) 複数送信イベント / 複数受信イベントが挙げられる。いくつかの実施形態では、たとえば、後方散乱動作モードに関して、ある数の TX イベントを巡回しその後ある数の RX イベントを巡回するよりも、各 TX イベントに対応する RX イベントが後続することが望ましい場合がある。さらに、より複雑なイベント(たとえば、せん断波後方散乱イベント)について、サブルーチン 1 5 0 2、1 5 0 4 の各繰り返し期間に、ある数の TX イベントを巡回し、単一の RX イベントが後続することが望ましい場合がある。これらは、ほんの少しの可能なイベント制御方法であるが、他のイベントのシーケンスが可能であり、意図される。

10

【 0 1 5 6 】

[0191] 図 1 3 B は、図 1 2 A ~ 図 1 2 B の実施形態の中の波形発生器 1 0 0 6 により使用される動作パラメータのうちの一つまたは複数に関する値(たとえば、「 r 」、「 f_0 」、「 r 」、「 V_{LOW} 」、「 V_{HIGH} 」、「 V_{HIGH} 」、および/もしくは「 V_{LOW} 」)、ならびに/または(図 1 7、図 2 2、図 2 4、図 2 6、図 2 7、図 2 9、および図 3 0 に関して下で議論される)、たとえば LNA 1 7 0 2、VGA 1 7 0 4 などを制御するための、RX 制御回路 1 0 6 についての一つまたは複数の動作パラメータについての値を選択的に決定するために使用することができる構成要素の別の例を示す。そのような値は、たとえば、各トランスデューサ要素 3 0 4 について、「次の状態」レジスタ 1 3 1 2 a ~ b の組、および「現在の状態」レジスタ 1 3 1 4 a ~ b の対応する組に記憶することができる。

20

【 0 1 5 7 】

[0192] 示されるように、外部マイクロプロセッサ 1 3 0 8 が、配列 1 0 2 中のトランスデューサ要素 3 0 4 の一部または全部に関連する次の状態レジスタ 1 3 0 2 に新しい値を選択的に通信できるように、周辺制御モジュール 1 3 0 6、たとえば USB 3 . 0 周辺コントローラを半導体ダイ 1 1 2 上に一体化することができる。いくつかの実施形態では、状態レジスタ 1 3 1 2、1 3 1 4 の各グループは、対応するレジスタ制御モジュール 1 3 1 0 a ~ b により制御することができる。示されるように、いくつかの実施形態では、レジスタ制御モジュール 1 3 1 0 a ~ b は、一つのレジスタ制御モジュール 1 3 1 0 から次へとデジチェーン接続することができる。

30

【 0 1 5 8 】

[0193] 図 1 5 B は、いくつかの実施形態においてレジスタ 1 3 1 2、1 3 1 4 を選択的に構成するために従うことができる、ルーチン 1 5 0 8 の例を示す。示されるように、マイクロプロセッサ 1 3 0 8 は、たとえば、各フレームの前に、USB 3 . 0 リンクを介して割込信号 IRQ を受信することができる。そのような割込を受信すると、マイクロプロセッサ 1 3 0 8 は、現在のレジスタ 1 3 1 4 の状態を次のイベントのため変更する必要があるかどうかを決定することができる(ステップ 1 5 1 0 参照)。マイクロプロセッサ 1 3 0 8 が状態を変えるべきであると決定する場合、マイクロプロセッサ 1 3 0 8 は、新しい完全なシーケンスをチェーンの下にプッシュし(ステップ 1 5 1 2 参照)、新しい値を次の状態レジスタ 1 3 1 2 にラッチすることができる。次の状態レジスタ 1 3 1 2 中の新しい値は、次いで、次のイベントの実行で使用するため(ステップ 1 5 1 6 および 1 5 1 8 参照)、フレーム境界の現在の状態レジスタ 1 3 0 2 中にラッチすることができる(ステップ 1 5 1 4 参照)。上のプロセスは、次いで、次の状態レジスタ 1 3 1 2 中に任意の所望の新しい値をラッチするために繰り返すことができる。TX 制御回路 1 0 4 および/または RX 制御回路 1 0 6 の動作パラメータを選択的に制御するそのような技法を使用することによって、たとえば、ダイ 1 1 2 上の必要なローカルメモリ要件を減少させることができ、マイクロプロセッサ 1 3 0 8 がセンサ 1 0 2 よりも少ないリソース制約を有することができるので、いずれか任意の組合せを有するユニークな定義をあらゆるパルスに持たせることを可能にできる。

40

50

【 0 1 5 9 】

[0194] 図16は、単一の波形発生器1006を2つ以上のTX制御回路104により共有することができる、超音波デバイス100の代替的な実装を示す。共有される波形発生器1006を、たとえば、タイミング&制御回路108中に含むことができる。示されるように、TX制御回路104を所望のシーケンスで選択的にイネーブルにするためタイミング&制御回路108を使用するのではなく、共有される波形発生器1006の出力を所望のタイミングシーケンスに従ってそれぞれのパルサ1008に到達させるように選択される遅延要素1602を、TX制御回路106の中の共有される波形発生器1006とそれぞれのパルサ1008の間に配設することができる。遅延要素1008は、たとえば、TX制御回路104の中、タイミング&制御回路108の中、または他の場所に配置することができる。図示される技法を使用して、それぞれの遅延要素1602によりもたらされる遅延により決定されるように、任意の所望のタイミングシーケンスに従って、配列102のトランスデューサ要素304にパルス印加することができる。

10

【 0 1 6 0 】

[0195] 図17は、各RX制御回路106のアナログ処理ブロック1010およびデジタル処理ブロック1014内に含むことができる構成要素の説明に役立つ例を示す(図10参照)。いくつかの実施形態では、RX制御回路106の構成要素は、たとえば、全体としてDCから50MHzの帯域幅を有し、4dB未満の雑音指数、45dBのエイリアス化高調波除去、および40dBのチャネル分離を有する50dBの利得を実現することができる。そのようなパラメータは、説明に役立つ目的のためだけに列挙されており、制限することを意図していない。他の性能パラメータが可能であり、意図される。

20

【 0 1 6 1 】

[0196] 図17に示されるように、アナログ処理ブロック1010は、たとえば、低雑音増幅器(LNA: low-noise amplifier)1702、可変利得増幅器(VGA: variable-gain amplifier)1704、および低域通過フィルタ(LPF)1706を含むことができる。いくつかの実施形態では、VGA1704は、たとえば、タイミング&制御回路108のイベントコントローラ1302に含まれる、時間-利得補償(TGC: time-gain compensation)回路1902を介して調整することができる(図19参照)。LPF1706は、獲得した信号のアンチエイリアシングを可能にする。いくつかの実施形態では、LPF1706は、たとえば、5MHz程度のカットオフ周波数を有する2次低域通過フィルタを備えることができる。しかし、他の実装が可能であり、意図される。上に言及したように、ADC1012は、たとえば、10ビット、20MSPS、40MSPS、または80MSPSのADCを備えることができる。

30

【 0 1 6 2 】

[0197] 図17の例では、RX制御回路106のデジタル制御ブロック1014は、デジタル直交復調(DQDM: digital quadrature demodulation)回路1708、平均化回路1714(アキュムレータ1710および平均化メモリ1712を含む)、および出力バッファ1716を含む。DQDM回路1708は、たとえば、受信信号のデジタル化されたバージョンを中心周波数からベースバンドにミックスダウンし、次いで、ベースバンド信号を低域通過フィルタ処理してデシメートするように構成することができる。DQDM1708として採用することができる直交復調回路の説明に役立つ例を図18に示す。示されるように、DQDM1708は、たとえば、ミキサブロック1802、低域通過フィルタ(LPF)、およびデシメータ回路1806を含むことができる。図示される回路は、受信信号から未使用の周波数を除去することによって損失のない帯域幅の削減を可能にし、したがって、信号調節/処理回路110により処理され、ダイ112からオフロードされる必要がある、デジタルデータの量を著しく減少させることができる。これらの構成要素により達成される帯域幅削減は、本明細書に記載される「超音波オンチップ」実施形態の性能を容易にする、かつ/または改善する助けとなることができる。

40

【 0 1 6 3 】

[0198] いくつかの実施形態では、ミキサブロック1802の中心周波数「 f_c 」を、配

50

列 1 0 2 の中で使用されるトランスデューサセル 6 0 2 の、対象の周波数に整合させることが望ましい場合がある。いくつかの実施形態において、D Q D M 1 7 0 8 および / または図 1 7 に図示される他の構成要素に加えて、またはその代わりに、R X 制御回路 1 0 6 に含むことができる追加の構成要素の例が、図 2 2 ~ 図 2 8 に関して下で記載される。(アキュムレータ 1 7 1 0 および平均化メモリ 1 7 1 2 を含む) 示される実施形態中の平均化ブロック 1 7 1 4 は、受信したデータの窓を平均化するように機能する。

【 0 1 6 4 】

[0199] 図 1 9 は、タイミング & 制御回路 1 0 8 の例示的な実装を示す。示されるように、いくつかの実施形態では、タイミング & 制御回路 1 0 8 は、クロック生成回路 1 9 0 4 およびイベントコントローラ 1 3 0 2 の両方を含むことができる。クロック生成回路 1 9 0 4 は、たとえば、デバイス 1 0 0 の全体を通して使用されるクロックの一部または全部を生成するために使用することができる。クロック生成回路 1 9 0 4 の例示的な実装が図 2 0 に示される。示されるように、いくつかの実施形態では、たとえば、発振器 2 0 0 4 および位相ロックループ (PLL) 2 0 0 6 を使用して、クロック生成回路 1 9 0 4 に送ることができる高速 (たとえば、1 . 5 6 2 5 G H z) クロックを生成するために、外部回路 2 0 0 2 を使用することができる。並列直列変換器 / 直列並列変換器 (SerDes: serializer / deserializer) 回路 2 0 0 8 に送ることに加えて、クロックは、ダイ 1 1 2 上の特定の構成要素をクロック制御するために使用する第 1 の周波数に (たとえば、周波数分割器回路 2 0 1 0 を介して) ステップダウンすることができ、ダイ 1 1 2 上の他の構成要素により使用するため第 2 の周波数に (たとえば、周波数分割器回路 2 0 1 6 を介して) さらにステップダウンすることができる。いくつかの実施形態では、たとえば、周波数分割器回路 2 0 1 0 は、ダイ 1 1 2 内で使用するため、クロック線 2 0 2 2 上に 4 0 M H z クロックをもたらすように 1 . 5 6 2 5 G H z クロックを分周することができ、周波数分割器回路 2 0 1 6 は、ダイ内で使用するため、クロック線 2 0 2 4 上に 2 0 M H z クロックをもたらすように 4 0 M H z クロックをさらに分周することができる。

【 0 1 6 5 】

[0200] 示されるように、いくつかの実施形態では、ダイ 1 1 2 は、外部発生源からのクロック信号を受け入れるために、マルチプレクサ 2 0 1 2、2 0 1 8 の入力にそれぞれ接続される端子 2 0 2 6、2 0 2 8 を有することができる、クロック信号をオフチップに送り出すことを可能にするために、マルチプレクサ 2 0 1 2、2 0 1 8 の出力にそれぞれ接続される出力端子 2 0 3 0、2 0 3 2 を追加で有することができる。マルチプレクサを適切に制御することにより、この構成によって、複数のチップを、デイジーチェーン接続されたクロックにより同期させることを可能にすることができる。したがって、いくつかの実装について、この技法によって、複数のデバイス 1 0 0 を、対象物を撮像するユニットとして動作することができる、デバイス 1 0 0 の完全に同期した、コヒーレントな M x N 個の配列に拡張することが可能になる。

【 0 1 6 6 】

[0201] 図 1 9 に戻って、1 つの説明に役立つ例であり、タイミング & 制御回路 1 0 8 の中に含むことができるイベントコントローラ 1 3 0 2 が、図 1 3 A に関して上で記載される。しかし、図 1 9 に示されるように、いくつかの実施形態では、イベントコントローラ 1 3 0 2 は、たとえば、R X 制御回路 1 0 6 のアナログ処理ブロック 1 0 1 0 中の V G A 1 7 0 4 の利得を制御するために使用できる T G C 回路 1 9 0 2 を、追加で備えることができる。

【 0 1 6 7 】

[0202] 図 2 1 は、ダイ 1 1 2 上の信号調節 / 処理回路 1 1 0 の多重化されたデジタル処理ブロック 1 0 1 8 中に含むことができる構成要素の説明に役立つ例を示す。示されるように、多重化されたデジタル処理ブロック 1 0 1 8 は、たとえば、再量子化器 2 1 0 2 および U S B 3 . 0 モジュール 2 1 0 4 を含むことができる。いくつかの実施形態では、再量子化器 2 1 0 2 は、たとえば、帯域幅削減をもたらすために、不可逆圧縮を実施する場合がある。再量子化器 2 1 0 2 は、多くの様態のうちのいずれかで動作することができ、

10

20

30

40

50

本技術の態様は、いずれか特定のタイプの再量子化技法の使用を必ずしも必要としない。いくつかの実施形態では、再量子化器 2102 は、たとえば、入来信号の最大振幅を見だし、最大信号をフルスケールにするまですべての信号を倍率変更し、次いで信号からより低位の N ビットを捨てる場合がある。他の実施形態では、再量子化器 2102 は、追加または代替的に、信号を対数空間に変換し、信号の N ビットだけを保つ場合がある。さらに別の実施形態では、再量子化器 2102 は、追加または代替的に、ハフマンコーディングおよび/またはベクトル量子化技法を採用する場合がある。

【0168】

[0203] 図 21 に示されるように、ダイ 112 から高速シリアルデータストリームを出力するための 1 つの選択肢は USB 3.0 モジュールである。そのような USB 3.0 モジュールの構造および動作についての詳細は、たとえば、その全体の内容が参照により本明細書に組み込まれる、<http://www.usb.org> で入手可能な、「Universal Serial Bus Revision 3.0 Specification」に記載される。図 21 は、チップから高速シリアルデータストリームを提供するため、USB 3.0 モジュールを使用することを図示するが、他のデータ出力技法を追加または代替的に、採用できることを理解されたい。たとえば、1 つまたは複数の 10 GB、40 GB、または 100 GB イーサネットモジュールを、追加または代替的に採用することができる。他の実施形態では、他の高速パラレルもしくは高速シリアルデータ出力モジュールおよび/または技法を、追加または代替的に採用することができる。

10

【0169】

[0204] 図 22 は、たとえば、波形除去を実施して受信回路の信号対雑音比を改善することができる、整合フィルタ 2202 を含む、RX 制御回路 106 の例示的な実装を示す。「整合」フィルタと標示されるが、フィルタ回路 2202 は、受信信号から波形を分離するように、整合フィルタまたは不整合フィルタのいずれかとして実際には動作する場合がある。整合フィルタ 2202 は、線形周波数変調 (LFM: linear frequency modulated) または非 LFM パルスのいずれかで働くことができる。

20

【0170】

[0205] 整合フィルタ 2202 として使用するのに好適な回路の説明に役立つ実施形態が、図 23 に示される。示されるように、整合フィルタ 2202 は、たとえば、パディング回路 2302、高速フーリエ変換 (FFT) 回路 2304、マルチプライヤ 2306、低域通過フィルタ 2308、デシメータ回路 2310、および逆 FFT 回路 2312 を含むことができる。採用される場合、パディング回路 2302 は、たとえば、巡回畳み込みの FFT 実装からのアーティファクトを回避するのに十分なように、入来信号にパディングを適用することができる。

30

【0171】

[0206] 「整合」フィルタとして動作するために、マルチプライヤ 2306 に印加される「H ()」の値は、送信波形 T () の共役でなければならない。いくつかの実施形態では、フィルタ 2202 は、したがって、マルチプライヤ 2306 に送信波形 T () の共役を印加することにより、「整合」フィルタとして実際に動作することができる。しかし、他の実施形態では、「整合」フィルタ 2202 は、代わりに、送信波形 T () の共役以外の何らかの値をマルチプライヤ 2306 に印加する場合がある、「未整合」フィルタとして動作することができる。

40

【0172】

[0207] 図 24 は、RX 制御回路 106 の別の例示的な実装を示す。図 24 の実施形態では、RX 制御回路 106 は、対象の信号を分離することにより帯域幅削減をするさらに別の技法を実施できる、デチャープ回路 2402 を含む。デチャープ回路は、ときどき、「デジタルランプ」または「伸張」回路とも呼ばれる。様々な実施形態では、デチャープ回路 2402 を、アナログ処理ブロック 1010 内に含む場合があり、または RX のデジタル処理ブロック 1014 内に含む場合があり、または RX 制御回路 106 のアナログ処理ブロック 1010 およびデジタル処理ブロック 1014 の両方の中に含む場合がある。L

50

F M波形でデチャープ回路を使用することによって、効率的に時間を周波数に変換する。

【 0 1 7 3 】

[0208] デジタルデチャープ回路 2 3 0 2 の例が図 2 5 に示される。示されるように、デチャープ回路 2 4 0 2 は、デジタルマルチプライヤ 2 5 0 2、デジタル低域通過フィルタ 2 5 0 4、およびデシメータ回路 2 5 0 6 を含むことができる。(アナログデチャープ回路は、以下で図26に関して議論されるが、デジタルマルチプライヤおよびフィルタではなく、アナログマルチプライヤおよびフィルタを採用することになり、デシメータ回路 2 5 0 6 を含まないことになる。) 図 2 5 に示される「参照チャープ」は、たとえば、対応する T X 制御回路 1 0 4 の中の波形発生器 1 0 0 6 により生成されるものと同じ「チャープ」であってよい。

10

【 0 1 7 4 】

[0209] 図 2 6 は、R X 制御回路 1 0 6 のさらに別の例示的な実装を示す。この例では、デジタル処理ブロック 1 0 1 4 の中の D Q D M 回路およびデジタルデチャープ回路を使用するのではなく、アナログ直交復調 (AQDM: analog quadrature demodulation) 回路 2 6 0 2 およびアナログデチャープ回路 2 6 0 4 が、アナログ処理ブロック 1 0 1 0 の中に含まれる。そのような実施形態では、A Q D M 2 6 0 2 は、たとえば、入来信号をベースバンドに混合するために、アナログミキサ (図示せず) およびローカル発振器 (図示せず) を採用し、次いで、アナログ信号から不要な周波数を除去するために低域通過アナログフィルタ (図示せず) を採用することができる。図 2 6 に示されるように、アナログデチャープ回路 2 6 0 4 の出力をデジタル信号形式に変換するため、2つの A D C 2 6 0 6 a ~ b (たとえば、2つの 1 0 ビット、1 0 M s p s、2 0 M s p s、または 4 0 M s p s の A D C) を、この実施形態で採用することができるが、A D C 2 6 0 6 a ~ b の各々を、他の実施形態で採用される A D C 1 0 1 2 の半分の速度で実行し、したがって潜在的に電力消費を減少させることができる。

20

【 0 1 7 5 】

[0210] R X 制御回路 1 0 6 のさらに別の例が図 2 7 に示される。この例では、低域通過フィルタ 2 7 0 2 およびマルチプレクサ 2 7 0 4 が、平均化ブロック 1 7 1 4 と共に、デジタル処理ブロック 1 0 1 4 の中に含まれる。いくつかの実施形態では、低域通過フィルタ 2 7 0 2 は、たとえば、1 / 2 帯域デシメーション有限インパルス応答 (FIR) フィルタを備え、その動作は非ゼロタップの数を最小化するように構成することができる。そのような F I R フィルタ 2 7 0 2 の説明に役立つ例が図 2 8 に示される。

30

【 0 1 7 6 】

[0211] 様々な実施形態では、各 R X 制御回路 1 0 6 は、上記のアナログおよびデジタル回路要素のいずれかを、単独で、または他の記載された回路要素のいずれかと組み合わせることができること、ならびに、本技術の態様は、本明細書に図示された特定の構成および / または組合せを必ずしも必要としないことを理解されたい。たとえば、各 R X 制御回路 1 0 6 は、いくつかの実施形態では、必要に応じてアナログ - デジタルおよび / またはデジタル - アナログ変換が実施されるという条件で、A Q D M 2 6 0 2、アナログデチャープ回路 2 6 0 4、D Q D M 1 7 0 8、整合および / または不整合フィルタ 2 2 0 2、デジタルデチャープ回路 2 4 0 2、平均化ブロック 1 7 1 4、および低域通過フィルタ 2 7 0 2 のうちのいずれか 1 つまたは複数を、他の構成要素に関し任意の組合せおよび任意の順番で含むことができる。重要なことには、上記の帯域幅削減技法のいずれかまたはすべてを使用することによって、いくつかの実施形態について、本明細書に記載された「超音波オンチップ」設計を、実用的、実行可能、かつ商業的に実現可能な解決策にする助けとなることができる。

40

【 0 1 7 7 】

[0212] 図 2 9 は、配列 1 0 2 の中のトランスデューサ要素 3 0 4 にバイアスをかけるための新規の技法の例を図示する。示されるように、患者に面するトランスデューサ要素 3 0 4 の各々の側は、電気ショックの危険を最小化するように、アースに接続することができる。各トランスデューサ要素 3 0 4 の他の側は、抵抗器 2 9 0 2 を介してパルサ 1 0 0

50

8の出力に接続することができる。したがって、各トランスデューサ要素304は、スイッチS1が開であるか、または閉であるかにかかわらず、パルサ1008の出力を介して常にバイアスがかけられる。いくつかの実施形態、たとえば、1つまたは複数のCUTまたはCMUTを備えるトランスデューサ要素304を採用する実施形態では、要素に印加されるバイアス電圧は、100V程度であってよい。

【0178】

[0213] 図29の添付するタイミング図に図示されるように、スイッチS1は、送信動作期間に閉であってよく、受信動作期間に開であってよい。逆に、スイッチS2は、受信動作期間に閉であってよく、送信動作期間に開であってよい。(パルサ1008がRX制御回路106中のLNA1702に出射パルスを実際に印加しないように、スイッチS1の開とスイッチS2の閉の間、ならびにスイッチS2の開とスイッチS1の閉の間に常に間隙があることに留意されたい。)

10

【0179】

[0214] タイミング図中にやはり示されるように、パルサ1008は、パルサ1008のトランスデューサ要素304にパルサ1008が波形パルスを実際に印加しているときを除くすべての時間で、トランスデューサ要素304の底板を、パルサ1008のハイ出力レベルに保つことができ、送信位相期間に印加される波形パルスは、パルサ1008のハイ出力レベルを基準とすることができる。したがって、各個々のパルサ1008は、すべての時間で、パルサ1008の対応するトランスデューサ要素304に理想的なバイアスを維持することができる。図29に示されるように、DCバイアス信号(すなわち、パルサ1008のハイ出力)が受信動作期間(すなわち、スイッチS2が閉のとき)にLNA1702に到達するのを遮断するように、コンデンサ2904は、スイッチS2とRX制御回路106のLNA1702との間に配置することができる。

20

【0180】

[0215] トランスデューサ要素304をトランスデューサ要素304それぞれのパルサ1008を介してバイアスをかけることによって、そうでない場合、たとえば要素304が共通バスを介してバイアスをかけられる場合に発生するクロストークを減少させるように、いくつかの実施形態において利益をもたらすことができる。

【0181】

[0216] 図30は、配列102の中のトランスデューサ要素304にバイアスをかけるための技法の別の説明に役立つ例を示す。図29の実施形態のように、患者に面するトランスデューサ要素304の側は、接地することができ、スイッチS1は、パルサ1008の出力とトランスデューサ要素304の他の側との間に配置することができる。この場合のスイッチS2は、トランスデューサ要素304の接地されない側と、RX制御回路106のLNA1702との間に直接配置することができる。この例では、コンデンサは、スイッチS2とLNA1702の間に配置されず、したがって、さもなければそのようなコンデンサにより費やされるダイ112上の実装面積の、潜在的な著しい節約をもたらす。いくつかの実施形態では、2つのスイッチのうちの1つ、すなわち、スイッチS1またはスイッチS2のいずれかは、常に閉であることができる。送信モードでは、スイッチS1は閉であることができ、スイッチS2は開であることができる。逆に、受信モードでは、スイッチS2は開であることができ、スイッチS1は閉であることができる。

30

40

【0182】

[0217] 各パルサ1008の出力および各LNA1702の入力において適したバイアス電圧を作り出すため、図30に図示されるように、(たとえばトランスデューサ配列102の上部金属層といった、トランスデューサ要素304の他の側にバイアスをかけるために使用される部分を除く)ダイ112全体に、トランスデューサ要素304にとって最適なバイアス電圧でバイアスをかけることができる。したがって、この配置によって、すべての時間において、パルサ1008およびLNA1702の両方を介して、トランスデューサ要素304に安全に高電圧バイアスをかけることを容易にすることができる。いくつかの実施形態では、チップの電源を浮動にすることができ、その結果、チップの電源は接

50

地されず、ダイ 1 1 2 への制御、構成、および通信入力 / 出力のうちの一部または全部が、たとえば、光分離技法または適切にサイズ決定されたコンデンサを使用することで分離され、したがって高電圧がチップに残ることを DC 遮断することができる。

【 0 1 8 3 】

[0218] 図 3 1 は、図 1 0 に関して上で議論された構成要素に加えてまたは代わりに、ダイ 1 1 2 上の信号調節 / 処理回路 1 1 0 の多重化デジタル処理ブロック 1 0 1 8 中に含むことができる構成要素の説明に役立つ例を示す。いくつかの実施形態では、ダイ 1 1 2 を製造するために採用される CMOS または他の集積回路製造方法について、十分小さいプロセスが使用されるとすれば、図示された構成要素のうちの 1 つまたは複数は、本明細書に記載された他の回路のうちの一部または全部と共に、ダイ 1 1 2 上に一体化することができる。

10

【 0 1 8 4 】

[0219] 図 3 1 の例では、信号調節 / 処理回路 1 1 0 は、再量子化器モジュール 2 1 0 2、波形除去回路および / またはソフトウェア 3 1 0 2、画像形成回路および / またはソフトウェア 3 1 0 4、バックエンド処理回路および / またはソフトウェア 3 1 0 6、ならびに USB 3 . 0 モジュール 2 1 0 4 を含む。再量子化器モジュールおよび USB 3 . 0 モジュール、ならびにそれらの代替物は、図 2 1 に関して上で議論したので、それらの構成要素は、ここでさらに議論しないこととする。示されるように、いくつかの実施形態では、たとえば、CPU、GPU などといった 1 つまたは複数のプロセッサ 3 1 0 8、および / または大規模メモリが、そのような構成要素により実行されるソフトウェアルーチンを介して実装される、下に記載されるような、波形除去機能性、画像形成機能性、および / またはバックエンド処理機能性のうちの一部または全部を可能にし、上に記載されたデバイス 1 0 0 の他の構成要素の他の機能性を達成するように、上に議論された他の回路と共に、ダイ 1 1 2 上に一体化することができる。したがって、そのような実施形態では、図 3 1 に示される波形除去モジュール 3 1 0 2、画像形成モジュール 3 1 0 4、および / またはバックエンド処理モジュール 3 1 0 6 は、ダイ 1 1 2 上または 1 つもしくは複数のオフチップメモリモジュールのいずれかのメモリに記憶されるソフトウェアを介して、部分的または全体的に実装することができる。いくつかの実施形態では、統一されたノースブリッジにより使用されるものなどの、1 つまたは複数的高速バス 3 1 1 0 または同様の構成要素を採用して、ダイ 1 1 2 上に位置決めされる、または何らかのオフチップ位置に配設されるかのいずれかである、プロセッサ 3 1 0 8、メモリモジュール、および / または他の構成要素間で高速データ交換を可能にすることができる。他の実施形態では、画像形成モジュール 3 1 0 4 および / またはバックエンド処理モジュール 3 1 0 6 のそのような機能性のうちの一部または全部は、ダイ 1 1 2 上に一体化される 1 つまたは複数の専用回路を使用して、追加または代替的に実施することができる。

20

30

【 0 1 8 5 】

[0220] いくつかの実施形態では、波形除去回路および / またはソフトウェア 3 1 0 2 は、たとえば、波形のデコンポリューション、デチャープ、FFT、FIR フィルタリング、整合フィルタリングおよび / または不整合フィルタリングなどを実施するために、RX 制御回路 1 0 6 に関して上で議論したものと同様に、回路および / またはソフトウェアを含むことができる。上記の機能性のいずれかまたはすべては、ダイ 1 1 2 上の波形除去回路および / またはソフトウェア 3 1 0 2 によって、単独または他の機能性のいずれかと一緒にいずれかで、任意の順番で実施することができる。代替的に、いくつかの実施形態では、そのような波形除去回路および / またはソフトウェア 3 1 0 2 は、ダイ 1 1 2 からは分離されるが、超音波ユニット 2 0 0 およびその回路基板の中、ならびに / またはその筐体の中にダイ 1 1 2 と一緒に置くことができる。

40

【 0 1 8 6 】

[0221] いくつかの実施形態では、画像形成回路および / またはソフトウェア 3 1 0 4 は、たとえば、アポディゼーション、逆投影および / またはファストヒエラルキー逆投影、補間範囲移動（たとえば、Stolt 補間）または他のフーリエリサンプリング技法、ダイナ

50

ミックフォーカス技法、および/または遅延加算技法、トモグラフィ再構成技法などを実施するように構成される回路および/またはソフトウェアを含むことができる。上記の機能性のいずれかまたはすべては、ダイ 1 1 2 上の画像形成回路および/またはソフトウェア 3 1 0 4 によって、単独または他の機能性のいずれかと一緒にいずれかで、任意の順番で実施することができる。いくつかの実施形態では、画像形成回路および/またはソフトウェア 3 1 0 4、ならびに波形除去回路および/またはソフトウェア 3 1 0 2 は、両方がダイ 1 1 2 上に配置することができる。代替的に、いくつかの実施形態では、そのような画像形成回路および/もしくはソフトウェア 3 1 0 4、ならびに/または波形除去回路および/もしくはソフトウェア 3 1 0 2 は、ダイ 1 1 2 からは分離されるが、超音波ユニット 2 0 0 およびその回路基板の中、ならびに/またはその筐体の中にダイ 1 1 2 と一緒に置くことができる。

10

【 0 1 8 7 】

[0222] いくつかの実施形態では、ダイ 1 1 2 上のバックエンド処理回路および/またはソフトウェア 3 1 0 6 は、たとえば、ダウンレンジおよび/もしくはクロスレンジオートフォーカス、周波数分散補償、非線形アポディゼーション、リマッピング、圧縮、雑音除去、コンパウンド処理、ドブブラ、エラストグラフィ、分光、ならびに/または基底追跡技法などを実施するように構成される回路および/またはソフトウェアを含むことができる。上記の機能性のいずれかまたはすべては、ダイ 1 1 2 上のバックエンド処理回路および/またはソフトウェア 3 1 0 6 によって、単独または他の機能性のいずれかと一緒にいずれかで、任意の順番で実施することができる。いくつかの実施形態では、バックエンド処理回路および/もしくはソフトウェア 3 1 0 6、画像形成回路および/もしくはソフトウェア 3 1 0 4、ならびに/または波形除去回路および/もしくはソフトウェア 3 1 0 2 は、3 つすべてがダイ 1 1 2 上に配置することができる。代替的に、いくつかの実施形態では、そのようなバックエンド処理回路および/もしくはソフトウェア 3 1 0 6、画像形成回路および/もしくはソフトウェア 3 1 0 4、ならびに/または波形除去回路および/もしくはソフトウェア 3 1 0 2 は、ダイ 1 1 2 からは分離されるが、超音波ユニット 2 0 0 およびその回路基板の中、ならびに/またはその筐体の中にダイ 1 1 2 と一緒に置くことができる。

20

【 0 1 8 8 】

[0223] いくつかの実施形態では、上記の機能性のうちの一部または全部を達成するために使用されるメモリは、オンチップ、すなわちダイ 1 1 2 上に配置することができる。他の実施形態では、しかし、記載される機能性のうちの一部または全部を実装するために使用されるメモリのうちの一部または全部がオフチップに配置され、回路、ソフトウェア、および/または他の構成要素のうちの一部をダイ 1 1 2 上に配置することができる。

30

【 0 1 8 9 】

[0224] 別個に示されていないが、いくつかの実施形態では、タイミング & 制御回路 1 0 8、個々の TX 制御回路 1 0 4、個々の RX 制御回路 1 0 6、および/または信号処理 / 制御回路 1 1 0 の動作パラメータの一部または全部は、ダイ 1 1 2 への 1 つまたは複数のシリアルまたはパラレル入力ポートを介して、選択的に構成またはプログラムすることができることを理解されたい。たとえば、タイミング & 制御回路 1 1 0 は、図 1 4 および図 1 5 に関して上に議論されたパラメータ、 $N_{TX\text{Samples}}$ 、 $N_{TX\text{Events}}$ 、 $N_{RX\text{Samples}}$ 、および/もしくは $N_{RX\text{Events}}$ についての値を含む外部書き込み可能レジスタの組を含み、図 1 2 A ~ 図 1 2 B に関して上に議論された TX 制御回路 1 0 4 のレジスタ 1 2 0 2 は、1 つもしくは複数の入力ポートを介して選択的にプログラムすることができ、図 1 7、図 1 8、および図 2 2 ~ 図 2 8 に関して上に議論された RX 制御回路 1 0 6 の構成要素のうちの一つもしくは複数の動作パラメータは、1 つもしくは複数の入力ポートを介して選択的にプログラムすることができ、図 2 1 に関して上に議論された再量子化器回路 2 1 0 2 および/もしくは USB 3 . 0 回路 2 1 0 4 もしくは他のモジュールのうちの一つもしくは複数についての動作パラメータは、1 つもしくは複数の入力ポートを介してプログラムすることができ、かつ/または、図 3 1 に関して上に議

40

50

論された波形除去回路 3102、画像形成回路 3104、および/もしくはバックエンド処理回路 3106 のうちの 1 つもしくは複数についての動作パラメータは、1 つもしくは複数の入力ポートを介してプログラムすることができる。

【0190】

[0225] 図 32A ~ 図 32B は、波形除去回路および/もしくはソフトウェア 3102、画像形成回路および/もしくはソフトウェア 3104、ならびに/またはバックエンド処理回路および/もしくはソフトウェア 3106 の一部または全部がオフチップで、たとえばデバイス 100 とは別個のコンピューティングデバイス 3202、3206 上に配置することができる実施形態を図示する。図 32A に示されるように、1 つまたは複数のフィールドプログラマブルゲートアレイ (FPGA) 3208 を含まないコンピューティングデバイス 3202 上で、コンピューティングデバイス 3202 のプロセッサ 3204 により実行されるソフトウェアにより、画像形成およびバックエンド処理機能と一緒に、波形除去を実施することができる。図 32B に示されるように、1 つまたは複数の FPGA 3208 を含むコンピューティングデバイス 3206 上で、そのような機能性を実施するコンピューティングデバイス 3206 のプロセッサ 3204 に加えて、または代わりに、FPGA 3208 により、波形処理機能性を実施することができる。

10

【0191】

[0226] 本明細書に記載されるように、本開示の態様によって、単一チップ上にウルトラソニックトランスデューサ要素と回路の一体化が可能になる。ウルトラソニックトランスデューサ要素は、超音波撮像用途、HIFU、または両方に使用することができる。そのような要素は、たとえば、ディープサブミクロン CMOS 回路によって典型的にはサポートされる電圧よりも高い、CMOS 集積回路で従来使用されるものよりも高い電圧で動作することができることを理解されたい。たとえば、そのようなウルトラソニックトランスデューサ要素は、20V と 120V の間、30V と 80V の間、40V と 60V の間の電圧、それらの範囲内の任意の電圧、または任意の他の好適な電圧で動作することができる。HIFU 用途は、超音波撮像用途よりも高い電圧を利用する場合がある。

20

【0192】

[0227] したがって、CMOS 集積回路で従来使用されるよりも高い電圧と互換性を有するそのような回路を作ること、すなわち、従来型の電圧よりも高く、標準的な CMOS ディープサブミクロン回路を動作させることにより、単一チップ上のウルトラソニックトランスデューサ要素と回路の一体化を容易にすることができる。

30

【0193】

[0228] CMOS 回路中の NMOS および PMOS デバイスの動作電圧を制限しうる 2 つの主な問題、すなわち、(1) ゲート酸化物降伏、および (2) ソースおよびドレイン (拡散) 降伏がある。多くの設計では、拡散降伏が第 1 の制限であり、そこでは、ゲート酸化物を保護するため、拡散は、ゲート酸化物の前に降伏するように電界効果型トランジスタ (FET) 中に特に設計される。拡散降伏電圧を増加させるため、基板に対するソース/ドレイン領域中の相対濃度は、適切でなければならない。いくつかの実施形態では、ソースおよびドレイン領域中の、より低いドーピングレベルが降伏電圧を増加させることができる。

40

【0194】

[0229] ゲート酸化物降伏に関して、過剰な電界がゲート酸化物にストレスを与え、破裂またはゲート漏洩電流をもたらす可能性がある。ゲート対ドレインまたはゲート対ソース降伏電圧を増加させるために、最大電界を減少させなければならない。

【0195】

[0230] 高電圧 CMOS 回路を作るために、様々な方法を使用することができる。そのような方法は、たとえば、マスク論理演算およびデバイスレイアウトのレベルで実装することができる。NMOS 技術中の標準的な拡散接合は、典型的には $10^{17} \sim 10^{18}$ ドーパント/cm³ 程度の、レトログレードドーパされた P ウェルに対し、縮退的にドーパされた N+ である。3V デバイスは、典型的には 6 ボルトで降伏する。ソースおよびドレイ

50

ンは、たとえば、ポリSiゲートをドーブする同じインプラントにより画定することができる。これは、一般的にセルフアライントランジスタと呼ばれる。

【0196】

[0231] 標準的なゲート-ドレイン界面は、軽度にドーブされたドレイン(LDD: lightly doped drain)である。LDDは、たとえば、電界を減少させるようにドーブすることができるが、ゲート制御を維持するのに十分な長さのデバイス長を保つために、サイズを最小化することができる。

【0197】

[0232] CMOS回路は、たとえば、拡散方式を変更することにより、高電圧CMOS回路へと変えることができる。たとえば、Nウェル領域およびPウェル領域を使用する、マスクアラインされたソースおよびドレインを採用することができる。NMOS実装について、拡散は、P基板を備えるNウェルソース/ドレインに変えることができる。PMOSについて、拡散は、NウェルおよびディープNウェルを備えるPウェルソース/ドレイン領域に変えることができる。ソースおよびドレインは、シャロートレンチアイソレーション(STI: shallow trench isolation)により画定することができる。あるいは、より高い電圧用に、ソースおよびドレインは、ギャップ空間および熱拡散により画定することができる。

10

【0198】

[0233] 本開示に記載された様々な実施形態中の高電圧CMOS回路を実装するために使用することができる、回路レイアウトおよび関連する構造の例が、図33~図42に示される。

20

【0199】

[0234] 図33は、たとえば、高電圧ディープサブミクロンノードを設けるために、いくつかの実施形態において使用することができる、高電圧NMOS3301aおよびPMOS3301bレイアウトの例を示す。図33に記載される参照番号は、図示されるレイアウトの以下の特徴および/または特色に対応する。すなわち、3302-Nウェル(NW)/P基板(Psub 3303)に起因する大きい接合降伏、3304-LDDに起因する減少した電界、3306-Pウェル(PW)/NWに起因する大きい接合降伏、および3308-LDDに起因する減少した電界である。

【0200】

30

[0235] 図34は、いくつかの実施形態において使用することができる、超高電圧NMOS3401aおよびPMOS3401bレイアウトの例を示す。図34に記載される参照番号は、図示されるレイアウトの以下の特徴および/または特色に対応する。すなわち、3402-N+インプラントについてのマスク画定したドーピング、3404-熱的に拡散されたPW/Psub、3406-熱的に拡散されたNW/Psub、3408-P+インプラントについてのマスク画定したドーピング、3410-熱的に拡散されたNW/Psub、および3412-熱的に拡散されたPW/Psubである。

【0201】

[0236] 図35は、いくつかの実施形態において使用することができる、高電圧NMOS3501aおよびPMOS3501bの双方向またはカスコードレイアウトの例を示す。図35に記載される参照番号は、図示されるレイアウトの以下の特徴および/または特色に対応する。すなわち、3502-Nウェルソースおよびソースゲート拡張部、3504-Nウェルドレインおよびゲート拡張部、3506-Pウェルソースおよびソースゲート拡張部、ならびに3508-Pウェルドレインおよびゲート拡張部である。

40

【0202】

[0237] 図36は、いくつかの実施形態において使用することができる、超高電圧NMOS3601aおよびPMOS3601bの双方向またはカスコードレイアウトの例を示す。図36に記載される参照番号は、図示されるレイアウトの以下の特徴および/または特色に対応する。すなわち、3602、3604-Psubにおける熱的に拡散されたソースおよびドレイン、3606-閾値増加のための任意選択のPウェルゲートインプラント

50

、3608、3610 - P s u bにおける熱的に拡散されたソースおよびドレイン、ならびに3612 - 閾値増加のための任意選択のNウェルゲートインプラントである。

【0203】

[0238] 図37は、いくつかの実施形態において使用することができる高電圧スイッチを備える、高電圧NMOSおよびPMOSのレイアウトを使用するパルサの例を示す。図37に記載される参照番号は、図示されるレイアウトの以下の特徴および/または特色に対応する。3702 - C U T、3704および3706はトランジスタスイッチを表す。パルサをディセーブルにするため、 $Txp = 0$ 、 $Txn = 1$ に設定し、次いで、 $Txn = 0$ に設定する(cノードが低電圧レール内のままでいる限り、PMOSは状態を保持する)。3708は、高電圧から分離するためのイネーブル信号 rx_en を受信するためのイネーブルスイッチを表す。トランジスタは、図中で、高電圧(HV)デバイスを意味する太いゲート線により図示されるような厚いチャネルを有することができる。

10

【0204】

[0239] 図38Aおよび図38Bは、いくつかの実施形態において使用することができる二重および四重電圧パルスドライバの例をそれぞれ示す。図38Aおよび図38Bに記載される参照番号は、図示されるレイアウトの以下の特徴および/または特色に対応する。すなわち、3802 - 追加されるカスケードデバイス、3804、3806 - Hブリッジ回路で駆動されるトランスデューサ要素の端子、3808 - 受信要素。動作の際、スイッチを受信モードへとオンにする($Txn = 1$ 、 $Txp = 0$ に設定し、次いで、 $Txn = 0$ に設定する)、3810 - 受信の際、自動的にバイアスがかかる、トランスデューサの上部板である。

20

【0205】

[0240] 図39A ~ 図39Bは、いくつかの実施形態において使用することができる、受信分離スイッチを採用しないパルサの例を示す。図39A ~ 図39Bに記載される参照番号は、図示されるレイアウトの以下の特徴および/または特色に対応する。すなわち、3902 - P s u b中のNウェルまたはFOX上のケイ化されていないポリシリコンにより画定される抵抗器、3904 - 高電圧NMOSプルダウンドデバイス、3906 - RXへの直接接続(スイッチがないことにより寄生を少なくする)、3908 - 自動受信バイアス、および3910 - 2重電圧のためのカスコードデバイスである。

【0206】

[0241] 図40Aおよび図40Bは、ここで、ADC参照値のうちの1つまたは複数としていくつかの実施形態において採用することができる、時間インターリーブされた単一勾配ADC、およびその動作の例をそれぞれ示す。図示される例では、N個の並列なADCが1つのチャンネルに使用されて交番するサンプルをとり、それによって、各ADCのサンプリング周波数は、ナイキスト基準よりもはるかに低い。そのような単一勾配ADCは、たとえば、バイアス、ランプ、およびグレーカウンタといったリソースの大規模な共有を可能にすることができる。そのようなADC手法は、このようにして、高度に拡大縮小可能で、低電力の選択肢を提供することができる。

30

【0207】

[0242] 図41は、いくつかの実施形態において採用することができる、時間インターリーブされたサンプルホールド回路の例を示す。示される例では、参照番号4102は、偶数番がサンプルされ、次いで奇数番がサンプルされるステップを意味し、参照番号4104は、奇数番が比較され、次いで偶数番が比較されるステップを意味する。

40

【0208】

[0243] 図42Aおよび図42Bは、ここで参照されるADCのうちの1つまたは複数としていくつかの実施形態において採用することができる、時分割高速ADCおよびその動作の例をそれぞれ示す。そのようなADCは、たとえば、パイプライン、SAR、またはフラッシュアーキテクチャを採用することができる。そのようなアーキテクチャを有する単一の高速ADCは、N個のチャンネルをサンプルするために使用することができるので、そのようなADC手法は、著しく面積要件を減少させることができる。

50

【 0 2 0 9 】

[0244] 本明細書に記載される高電圧CMOS回路は、CMOS回路で従来到達可能なものよりも高い電圧を駆動し、ディープサブミクロンノードにおいて高電圧を実現するように構成することができる。いくつかの実施形態では、非限定的な例として、約10Vまでの電圧を扱うまたは駆動することができ、約20Vまでを扱うまたは駆動することができ、約30Vまでを扱うまたは駆動することができ、約40Vまでを扱うまたは駆動することができ、約50Vまでを扱うまたは駆動することができ、約60Vまでを扱うまたは駆動することができ、それらの範囲内の任意の電圧、または他の好適な電圧を扱うまたは駆動することができる。

【 0 2 1 0 】

[0245] 本開示に記載された技術のいくつかの態様および実施形態がこうして記載されたが、様々な改変形態、修正形態、および改善形態が当業者には容易に想到されることを理解されたい。そのような改変形態、修正形態、および改善形態は、本明細書に記載された技術の精神および範囲内であることが意図される。たとえば、当業者は、機能を実施する、ならびに/または本明細書に記載された結果および/もしくは利点のうちの1つまたは複数を獲得するための、様々な他の手段および/または構造を容易に考察することになり、そのような変形形態および/または修正形態の各々は、本明細書に記載された実施形態の範囲内であるとみなされる。当業者は、せいぜいありふれた実験を使用して、本明細書に記載された具体的な実施形態に対する多くの等価物を認識する、または確認することができることになる。したがって、上記の実施形態は、単に例として提示されており、添付の請求項およびその等価物の範囲内で、具体的に記載されたもの以外に発明性のある実施形態が実施できることを理解されたい。加えて、本明細書に記載される2つ以上の特徴、システム、物品、材料、キット、および/または方法の任意の組合せは、それらの特徴、システム、物品、材料、キット、および/または方法が互いに矛盾しない場合、本開示の範囲内に含まれる。

【 0 2 1 1 】

[0246] 上記の実施形態は、多くの様態のうちのいずれかで実装することができる。処理または方法の性能を含む本開示の1つまたは複数の態様および実施形態は、処理または方法を実施する、または処理または方法の性能を制御するために、デバイス(たとえば、コンピュータ、プロセッサ、または他のデバイス)により実行可能なプログラム命令を利用することができる。この点に関し、1つまたは複数のコンピュータまたは他のプロセッサ上で実行されると、上に記載された様々な実施形態のうちの1つまたは複数を実装する方法を実施する1つまたは複数のプログラムで符号化される1つのコンピュータ可読記憶媒体(または複数のコンピュータ可読記憶媒体)(たとえば、コンピュータメモリ、1つもしくは複数のフロッピーディスク、コンパクトディスク、光ディスク、磁気テープ、フラッシュメモリ、フィールドプログラマブルゲートアレイもしくは他の半導体デバイス中の回路構成、または他の有形のコンピュータ記憶媒体)として、様々な発明性のある概念を具体化することができる。1つまたは複数のコンピュータ可読媒体は可搬型であってよく、そのため、その上に記憶される1つまたは複数のプログラムは、1つまたは複数の異なるコンピュータまたは他のプロセッサ上にロードして、上に記載される態様のうちの様々なものを実装することができる。いくつかの実施形態では、コンピュータ可読媒体は、非一時的媒体であってよい。

【 0 2 1 2 】

[0247] 「プログラム」または「ソフトウェア」という用語は、上に記載されたような様々な態様を実装するために、コンピュータまたは他のプロセッサをプログラムするのに採用することができる、任意のタイプのコンピュータコードまたはコンピュータ実行可能命令の組のことを言うために、一般的な意味で本明細書で使用される。加えて、1つの態様によれば、実行されると本開示の方法を実施する1つまたは複数のコンピュータプログラムは、単一のコンピュータまたはプロセッサ上に常駐する必要はないが、本開示の様々な態様を実装するために、いくつかの異なるコンピュータまたはプロセッサ間に、モジュー

10

20

30

40

50

ル様式で分配することができることを理解されたい。

【0213】

[0248] コンピュータ実行可能命令は、1つまたは複数のコンピュータまたは他のデバイスにより実行されるプログラムモジュールなど、多くの形式であってよい。一般的に、プログラムモジュールとしては、特定のタスクを実施するまたは特定の抽象的なデータタイプを実装する、ルーチン、プログラム、オブジェクト、構成要素、データ構造などが挙げられる。典型的には、プログラムモジュールの機能性は、様々な実施形態で所望に応じて組み合わせる、または分配することができる。

【0214】

[0249] また、データ構造は、任意の好適な形式でコンピュータ可読媒体中に記憶することができる。説明を簡単にするために、データ構造は、データ構造中の位置に関係付けされるフィールドを有するように示すことができる。そのような関係は、フィールドの記憶域を、フィールド間の関係を伝えるコンピュータ可読媒体中の位置で割り当てることにより、同様に実現することができる。しかし、ポインタ、タグ、またはデータ要素間の関係を確立する他のメカニズムの使用を含む、任意の好適なメカニズムを使用して、データ構造のフィールド中の情報間の関係を確立することができる。

10

【0215】

[0250] ソフトウェアで実装されるとき、単一のコンピュータで提供されようと複数のコンピュータ間に分配されようと、ソフトウェアコードを、任意の好適なプロセッサまたはプロセッサの集合上で実行することができる。

20

【0216】

[0251] さらに、非限定的な例として、ラック搭載型コンピュータ、デスクトップコンピュータ、ラップトップコンピュータまたはタブレットコンピュータなどのいくつかの形式のいずれかでコンピュータを具体化できることを理解されたい。加えて、コンピュータは、携帯情報端末(PDA)、スマートフォン、または任意の他の好適な携帯型または固定電子デバイスを含む、一般的にはコンピュータとみなされないが好適な処理能力を有するデバイスに内蔵することができる。

【0217】

[0252] また、コンピュータは、1つまたは複数の入力および出力デバイスを有することができる。これらのデバイスは、とりわけ、ユーザインターフェースを提示するために使用することができる。ユーザインターフェースを提供するために使用することができる出力デバイスの例としては、出力の視覚的提示のためのプリンタまたは表示スクリーン、および出力の聴覚的提示のためのスピーカまたは他の音声生成デバイスが挙げられる。ユーザインターフェースとして使用することができる入力デバイスの例としては、キーボード、ならびにマウス、タッチパッドおよびデジタイジングタブレットなどのポインティングデバイスが挙げられる。別の例としては、コンピュータは、音声認識または他の可聴形式で入力情報を受信することができる。

30

【0218】

[0253] そのようなコンピュータは、ローカルエリアネットワークまたは企業ネットワークなどのワイドエリアネットワーク、インテリジェントネットワーク(IN)またはインターネットを含む、1つまたは複数のネットワークにより、任意の好適な形式で、相互接続することができる。そのようなネットワークは、任意の好適な技術に基づくことができ、任意の好適なプロトコルに従って動作することができ、ワイヤレスネットワーク、有線ネットワーク、または光ファイバネットワークを含むことができる。

40

【0219】

[0254] また、記載されるように、いくつかの態様は、1つまたは複数の方法として具体化することができる。方法の部分として実施されることは、任意の好適な様態で順序付けることができる。したがって、実施形態は、説明されたものと異なる順番でことを実施するように構築することができ、説明に役立つ実施形態中では連続的なこととして示されるが、いくつかのことを同時に実施することを含むことができる。

50

【0220】

[0255] 本明細書で規定されて使用されるすべての規定は、辞書中の規定、参照により組み込まれる文書中の規定、および/または規定される用語の通常の意味を統括すると理解されたい。

【0221】

[0256] ここで、明細書の中および請求項の中で使用される不定冠詞「a」および「an」は、そうでないと明確に示されない限り、「少なくとも1つ」を意味すると理解されたい。

【0222】

[0257] ここで、明細書の中および請求項の中で使用される「および/または」という語句は、等位結合される、要素の「いずれかまたは両方」を意味する、すなわち、いくつかの場合では要素が論理的に存在し、他の場合では要素が論理的に存在すると理解されたい。「および/または」を用いて列挙される複数の要素は、同じ様式である、すなわち、そのように等位接続される要素のうちの「1つまたは複数」であると解釈されたい。他の要素は、「および/または」という語句により具体的に識別される要素以外に、具体的に識別されるそれらの要素に関係するものであるであろうが関係しないものであるであろうが、任意選択で存在することができる。したがって、非限定的な例として、「備える (comprising)」などの開放型の言葉と組み合わせで使用されるとき、「Aおよび/またはB」という言及は、1つの実施形態ではAだけ(任意選択でB以外の要素を含む)、別の実施形態ではBだけ(任意選択でA以外の要素を含む)、さらに別の実施形態は、AおよびBの両方(任意選択で他の要素を含む)などのことを言うことができる。

10

20

【0223】

[0258] ここで、明細書の中および請求項の中で使用される、1つまたは複数の要素の列挙への言及中の「少なくとも1つ」という語句は、要素の列挙中の要素のうちの任意の1つまたは複数から選択される少なくとも1つの要素を意味するが、要素の列挙内に具体的に列挙されるあらゆる要素のうちの少なくとも1つを必ずしも含む必要はなく、要素の列挙中の要素の任意の組合せを排除しないことを理解されたい。この規定は、「少なくとも1つ」という語句が言及する要素の列挙内で具体的に識別される要素以外に、具体的に識別されるそれらの要素に関係するものであるであろうが関係しないものであるであろうが、任意選択で要素が存在できることも可能にする。したがって、非限定的な例として、「AおよびBのうちの少なくとも1つ」(または等価的に、「AまたはBのうちの少なくとも1つ」、または等価的に、「Aおよび/またはBのうちの少なくとも1つ」)は、1つの実施形態では、少なくとも1つの、任意選択で2つ以上を含む、AでBが存在しない(かつ任意選択でB以外の要素を含む)、別の実施形態では、少なくとも1つの、任意選択で2つ以上を含む、BでAが存在しない(かつ任意選択でA以外の要素を含む)、さらに別の実施形態では、少なくとも1つの、任意選択で2つ以上を含む、Aおよび少なくとも1つの、任意選択で2つ以上を含む、B(かつ任意選択で他の要素を含む)などのことを言うことができる。

30

【0224】

[0259] また、本明細書で使用される語法および用語は、記載の目的のためであり、限定的であるとみなすべきでない。本明細書での、「含む (including)」、「備える (comprising)」、「有する (having)」、「含有する (containing)」、「含む (involving)」およびそれらの変形を使用することは、その後列挙される項目、およびそれらの等価物、ならびに追加項目を包含することを意味する。

40

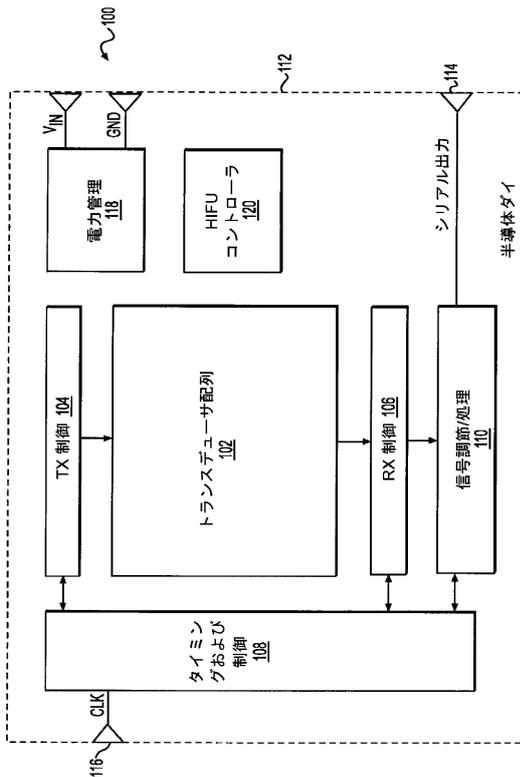
【0225】

[0260] 請求項では、上の明細書と同様に、「備える (comprising)」、「含む (including)」、「もつ (carrying)」、「有する (having)」、「含有する (containing)」、「含む (involving)」、「保持する (holding)」、「からなる (composed of)」などのすべての移行句は開放型であること、すなわち、含んでいるが限定しないことを意味すると理解されたい。「からなる (consisting of)」および「本質的に~からなる (con

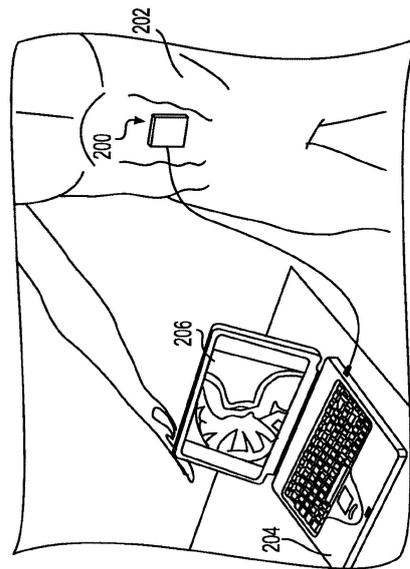
50

sisting essentially of)」という移行句だけが、それぞれ、閉鎖型または半閉鎖型となるものとする。

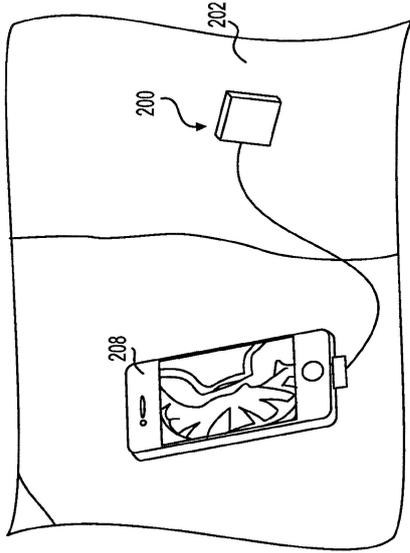
【図1】



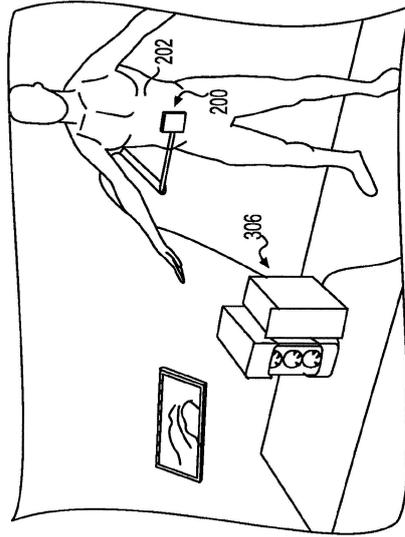
【図2A】



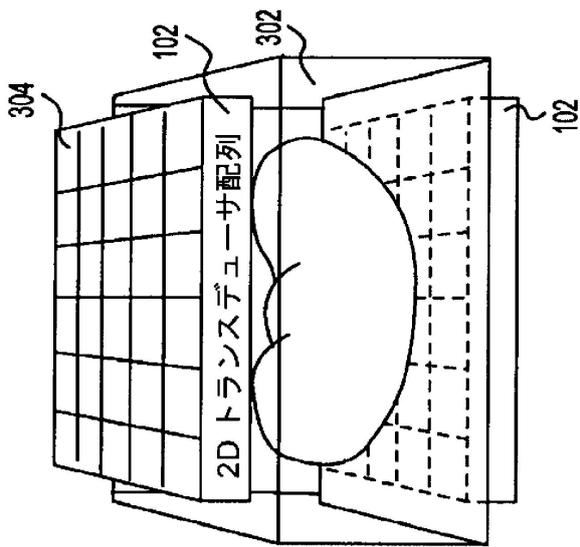
【図 2 B】



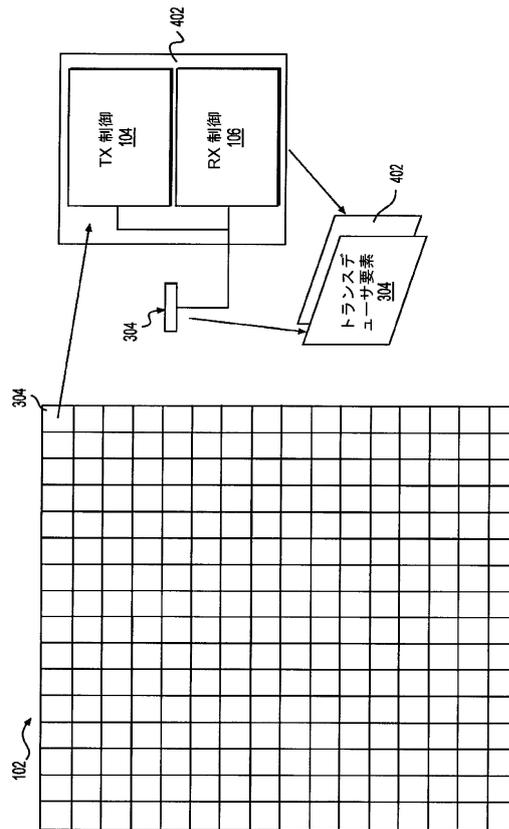
【図 3 A】



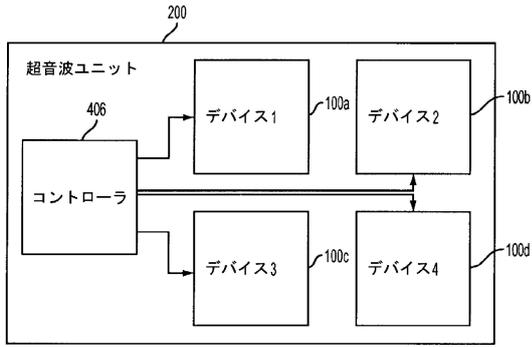
【図 3 B】



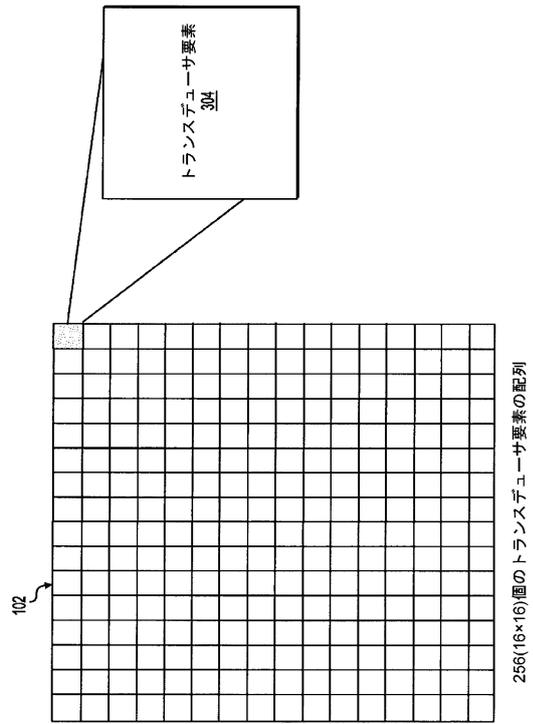
【図 4 A】



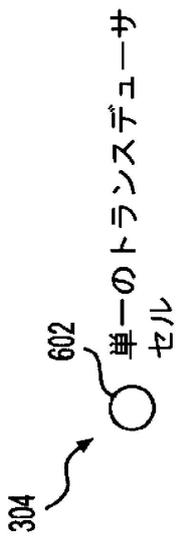
【図4B】



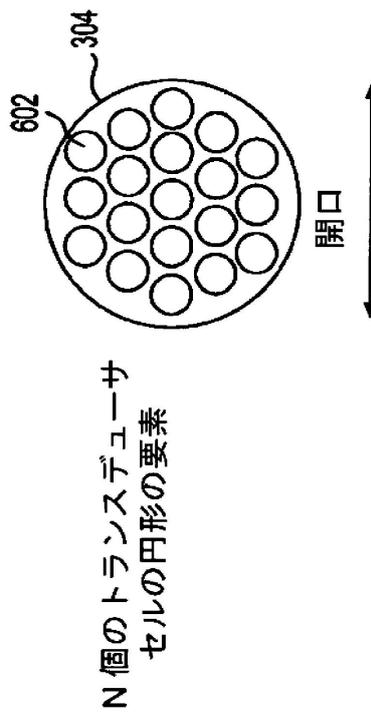
【図5】



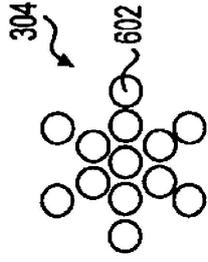
【図6A】



【図6B】

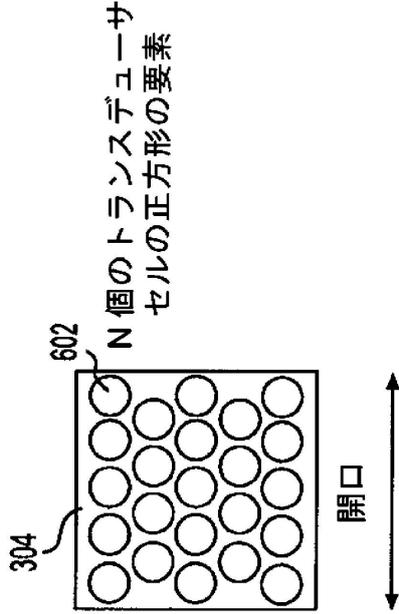


【図6C】

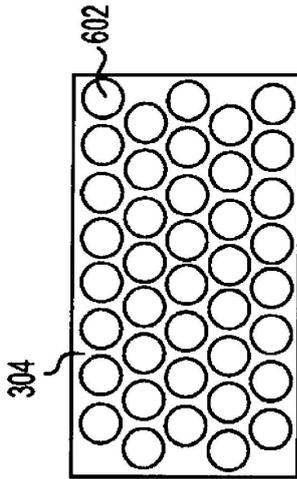


N個のトランス
デューサセルの
星形の要素

【図6D】

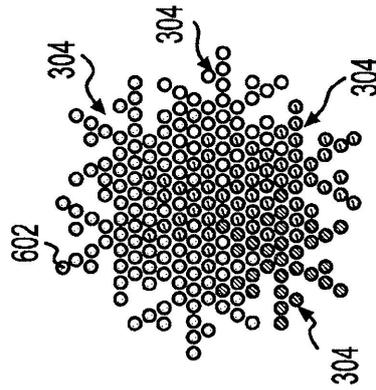


【図6E】

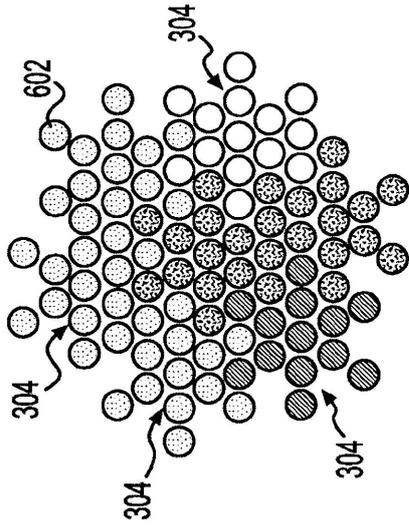


N個のトランス
デューサセルの
矩形の要素

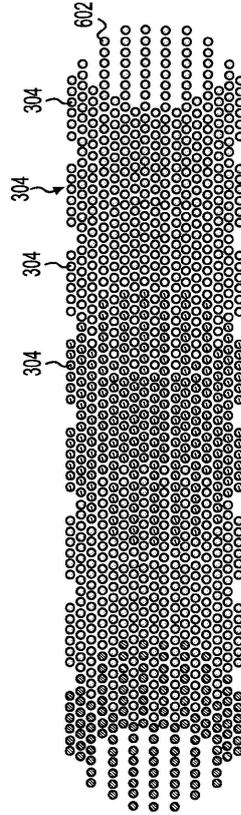
【図7A】



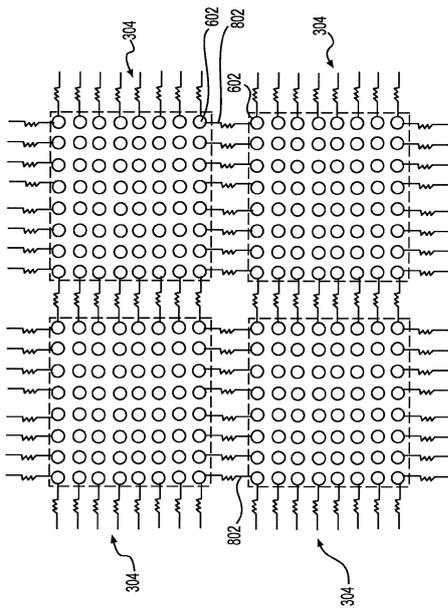
【 図 7 B 】



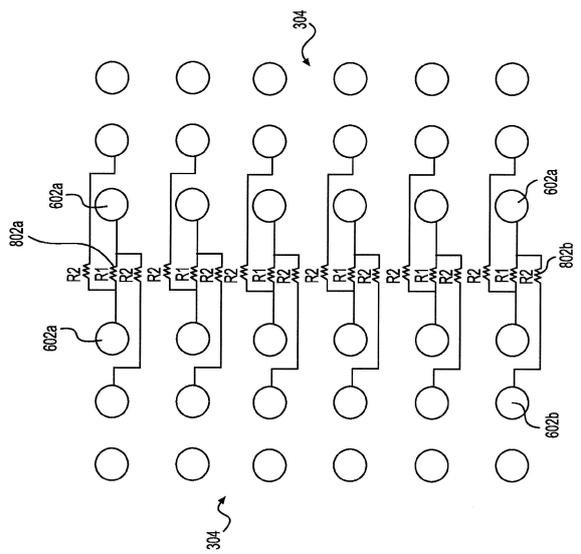
【 図 7 C 】



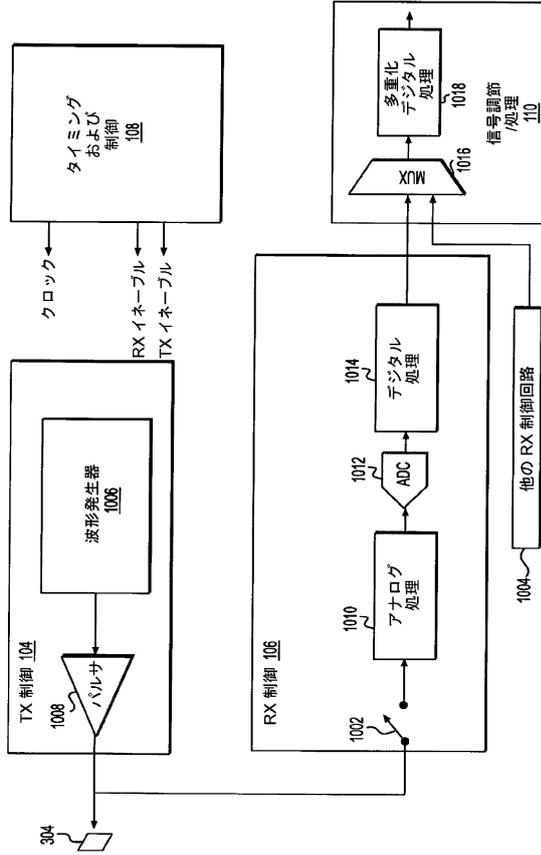
【 図 8 】



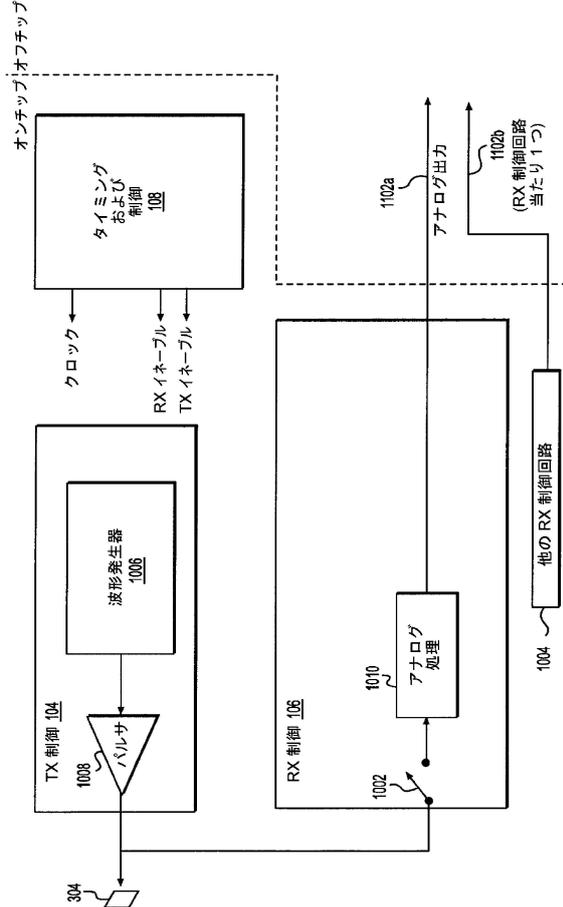
【 図 9 】



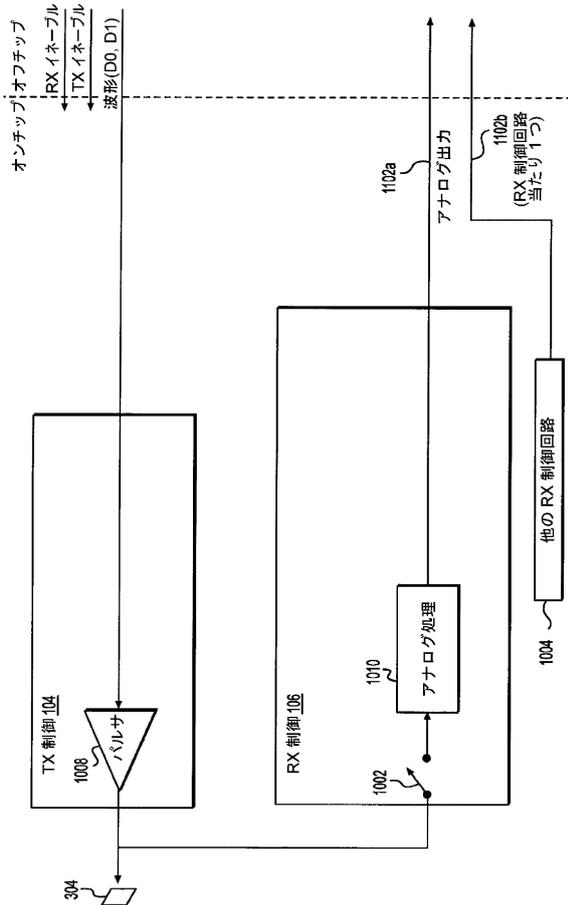
【図10】



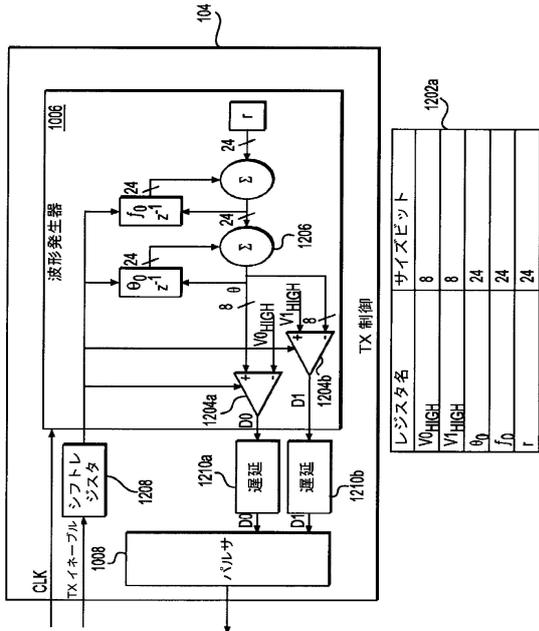
【図11A】



【図11B】

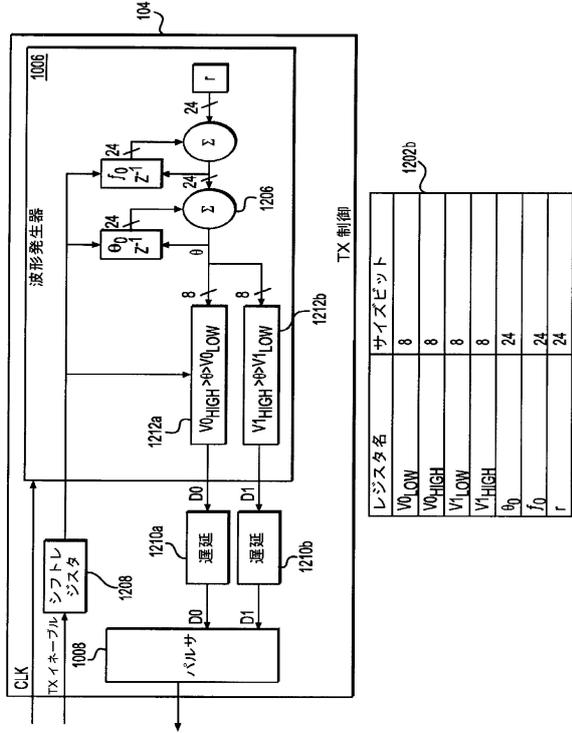


【図12A】

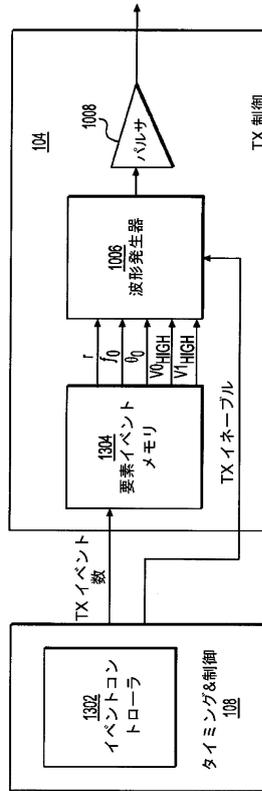


レジスタ名	サイズビット
V ₀ HIGH	8
V ₁ HIGH	8
θ ₀	24
f ₀	24
r	24

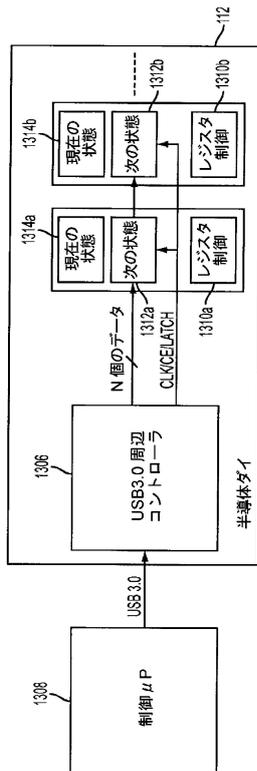
【図 12 B】



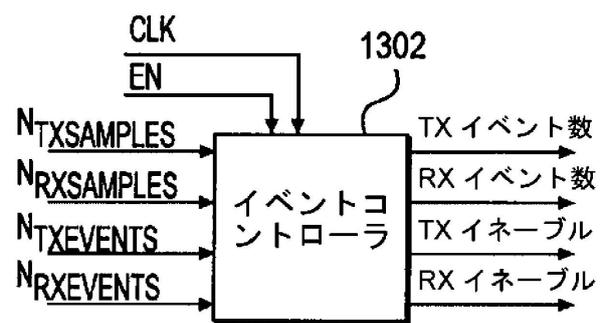
【図 13 A】



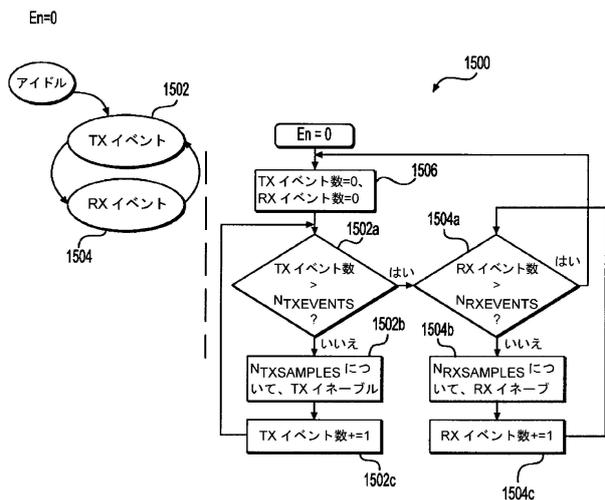
【図 13 B】



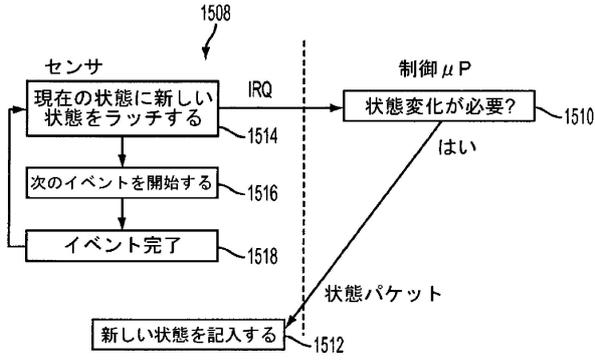
【図 14】



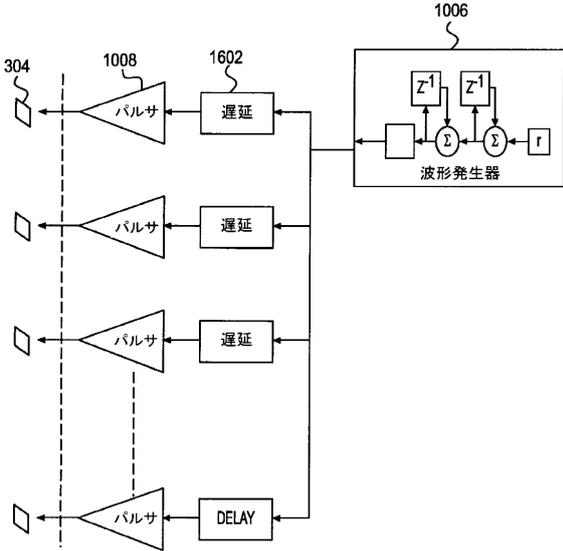
【図 15 A】



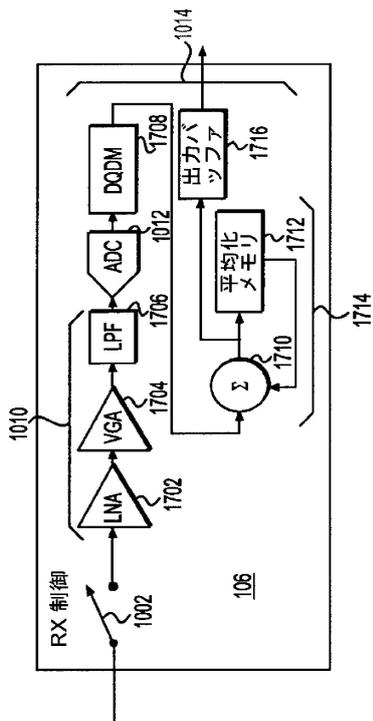
【図15B】



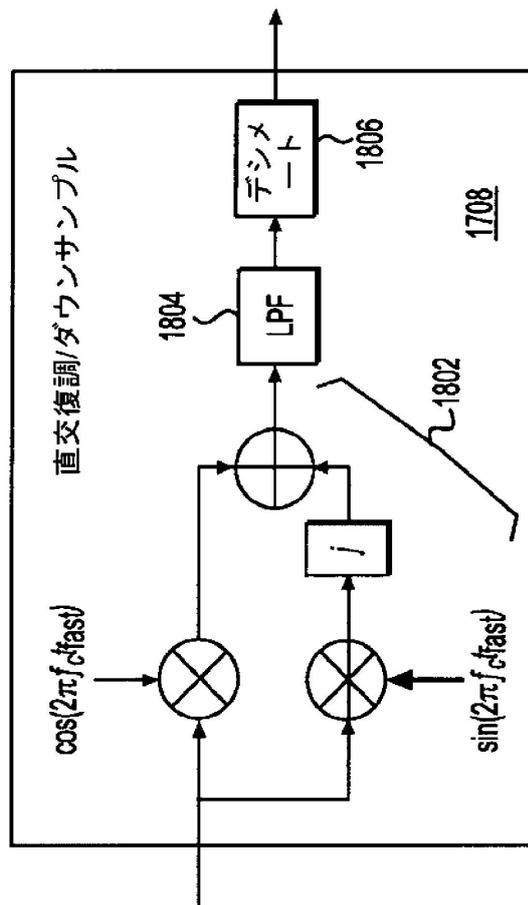
【図16】



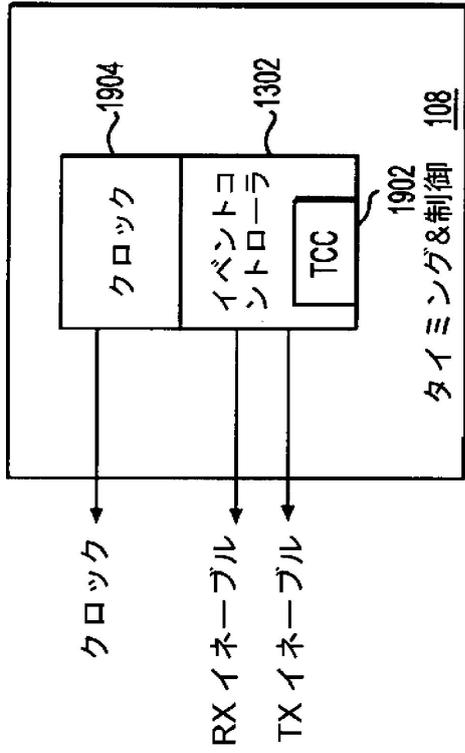
【図17】



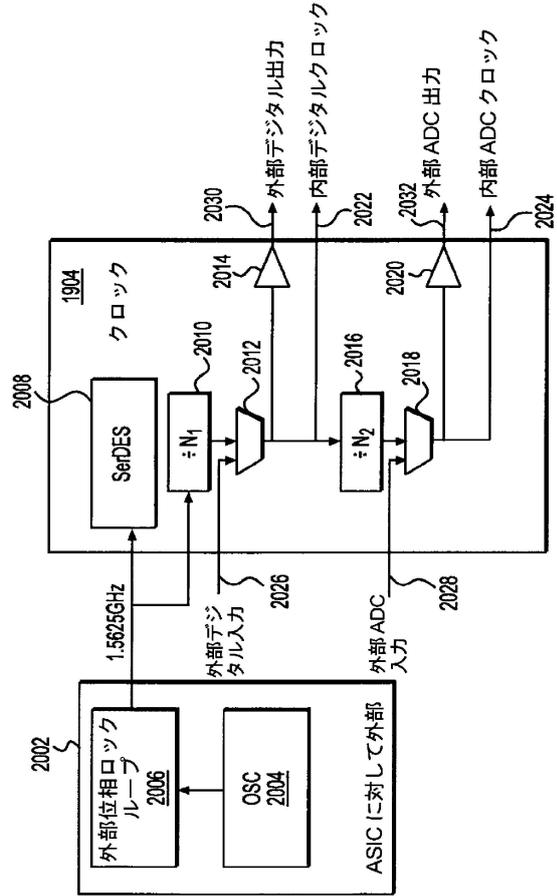
【図18】



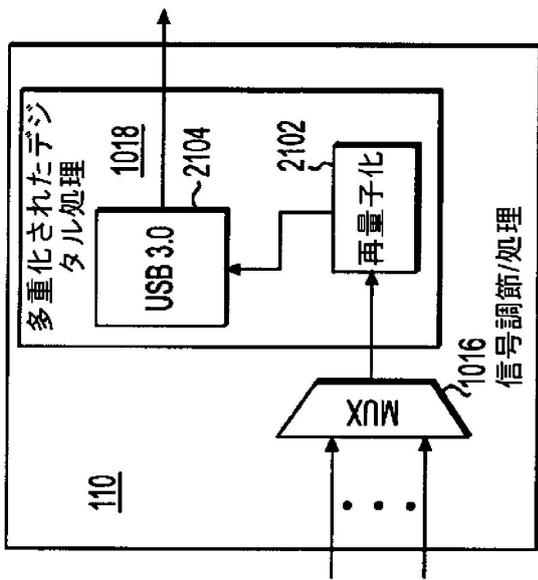
【図19】



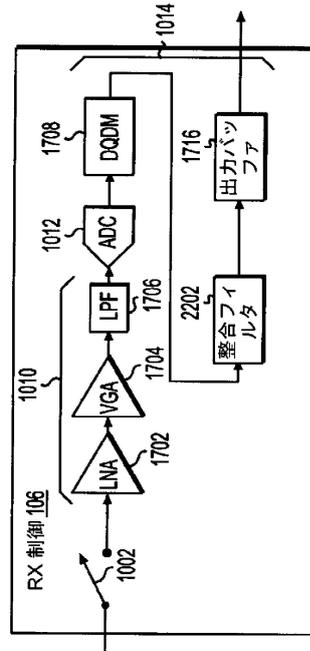
【図20】



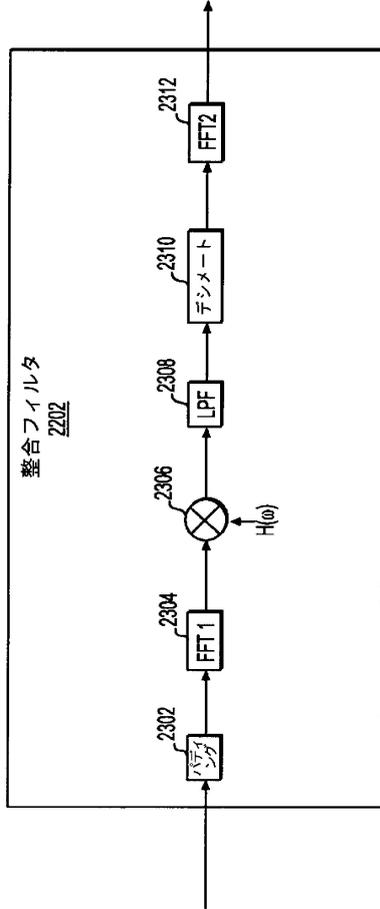
【図21】



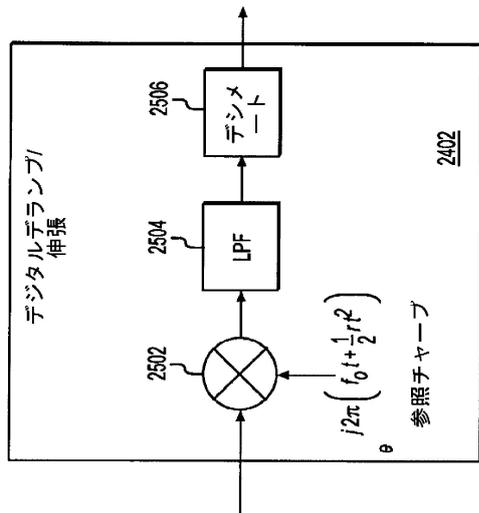
【図22】



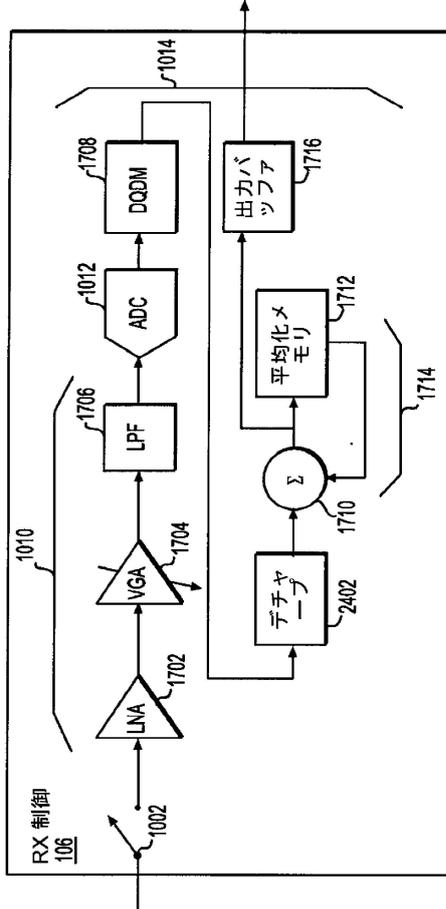
【図23】



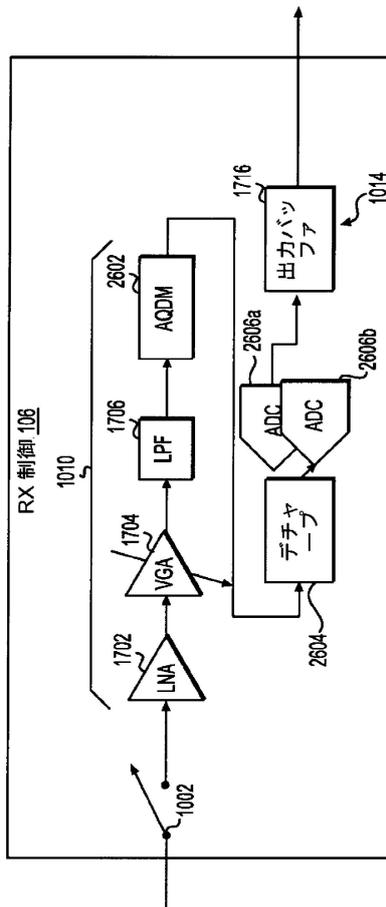
【図25】



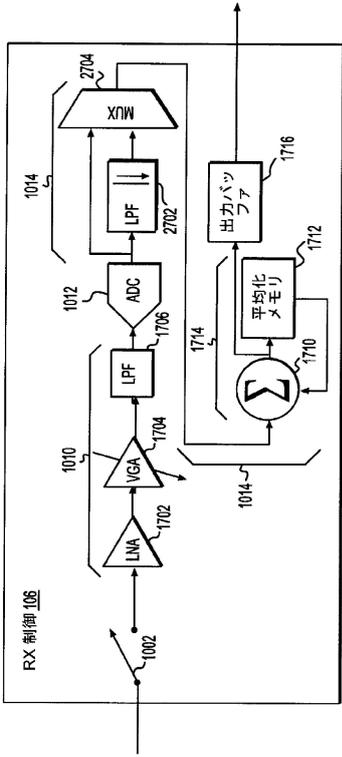
【図24】



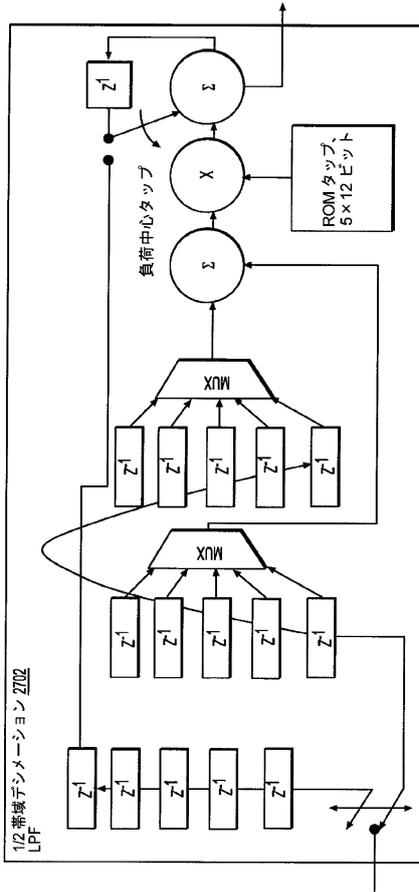
【図26】



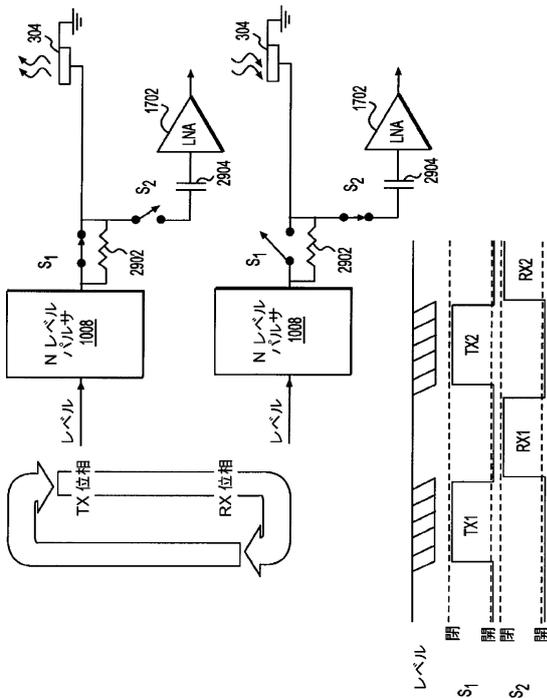
【図 27】



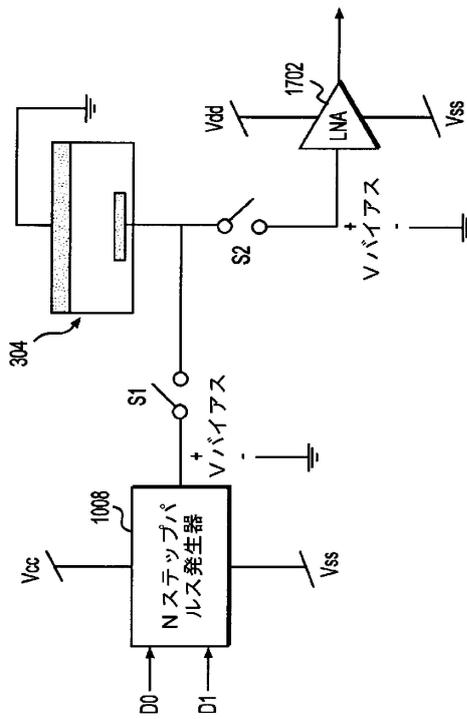
【図 28】



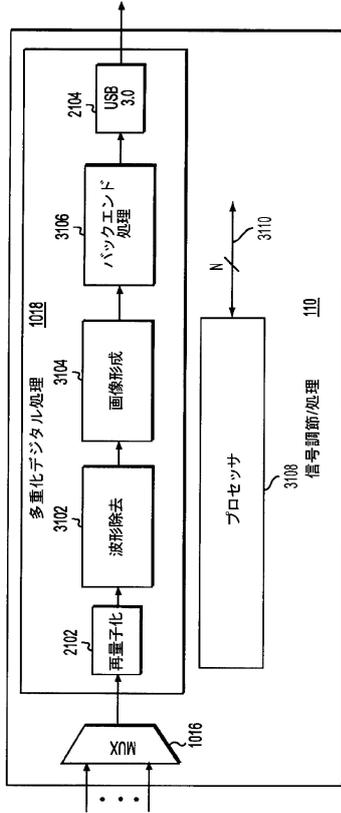
【図 29】



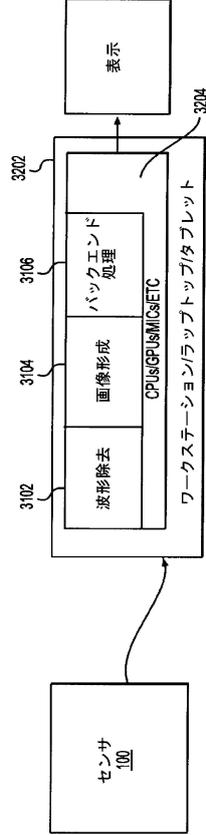
【図 30】



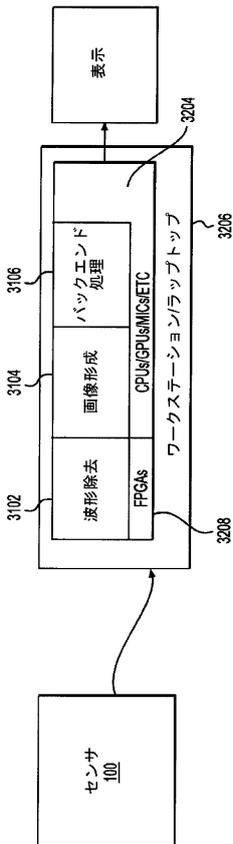
【図 3 1】



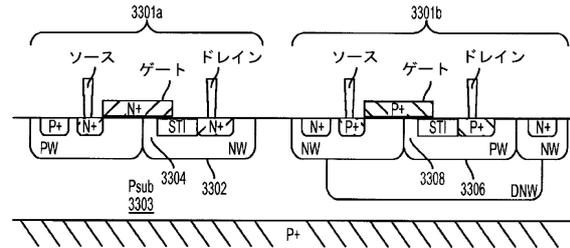
【図 3 2 A】



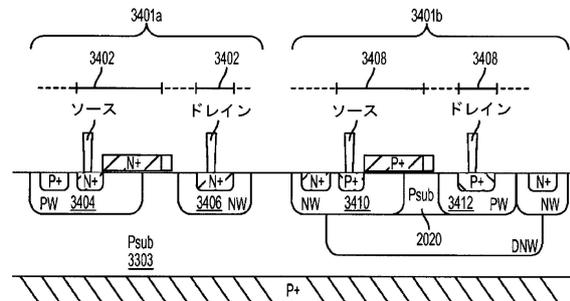
【図 3 2 B】



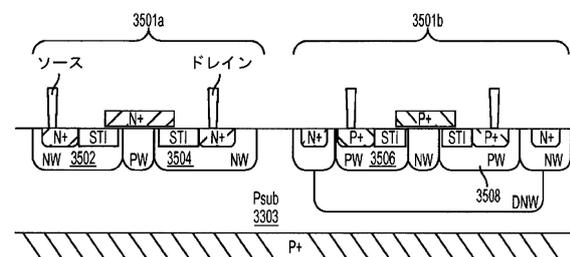
【図 3 3】



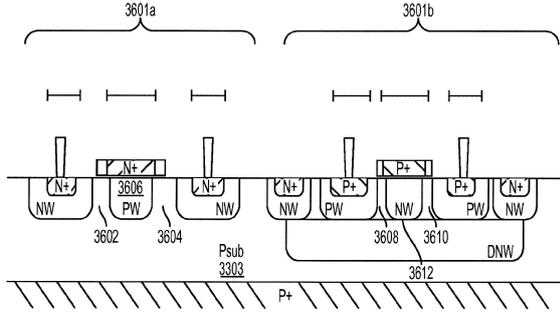
【図 3 4】



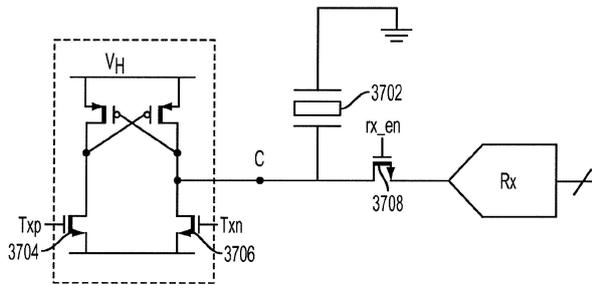
【図 3 5】



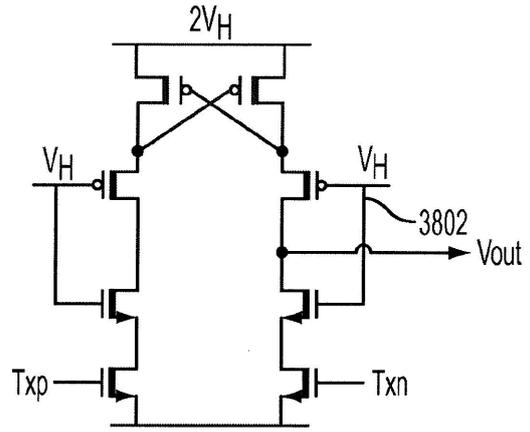
【 36 】



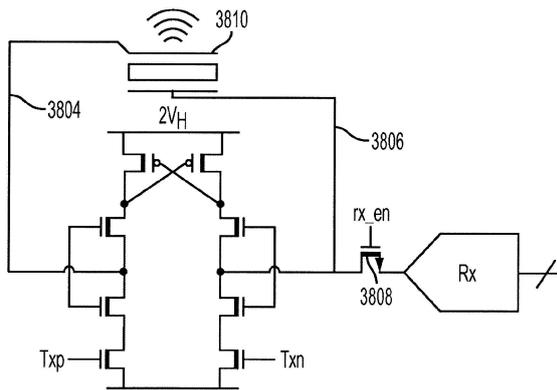
【 37 】



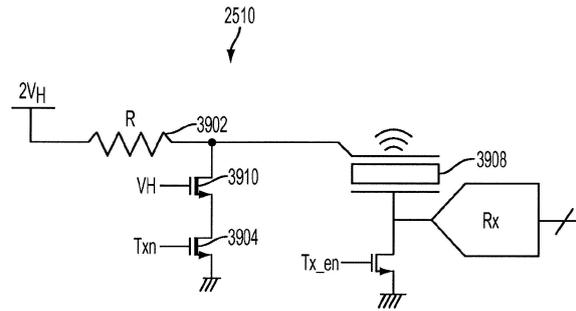
【 38 A 】



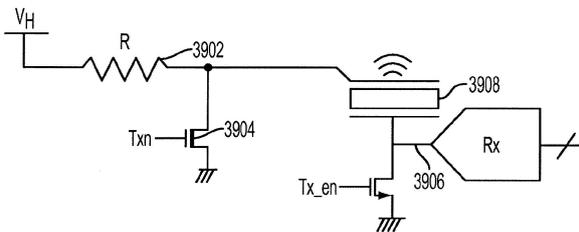
【 38 B 】



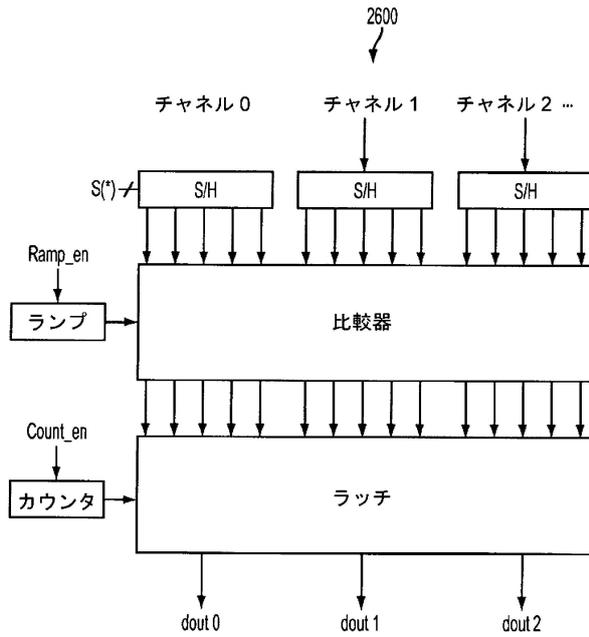
【 39 B 】



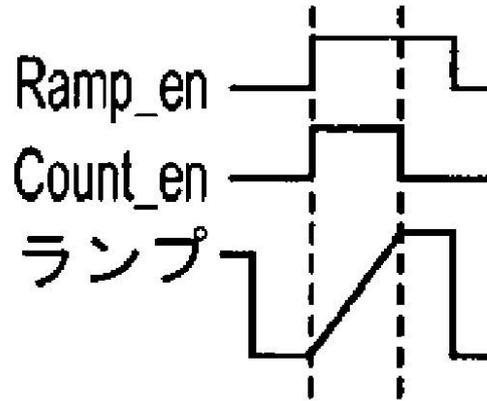
【 39 A 】



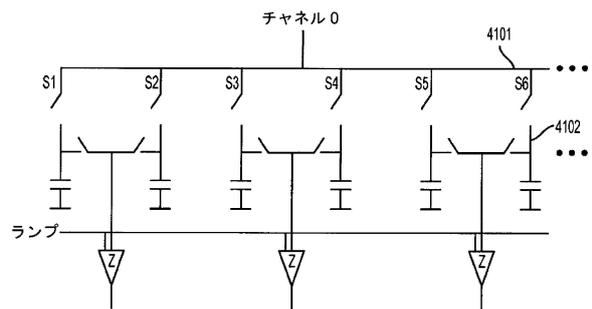
【図40A】



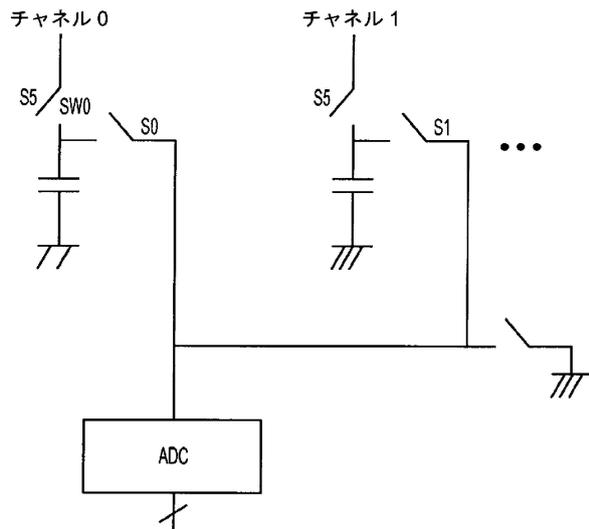
【図40B】



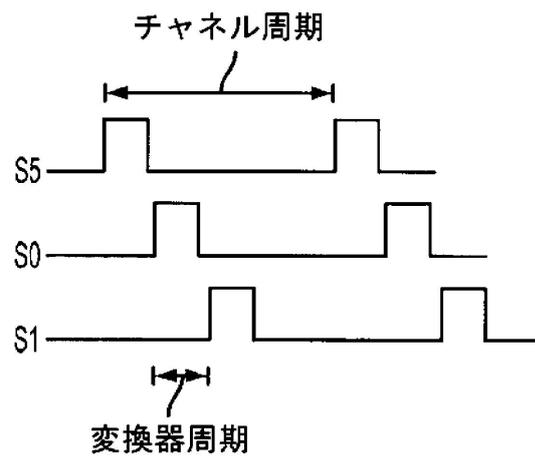
【図41】



【図42A】



【図42B】



フロントページの続き

- (72)発明者 ロスバーク, ジョナサン エム.
アメリカ合衆国, コネチカット州 06437, ギルフォード, アンカス ポイント ロード 2
15
- (72)発明者 ファイフ, キース ジー.
アメリカ合衆国, カリフォルニア州 94306, パロ アルト, マタデロ アベニュー 635
- (72)発明者 ラルストン, タイラー エス.
アメリカ合衆国, コネチカット州 06413 クリントン, ビーチ パーク ロード 56
- (72)発明者 ハルヴァート, グレゴリー エル
アメリカ合衆国, コネチカット州 06498, ウェストブルック, オールド クリントン ロー
ド 630
- (72)発明者 サンチェス, ネバダ ジェイ.
アメリカ合衆国, コネチカット州 0640 ブランフォード, イーストウッド ドライブ 14

審査官 後藤 順也

- (56)参考文献 特開2004-350703(JP, A)
特開2006-333952(JP, A)
国際公開第2012/066477(WO, A1)
国際公開第2010/082519(WO, A1)
国際公開第2010/053032(WO, A1)
特開2007-090085(JP, A)
米国特許出願公開第2009/0082673(US, A1)
DAFT C et al., A Matrix Transducer Design with Improved Image Quality and Acquisition
Rate, ULTRASONICS SYMPOSIUM, 2007年10月 1日, pp.411-415
AGARWAL A et al., Single-Chip Solution for Ultrasound Imaging Systems: Initial Results
, ULTRASONICS SYMPOSIUM, 2007年10月 1日, pp.1563-1566

(58)調査した分野(Int.Cl., DB名)

A61B 8/00 - 8/15