

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-21001
(P2008-21001A)

(43) 公開日 平成20年1月31日(2008.1.31)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 17/50 (2006.01)	G06F 17/50 658R	5B046
H01L 21/82 (2006.01)	G06F 17/50 658U	5F064
	G06F 17/50 658J	
	G06F 17/50 666Z	
	H01L 21/82 T	
審査請求 未請求 請求項の数 13 O L (全 19 頁) 最終頁に続く		

(21) 出願番号	特願2006-190461 (P2006-190461)	(71) 出願人	000005821
(22) 出願日	平成18年7月11日 (2006.7.11)		松下電器産業株式会社
			大阪府門真市大字門真1006番地
		(74) 代理人	100105647
			弁理士 小栗 昌平
		(74) 代理人	100108589
			弁理士 市川 利光
		(74) 代理人	100119552
			弁理士 橋本 公秀
		(72) 発明者	松井 光清
			大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	福永 太郎
			大阪府門真市大字門真1006番地 松下電器産業株式会社内
最終頁に続く			

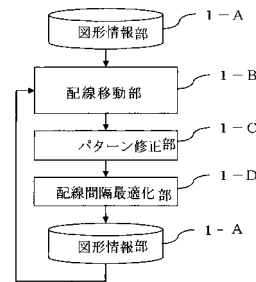
(54) 【発明の名称】 パターン修正装置、パターン最適化装置及び集積回路設計装置

(57) 【要約】

【課題】配線格子上に無い配線を容易に修正することのできるパターン修正装置を提供すること。

【解決手段】集積回路のパターンを修正するパターン修正装置は、集積回路のパターンを構成する配線の内、配線格子上に存在しない配線を前記配線格子上に移動させる配線移動部と、パターンを修正するパターン修正部と、パターン修正部によって修正されたパターンを構成する配線の配線間隔を最適化する配線間隔最適化部と、を備える。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

集積回路のパターンを修正するパターン修正装置であって、
集積回路のパターンを構成する配線の内、配線格子上に存在しない配線を前記配線格子上に移動させる配線移動部と、
前記パターンを修正するパターン修正部と、
前記パターン修正部によって修正されたパターンを構成する配線の配線間隔を最適化する配線間隔最適化部と、
を備えたことを特徴とするパターン修正装置。

【請求項 2】

請求項 1 に記載のパターン修正装置であって、
パターン検証を行った結果、タイミング違反が発生した集積回路のパターンを修正することを特徴とするパターン修正装置。

10

【請求項 3】

請求項 1 に記載のパターン修正装置であって、
前記配線移動部は、
前記パターンを構成する配線の中から 1 つの配線を選択し、
当該選択した配線が前記配線格子上に存在するかを判断し、
前記配線格子上に存在しない配線を近傍の配線格子上に移動させ、
配線格子上に移動された配線によって構成されるパターンの図形情報を作成することを特徴とするパターン修正装置。

20

【請求項 4】

請求項 1 に記載のパターン修正装置であって、
前記パターン修正部は、前記修正されたパターンの図形情報を作成し、
前記修正されたパターンを構成する配線の中から 1 つの配線を選択し、
当該選択した配線及び当該選択した配線に隣接する配線の少なくともいずれかがパターンの修正によって変更されたかを判断し、
変更されたと判断した配線を配線間隔の最適化を行う配線に指定することを特徴とするパターン修正装置。

【請求項 5】

請求項 4 に記載のパターン修正装置であって、
前記配線間隔最適化部は、
前記修正されたパターンの中から 1 つの配線を選択し、
当該選択した配線が前記パターン修正部によって配線間隔の最適化を行う配線に指定された配線かを判断し、
配線間隔の最適化を行う配線に指定された配線の配線間隔を最適化することを特徴とするパターン修正装置。

30

【請求項 6】

集積回路のパターンの図形情報及びビア面積率の規定に基づいて、前記パターン中にある単位面積当たりのビア数を算出するビア数算出部と、
前記ビア面積率が達成されていない箇所に対し、ビアが存在する配線のビア数及び配線情報を抽出する抽出部と、
ビア面積率を修正する際の優先度を決定する優先度決定部と、
前記ビア面積率の上限及び下限に対して前記ビア面積率を最適化する最適化部と、
を備えたことを特徴とするパターン最適化装置。

40

【請求項 7】

請求項 6 に記載のパターン最適化装置であって、
前記抽出部は、抽出したビア数と配線情報に応じて、前記ビア数からビア情報を振り分け、
前記優先度決定部は、前記ビア情報と配線幅との関係に応じて前記優先度を決定するこ

50

とを特徴とするパターン最適化装置。

【請求項 8】

請求項 6 に記載のパターン最適化装置であって、

前記パターン最適化装置は、

前記ビア数算出部で得られた前記ビア面積率の違反領域の違反率に応じて決定されるビア数に対し、前記優先度決定部で決定された優先度の順位に基づいて修正ビアを決定し、前記決定された修正ビアに対し、ビアの冗長化及び削除を行い、ビア修正の終了後にビア面積率を確認することを特徴とするパターン最適化装置。

【請求項 9】

テストパターン及びネットリストから未検出ノードを算出する未検出ノード算出部と、前記未検出ノード及び集積回路の図形情報から未検出ノードの分類毎に図形情報を抽出する図形情報抽出部と、

前記抽出された未検出ノードの図形情報及び欠陥密度情報から前記未検出ノードの分類毎に歩留を算出する歩留算出部と、

前記算出された歩留から前記分類毎に市場不良率を算出する市場不良率算出部と、を備えたことを特徴とする集積回路設計装置。

【請求項 10】

請求項 9 に記載の集積回路設計装置であって、

前記分類は、縮退故障の検出内容に基づいて分けられることを特徴とする集積回路設計装置。

【請求項 11】

請求項 9 に記載の集積回路設計装置であって、

前記ネットリストから前記未検出ノードに接続されているセルのセル情報を算出するセル情報算出部を備え、

前記歩留算出部は、前記未検出ノードの図形情報、前記欠陥密度情報、前記セル情報、及び前記セルのマスクパターン露光に依存する不良に基づいて、前記歩留を算出することを特徴とする集積回路設計装置。

【請求項 12】

請求項 9 に記載の集積回路設計装置であって、

前記集積回路の図形情報を修正する図形情報修正部を備えたことを特徴とする集積回路設計装置。

【請求項 13】

請求項 12 に記載の集積回路設計装置であって、

前記図形情報修正部が修正する図形情報の修正の優先順位を決定する優先順位決定部を備えたことを特徴とする集積回路設計装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積回路のパターンの修正、最適化又は設計を行うパターン修正装置、パターン最適化装置及び集積回路設計装置に関する。

【背景技術】

【0002】

LSI の製造技術の飛躍的な進歩により、ディープサブミクロンと呼ばれる超微細プロセスが用いられている。プロセスの微細化は物理的な点からレイアウト設計を困難にする。また、信号遅延（ゲート遅延や配線遅延）に関しては、配線遅延の影響が大きくなってきたため、配線設計に対する工夫が必要である。

【0003】

また、LSI 製品の寿命の短命化に伴い、LSI の製造技術における歩留の改善を早急に行う必要がある。例えば、製造容易化設計のために DFM (Design For Manufacturing) 技術への対応が求められている。また、自動車向け LSI に限らず民生や産業向け LSI

10

20

30

40

50

Iにおいても、設計品質の向上や不良率の削減が求められている。

【0004】

近年の微細化に伴う配線の最小間隔の縮小化によって、配線遅延に大きな影響を与えるものにクロストークがある。クロストークを回避するための基本的なアプローチには、配線間容量の低減と隣接配線間の非同時スイッチング化がある。配線間容量を低減するためには配線間隔を広げる方法がある。例えば、詳細配線後のレイアウトデータに対して、自動レイアウトツールを用いて配線格子を無視した配線間隔を拡大させる。

【0005】

次に、デザインルールの微細化によってマスク処理が非常に困難となり、歩留の低下といった問題や、最悪の場合はLSIが得られないといった問題がある。これらの問題は、10 半導体マスクの図形パターンが露光で用いる光の波長よりも細かいことが原因である。また、配線やビアの配置関係によるところもある。例えば、図形パターンに疎密がある場合、正確なパターン転写ができないことがある。

【0006】

また、テストパターンを用いて縮退故障やオープン故障を検出するが、全てのノードを検出することは困難である。テストパターンで検出不可能なノード（未検出ノード）に微小なチリや異物が付着して配線パターン間に短絡や断線が生じることで、製品不良が発生する可能性がある。

【0007】

LSIのクロストークの低減や歩留の向上を目的としたレイアウトパターンを生成する技術の一例が、特開2005-301799号公報に開示されている。以下、図28を参照しながら、集積回路のパターンのレイアウト修正について簡単に説明する。20

【0008】

図28に示すように、集積回路のパターンの修正方法では、配線パターンの集合である図形情報（21-1）を入力として任意の配線パターンを選択し（ステップ21-2）、ステップ21-2で選択された配線パターンRと当該配線パターンRに隣接する配線パターンとの間の、配線間容量の大きさに基づく隣接バランス度を計算し（ステップ21-3）、ステップ21-3によって計算された隣接バランス度に基づいて隣接する配線パターンの位置を移動する（ステップ21-4）。

【0009】30

上記方法によれば、選択された配線パターンと隣接配線パターンとの間の配線間容量の大きさに基づく隣接バランス度に基づいて隣接配線パターンを移動し、元の配線パターンよりも配線間隔を広げることができる。このため、LSIチップのタイミング最適化やクロストークを低減するレイアウトが可能な上、歩留も向上することができる。

【0010】

【特許文献1】特開2005-301799号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

しかし、上記説明した集積回路のパターンの修正方法では、配線間隔が最適化された後に配線を修正する必要が生じた場合、配線格子上に無い配線を修正するのは自動配線ツールでは対応が困難であることや、対応できたとしても処理時間が膨大になってしまう。また、評価関数としてビアが含まれてないため、図形パターンの疎密による歩留の低下を引き起こす可能性がある。今後のさらなるプロセスの微細化に伴い、ビアに関する図形パターンの疎密も考慮する必要がある。40

【0012】

さらに、市場不良率は、テストパターンを用いた縮退故障の検出率に基づいて計算されている。しかし、プロセスの微細化に伴い、テストパターンを用いた故障検出率だけのパラメータでは、市場における不良率が正確に把握できない。また、不良率算出パラメータに、図形パターン情報が含まれていないため、市場不良を低減させるような図形パターン50

修正ができない。

【 0 0 1 3 】

本発明の目的は、配線格子上に無い配線を容易に修正することのできるパターン修正装置を提供することである。また、本発明の別の目的は、ビアの疎密による歩留低下を防止することのできるパターン最適化装置を提供することである。また、本発明のさらに別の目的は、高精度に市場不良率を算出することのできる集積回路設計装置を提供することである。

【課題を解決するための手段】

【 0 0 1 4 】

本発明は、集積回路のパターンを修正するパターン修正装置であって、集積回路のパターンを構成する配線の内、配線格子上に存在しない配線を前記配線格子上に移動させる配線移動部と、前記パターンを修正するパターン修正部と、前記パターン修正部によって修正されたパターンを構成する配線の配線間隔を最適化する配線間隔最適化部と、を備えたパターン修正装置を提供する。

10

【 0 0 1 5 】

上記パターン修正装置では、パターン検証を行った結果、タイミング違反が発生した集積回路のパターンを修正する。

【 0 0 1 6 】

上記パターン修正装置では、前記配線移動部は、前記パターンを構成する配線の中から1つの配線を選択し、当該選択した配線が前記配線格子上に存在するかを判断し、前記配線格子上に存在しない配線を近傍の配線格子上に移動させ、配線格子上に移動された配線によって構成されるパターンの図形情報を作成する。

20

【 0 0 1 7 】

上記パターン修正装置では、前記パターン修正部は、前記修正されたパターンの図形情報を作成し、前記修正されたパターンを構成する配線の中から1つの配線を選択し、当該選択した配線及び当該選択した配線に隣接する配線の少なくともいずれかがパターンの修正によって変更されたかを判断し、変更されたと判断した配線を配線間隔の最適化を行う配線に指定する。

【 0 0 1 8 】

上記パターン修正装置では、前記配線間隔最適化部は、前記修正されたパターンの中から1つの配線を選択し、当該選択した配線が前記パターン修正部によって配線間隔の最適化を行う配線に指定された配線かを判断し、配線間隔の最適化を行う配線に指定された配線の配線間隔を最適化する。

30

【 0 0 1 9 】

本発明は、集積回路のパターンの図形情報及びビア面積率の規定に基づいて、前記パターン中にある単位面積当たりのビア数を算出するビア数算出部と、前記ビア面積率が達成されていない箇所に対し、ビアが存在する配線のビア数及び配線情報を抽出する抽出部と、ビア面積率を修正する際の優先度を決定する優先度決定部と、前記ビア面積率の上限及び下限に対して前記ビア面積率を最適化する最適化部と、を備えたパターン最適化装置を提供する。

40

【 0 0 2 0 】

上記パターン最適化装置では、前記抽出部は、抽出したビア数と配線情報に応じて、前記ビア数からビア情報を振り分け、前記優先度決定部は、前記ビア情報と配線幅との関係に応じて前記優先度を決定する。

【 0 0 2 1 】

上記パターン最適化装置は、前記ビア数算出部で得られた前記ビア面積率の違反領域の違反率に応じて決定されるビア数に対し、前記優先度決定部で決定された優先度の順位に基づいて修正ビアを決定し、前記決定された修正ビアに対し、ビアの冗長化及び削除を行い、ビア修正の終了後にビア面積率を確認する。

【 0 0 2 2 】

50

本発明は、テストパターン及びネットリストから未検出ノードを算出する未検出ノード算出部と、前記未検出ノード及び集積回路の図形情報から未検出ノードの分類毎に図形情報を抽出する図形情報抽出部と、前記抽出された未検出ノードの図形情報及び欠陥密度情報から前記未検出ノードの分類毎に歩留を算出する歩留算出部と、前記算出された歩留から前記分類毎に市場不良率を算出する市場不良率算出部と、を備えた集積回路設計装置を提供する。

【0023】

上記集積回路設計装置では、前記分類は、縮退故障の検出内容に基づいて分けられる。

【0024】

上記集積回路設計装置は、前記ネットリストから前記未検出ノードに接続されているセルのセル情報を算出するセル情報算出部を備え、前記歩留算出部は、前記未検出ノードの図形情報、前記欠陥密度情報、前記セル情報、及び前記セルのマスクパターン露光に依存する不良に基づいて、前記歩留を算出する。

10

【0025】

上記集積回路設計装置は、前記集積回路の図形情報を修正する図形情報修正部を備える。

【0026】

上記集積回路設計装置は、前記図形情報修正部が修正する図形情報の修正の優先順位を決定する優先順位決定部を備える。

【発明の効果】

20

【0027】

本発明に係るパターン修正装置によれば、配線格子上に無い配線を修正することを容易にする。また、本発明に係るパターン最適化装置によれば、ビアの疎密による歩留低下を防止することができる。また、本発明に係る集積回路設計装置によれば、高精度に市場不良率を算出することができる。

【発明を実施するための最良の形態】

【0028】

以下、本発明の実施形態について、図面を参照して説明する。

【0029】

(第1の実施形態)

30

図1は、本発明に係るパターン修正装置の一実施形態を示すブロック図である。図1に示すように、第1の実施形態のパターン修正装置は、図形情報記憶部1-Aと、タイミング検証部(図示せず)と、配線移動部1-Bと、パターン修正部1-Cと、配線間隔最適化部1-Dとを備える。なお、タイミング検証部、配線移動部1-B、パターン修正部1-C及び配線間隔最適化部1-Dは、コンピュータがプログラムを実行することによって実現される。

【0030】

図形情報記憶部1-Aは、集積回路のパターンの図形情報を記憶する。集積回路のパターン(pattern)は複数の配線(traces)を含む。本実施形態の図形情報は、パターン中の配線の配置を示す情報である。なお、本実施形態では、集積回路に設けられる横方向の配線と縦方向の配線はそれぞれ異なる配線層に設けられ、横方向の配線と縦方向の配線はビア(contact)によって接続される。

40

【0031】

タイミング検証部は、図形情報記憶部1-Aから読み出した図形情報が示すパターンに対してタイミング検証を行う。配線移動部1-Bは、図形情報記憶部1-Aから読み出した図形情報が示すパターンを構成する配線の内、配線格子上に存在しない配線を配線格子上に移動させる。配線移動部1-Bは、配線格子上に移動された配線を含むパターンに基づいて、新たな図形情報(配線格子上の図形情報)を作成する。配線移動部1-Bは、作成した新たな図形情報を図形情報記憶部1-Aに格納する。

【0032】

50

パターン修正部 1 - C は、配線を追加又は削除したり、配線の長さを変更する等して、パターンを修正する。パターン修正部 1 - C は、修正したパターンの図形情報を、配線移動部 1 - B によって作成された新たな図形情報を用いて生成する。配線間隔最適化部 1 - D は、パターン修正部 1 - C によって修正されたパターンの図形情報を用いて、配線間隔を最適化する。配線間隔最適化部 1 - D は、配線間隔が最適化されたパターンの図形情報を図形情報記憶部 1 - A に格納する。

【 0 0 3 3 】

図 2 は、本実施形態のパターン修正装置の動作を示すフローチャートである。まずステップ 2 - 2 では、タイミング検証部が、図形情報記憶部 1 - A から読み出した図形情報に対してタイミング検証を行ってタイミング違反の有無を判断する。タイミング違反が発生していなければ処理を終了し、タイミング違反が発生していればステップ 2 - 3 に進む。

10

【 0 0 3 4 】

ステップ 2 - 3 では、配線移動部 1 - B が、図形情報記憶部 1 - A から読み出した図形情報が示すパターンの配線の内、配線格子に無い配線を配線格子に移動させて、新たな図形情報を作成する。ステップ 2 - 5 では、パターン修正部 1 - C がパターンを修正する。当該修正は、自動配線ツールが利用されても、手作業により行われても良い。

【 0 0 3 5 】

ステップ 2 - 6 では、配線間隔最適化部 1 - D が、ステップ 2 - 5 で修正されたパターンの配線間隔を最適化する。ステップ 2 - 6 の終了後は再びステップ 2 - 2 に戻り、配線間隔が最適化されたパターンの図形情報に対してタイミング検証を行う。

20

【 0 0 3 6 】

以下、配線移動部 1 - B が行うステップ 2 - 3 の詳細について説明する。図 3 は、配線移動部 1 - B が行うステップ 2 - 3 の詳細を示すフローチャートである。図 4 は、配線格子に存在しない配線が配線格子に移動される前のパターンの一例を示す図である。図 5 は、配線格子に存在しない配線が配線格子に移動された後のパターンの一例を示す図である。図 6 は、配線格子に移動される前の配線の一例を示す図である。図 7 は、配線格子に移動された後の配線の一例を示す図である。

【 0 0 3 7 】

図 3 に示すように、タイミング検証部によってタイミング違反が発生したと判断された集積回路に対して、配線移動部 1 - B は、パターンの中から 1 つの配線を選択する（ステップ 5 - 2）。当該ステップ 5 - 2 では、配線移動部 1 - B は、配線長が長い配線、クリティカルネットに含まれる配線、又は任意の配線を選択する。次に、配線移動部 1 - B は、選択された配線が配線格子に存在するかを判断する（ステップ 5 - 3）。配線格子に存在しない配線に対してはステップ 5 - 4 に進み、当該配線を配線格子に移動させる。配線格子に存在する配線に対しては何もしない。

30

【 0 0 3 8 】

配線移動部 1 - B は、以上の処理をパターン中の各配線に対して行う。例えば、図 4 に示されるパターン内の配線 R 1 は配線格子に存在していない。このため、図 6 及び図 7 に示すように、配線移動部 1 - B は配線 R 1 を並行移動して近傍の配線格子に移動させる。この結果、図 4 に示したパターンは図 5 に示すパターンになる。

40

【 0 0 3 9 】

各配線の位置は、始点 (X , Y)、長さ (L) 及び幅 (W) によって規定される。図 6 に示した配線 R 1 は始点 (X 1 , Y 1)、長さ L 1 及び幅 W 1 と規定されるが、配線格子に移動されることによって始点 (X 1 , Y 1)、長さ L 1 及び幅 W 1 となる。図形情報は、パターンを構成する各配線の始点 (X , Y)、長さ (L) 及び幅 (W) を含む。図 8 は、集積回路のパターンの図形情報及び配線移動部 1 - B によって新たに作成された図形情報を関連付けて記憶する図形情報記憶部 1 - A を示す図である。

【 0 0 4 0 】

次に、パターン修正部 1 - C が行うステップ 2 - 5 の詳細について説明する。図 9 は、パターン修正部 1 - C が行うステップ 2 - 5 の詳細を示すフローチャートである。図 9 に

50

示すように、パターン修正部 1 - C は、パターンを修正し、修正されたパターンの図形情報を作成する（ステップ 6 - 1）。次に、パターン修正部 1 - C は、修正されたパターンの中から 1 つの配線を選択する（ステップ 6 - 3）。次に、パターン修正部 1 - C は、選択された配線がステップ 6 - 1 での修正によって変更されたかを判断する（ステップ 6 - 4）。さらに、パターン修正部 1 - C は、選択された配線に隣接する配線がパターンの修正によって変更されたかを判断する（ステップ 6 - 5）。なお、ステップ 6 - 4 及び S 6 - 5 での判断は、パターンの修正後に作成された図形情報と、パターン修正前に新たに作成された図形情報とを比較して行なわれる。

【 0 0 4 1 】

ステップ 6 - 4 及び S 6 - 5 の少なくともいずれか一方で、パターンの修正によって変更された配線であると判断された場合、パターン修正部 1 - C は、当該配線を配線間隔の最適化を行う対象の配線に指定する（ステップ 6 - 7）。一方、ステップ 6 - 4 及び S 6 - 5 の両方で変更なしと判断された場合、パターン修正部 1 - C は、当該配線をパターン修正前の配線格子上に移動させる前の図形情報に基づく位置に戻す（ステップ 6 - 6）。

10

【 0 0 4 2 】

パターン修正部 1 - C は、以上の処理をパターン中の各配線に対して行う。図 1 0 は、図 5 に示したパターンに配線 R 1 1 が追加されたパターンの一例を示す図である。なお、図 1 0 ではビアが省略されている。図 1 0 に示すように、パターン修正部 1 - C が新たな配線 R 1 1 をパターンに追加する修正を行った後、パターン修正部 1 - C は、当該修正されたパターンの図形情報を作成する。そして、パターン修正部 1 - C は、修正されたパターンの中から各配線を選択してステップ 6 - 4 ~ 6 - 7 の処理を行う。

20

【 0 0 4 3 】

パターン修正部 1 - C が、図 1 0 に示すパターンの中から配線 R 3 を選択した際の処理について説明する。パターン修正部 1 - C は、ステップ 6 - 4 で、配線 R 3 の始点の縦方向の位置を示す値 Y に基づいて変更の有無を判断する。また、パターン修正部 1 - C は、ステップ 6 - 5 で、配線 R 3 に隣接する配線 R 5 , R 9 の各始点の値 Y に基づいて変更の有無を判断する。配線 R 3 に関しては、ステップ 6 - 4 及び S 6 - 5 の両方で変更なしと判断されるため、パターン修正部 1 - C は、配線 R 3 をパターン修正前の配線格子上に移動させる前の図形情報に基づく位置 Y 3 に戻す。図 1 1 は、配線 R 3 に対してステップ 2 - 5 の処理が行われた結果のパターンを示す図である。

30

【 0 0 4 4 】

パターン修正部 1 - C が、図 1 0 に示すパターンの中から配線 R 4 を選択した際の処理について説明する。パターン修正部 1 - C は、ステップ 6 - 4 で、配線 R 4 の変更の有無を判断し、ステップ 6 - 5 で、配線 R 4 に隣接する配線 R 1 1 の変更の有無を判断する。配線 R 4 に関しては、ステップ 6 - 5 で隣接配線 R 1 1 の位置に変更があると判断されるため、パターン修正部 1 - C は、配線 R 4 を配線間隔最適化対象の配線に指定する。配線間隔最適化対象の配線に指定された場合、配線の位置の移動は行わない。図 1 2 は、配線 R 4 に対してステップ 2 - 5 の処理が行われた結果のパターンを示す図である。

【 0 0 4 5 】

パターン修正部 1 - C が、図 1 0 に示すパターンの中から配線 R 1 1 を選択した際の処理について説明する。パターン修正部 1 - C は、ステップ 6 - 4 で、配線 R 1 1 の変更の有無を判断する。パターンの修正の際に追加された配線 R 1 1 に関しては、ステップ 6 - 4 で配線 R 1 1 の位置に変更があると判断されるため、パターン修正部 1 - C は、配線 R 1 1 を配線間隔最適化対象の配線に指定する。

40

【 0 0 4 6 】

このように、パターン修正部 1 - C は、パターン中の全ての配線に対して上記処理を行う。図 1 3 は、横方向の配線の全てに対してステップ 2 - 5 の処理が行われた結果のパターンを示す図である。図 1 4 は、配線の全てに対してステップ 2 - 5 の処理が行われた結果のパターンを示す図である。パターン修正部 1 - C による上記処理によれば、配線間隔最適化対象の配線を指定することにより処理工数を削減できるとともに、配線間隔最適化

50

により生じるタイミング変動の低減が可能となる。

【 0 0 4 7 】

次に、配線間隔最適化部 1 - D が行うステップ 2 - 6 の詳細について説明する。図 1 5 は、配線間隔最適化部 1 - D が行うステップ 2 - 6 の詳細を示すフローチャートである。図 1 5 に示すように、配線間隔最適化部 1 - D は、パターン修正部 1 - C によって修正されたパターンの中から 1 つの配線を選択する（ステップ 7 - 1）。次に、配線間隔最適化部 1 - D は、選択された配線が配線間隔最適化対象の配線か否かを判断する（ステップ 7 - 2）。配線間隔最適化対象の配線に対しては、配線間隔最適化部 1 - D は、配線間隔を最適化する（ステップ 7 - 3）。

【 0 0 4 8 】

配線間隔最適化部 1 - D は、以上の処理をパターン中の各配線に対して行う。ステップ 7 - 1 で配線 R 1 が選択された場合、配線 R 1 は配線間隔最適化対象の配線ではないため、配線間隔の最適化は行わない。一方、ステップ 7 - 1 で配線 R 4 が選択された場合、配線 R 4 は配線間隔最適化対象の配線であるため、配線間隔の最適化を行う。図 1 6 は、配線 R 4 に対してステップ 2 - 6 の処理が行われた結果のパターンを示す図である。

【 0 0 4 9 】

このように、配線間隔最適化部 1 - D は、パターン中の全ての配線に対して上記処理を行う。図 1 7 は、横方向の配線の全てに対してステップ 2 - 6 の処理が行われた結果のパターンを示す図である。図 1 8 は、配線の全てに対してステップ 2 - 6 の処理が行われた結果のパターンを示す図である。なお、配線間隔最適化対象の配線にプロセスパラメータより算出した歩留低下要因の配線を指定することも可能であり、効率的に歩留を向上させることができる。これは、少ない配線変動で歩留を向上させたい場合に、非常に有用である。

【 0 0 5 0 】

以上説明したように、本実施形態のパターン修正装置によれば、配線格子上に無い配線を配線格子上に配置して、配線間隔を最適化する手順を繰り返し行って、集積回路のパターンを何度でも変更することができる。また、配線格子上に無い配線を配線格子上に配置することで、自動配線ツールでの対応が容易になる。

【 0 0 5 1 】

（第 2 の実施形態）

図 1 9 は、本発明に係るパターン最適化装置の一実施形態を示すブロック図である。図 1 9 に示すように、第 2 の実施形態のパターン最適化装置は、図形情報記憶部 8 - A と、ビア面積率記憶部 8 - B と、ビア数算出部 8 - C と、抽出部 8 - D と、優先度決定部 8 - E と、最適化部 8 - F とを備える。なお、ビア数算出部 8 - C、抽出部 8 - D、優先度決定部 8 - E 及び最適化部 8 - F は、コンピュータがプログラムを実行することによって実現される。

【 0 0 5 2 】

図形情報記憶部 8 - A は、集積回路のパターンの図形情報を記憶する。本実施形態の図形情報は、配線処理が完成したパターンが有する、配線と配線層を乗り換えるためのビアの配置を示す情報である。ビア面積率記憶部 8 - B は、単位面積当たりのビアが占有する面積の上限及び下限を規定するビア面積率情報を記憶する。ビア数算出部 8 - C は、単位面積当たりのビアが占有する面積率を算出する。抽出部 8 - D は、ビア数や配線情報を抽出する。優先度決定部 8 - E は、ビア面積率を修正する際の優先度を決定する。最適化部 8 - F は、ビア面積率を最適化する。

【 0 0 5 3 】

図 2 0 は、本実施形態のパターン最適化装置の動作を示すフローチャートである。まずステップ 9 - 3 では、ビア数算出部 8 - C が、図形情報よりビア面積率で定義された単位面積を面積率確認対象枠として定義し、その確認対象枠に何個ビアが生成されているかを数え、そのビア総数が規定されたビア上限と下限値に収まっているかを確認する。確認終了後、規定値を違反している場合には、その対象枠の情報（枠の左下、右上の座標）と違

10

20

30

40

50

反率を格納する面積率違反領域データベースに格納する。また、確認対象枠の境界に対して確認漏れが発生しないように、多少重なる程度に上下左右に確認対象枠ステップ移動させる。

【0054】

次に、ステップ9-5では、抽出部8-Dが、面積率違反領域データベースを参照し、違反対象領域に存在するビアに対して、そのビアが形成された異層配線の配線幅とビア数の関係を示すデータベースに格納する。次に、ステップ9-7では、優先度決定部8-Eが、配線幅とビア数の関係を示すデータベースを参照し、ビア面積率の最適化を行う際に、歩留を落とすことなく面積率修正するためにビア修正優先度を決定し、その結果をビア修正順位情報データベースに格納する。次に、ステップ9-9では、最適化部8-Fが、ビア修正優先順位情報データベースを基に、ビア面積率の満たすために修正優先度に応じた修正ビアを選択し、ビア面積率を修正する。

10

【0055】

以下、優先度決定部8-Eが行うステップ9-7の詳細について説明する。図21は、優先度決定部8-Eが行うステップ9-7の詳細を示すフローチャートである。図21に示すように、優先度決定部8-Eは、生成されたビア数により修正優先度を振り分ける(ステップ10-2)。ビア数によって分類を行う理由は、ビア数が多ければ多いほど製造段階でのビアが消失してしまうビア抜け現象になることを考慮した修正優先度を決定するためである。図21に示した例では、ステップ10-2において、ビア数が1個、2個、3個以上となるように情報を分類している。この分類により、ビア抜け防止を考慮した修正優先度の決定を可能にしている。

20

【0056】

次に、優先度決定部8-Eは、ビアを生成した配線幅によってさらに修正優先度を振り分ける(ステップ10-3)。配線幅によって分類を行う理由は、配線幅によりビア形成の難易度が変化することを考慮した修正優先度を決定するためである。図21に示した例では、判断基準をビアが形成されるどちらかの配線幅がデザインルールで規定される最小配線幅であると定義した。この基準はビア面積率が下限違反の場合を想定した基準であり、上限違反の場合はこの判断基準を変更する。判断工程10-3を行うことにより、配線幅を考慮した優先度決定を可能にする。

【0057】

以上説明した処理を行うことにより、製造歩留及び製造の容易化を考慮したビア修正優先度を得ることができる。

30

【0058】

次に、最適化部8-Fが行うステップ9-9の詳細について説明する。図22は、最適化部8-Fが行うステップ9-9の詳細を示すフローチャートである。図22に示すように、最適化部8-Fは、ビア面積率違反領域、違反率情報及び修正優先順位情報に基づき、修正優先度に応じて修正するビアを決定する(ステップ11-1)。例えば、ビア面積率の下限違反の場合、修正するビアを決定するステップ11-1には図21で示した優先度I(10-5)に分類されてから修正ビアを決定する。優先度Iで修正ビアが足りない場合には優先度II(10-6)、優先度III(10-7)のように順に修正ビアを割り当てる。また、上限値違反している場合も同様に、修正優先度情報を参照して修正ビアを決定する。

40

【0059】

次に、最適化部8-Fは、修正が決定されたビアに対しビア追加や削除を行う(ステップ11-2)。例えば、ビア面積率の下限違反の場合、修正が決定したビアに対し、冗長化の処理を施す。この処理の修正が決定されたビアに対し、繰り返し行うことによりビア数が増やされ面積率も改善される。また、修正優先度より修正ビアを決定しているため、冗長化されたビアとなることにより、歩留の向上にも繋がる。また、逆に上限を超えた場合には、削除の処理を修正が決定されたビアより処理を行う。

【0060】

50

次に、最適化部 8 - F は、ビア面積率を確認する（ステップ 1 1 - 3）。ビア面積率が満たされている場合は、最適化処理を終了し、図形データ 1 1 - 4 を保存する。ビア面積率が満たされていない場合は、ビア数や配線情報と修正優先度の再抽出を再び行うステップ 1 1 - 5 に進み、再度最適化を行った後のビアと配線情報を再抽出する。

【 0 0 6 1 】

以上説明した処理を行うことにより、ビア修正個数と修正優先度を予め決定しておくことで後戻りが少なく、設計歩留を考慮したビア面積率の最適化を行うことができる。

【 0 0 6 2 】

以上説明したように、本実施形態のパターン最適化装置によれば、ビア面積率の算出を行い、違反箇所が存在するビアに対し、ビア数や配線情報の抽出結果から、歩留に関する修正優先度を決定し、その優先度に応じてビアの追加（冗長化）や削除を過不足なくビア面積率を自動修正することができる。

【 0 0 6 3 】

（第 3 の実施形態）

図 2 3 は、本発明に係る集積回路設計装置の一実施形態を示すブロック図である。図 2 3 に示すように、本実施形態の集積回路設計装置は、テストパターン記憶部 1 2 - A と、ネットリスト記憶部 1 2 - B と、未検出ノード算出部 1 3 - A と、図形情報抽出部 1 3 - C と、歩留算出部 1 3 - E と、市場不良率算出部 1 3 - G とを備える。なお、未検出ノード算出部 1 3 - A、図形情報抽出部 1 3 - C、歩留算出部 1 3 - E 及び市場不良率算出部 1 3 - G は、コンピュータがプログラムを実行することによって実現される。

【 0 0 6 4 】

未検出ノード算出部 1 3 - A は、テストパターン記憶部 1 2 - A 及びネットリスト記憶部 1 2 - B からそれぞれテストパターン及びネットリストを読み出して、縮退故障による未検出ノードの算出を行う。算出された未検出ノードに関する情報が、縮退故障の検出内容に基づく分けられた分類毎に、未検出ノード情報 1 3 - B として記録される。本実施形態では、未検出ノード情報 1 3 - B として、未検出ノード情報 1（0 及び 1 縮退の両方未検出）、未検出ノード情報 2（0 及び 1 縮退の片方未検出）、及び未検出ノード情報 3（0 及び 1 縮退の片方 & 両方未検出）の 3 種類に分類される。

【 0 0 6 5 】

図形情報抽出部 1 3 - C は、各未検出ノード情報に対する未検出ノード図形情報を図形情報記憶部 1 2 - D から抽出する。図 2 4 は、集積回路の図形情報の一例を示す図である。図 2 4 は、スタンダードセル情報 1 3 - 1 の配線に検出ノードの配線情報 1 3 - 2 と未検出ノードの配線情報 1 3 - 3 が含まれている場合を示す。図 2 4 に示される図形情報は、図形情報記憶部 8 - A に記憶されている。図 2 5 は、図形情報抽出部 1 3 - C による抽出結果の一例を示す図である。図 2 5 は、図 2 4 に示した図形情報から抽出した未検出ノードの図形情報を示す図である。このように、図形情報抽出部 1 3 - C によって、未検出ノードの配線情報（未検出ノード図形情報）のみが抽出される。抽出された未検出ノード図形情報 1 3 - D は、故障検出内容毎に分類されて記録される。

【 0 0 6 6 】

歩留算出部 1 3 - E は、欠陥密度情報記憶部 1 2 - F からプロセスパラメータ等の欠陥密度情報を読み出して、未検出ノードの分類毎に歩留を算出する。当該算出された歩留も同様の分類毎に記録される。

【 0 0 6 7 】

市場不良率算出部 1 3 - G は、歩留算出部 1 3 - E で算出された歩留に基づいて市場不良率を算出する。一般に、「市場不良率 = 1 - 歩留」で求めることができるため、歩留から市場不良率を算出することは容易である。但し、単純に「市場不良率 = 1 - 歩留」では、市場不良率が実際より大きくなることがある。その場合には、未検出ノード図形情報や歩留算出部で算出された歩留が故障検出内容毎に分類されている点や、欠陥密度情報に基づく歩留算出で、配線/ビア関連のショート不良/オープン不良等のプロセスパラメータ個別歩留情報を活用して、縮退故障に対する重み付けを実施すると良い。具体的には、不良

10

20

30

40

50

内容の分類(配線間のショート不良、配線のオープン不良等)と未検出ノードに対する縮退故障(0検出/1検出)の0又は1の片側検出と、0又は1の両側検出の影響を考慮した不良に対する重み付けを実施する。

【0068】

本実施形態の集積回路設計装置によれば、テストパターンからの未検出ノードを対象とした図形情報を考慮した、未検出ノードの分類毎に歩留を算出することができる。この歩留情報を活用することにより、テストパターンの故障検出率情報からの市場不良率算出だけでなく、未検出ノードの図形パターンを考慮したより高精度の市場不良率(=1-未検出ノードの歩留)の算出が可能になる。但し、前提条件として、検出ノードの市場不良率=0と仮定する。

10

【0069】

なお、市場不良率を算出する際に、未検出ノードの歩留だけでなくトグル情報(トグルの有無)もパラメータとして加えても良い。例えば図26に示すように、集積回路設計装置は、テストパターン記憶部12-A及びネットリスト記憶部12-Bからそれぞれ読み出したテストパターン及びネットリストからトグル情報を算出する第1のトグル情報算出部15-Bと、第1のトグル情報算出部15-Bで得られたトグル情報から未検出ノードのトグル情報を算出する第2のトグル情報算出部15-Dをさらに備えても良い。第2のトグル情報算出部15-Dで算出された未検出ノードのトグル情報は、市場不良率算出部13-Gによってパラメータの1つとして利用される。この場合、各歩留に対して重み付けを加えることができるため、市場不良率をより高精度に算出することができる。

20

【0070】

また、集積回路設計装置は、図27に示すように、未検出ノードに接続されているセルの種類や個数等を含むセル情報を算出するセル情報算出部18-Aを備えても良い。セル情報算出部18-Aは、ネットリスト記憶部12-Bに記憶されたネットリストと、未検出ノード算出部13-Aで算出された未検出ノードとを用いてセル情報を算出する。セル情報算出部18-Aで算出されたセル情報と、各セルのマスクパターン露光に依存する不良(パラメトリック不良)とが、欠陥密度情報及び未検出ノード図形情報と共に歩留算出部13-Eに入力される。この場合、歩留算出部13-Eは、セル情報と、パラメトリック不良と、欠陥密度情報と、未検出ノード図形情報とに基づいて、未検出ノードの分類毎に歩留を算出する。

30

【0071】

さらに、集積回路設計装置は、市場不良率を算出した後に、歩留改善のために集積回路の図形情報を修正しても良い。この場合、テスト回路を修正したりテストパターンを追加することなく市場不良率を低減できる。なお、市場不良率を低減するために、どのノード又はどの図形パターンを修正するかの判断は、未検出ノード情報13-B、未検出ノード図形情報13-D及び算出された歩留13-Fに基づいて行うことができる。このため、図形情報を修正する前に、修正するノードに対して優先順位を付けても良い。

【産業上の利用可能性】

【0072】

本発明に係るパターン修正装置、パターン最適化装置及び集積回路設計装置は、歩留の改善や市場不良率の低減を実現するパターンを生成するため、微細プロセスにおける品質向上が可能となるので、集積回路の設計装置として有用である。

40

【図面の簡単な説明】

【0073】

【図1】本発明に係るパターン修正装置の一実施形態を示すブロック図

【図2】パターン修正装置の動作を示すフローチャート

【図3】配線移動部1-Bが行うステップ2-3の詳細を示すフローチャート

【図4】配線格子上に存在しない配線が配線格子上に移動される前のパターンの一例を示す図

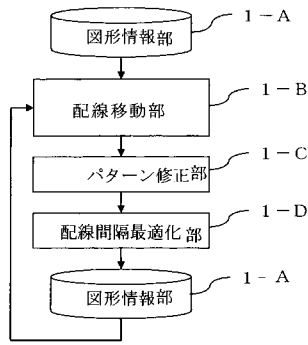
【図5】配線格子上に存在しない配線が配線格子上に移動された後のパターンの一例を示す図

50

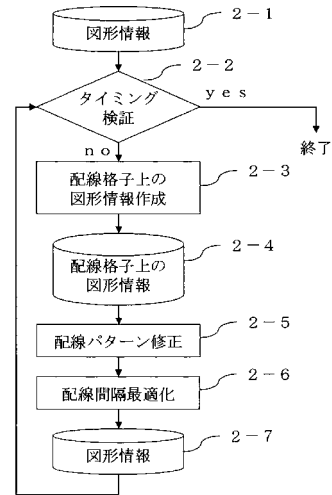
す図

- 【図 6】配線格子上に移動される前の配線の一例を示す図
- 【図 7】配線格子上に移動された後の配線の一例を示す図
- 【図 8】集積回路のパターンの図形情報及び配線移動部 1 - B によって新たに作成された図形情報を関連付けて記憶する記憶部を示す図
- 【図 9】パターン修正部 1 - C が行うステップ 2 - 5 の詳細を示すフローチャート
- 【図 10】図 5 に示したパターンに配線 R 1 1 が追加されたパターンの一例を示す図
- 【図 11】配線 R 3 に対してステップ 2 - 5 の処理が行われた結果のパターンを示す図
- 【図 12】配線 R 4 に対してステップ 2 - 5 の処理が行われた結果のパターンを示す図
- 【図 13】横方向の配線の全てに対してステップ 2 - 5 の処理が行われた結果のパターンを示す図 10
- 【図 14】配線の全てに対してステップ 2 - 5 の処理が行われた結果のパターンを示す図
- 【図 15】配線間隔最適化部 1 - D が行うステップ 2 - 6 の詳細を示すフローチャート
- 【図 16】配線 R 4 に対してステップ 2 - 6 の処理が行われた結果のパターンを示す図
- 【図 17】横方向の配線の全てに対してステップ 2 - 6 の処理が行われた結果のパターンを示す図
- 【図 18】配線の全てに対してステップ 2 - 6 の処理が行われた結果のパターンを示す図
- 【図 19】本発明に係るパターン最適化装置の一実施形態を示すブロック図
- 【図 20】パターン最適化装置の動作を示すフローチャート
- 【図 21】優先度決定部 8 - E が行うステップ 9 - 7 の詳細を示すフローチャート 20
- 【図 22】最適化部 8 - F が行うステップ 9 - 9 の詳細を示すフローチャート
- 【図 23】本発明に係る集積回路設計装置の一実施形態を示すブロック図
- 【図 24】集積回路の図形情報の一例を示す図
- 【図 25】図 24 に示した図形情報から抽出した未検出ノードの図形情報を示す図
- 【図 26】他の実施形態の集積回路設計装置を示すブロック図
- 【図 27】他の実施形態の集積回路設計装置を示すブロック図
- 【図 28】従来の集積回路のパターンのレイアウト修正を示すフローチャート
- 【符号の説明】
- 【0074】
- 1 - A 図形情報記憶部 30
- 1 - B 配線移動部
- 1 - C パターン修正部
- 1 - D 配線間隔最適化部
- 8 - A 図形情報記憶部
- 8 - B ピア面積率記憶部
- 8 - C ピア数算出部
- 8 - D 抽出部
- 8 - E 優先度決定部
- 8 - F 最適化部
- 12 - A テストパターン記憶部 40
- 12 - B ネットリスト記憶部
- 13 - A 未検出ノード算出部
- 13 - C 図形情報抽出部
- 13 - E 歩留算出部
- 13 - G 市場不良率算出部
- 15 - B 第 1 のトグル情報算出部
- 15 - D 第 2 のトグル情報算出部
- 18 - A セル情報算出部

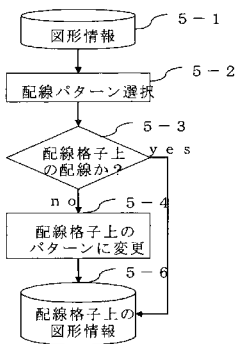
【 図 1 】



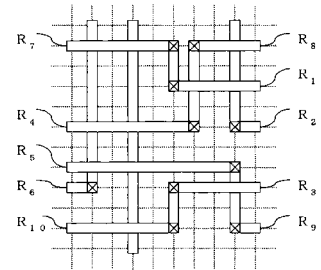
【 図 2 】



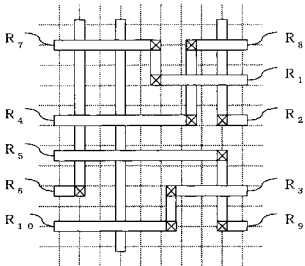
【 図 3 】



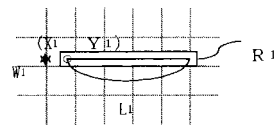
【 図 5 】



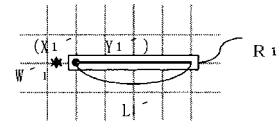
【 図 4 】



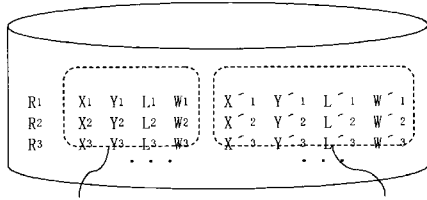
【 図 6 】



【 図 7 】

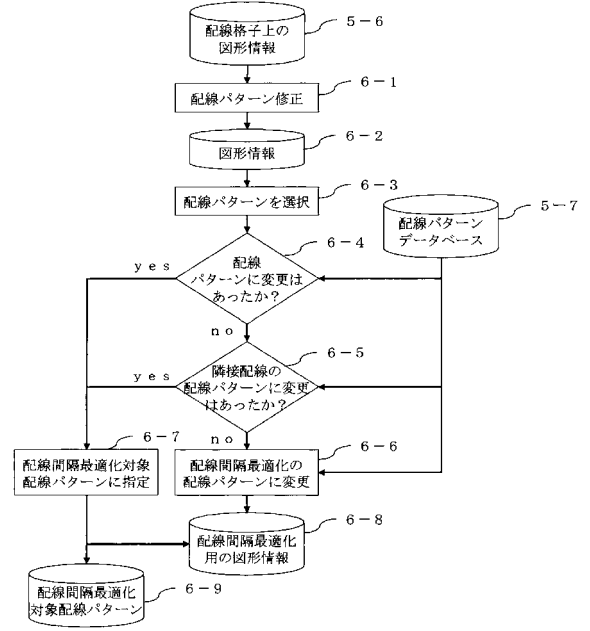


【図 8】

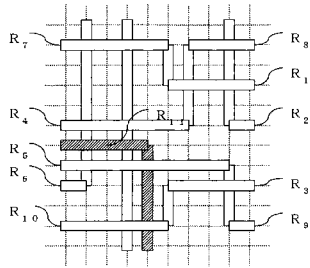


配線間隔最適化の配線パターン情報 配線格子上の配線パターン情報

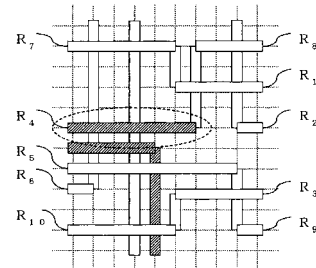
【図 9】



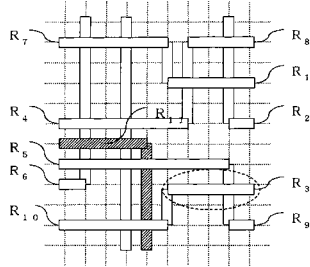
【図 10】



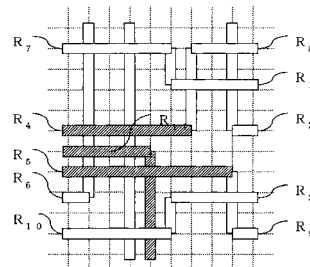
【図 12】



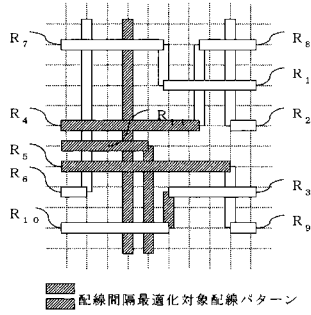
【図 11】



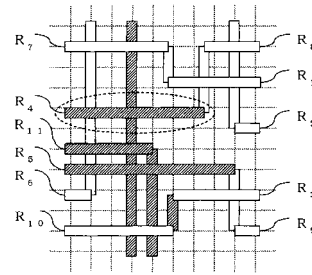
【図 13】



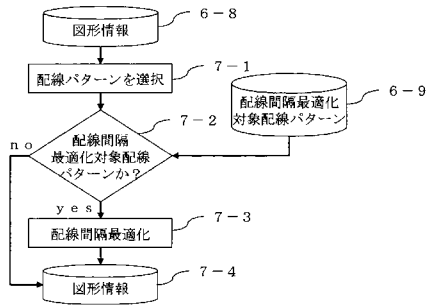
【図14】



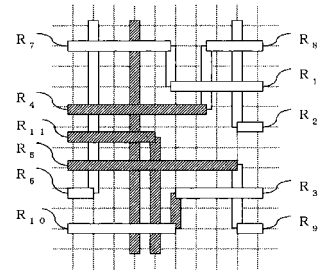
【図16】



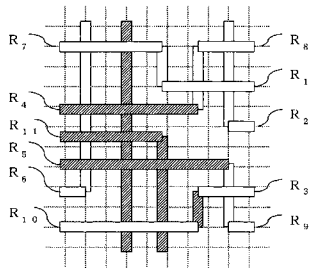
【図15】



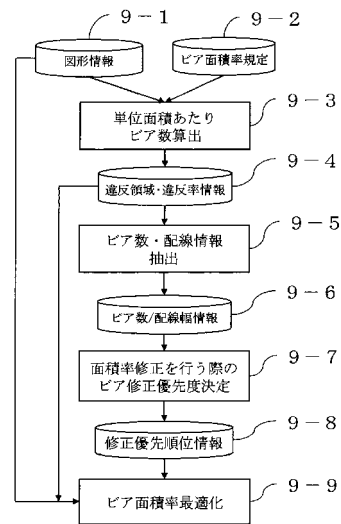
【図17】



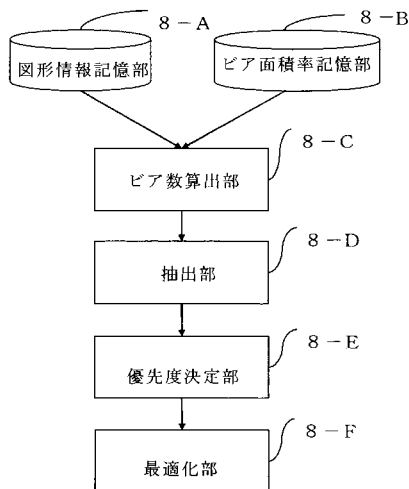
【図18】



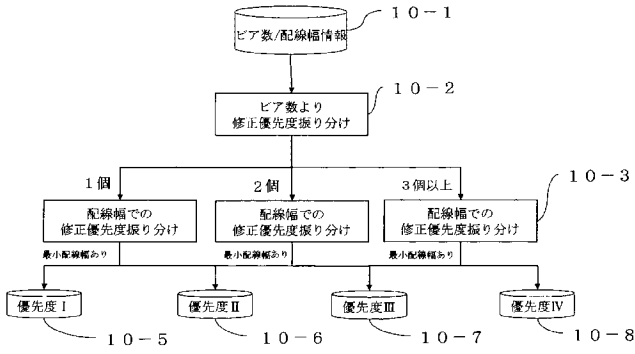
【図20】



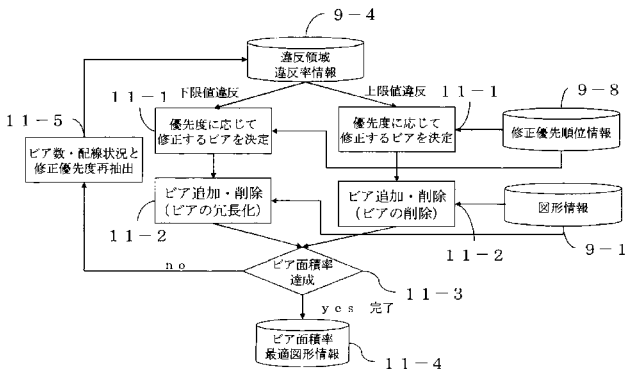
【図19】



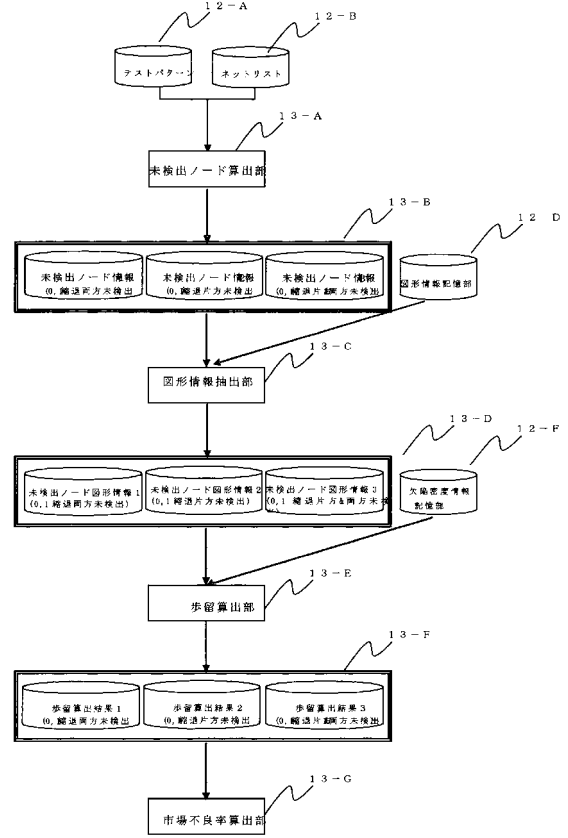
【図 2 1】



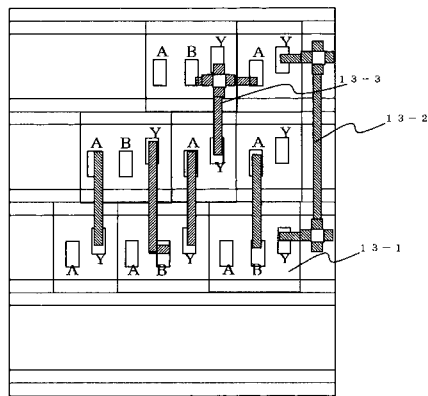
【図 2 2】



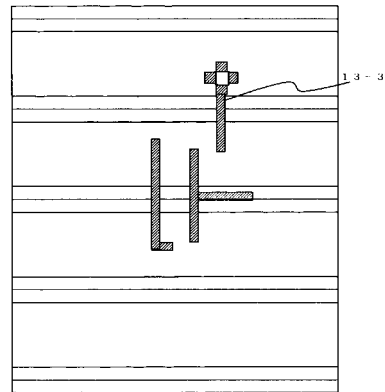
【図 2 3】



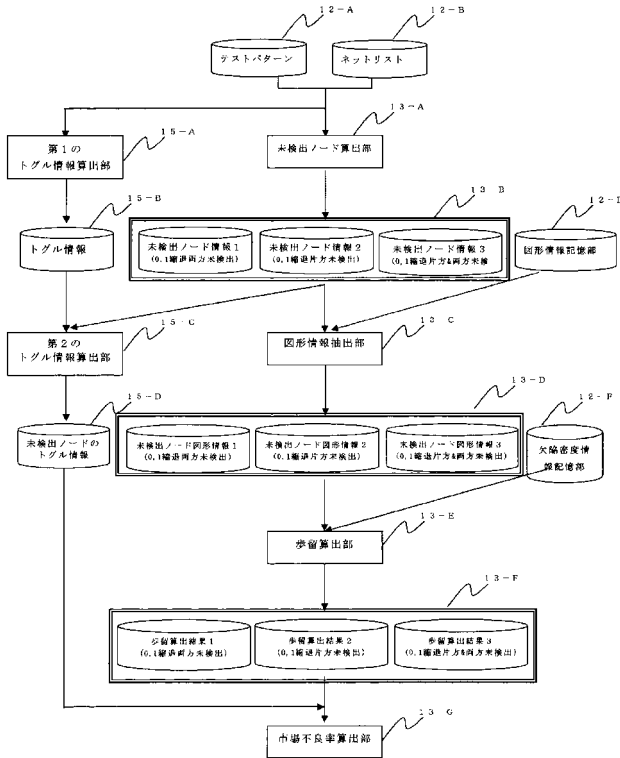
【図 2 4】



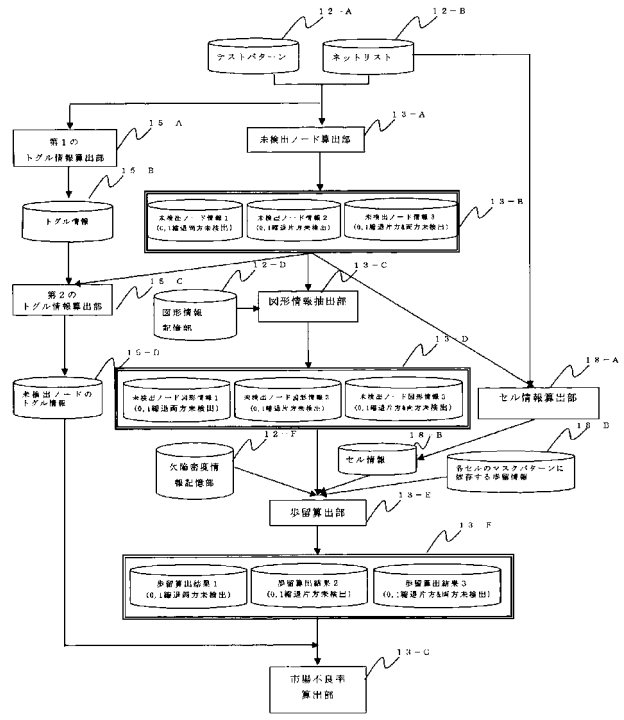
【図 2 5】



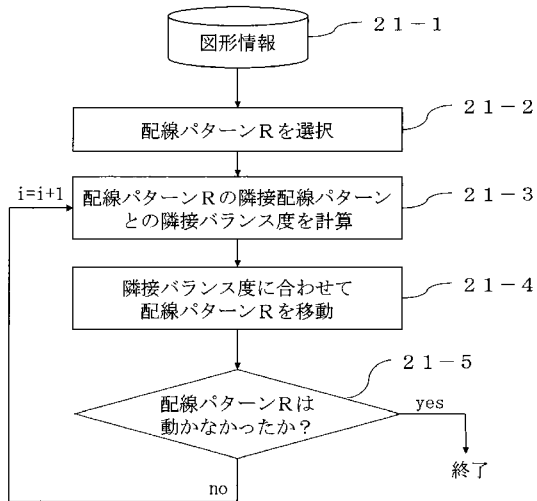
【図 26】



【図 27】



【図 28】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 21/82 C

(72)発明者 山中 三枝

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 石野 真也

大阪府門真市大字門真 1 0 0 6 番地 パナソニック半導体システムテクノ株式会社内

(72)発明者 京谷 宗彰

大阪府門真市大字門真 1 0 0 6 番地 パナソニック半導体システムテクノ株式会社内

(72)発明者 西岡 暁

大阪府門真市大字門真 1 0 0 6 番地 パナソニック半導体システムテクノ株式会社内

(72)発明者 朝重 浩喜

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

F ターム(参考) 5B046 AA08 BA06 JA01

5F064 AA04 EE02 EE03 EE08 EE09 EE12 EE13 EE14 EE15 EE17

EE22 EE27 EE43 EE46 EE47 FF09 FF48 FF52 HH06 HH10

HH15 HH17