

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-123700

(P2007-123700A)

(43) 公開日 平成19年5月17日(2007.5.17)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 2 7 C	5 F 0 0 4
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B	5 F 0 4 3
HO 1 L 21/306 (2006.01)	HO 1 L 21/306 B	5 F 1 1 0
HO 1 L 21/3065 (2006.01)	HO 1 L 21/302 1 0 5 A	

審査請求 未請求 請求項の数 7 O L (全 7 頁)

(21) 出願番号 特願2005-316403 (P2005-316403)  
 (22) 出願日 平成17年10月31日 (2005.10.31)

(71) 出願人 000003193  
 凸版印刷株式会社  
 東京都台東区台東1丁目5番1号  
 (72) 発明者 今 真人  
 東京都台東区台東1丁目5番1号 凸版印刷株式会社内

Fターム(参考) 5F004 AA09 DB19 EB02 EB08  
 5F043 AA16 BB10 GG04 GG05  
 5F110 AA30 CC03 DD01 EE07 EE43  
 EE44 FF01 FF02 FF03 FF04  
 FF30 GG01 GG25 GG28 GG29  
 GG42 GG43 HK07 HK33 QQ04  
 QQ05

(54) 【発明の名称】 酸化物半導体のパターニング方法と薄膜トランジスタの製造方法

(57) 【要約】

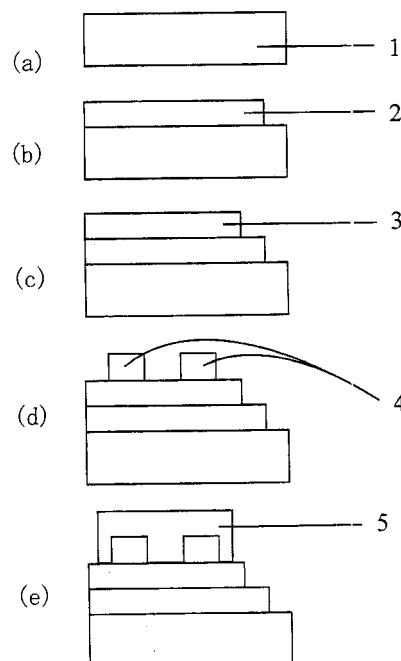
【課題】

InGaZnO<sub>4</sub> 薄膜を活性層に用い、ITO 薄膜をソース・ドレイン電極に用いるような薄膜トランジスタにおいて、リフトオフ工程を使わずにそれぞれの層をパターニングすること、またそのような工程を用いて製造した薄膜トランジスタを提供することである。

【解決手段】

基材上に設けたITO 薄膜をエッチングによりパターン化する工程と、前記パターニングされたITO 薄膜上に設けたInGaZnO<sub>4</sub> 薄膜をエッチングによりパターン化するに際し、前記2種の薄膜を、同種、同濃度のエッチング液またはエッチングガスを用い、それぞれ異なるエッチング時間でエッチングするか、濃度を変え、他の条件は変えずにエッチングすることにより解決した。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

基材上に設けたITO薄膜をエッチングによりパターン化する工程と、前記パターンニングされたITO薄膜上に設けたInGaZnO<sub>4</sub>薄膜をエッチングによりパターンニングするに際し、前記2種の薄膜を、同種のエッチング液またはエッチングガスを用い、それぞれ異なる濃度のエッチング液またはエッチングガスを用いることを特徴とする酸化物半導体薄膜パターン形成方法。

## 【請求項 2】

基材上に設けたITO薄膜をエッチングによりパターン化する工程と、前記パターンニングされたITO薄膜上に設けたInGaZnO<sub>4</sub>薄膜をエッチングによりパターンニングするに際し、前記2種の薄膜を、同種、同濃度のエッチング液またはエッチングガスを用い、それぞれ異なるエッチング時間でエッチングすることを特徴とする酸化物半導体薄膜パターン形成方法。

10

## 【請求項 3】

前記ITO膜が、結晶質であることを特徴とする請求項1または2に記載の酸化物半導体薄膜パターン形成方法。

## 【請求項 4】

前記パターン形成方法が、ウェットエッチングの手法を用いることを特徴とする請求項1乃至3のいずれかに記載の酸化物半導体薄膜パターン形成方法。

## 【請求項 5】

前記ウェットエッチングが、塩酸を主成分として含む酸を用いたエッチング液を用いることを特徴とする請求項4に記載の酸化物半導体薄膜パターン形成方法。

20

## 【請求項 6】

活性層が、非単結晶InGaZnO<sub>4</sub>薄膜、ソース電極またはノ及びドレイン電極が、ITO薄膜から構成されるトップゲート型薄膜トランジスタの製造方法であって、基板上にソース・ドレイン電極層を形成する工程と、該ソース・ドレイン電極層をパターンニングする工程と、活性層を形成する工程と、該活性層をパターンニングする工程と、ゲート絶縁膜を形成する工程と、ゲート電極層を形成する工程と、該ゲート電極層をパターンニングする工程と、を含むトップゲート型薄膜トランジスタの製造方法において、少なくとも前記活性層及び前記ソース・ドレイン電極層を、異なるエッチング条件でエッチングによりパターンニングすることを特徴とする薄膜トランジスタの製造方法。

30

## 【請求項 7】

活性層が、非単結晶InGaZnO<sub>4</sub>薄膜、ソース電極またはノ及びドレイン電極が、ITO薄膜を用いたボトムゲート型ボトムコンタクト薄膜トランジスタの製造方法であって、基板上にゲート電極層を形成する工程と、該ゲート電極層をパターンニングする工程と、ゲート絶縁膜を形成する工程と、ソース・ドレイン電極層を形成する工程と、該ソース・ドレイン電極層をパターンニングする工程と、活性層を形成する工程と、該活性層をパターンニングする工程と、を含むボトムゲート型ボトムコンタクト薄膜トランジスタの製造方法において、少なくとも前記活性層及び前記ソース・ドレイン電極を、異なるエッチング条件でエッチングによりパターンニングすることを特徴とする薄膜トランジスタの製造方法

40

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、電子回路を構成する素子として用いることができるInGaZnO<sub>4</sub>薄膜とSnドープ酸化インジウム(ITO)薄膜が直接積層する積層薄膜のパターンニング方法と、それを用いた薄膜トランジスタの製造方法に関する。

## 【背景技術】

## 【0002】

電界効果型トランジスタは、半導体メモリ集積回路の単位電子素子、高周波信号増幅素

50

子、液晶駆動用素子等各種のスイッチング素子として用いられ、特に薄膜化したものは薄膜トランジスタ（以下TFT）としてよく知られている。

#### 【0003】

これらTFTの活性層には、シリコンまたはシリコン化合物が広く用いられている。高速動作が必要な高周波増幅素子、集積回路用素子等には、シリコン単結晶が用いられ、また、低速動作で十分な表示素子用には、大面積化の要求からアモルファスシリコンが使われている。

#### 【0004】

一方、フレキシブルディスプレイには、フレキシブル基板を用いたTFTが必要とされる。このようなTFTを作製するための基板は一般に耐熱温度が低いため、薄膜を形成するためのプロセス温度のさらなる低下が要求される。

前述のアモルファスシリコン薄膜の作製にはCVDが広く用いられており、特にプラズマCVDではプラズマが原料ガスであるシランを分解するため、熱CVDと比較して低い温度で成膜できる。

しかし、このプラズマCVD薄膜形成には、200～300の反応温度が必要である。このため、耐熱性の低い基板への薄膜形成は困難であった。

#### 【0005】

近年、室温成膜が可能で電界効果移動度がアモルファスシリコンと同等以上の酸化物半導体InGaZnO<sub>4</sub>が提案され、薄膜トランジスタの活性層としての可能性が示された（非特許文献1参照）。

#### 【0006】

【非特許文献1】K. Nomura, H. Ohta, A. Takagi, T. Kamiyama, M. Hirano, H. Hosono: Nature 432 (2004) 488.

#### 【0007】

前記非特許文献1に記載のInGaZnO<sub>4</sub>は透明導電膜として知られていた材料であるが、成膜時に酸素分圧を制御することで、キャリア源となっている酸素空孔を低減し、off電流を低減させることに成功している。また、容易にアモルファス状態が得られるため、フレキシブルディスプレイへの応用に適している。また、透明であるため、ゲート絶縁膜、ゲート電極、ソース・ドレイン電極に透明な材料を用いると透明な薄膜トランジスタが形成できる。

#### 【0008】

このInGaZnO<sub>4</sub>のパターニングには、透明導電膜であるITO膜と同様のエッチング方法が使用できる。すなわち、一般的な酸に可溶で、アルカリに不溶である。従って、ITOで培われたエッチング技術が、基本的にはInGaZnO<sub>4</sub>のパターニングにも適用可能である。

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0009】

しかしながら、InGaZnO<sub>4</sub>薄膜を活性層に使い、ITOをソース・ドレイン電極に用いるような薄膜トランジスタの場合には一方部位が他方の部位へ、直接積層した積層構造となる。前記両部位それぞれ異なるパターンでパターニングする際に、一方の部位を形成した後、他方の部位を同様にエッチングにより形成しようとする、先に形成した薄膜部位が、後の薄膜部位をエッチングするためのエッチャントによってエッチングされてしまうため、目的とするパターンを有する積層基板を得ることはできなかった。そこで一方の部位を形成後、他方の部位のパターニングにはリフトオフプロセスを用いるなど、複数の異なるプロセスを用意してその組み合わせによりパターニングが行われており、非効率的であった。

#### 【0010】

また、エッチング以外の形成手段であるリフトオフプロセスは、リフトオフに処理時間

10

20

30

40

50

がかかるうえ、細かいパターンが切れないなどの問題があり、微細加工を進めていく上での障害となっていた。

【0011】

本発明はかかる問題を鑑みてなされたもので、電極層であるITO薄膜と半導体活性層であるInGaZnO<sub>4</sub>薄膜の双方をエッチングによりパターンニングすることで、リフトオフなど量産には不向きな工程を用いることなく酸化物薄膜半導体トランジスタを製造することを目的とする。

【課題を解決するための手段】

【0012】

上記の課題を達成するために、まず第1の発明は、基材上に設けたITO薄膜をエッチングによりパターン化する工程と、前記パターンニングされたITO薄膜上に設けたInGaZnO<sub>4</sub>薄膜をエッチングによりパターンニングするに際し、前記2種の薄膜を、同種のエッチング液またはエッチングガスを用い、それぞれ異なる濃度のエッチング液またはエッチングガスを用いることを特徴とする酸化物半導体薄膜パターン形成方法である。

非晶質ITO薄膜と非晶質InGaZnO<sub>4</sub>薄膜のエッチングについて検討した結果、エッチング液の濃度を適切に選択することで両者をエッチングし分けることが可能であることを見出した。この結果、濃度が高いとエッチング時間の誤差に対して、下地の膜厚の誤差の影響が大きくなる。

一方、濃度が低いとエッチング時間が長くなるため、スループットが低下してしまう。よってITO薄膜をエッチングする際には、濃度の高いエッチング液を用い、次に、InGaZnO<sub>4</sub>をエッチングする際には、同種で濃度の低いエッチング液を用いてエッチングすることにより両者をともにエッチングによってパターンニングすることが可能となった。

ここで、InGaZnO<sub>4</sub>の膜厚をdとすると、ITO薄膜の膜厚を必要最小量より0.25dだけ余分に厚くすることで、エッチング終了時にITO膜厚の必要最小量を下回ることなくパターンニングされた積層基板を得ることができる。

【0013】

本発明の第2の発明は、基材上に設けたITO薄膜をエッチングによりパターン化する工程と、前記パターンニングされたITO薄膜上に設けたInGaZnO<sub>4</sub>薄膜をエッチングによりパターンニングするに際し、前記2種の薄膜を、同種、同濃度のエッチング液またはエッチングガスを用い、それぞれ異なるエッチング時間でエッチングすることを特徴とする酸化物半導体薄膜パターン形成方法である。同種エッチング濃度のエッチング液またはエッチングガスが使用できるのでエッチング液またはエッチングガスの管理が容易になる。

【0014】

本発明の第3の発明は、前記ITO膜が、結晶質であることを特徴とする請求項1または2に記載の酸化物半導体薄膜パターン形成方法である。

結晶質のITOはアモルファスITOと比較してエッチング速度は約1~2桁遅くなる。これによりInGaZnO<sub>4</sub>との選択比も1~2桁高まり、エッチングのプロセスウィンドウが広くとれる。

【0015】

本発明の第4の発明は、前記エッチングにおいて、ウェットエッチングの手法を用いることを特徴とする請求項1乃至3のいずれかに記載のパターン形成方法である。ウェットエッチングを用いることで、ドライエッチングに必要であった高価なエッチング装置が不要になり、製造コストを下げるができる。

【0016】

本発明の第5の発明は、前記エッチングにおいて、エッチング液として塩酸を主成分として含む酸を用いることを特徴とする請求項4に記載のパターン形成方法である。

エッチング液に塩酸を用いた場合に本発明の効果が最大となる。また塩酸は入手が容易で、水酸化ナトリウムによって容易に中和して水と食塩になるため環境負荷も低い。

10

20

30

40

50

## 【0017】

本発明の第6の発明は、活性層に非単結晶InGaZnO<sub>4</sub>薄膜を用い、ソース電極またはノード及びドレイン電極にITO薄膜を用いたトップゲート型薄膜トランジスタの製造方法であって、基板上にソース・ドレイン電極層を形成する工程と、該ソース・ドレイン電極層をパターニングする工程と、活性層を形成する工程と、該活性層をパターニングする工程と、ゲート絶縁膜を形成する工程と、ゲート電極層を形成する工程と、該ゲート電極層をパターニングする工程と、を含むトップゲート型薄膜トランジスタの製造方法において、少なくとも前記活性層及び前記ソース・ドレイン電極層をともにエッチングによりパターニングすることを特徴とする薄膜トランジスタの製造方法である。

このような構成にすることで、リフトオフ工程を用いずに、透明酸化物半導体を用いたトップゲート型透明薄膜トランジスタが形成可能になる。

10

## 【0018】

本発明の第7の発明は、活性層に非単結晶InGaZnO<sub>4</sub>薄膜を用い、ソース電極またはノード及びドレイン電極にITO薄膜を用いたボトムゲート型ボトムコンタクト薄膜トランジスタの製造方法であって、基板上にゲート電極層を形成する工程と、該ゲート電極層をパターニングする工程と、ゲート絶縁膜を形成する工程と、ソース・ドレイン電極層を形成する工程と、該ソース・ドレイン電極層をパターニングする工程と、活性層を形成する工程と、該活性層をパターニングする工程と、を含むボトムゲート型ボトムコンタクト薄膜トランジスタの製造方法において、少なくとも前記活性層及び前記ソース・ドレイン電極をともにエッチングによりパターニングすることを特徴とする薄膜トランジスタの製造方法である。

20

このような構成にすることで、リフトオフ工程を用いずに、透明酸化物半導体を用いたボトムゲート型ボトムコンタクト透明薄膜トランジスタが形成可能になる。

## 【発明の効果】

## 【0019】

以上の構成から、本発明には、以下の効果がある。

## 【0020】

ITO薄膜およびこれに直接積層するInGaZnO<sub>4</sub>薄膜の双方をエッチングによってパターニングすることにより、リフトオフなど量産には不向きな工程を用いることなく透明酸化物半導体薄膜トランジスタを製造することが可能になる。

30

## 【発明を実施するための最良の形態】

## 【0021】

本発明の実施の形態について、図1及び図2を用いて以下詳細に説明する。

## 【0022】

本発明の薄膜トランジスタの一例を、図1に示す。図及び本例ではボトムゲート型ボトムコンタクト薄膜トランジスタについて述べているが、トップゲート型でもよい。

## 【0023】

まず、基板1を用意する(図2(a))。基板1の材料としては、軽量、フレキシブルなプラスチック基板が好ましい。例えば、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルスルホン(PES)、ポリイミド(PI)、ポリエーテルイミド(PEI)、ポリスチレン(PS)、ポリ塩化ビニル(PVC)、ポリエチレン(PE)、ポリプロピレン(PP)、ナイロン等が使用可能である。ただし、密着性向上のためにUVやプラズマ等による表面処理を行うとよい。

40

## 【0024】

次に、基板1上にゲート電極2を形成する(図2(b))。ゲート電極の材料は問わないが、透明薄膜トランジスタを作製する上で、透過率の高い材料が望ましい。透過率、導電率の観点からITOが好適である。透明性を問わない場合はこの限りではない。作製法は問わない。またゲート電極は活性層と直接接触するわけではないので、パターニング方法も問わない。金属、合金や透明導電膜の反応性マスク蒸着(スパッタを含む)などが一例として挙げられる。

50

## 【0025】

次にゲート絶縁膜3を作製する(図2(c))。ゲート絶縁膜3の材料や作製法、パターンニング法は問わない。例えば、 $\text{SiO}_2$ 、 $\text{SiN}$ 、 $\text{SiON}$ 等が使用できるが、 $\text{HfO}_2$ や $\text{Y}_2\text{O}_3$ 、 $\text{Ta}_2\text{O}_5$ などの高誘電率(high-k)材料を用いるのが好ましい。

## 【0026】

次にソース・ドレイン電極4を形成する(図2(d))。ソース・ドレイン電極の材料にはITOを用いる。ITOの膜厚は、後に積層する $\text{InGaZnO}_4$ の膜厚をdとした場合、必要最小量より0.25dだけ余分に厚くするとエッチング終了時にITO膜厚の必要最小量を下回ることがない。成膜法は問わない。パターンニングには、耐酸性のレジストを用いるのが望ましい。エッチングにはドライ、ウェットエッチングのいずれも適用可能である。エッチング液、エッチングガスは問わないが、環境面から、また効果を最大限に得るために、塩酸を用いたウェットエッチングが望ましい。ITO膜が結晶化している場合には50に加熱した6Mの塩酸と6Mの塩化第二鉄水溶液の混合溶液を用いるとエッチングが容易になる。ITO膜が結晶化していない場合は1Mの塩酸のみを用いて室温で処理するだけで充分である。エッチング終了後レジストを剥離する。

10

## 【0027】

次に、活性層5を形成する(図2(e))。材料には $\text{InGaZnO}_4$ を用いる。形成方法は面積均一成膜ができるスパッタ法が好ましく、 $\text{InGaZnO}_4$ ターゲットを用いると容易に形成できる。合金ターゲットを用いて反応性スパッタ法により成膜しても良い。スパッタ法に限らずパルスレーザーデポジション(PLD)など他の方法も可能である。パターンニングには、耐酸性のレジストを用いるのが望ましい。エッチングにはドライ、ウェットエッチングのいずれも適用可能である。エッチング液、エッチングガスは問わないが、環境面から、また効果を最大限に得るために、塩酸を用いたウェットエッチングが望ましい。この時塩酸の濃度が高いとエッチング終了までの時間が短くなり処理時間の誤差が下地のITO膜の膜厚に無視できない影響を与えるため場合によってはITO膜も完全にエッチングされて無くなってしまう。従ってその濃度を十分に薄くとることが必要であり、好ましくは、50nmの膜厚を有する $\text{InGaZnO}_4$ 活性層に対して約0.1Mの濃度である。エッチング終了後レジストを剥離する。

20

以上のようにして薄膜トランジスタが完成する(図1)。

## 【実施例】

30

## 【0028】

基板1としてPENを用い(図2(a)参照)、前記基板1にITO層をdcマグネトロンスパッタ法により100nmの膜厚で成膜した後、パターンニングしてゲート電極2を形成した(図2(b)参照)。前記ゲート電極2のパターンニングは、一般的なフォトリソグラフィ法を用い、ウェットエッチングによってITO層を加工することにより形成した。

次に、プラズマCVDを用いて50以下の基板温度で、厚さ300nm $\text{SiO}_2$ 膜を形成し、ゲート絶縁膜3とした(図2(c)参照)。

次に、前記ゲート絶縁膜3上に、ITO層をdcマグネトロンスパッタ法により100nmの膜厚で成膜し、フォトレジストを用い、通常のフォトリソグラフィによってレジストを電極の形状に加工した後、1Mの塩酸を用いてITO薄膜を2分間エッチングしてソース・ドレイン電極4を形成し、レジストを剥離した(図2(d)参照)。

40

最後に、 $\text{InGaZnO}_4$ ターゲットを用いてrfマグネトロンスパッタ法により $\text{InGaZnO}_4$ 薄膜を50nmの厚さに成膜し、フォトレジストを用いて通常のフォトリソグラフィによって、レジストを半導体のパターンに加工し、0.1Mの塩酸を用いて前記 $\text{InGaZnO}_4$ 薄膜を3分間エッチングしたのちレジストを剥離し、パターンニングされた活性層4を形成した(図2(e)参照)。

以上のようにしてチャンネル長が50 $\mu\text{m}$ 、チャンネル幅が800 $\mu\text{m}$ のボトムゲート型ボトムコンタクト薄膜トランジスタが完成した(図1参照)。

## 【図面の簡単な説明】

50

【 0 0 2 9 】

【 図 1 】 本発明の薄膜トランジスタの上面と側面を表わす説明図。

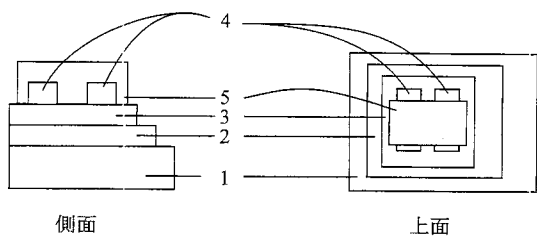
【 図 2 】 本発明の薄膜トランジスタの製造工程の一例を示す説明図。

【 符号の説明 】

【 0 0 3 0 】

- 1 . . . 基板
- 2 . . . ゲート電極
- 3 . . . ゲート絶縁膜
- 4 . . . ソース・ドレイン電極
- 5 . . . 活性層

【 図 1 】



【 図 2 】

