



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I602263 B

(45)公告日：中華民國 106 (2017) 年 10 月 11 日

(21)申請案號：103122015 (22)申請日：中華民國 103 (2014) 年 06 月 26 日

(51)Int. Cl. : H01L21/768 (2006.01)

(30)優先權：2013/06/28 日本 2013-136366

(71)申請人：東京威力科創股份有限公司 (日本) TOKYO ELECTRON LIMITED (JP)
日本(72)發明人：橫山敦 YOKOYAMA, OSAMU (JP)；韓千洙 HAN, CHEONSOO (KR)；佐久間隆
SAKUMA, TAKASHI (JP)；安室千晃 YASUMURO, CHIAKI (JP)；平澤達郎
HIRASAWA, TATSUO (JP)；石坂忠大 ISHIZAKA, TADAHIRO (JP)；鈴木健二
SUZUKI, KENJI (JP)

(74)代理人：林秋琴；陳彥希

(56)參考文獻：

US 2004/0145062A1

US 2008/0240187A1

審查人員：王世賢

申請專利範圍項數：9 項 圖式數：15 共 41 頁

(54)名稱

Cu 配線形成方法及記憶媒體

(57)摘要

提供一種 Cu 配線形成方法，係可在凹部形成 Cu 配線時，抑制配線電阻之上升或工序之增加，且充分地確保埋入性，而可得到高電子遷移耐受性之 Cu 配線。

具有：在具有溝槽之晶圓整面形成阻隔膜的工序；藉由 CVD 來在阻隔膜上形成 Ru 膜之工序；藉由 PVD 來在 Ru 膜上形成 Cu 合金膜而將 Cu 合金膜埋入至溝槽之工序；在 Cu 合金膜上形成沉積層之工序；藉由 CMP 來研磨整面而形成 Cu 配線於溝槽之工序；以及在 Cu 配線上形成介電質蓋層之工序。

指定代表圖：

符號簡單說明：

W . . . 晶圓

201 . . . 下部構造

202 . . . 層間絕緣膜

203 . . . 溝槽

204 . . . 阻隔膜

205 . . . Ru 內襯膜

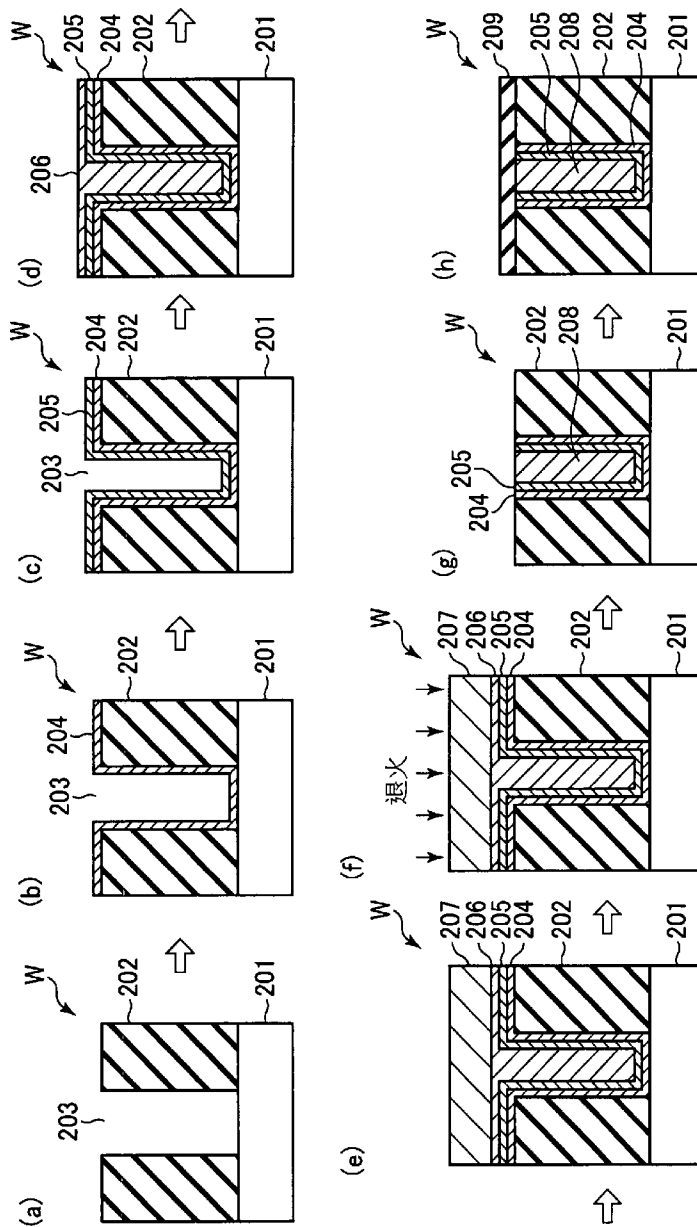
206 . . . Cu 合金膜

207 . . . 沉積層

208 . . . Cu 配線

209 . . . 介電質蓋層

圖 2



(a)

(b)

(c)

(d)

(e)

(f)

(g)

(h)

發明摘要

※ 申請案號：103122015

※ 申請日：103/06/26

※IPC 分類：H01L 21/768 (2006.01)

【發明名稱】(中文/英文)

Cu 配線形成方法及記憶媒體

【中文】

提供一種 Cu 配線形成方法，係可在凹部形成 Cu 配線時，抑制配線電阻之上升或工序之增加，且充分地確保埋入性，而可得到高電子遷移耐受性之 Cu 配線。

具有：在具有溝槽之晶圓整面形成阻隔膜的工序；藉由 CVD 來在阻隔膜上形成 Ru 膜之工序；藉由 PVD 來在 Ru 膜上形成 Cu 合金膜而將 Cu 合金膜埋入至溝槽之工序；在 Cu 合金膜上形成沉積層之工序；藉由 CMP 來研磨整面而形成 Cu 配線於溝槽之工序；以及在 Cu 配線上形成介電質蓋層之工序。

【英文】

無

【代表圖】

【本案指定代表圖】：圖 2

【本代表圖之符號簡單說明】：

W：晶圓

201：下部構造

202：層間絕緣膜

203：溝槽

204：阻隔膜

205：Ru 內襯膜

206：Cu 合金膜

207：沉積層

208：Cu 配線

209：介電質蓋層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

Cu 配線形成方法及記憶媒體

【技術領域】

本發明係關於一種在基板所形成之溝槽或孔般之凹部形成 Cu 配線的 Cu 配線形成方法。

【先前技術】

半導體裝置之裝置中，係對半導體晶圓反覆進行成膜處理或蝕刻處理等各種處理而製造所欲之裝置，但在最近，對應於半導體裝置之高速化、配線圖案之微細化以及高集積化之要求，而被要求配線之低電阻化(提升導電性)及電子遷移耐受性之提升。

對應於此點，係使用導電性會較鋁(Al)或鎢(W)要高(低電阻)且電子遷移耐受性優異之銅(Cu)於配線材料。

作為 Cu 配線之形成方法，係提案有以為 PVD 之電漿濺鍍在形成有溝槽或孔之層間絕緣膜整體形成由鉭金屬(Ta)、鈦(Ti)、鉭氮化膜(TaN)以及鈦氮化膜(TiN)等所構成之阻隔膜，而藉由相同之電漿濺鍍來在阻隔膜上形成 Cu 晶種膜，進一步地在其上實施鍍 Cu，而完全地埋入溝槽或孔，並藉由 CMP(Chemical Mechanical Polishing)處理來將晶圓表面多餘的銅薄膜及阻隔膜研磨處理而去除之技術(例如專利文獻 1)。

然而，半導體裝置之設計規則更微細化，而隨著因此之電流密度提升，即便將 Cu 作為配線材料來加以使用，電子遷移耐受性仍不足夠，而探討讓 Cu 配線之電子遷移耐受性提升之技術。

作為此般之技術，係提案有將 Cu-Mn 或 Cu-Al 等 Cu 合金用於晶種層來取代 Cu 晶種膜，並在 Cu 配線與其之上所形成的介電質蓋體(SiCN 蓋體)之間讓 Mn 或 Al 等合金成分分凝而使得 Cu 與介電質蓋體之密合性提升的技術(非專利文獻 1 等)，或在 Cu 配線之表面選擇性地形成金屬蓋體而使得 Cu

與介電質蓋體之密合性提升的技術(專利文獻 2、3、4 等)。

【先行技術文獻】

【專利文獻】

專利文獻 1：日本特開 2006-148075 號公報

專利文獻 2：日本特開 2011-023456 號公報

專利文獻 3：美國專利第 7799681 號說明書

專利文獻 4：日本特表 2012-504347 號公報

【非專利文獻】

非專利文獻 1：Nogami et. al. IEDM2010 pp764-767

然而，上述非專利文獻 1 之技術中，Cu 合金晶種中之合金成分及鍍 Cu 中之雜質會被包含於配線中，而產生有所謂配線電阻提升的問題。

又，如上述專利文獻 2~4 般，在 Cu 配線上形成金屬蓋體的情況，從抑制配線間之漏電流的觀點看來，則需要僅在 Cu 配線上選擇性地形成金屬蓋體，但為了確保選擇性，便會使得工序數增加，而使得成本變高。

又，隨著上述般之半導體裝置的設計規則的日益微細化，溝槽之寬度或孔徑便成為數十 nm，要在如此般狹窄的溝槽或孔等凹部內，如專利文獻 1 或非專利文獻 1 般，在以電漿濺鍍來形成阻隔膜或晶種膜後，藉由鍍 Cu 來埋入溝槽或孔的情況，便會產生有埋入性不夠充分而產生空隙等問題。

本發明係有鑑於相關情事，而提供一種 Cu 配線形成方法，係可在溝槽或孔般之凹部形成 Cu 配線時，抑制配線電阻之上升或工序之增加，且充分地確保埋入性，而可得到高電子遷移耐受性之 Cu 配線。

【發明內容】

為了解決上述課題，本發明係提供一種 Cu 配線形成方法，係將 Cu 配線形成於存在於基板表面之絕緣膜所形成之既定圖案的凹部之 Cu 配線形成方法，其具有：至少在該凹部表面形成有作為阻隔 Cu 擴散之阻隔膜的工序；藉由 CVD 來在該阻隔膜上形成 Ru 膜之工序；藉由 PVD 來在該 Ru 膜上形成 Cu 合金膜而將該 Cu 合金膜埋入至該凹部內之工序；從該凹部內之 Cu 合金膜來形成 Cu 配線之工序；以及在該 Cu 配線上形成介電質膜之工序。

本發明中，該 Cu 合金膜之形成較佳地係藉由電漿生成氣體來在收容有基板之處理容器內生成電漿，讓粒子從與所欲得之 Cu 合金膜相同之 Cu 合金所構成之靶材飛起，而讓粒子在該電漿中離子化，並施加偏壓電力至該基板而藉由將離子吸引至基板上之裝置來加以進行。

從該凹部內之 Cu 合金膜來形成 Cu 配線的工序係可成為在該 Cu 合金膜上形成沉積層後，研磨整面者。在該情況，該沉積層之形成係可藉由 PVD 形成 Cu 合金膜或是純 Cu 膜來加以進行，亦可藉由鍍 Cu 來加以進行。該沉積層之形成亦可在形成該 Cu 合金膜後，藉由相同裝置形成相同 Cu 合金來加以進行。

構成該 Cu 合金膜之 Cu 合金係可使用選自 Cu-Mn、Cu-Al、Cu-Mg、Cu-Ag、Cu-Sn、Cu-Pb、Cu-Zn、Cu-Pt、Cu-Au、Cu-Ni、Cu-Co 以及 Cu-Ti 者。

該阻隔膜可使用選自由 Ti 膜、TiN 膜、Ta 膜、TaN 膜、Ta/TaN 雙層膜、TaCN 膜、W 膜、WN 膜、WCN 膜、Zr 膜、ZrN 膜、V 膜、VN 膜、Nb 膜以及 NbN 膜所構成之群者。

本發明又提供一種記憶媒體，係記憶有用以在電腦上動作，並控制 Cu 配線形成系統之程式的記憶媒體，其中該程式係在實行時，以進行上述 Cu 配線形成方法的方式，來讓電腦控制該 Cu 配線形成系統。

本發明中，係藉由 CVD 在阻隔膜上形成 Ru 膜，而藉由 PVD 來在 Ru 膜上形成 Cu 合金膜並將 Cu 合金膜埋入凹部內。因此，由於 Cu 合金膜中之合金成分可在與 Cu 配線上之介電質膜(介電質蓋體)的界面分凝，而使得該等之密合性提升，故可使得 Cu 配線之電子遷移耐受性提升。又，在 Cu 合金膜中作為雜質存在之合金成分係在形成 Cu 配線，而進一步地在其上形成介電質膜時，會因擴及至此之熱，而朝向因 CVD 的 Ru 膜所存在之微量氧等雜質來擴散而被該等捕捉，並且，PVD 在本質上雜質會較鍍覆要少，且由於可藉由 PVD 成膜時之熱來使得 Cu 結晶粒增大，故可實現低電阻之 Cu 配線。進一步地，在形成濕潤性相對於 Cu 要高之 Ru 膜後，由於以 PVD 來形成 Cu 合金膜並埋入凹部，故可不產生如鍍 Cu 的情況般之空隙而得到良好的埋入性。

【圖式簡單說明】

圖 1 係顯示本發明一實施形態相關的 Cu 配線形成方法之流程圖。

圖 2 係用以說明本發明一實施形態相關的 Cu 配線形成方法之工序剖面圖。

圖 3 係顯示 Cu 合金膜中之合金成分(Mn)會朝與介電質蓋層之界面及 Ru 膜中移動的狀態之概略圖。

圖 4 顯示適於本發明實施形態相關的 Cu 配線形成方法實施的多腔室型成膜系統的一範例之俯視圖。

圖 5 係顯示圖 4 之成膜系統所搭載之形成 Cu 合金膜用的 Cu 合金膜成膜裝置的剖面圖。

圖 6 係顯示圖 4 之成膜系統所搭載之形成 Ru 內襯膜用的 Ru 膜成膜裝置的剖面圖。

圖 7 係顯示將藉由 PVD 來在 CVD-Ru 膜上形成 CuMn 合金膜之樣品，以及藉由 PVD 來在 PVD-Ta 膜上形成 CuMn 合金膜之樣品的退火時間與容積比電阻之關係，與純 Cu 膜比較之圖式。

圖 8 係顯示將藉由 PVD 來在 CVD-Ru 膜上形成 CuMn 合金膜之樣品，以及藉由 PVD 來在 PVD-Ta 膜上形成 CuMn 合金膜之樣品退火後之膜中的 Mn 濃度之圖式。

圖 9 係就藉由 PVD 來在 CVD-Ru 內襯膜上形成純 Cu 膜而製作 Cu 配線之樣品及藉由 PVD 來在 CVD-Ru 內襯膜上形成 CuMn 合金膜而製作 Cu 配線之樣品來顯示測量線電阻之結果的圖式。

圖 10 係顯示圖 9 中，形成 CuMn 合金膜後之樣品剖面之 TEM 照片，以及，藉由附屬於 TEM 之 EDX 所分析元素的結果之圖式。

圖 11 係就藉由 PVD 來在 CVD-Ru 內襯膜上形成純 Cu 膜而製作 Cu 配線之樣品、藉由 PVD 來在 CVD-Ru 內襯膜上形成 CuMn 合金膜而製作 Cu 配線之樣品、在 PVD-TaN 膜上形成純 Cu 晶種後，以鍍 Cu 來填埋而製作 Cu 配線之樣品以及在 PVD-TaN 膜上形成 CuMn 合金晶種後，以鍍 Cu 來填埋而製作 Cu 配線之樣品，來顯示配線電阻與線間電容之積(RC)與電子遷移

壽命之關係的圖式。

圖 12 係顯示用於可靠度評價的圖案之圖式。

圖 13 係就具有圖 12 之圖案，並藉由 PVD 來在 CVD-Ru 內襯膜上形成純 Cu 膜而製作 Cu 配線之樣品、藉由 PVD 來在 CVD-Ru 內襯膜上形成 CuMn 合金膜而製作 Cu 配線之樣品以及在 PVD-TaN 膜上形成 CuMn 合金晶種後，以鍍 Cu 來填埋而製作 Cu 配線之樣品，來顯示電子遷移壽命與損壞率之關係的圖式。

圖 14 係就具有圖 12 之圖案，並在 CVD-Ru 內襯膜上藉由 PVD 來形成純 Cu 膜而製作 Cu 配線之樣品、在 CVD-Ru 內襯膜上藉由 PVD 來形成 CuMn 合金膜而製作 Cu 配線之樣品，來顯示線電阻之 SigmaPlot 的圖式。

圖 15 係以與純 Cu 膜的線電阻之比率來顯示在讓線寬改變的情況之藉由 PVD 來在 CVD-Ru 內襯膜上形成 CuMn 合金膜而形成 Cu 配線之樣品的線電阻之圖式。

【實施方式】

以下，便參照添附圖式就本發明之實施形態來具體地說明。

<Cu 配線形成方法之一實施形態>

首先，便參照圖 1 之流程圖及圖 2 之工序剖面圖，就 Cu 配線形成方法之一實施形態來加以說明。

本實施形態中，首先，準備有在下部構造 201(省略細節)上具有 SiO₂ 膜、Low-k 膜(SiCO、SiCOH 等)等之層間絕緣膜 202，並於該處以既定圖案來形成有用以朝溝槽 203 及下層配線連接之貫孔(未圖示)的半導體晶圓(以下，僅記錄為晶圓)W(步驟 1，圖 2(a))。此般之晶圓 W 較佳地係藉由 Degas 程序或 Pre-Clean 程序來去除絕緣膜表面之水分或蝕刻/灰化時的殘渣。

接著，在包含溝槽 203 及貫孔之表面的整面將 Cu 遮蔽(阻隔)而成膜出抑制 Cu 擴散之阻隔膜 204(步驟 2，圖 2(b))。

阻隔膜 204 較佳地係相對於 Cu 具有高阻隔性，並具有低電阻者，而可合適地使用 Ti 膜、TiN 膜、Ta 膜、TaN 膜、Ta/TaN 雙層膜。又，亦可使用 TaCN 膜、W 膜、WN 膜、WCN 膜、Zr 膜、ZrN 膜、V 膜、VN 膜、Nb 膜

以及 NbN 膜等。由於 Cu 配線係埋入至溝槽或孔內之 Cu 的體積越大則電阻越低，故阻隔膜越薄越好，而從此般之觀點看來其厚度較佳地係 1~20nm。更佳係 1~10nm。阻隔膜可藉由離子化 PVD(Ionized Physical Vapor Deposition; iPVD)，例如電漿濺鍍來加以成膜。又，亦可以通常之濺鍍、離子披覆等其他 PVD 來加以成膜，亦可以 CVD 或 ALD、使用電漿之 CVD 或 ALD 來加以成膜。

接著，藉由 CVD 來在阻隔膜 204 上成膜出 Ru 內襯膜 205(步驟 3，圖 2(c))。Ru 內襯膜從讓所埋入之 Cu 的體積變大而使配線為低電阻的觀點看來，較佳地係薄薄地形成為例如 1~5nm。

由於 Ru 相對於 Cu 之濕潤性較高，故藉由在 Cu 之基底形成 Ru 內襯膜，便可在之後藉由 iPVD 來形成 Cu 膜時，確保良好的 Cu 移動性，而可讓阻塞溝槽或孔的範圍之突出難以產生。因此，即便於微細之溝槽或孔仍不會產生空隙而可確實地埋入 Cu。又，由於 Ru 內襯膜係以 CVD 來加以形成，故會包含少量之氧等雜質，而該雜質係具有吸附在 Cu 配線中被包含為雜質的合金成分之機能，而有助於 Cu 配線之低電阻化。

利用 CVD 之 Ru 內襯膜可藉由將十二羰基三鈦($\text{Ru}_3(\text{CO})_{12}$)作為成膜原料來加以使用之熱 CVD 來適當地加以形成。藉此，便可以高純度、高階段覆蓋來成膜出薄 Ru 膜。此時的成膜條件係例如處理容器內的壓力為 1.3~66.5Pa 的範圍，而成膜溫度(晶圓溫度)為 150~250°C 的範圍。利用 CVD 之 Ru 內襯膜 205 亦可使用十二羰基三鈦以外其他的成膜原料，例如(環戊二烯)(2,4-二甲基戊二烯)鈦，(2,4-甲基戊二烯)二茂鈦，(2,4-二甲基戊二烯)(乙基戊二烯)鈦，以及雙(2,4-甲基戊二烯)(乙基環戊二烯)鈦般之鈦的茂化合物來加以成膜。

接著，藉由 PVD 來形成由低純度之 Cu 合金所構成的 Cu 合金膜 206，而埋入溝槽 203 及貫孔(未圖式)(步驟 4，圖 2(d))。此時之成膜較佳地係使用 iPVD，例如電漿濺鍍。

通常 PVD 成膜之情況雖會因 Cu 之凝合，而容易產生阻塞溝槽或孔之範圍的突出，但藉由使用 iPVD，並調整施加至晶圓之偏壓功率，而控制 Cu 離子之成膜作用與電漿生成氣體之離子(Ar 離子)的蝕刻作用，便可讓 Cu

移動而抑制突出之生成，即便為狹窄開口之溝槽或孔亦可得到良好的埋入性。此時，從讓 Cu 帶有流動性而得到良好之埋入性的觀點看來，可使用適合 Cu 遷移之高溫程序(65~350°C，較佳為 230~300°C)。如此般藉由以高溫程序來 PVD 成膜，便可讓 Cu 結晶粒子成長，而可使得 Cu 配線之電阻降低。又，如上述，藉由在 Cu 合金膜 206 之基底設置相對於 Cu 之濕潤性較高之 Ru 內襯膜 205，由於在 Ru 內襯膜上 Cu 不會凝聚而流動，故即便在微細之凹部中亦可抑制突出之生成，而可不讓空隙產生並確實地埋入 Cu。

另外，該工序中，雖在溝槽或孔之開口寬度較小的情況，可幾乎完全地將 Cu 合金埋入，但在開口寬度較大的情況等，可容許產生有少許的凹陷。

又，Cu 合金膜成膜時的處理容器內之壓力(程序壓力)較佳地係 1~100mTorr(0.133~13.3Pa)，更佳地係 35~90mTorr(4.66~12.0Pa)。

構成 Cu 合金膜 206 之 Cu 合金可舉例有 Cu-Mn、Cu-Al、Cu-Mg、Cu-Ag、Cu-Sn、Cu-Pb、Cu-Zn、Cu-Pt、Cu-Au、Cu-Ni、Cu-Co 以及 Cu-Ti 等。構成 Cu 合金膜 206 之 Cu 合金較佳地係 Cu-Mn。

Cu 合金膜 206 雖使用所欲得之 Cu 合金製的靶材來加以成膜，但由於此時靶材的合金組成與所成膜之 Cu 合金膜之組成的關係會因壓力等成膜條件而有所變化，故在實際上所採用之製造條件中，有需要以可得到所欲之合金組成的方式來調整靶材之合金組合。另外，朝 Cu 合金靶材之直流電力較佳地係 4~12kW，更佳地係 6~10kW。

如此般地將 Cu 合金埋入至溝槽 203 或貫孔(孔)內後，便具備在其之後的平坦化處理而在 Cu 合金膜 206 上成膜出沉積層 207(步驟 5，圖 2(e))。

沉積層 207 亦可藉由接續 Cu 合金膜 206 而以 iPVD 等 PVD 來成膜出相同的 Cu 合金膜而加以形成，亦可藉由 PVD 或是鍍覆來形成純 Cu 膜。其中，從得到良好的產率之觀點，及裝置的簡易化之觀點等看來，較佳地係藉由使用與形成 Cu 合金膜 206 相同之 PVD(iPVD)裝置來形成與 Cu 合金膜 206 相同之 Cu 合金膜，以形成沉積層 207。由於沉積層 207 幾乎不需要考量埋入性，故在以 PVD 成膜時，較佳地係以較 Cu 合金膜 206 要快之成膜速度來加以形成。

如此一來，在成膜出沉積層 207 後，便依必要來進行退火處理(步驟 6，

圖 2(f)。藉由該退火處理，便會使得 Cu 合金膜 206 穩定化。

之後，藉由 CMP 來研磨晶圓 W 表面之整面，並去除沉積層 207、Cu 合金膜 206、Ru 內襯膜 205 以及阻隔膜 204 而平坦化(步驟 7，圖 2(g))。藉此，便會在溝槽及貫孔(孔)內形成有 Cu 配線 208。

之後，在 CMP 研磨後之 Cu 配線 208 上成膜出由介電質，例如 SiCN 所構成之介電質蓋體(介電質膜)209(步驟 8，圖 2(h))。此時之成膜可以 CVD 來加以進行。

在成膜出介電質蓋層 209 時，存在於 Cu 配線 208 中之合金成分(例如 Mn)如圖 3 所示，會在介電質蓋層 209 之界面分凝而形成分凝層 208a。然後，藉由該分凝層 208a，便會提升 Cu 配線 208 與介電質蓋層 209 之密合性。亦即，介電質蓋層 209 中會存在有為雜質之微量氧等，而藉由成膜時之熱會使得 Cu 配線 208 中之合金成分朝向介電質蓋層 209 中之雜質擴散而形成分凝層 208a，並且使得介電質蓋層 209 與分凝層 208a 中之合金成分鍵結，來使得密合性提升。因此，便可使得 Cu 配線 208 之電子遷移耐受性提升。

另一方面，Cu 合金膜 206 中雖存在有較分凝層 208a 之形成所必須量要多之過量合金成分(例如 Mn)，但該過量的合金成分會因退火時之熱或成膜出介電質蓋層 209 時之熱，而朝向 Ru 內襯膜 205 中所存在之氧等雜質擴散，而被該雜質捕捉(參照圖 3)。因此，Cu 配線 208 中便可為幾乎不存在有合金成分的狀態，而可抑制因合金成分導致 Cu 配線 208 之電阻上升。

如此般，根據本實施形態，由於在 Cu 合金膜 206 中之合金成分會在形成 Cu 配線 208，且形成其上之介電質蓋層 209 時，在該等界面分凝，故可使得 Cu 配線 208 與介電質蓋層 209 之密合性提升，並可使得 Cu 配線之電子遷移耐受性提升。又，Cu 合金膜 206 中作為雜質所殘留之合金成分會因形成至介電質蓋層 209 所給予之熱，而朝向存在於利用 CVD 之 Ru 內襯膜 205 的微量氧等雜質擴散而被該雜質捕捉，並且，由於 PVD 在本質上雜質較少，且可藉由 PVD 成膜時之熱來使得 Cu 結晶粒子增大，故可實現 Cu 配線 208 之低電阻化。進一步地，在形成相對於 Cu 之濕潤性較高之 Ru 內襯膜 205 後，由於以 PVD 來形成 Cu 合金膜 206 而埋入溝槽及貫孔，故不會產生如鍍 Cu 的情況般之空隙而可得到良好的埋入性。

另外，上述一連串之工序中，成膜出阻隔膜 204 之步驟 2、成膜出 Ru 內襯膜 205 之步驟 3、成膜出 Cu 合金膜 206 之步驟 4 以及成膜出沉積層 207 之步驟 5 較佳地係在真空中不經由大氣暴露而連續成膜，但亦可在該等任一者之期間大氣暴露。

<適於本發明實施形態實施的成膜系統>

接著，便就適於本發明實施形態相關的 Cu 配線形成方法的實施之成膜系統來加以說明。圖 4 係顯示適於本發明實施形態相關的 Cu 配線形成方法之實施的多腔室型成膜系統的一範例之俯視圖。

成膜系統 1 係具有形成阻隔膜及 Ru 內襯膜之第 1 處理部 2、形成純 Cu 膜及 Cu 合金膜之第 2 處理部 3 以及搬出入部 4，而用以對晶圓 W 來形成 Cu 配線者，並為進行至上述實施形態中之沉積層的形成者。

第 1 處理部 2 係具有平面形狀為七角形之第 1 真空搬送室 11 以及連接於對應在該第 1 真空搬送室 11 之 4 個邊的壁部之 2 個阻隔膜成膜裝置 12a,12b 以及 2 個 Ru 內襯膜成膜裝置 14a,14b。阻隔膜成膜裝置 12a 及 Ru 內襯膜成膜裝置 14a 與阻隔膜 12b 阻隔膜成膜裝置 12b 及 Ru 內襯膜成膜裝置 14b 會被配置於線對稱之位置。

對應於第 1 真空搬送室 11 之其他 2 邊的壁部係分別連接有進行晶圓 W 之除氣處理的除氣室 5a,5b。又，第 1 真空搬送室 11 之除氣室 5a 與 5b 之間的壁部係連接有在第 1 真空搬送室 11 與後述之第 2 真空搬送室 21 之間進行晶圓 W 之收授的收授室 5。

阻隔膜成膜裝置 12a,12b、Ru 內襯膜成膜裝置 14a,14b、除氣室 5a,5b 以及收授室 5 係透過閘閥 G 來連接至第 1 真空搬送室 11 之各邊，而該等會藉由開啟所對應之閘閥 G 來連通於第 1 真空搬送室 11，而藉由關閉所對應之閘閥 G 來從第 1 真空搬送室 11 遮斷。

第 1 真空搬送室 11 內係被保持為既定之真空氛圍，其中係設置有對阻隔膜成膜裝置 12a,12b、Ru 內襯膜成膜裝置 14a,14b、除氣室 5a,5b 及收授室 5 進行晶圓 W 之搬出入的第 1 搬送機構 16。該第 1 搬送機構 16 係配設於第 1 真空搬送室 11 的略中央，並具有可旋轉及伸縮之旋轉·伸縮部 17，該旋轉·伸縮部 17 之前端設置有支撐晶圓 W 的 2 個支撐臂 18a,18b，該等 2

個支撐臂 18a,18b 係以相互地朝向相反方向之方式來安裝於旋轉·伸縮部 17。

第 2 處理部 3 係具有平面形狀為八角形之第 2 真空搬送室 21、連接於對應在與該第 2 真空搬送室 21 對向的 2 個邊之壁部之用以成膜出 Cu 合金膜之 2 個 Cu 合金膜成膜裝置 22a,22b 以及用以成膜出純 Cu 膜或 Cu 合金膜之 2 個 Cu 膜成膜裝置 24a 及 24b。

第 2 真空搬送室 21 之對應於第 1 處理部 2 側的 2 邊之壁部係分別連接有該除氣室 5a,5b，而除氣室 5a 與 5b 之間的壁部係連接有該收授室 5。亦即，收授室 5 以及除氣室 5a 及 5b 之任一者都設置於第 1 真空搬送室 11 與第 2 真空搬送室 21 之間，而收授室 5 兩側則配置除氣室 5a 及 5b。進一步地，搬出入部 4 側的邊係連接有可大氣搬送及真空搬送之裝載室 6。

Cu 合金膜成膜裝置 22a,22b、Cu 膜成膜裝置 24a,24b、除氣室 5a,5b 及裝載室 6 係透過閘閥 G 來連接於第 2 真空搬送室 21 之各邊，該等係藉由開啟所對應之閘閥來連通於第 2 真空搬送室 21，而藉由關閉所對應之閘閥 G 來從第 2 真空搬送室 21 遮斷。又，收授室 5 係不透過閘閥而連接於第 2 真空搬送室 21。

第 2 真空搬送室 21 內係被保持為既定之真空氛圍，其中係設置有對於 Cu 合金膜成膜裝置 22a,22b、Cu 膜成膜裝置 24a,24b、除氣室 5a,5b、裝載室 6 及收授室 5 進行晶圓 W 之搬出入的第 2 搬送機構 26。該第 2 搬送機構 26 係配置於第 2 真空搬送室 21 之略中央，並具有可旋轉及伸縮之旋轉·伸縮部 27，而在該旋轉·伸縮部 27 之前端設置有支撐晶圓 W 的 2 個支撐臂 28a,28b，該等 2 個支撐臂 28a,28b 係以相互地朝向相反方向之方式來安裝於旋轉·伸縮部 27。

搬出入部 4 係夾置該裝載室 6 而設置於第 2 處理部 3 的相反側，並具有連接裝載室 6 之大氣搬送室 31。裝載室 6 與大氣搬送室 31 之間的壁部係設置有閘閥 G。與大氣搬送室 31 之連接有裝載室 6 的壁部對向之壁部係設置有連接收容作為被處理基板之晶圓 W 的載具 C 之 2 個連接埠 32,33。該等連接埠 32,33 係分別設置有未圖示之擋門，並於該等連接埠 32,33 直接安裝有收容有晶圓 W 之狀態，或是空的載具 C，而在此時，擋門會移走而防止外氣之入侵，並且連通於大氣搬送室 31。又，大氣搬送室 31 之側面係設

置有對位腔室 34，並在此進行晶圓 W 之對位。大氣搬送室 31 內係設置有進行晶圓 W 對載具 C 的搬出入及晶圓 W 對裝載室 6 的搬出入之大氣搬送用搬送機構 36。該大氣搬送用機構 36 係具有 2 個多關節臂，並可沿載具 C 之配列方向在軌道 38 上移動，而讓晶圓 W 載置於個別前端的手部 37 上，以進行搬送。

該成膜系統 1 係具有用以控制該成膜系統 1 之各構成部的控制部 40。該控制部 40 係具備有由實行各構成部之控制的微處理裝置(電腦)所構成之程序控制器 41、由用以讓操作者管理成膜系統 1 而進行指令之輸入操作等鍵盤，以及將成膜系統 1 之運行狀況可視化顯示的顯示器等所構成之使用者介面 42 以及儲存有以成膜系統 1 來在程序控制器 41 之控制下用以實現所實行之處理的控制程式，或是各種資料及用以對應於處理條件而在處理裝置之各構成部實行處理的程式，亦即配方之記憶部 43。另外，使用者介面 42 及記憶部 43 係連接於程序控制器 41。

該配方係被記憶於記憶部 43 中之記憶媒體 43a。記憶媒體可為硬碟，亦可為 CDROM、DVD 以及快閃記憶體等可搬性者。又，亦可從其他裝置，透過例如專用電路來適當地傳送配方。

然後，依必要，藉由來自使用者介面 42 之指示等來從記憶部 43 叫出任意之配方而讓程序控制器 41 實行，便會在程序控制器 41 之控制下，進行成膜系統 1 中之所欲的處理。

此般之成膜系統 1 中，會從載具 C 藉由大氣搬送用搬送機構 36 來將形成有具有溝槽或孔之既定圖案的晶圓 W 取出，而搬送至裝載室 6，在將該裝載室減壓至與第 2 真空搬送室 21 相同程度之真空度後，藉由第 2 搬送機構 26 來將裝載室之晶圓 W 取出，並透過第 2 真空搬送室 21 來搬送至除氣室 5a 或 5b，以進行晶圓 W 之除氣處理。之後，藉由第 1 搬送機構 16 來將除氣室之晶圓 W 取出，而透過第 1 真空搬送室 11 來搬入至阻隔膜成膜裝置 12a 或 12b，以成膜出上述般之阻隔膜。阻隔膜成膜後，藉由第 1 搬送室 16 來從阻隔膜成膜裝置 12a 或 12b 將晶圓 W 取出，而搬入至 Ru 內襯膜成膜裝置 14a 或 14b，以成膜出上述般之 Ru 內襯膜。Ru 內襯膜成膜後，藉由第 1 搬送機構 16 來從 Ru 內襯膜成膜裝置 14a 或 14b 將晶圓 W 取出，而搬

送至收授室 5。之後，藉由第 2 搬送機構 26 來將晶圓 W 取出，並透過第 2 真空搬送室 21 來搬入至 Cu 合金膜成膜裝置 22a 或 22b，以形成上述之 Cu 合金膜。之後，在 Cu 合金膜上形成沉積層，而沉積層之形成可藉由在相同 Cu 合金膜成膜裝置 22a 或 22b 內連續 Cu 合金膜而形成來加以進行，亦可藉由第 2 搬送機構 26 來從 Cu 合金膜成膜裝置 22a 或 22b 將晶圓 W 取出，而搬入至 Cu 膜成膜裝置 24a 或 24b，並在此形成純 Cu 膜或 Cu 合金膜來作為沉積層。

沉積層形成後，將晶圓 W 搬送至裝載室 6，而讓該裝載室回復至大氣壓後，藉由大氣搬送機構 36 來將形成有 Cu 膜之晶圓 W 取出，而移回載具 C。將此般之處理重複有載具內之晶圓 W 數量的次數。

根據成膜系統 1，由於不大氣開放而在真空中成膜出阻隔膜、內襯膜、Cu 合金膜以及沉積層，故可防止在各膜界面之氧化，而可得到高性能之 Cu 配線。

另外，在以鍍 Cu 來形成沉積層之情況，在成膜出 Cu 合金膜後，便將晶圓 W 從成膜系統 1 搬出。

<Cu 膜成膜裝置>

接著，便就形成 Cu 合金膜之 Cu 合金膜成膜裝置 22a(22b)之適當的範例來加以說明。

圖 5 係顯示 Cu 膜成膜裝置之一範例的剖面圖。在此，作為 Cu 合金膜成膜裝置係將為 iPVD 之 ICP(Inductively Coupling Plasma)型電漿濺鍍裝置作為範例來加以說明。

如圖 5 所示，該 Cu 合金膜成膜裝置 22a(22b)係具有藉由例如鋁等來形成為筒體狀之處理容器 51。該處理容器 51 係接地，其底部 52 係設置有排氣口 53，而排氣口 53 係連接有排氣管 54。排氣管 54 係連接有進行壓力調整之節流閥 55 及真空泵 56，而可將處理容器 51 內抽真空。又，處理容器 51 之底部 52 係設置有朝處理容器 51 內導入既定氣體之氣體導入口 57。該氣體導入口 57 係連接有氣體供給配管 58，氣體供給配管 58 係連接有用以供給作為電漿激發用氣體之稀有氣體，例如 Ar 氣體或其他必要之氣體，例如 N₂ 氣體等的氣體供給源 59。又，氣體供給配管 58 係介設有由氣體流量

控制器、閘閥等所構成之氣體控制部 60。

處理容器 51 內係設置有用以載置為被處理基板之晶圓 W 的載置機構 62。該載置機構 62 係具有形成為圓板狀之載置台 63 以及支撐該載置台 63 並且接地之中空筒狀支柱 64。載置台 63 係由例如鋁合金等導電性材料所構成，並透過支柱 64 來加以接地。載置台 63 中係設置有冷卻夾套 65，並透過未圖示之冷媒流道來供給冷媒。又，載置台 63 內係埋設有在冷卻夾套 65 上以絕緣材料來加以披覆之電阻加熱器 87。電阻加熱器 87 係從未圖示之電源來被加以供電。載置台 63 係設置有熱電偶(未圖示)，而藉由基於以該熱電偶所檢出之溫度，來控制朝冷卻夾套 65 之冷媒的供給及朝電阻加熱器 87 之供電，便可將晶圓溫度控制為既定之溫度。

載置台 63 之上面側係設置有在例如氧化鋁等介電質構件 66a 中埋入電極 66b 而加以構成之薄圓板狀靜電夾具 66，並可以靜電力來將晶圓 W 吸附保持。又，支柱 64 之下部係貫穿處理容器 51 之底部 52 中心部所形成之貫穿孔 67 而朝下方延伸。支柱 64 可藉由未圖示之升降機構來上下移動，並藉此來升降載置機構 62 整體。

設置有構成為包圍支柱 64，並可伸縮之蛇腹狀金屬波紋管 68，該金屬波紋管 68 係其上端會氣密地接合於載置台 63 下面，又，下端會氣密地接合於處理容器 51 之底部 52 上面，以維持處理容器 51 內之氣密性，並且可容許載置機構 62 之升降移動。

又，底部 52 係直立設置有朝向上方之例如 3 根(圖 5 中僅顯示 2 根)的支撐銷 69，又，對應於該支撐銷 69 而在載置台 63 形成有銷貫穿孔 70。從而，在讓載置台 63 下降時，可以貫穿銷貫穿孔 70 之支撐銷 69 的上端部來承受晶圓 W，而在與從外部入侵的搬送臂(未圖示)之間移載該晶圓 W。為此，處理容器 51 之下部側壁係設置有用以讓搬送臂入侵之搬出入口 71，而該搬出入口 71 係設置有可進行開閉之閘閥 G。該閘閥 G 之相反側係設置有前述之第 2 真空搬送室 21。

又，上述靜電夾具 66 之電極 66b 係透過供電線路 72 來連接有夾具用電源 73，藉由從該夾具用電源 73 施加直流電壓至電極 66b，來以靜電力吸附保持晶圓 W。又，供電線路 72 係連接有偏壓用高頻電源 74，並透過該

供電線路 72 來對靜電夾具 66 之電極 66b 供給偏壓用高頻電力，而對晶圓 W 施加偏壓電力。該高頻電力之頻率較佳係 400kHz~60MHz，例如採用 13.56MHz。

另一方面，處理容器 51 之頂部係透過 O 型環等密封構件 77 來氣密性地設置有由例如氧化鋁等介電質所構成之對於高頻有穿透性的穿透板 76。然後，在該穿透板 76 之上部設置有用以於處理容器 51 內之處理空間 S 將作為電漿激發用氣體的稀有氣體，例如 Ar 氣體電漿化而產生電漿之電漿產生源 78。另外，作為該電漿激發用氣體，亦可使用例如 He、Ne 以及 Kr 等其他氣體來取代 Ar。

電漿產生源 78 係具有對應穿透板 76 而設置之感應線圈 80，該感應線圈 80 係連接有電漿產生用之例如 13.56MHz 的高頻電源 81，並透過該穿透板 76 來將高頻電力導入至處理空間 S 而形成感應電場。

又，穿透板 76 之正下方係設置有讓所導入的高頻電力擴散之例如由鋁所構成的隔板 82。然後，該隔板 82 之下部係設置有以圍繞該處理空間 S 上部側邊之方式，而設置有由例如剖面會朝向內側傾斜的環狀(去頂圓錐殼狀)Cu 合金所構成的靶材 83，該靶材 83 係連接有施加用以吸引 Ar 離子的直流電力之靶材用可變電壓直流電源 84。另外，亦可使用交流電源來取代直流電源。靶材 83 係以與 Cu 合金膜同種類之 Cu 合金來加以形成。

又，靶材 83 外周側係設置有用以對其給予磁場之磁石 85。靶材 83 係藉由電漿中之 Ar 離子而噴濺出 Cu 的金屬原子，或是金屬原子團，並在通過電漿中時將其多數離子化。

又，該靶材 83 下部係以圍繞該處理空間 S 之方式來設置有例如由鋁或銅所構成之圓筒狀保護罩構件 86。該保護罩構件 86 係接地，並且其下部係朝內側彎曲而位於載置台 63 之側部附近。從而，保護罩構件 86 之內側端部係設置為圍繞載置台 63 之外周側。

另外，Cu 合金膜成膜裝置之各構成部亦係藉由該控制部 40 來加以控制。

如此般構成之 Cu 合金膜成膜裝置中，係將晶圓 W 朝圖 5 所顯示之處理容器 51 內搬入，並將該晶圓 W 載置於載置台 63 上，而藉由靜電夾具 66

來加以吸附，並在控制部 40 之控制下進行以下之動作。此時，載置台 63 會基於以熱電偶(未圖示)所檢出之溫度，藉由控制朝冷卻夾套 65 之冷媒供給及朝電阻加熱器 87 之供電，以進行溫度控制。

首先，在藉由讓真空泵 56 動作而成為既定真空狀態的處理容器 51 內，操作氣體控制部 60 並以既定流量來流通 Ar 氣體並且控制節流閥 55 來將處理容器 51 內維持為既定真空度。之後，從可變直流電源 84 來施加直流電力至靶材 83，進一步地從電漿產生源 78 之高頻電源 81 供給高頻電力(電漿電力)至感應線圈 80。另一方面，從偏壓用高頻電源 74 對靜電夾具 66 之電極 66b 供給既定之偏壓用高頻電力。

藉此，處理容器 51 內，會藉由供給至感應線圈 80 之高頻電力來形成氬電漿，並生成氬離子，而該等離子會被施加至靶材 83 之直流電壓所吸引而衝撞至靶材 83，使得該靶材 83 被濺鍍而放出粒子。此時，適當地控制因施加直流電壓至靶材 83 所放出之粒子量。

又，自被濺鍍之靶材 83 的粒子會在通過電漿中時大多被離子化。在此，從靶材 83 所放出之粒子會在成為被離子化者與電中性原子混合之狀態下朝下方飛散。特別是，藉由將該處理容器 51 內之壓力升高某種程度，並藉此提高電漿密度，便可以高效率來離子化粒子。此時之離子化率會藉由從高頻電源 81 所供給之高頻電力來加以控制。

然後，離子係在藉由自高頻電源 74 施加至靜電夾具 66 之電極 66b 的偏壓用高頻電力來進入至形成於晶圓 W 面上之厚度數 mm 左右的離子鞘區域時，會以帶有強的指向性而朝晶圓 W 側加速之方式來被吸引而沉積於晶圓 W，以形成 Cu 合金膜。

此時，藉由將晶圓溫度較高地設定(65~350°C，較佳地為 230~300°C)，並且調整自偏壓用高頻電源 74 對靜電夾具 66 之電極 66b 所施加之偏壓功率，並調整 Cu 合金之成膜與 Ar 之蝕刻，而使得 Cu 合金之流動性變得良好，則即便為開口狹窄之溝槽或孔仍可以良好的埋入性來埋入 Cu 合金。具體而言，在將 Cu 合金成膜量(成膜速率)為 T_D ，將電漿生成用氣體的離子之蝕刻量(蝕刻速率)為 T_E 時，較佳地係以 $0 \leq T_E/T_D < 1$ ，進一步地為 $0 < T_E/T_D < 1$ 之方式來調整偏壓功率。

從得到良好的埋入性的觀點看來，處理容器 51 內之壓力(程序壓力)較佳地係 1~100mTorr(0.133~13.3Pa)，更佳係 35~90mTorr(4.66~12.0Pa)，而朝靶材的直流電力較佳地係 4~12kW，更佳係 6~10kW。

另外，在溝槽或孔的開口較寬的情況等係不限於 iPVD，亦可使用通常之濺鍍、離子鍍覆等通常的 PVD。

<Cu 膜成膜裝置>

Cu 膜成膜裝置 24a(24b)，基本上可使用與圖 5 所示之 Cu 合金膜成膜裝置 22a(22b)相同之裝置。此時，靶材 83 係使用純 Cu。又，在無須重視埋入性的情況等，係不限於 iPVD，亦可使用通常之濺鍍、離子鍍覆等通常的 PVD。

<阻隔膜成膜裝置>

阻隔膜成膜裝置 12a(12b)係可僅改變使用靶材 83 之材料，而使用與圖 5 之成膜裝置相同構成的成膜裝置，並藉由電漿濺鍍來加以成膜。又，不限於電漿濺鍍，亦可為通常之濺鍍、離子鍍覆等通常的 PVD，亦可為 CVD 或 ALD(Atomic Layer Deposition)，或以使用電漿之 CVD 或 ALD 來加以成膜。從降低雜質之觀點看來較佳地係 PVD。

<Ru 內襯膜成膜裝置>

接著，便就用以形成 Ru 內襯膜之 Ru 內襯膜成膜裝置 14a(14b)來加以說明。Ru 內襯膜係可藉由 CVD 來適當地形成。圖 6 係顯示 Ru 內襯膜成膜裝置之一範例的剖面圖，且為藉由熱 CVD 來形成 Ru 膜者。

如圖 6 所示，該 Ru 內襯膜成膜裝置 14a(14b)係具有由例如鋁等來形成為筒體的處理容器 101。處理容器 101 之內部係配置有載置晶圓 W 的例如由 AlN 等陶瓷所構成之載置台 102，該載置台 102 內係設置有加熱器 103。該加熱器 103 係藉由自加熱電源(未圖示)之供電來發熱。

處理容器 101 之頂壁係以與載置台 12 對向之方式來設置有用以將形成 Ru 膜之處理氣體或沖淨氣體等噴淋狀地導入至處理容器 101 內的噴淋頭 104。噴淋頭 104 係具有氣體導入口 105 於其上部，並在其內部形成有氣體擴散空間 106，其底面係形成有多數氣體噴出孔 107。氣體導入口 105 係連接有氣體供給配管 108，氣體供給配管 108 係連接有用以供給形成 Ru 膜之

處理氣體或沖淨氣體等的氣體供給源 109。又，氣體供給配管 108 係介設有由氣體流量控制器、閘閥等所構成之氣體控制部 110。用以成膜 Ru 之氣體係如上述般，作為適合者可舉出十二羰基三鈦($\text{Ru}_3(\text{CO})_{12}$)為例。該十二羰基三鈦可藉由熱分解來形成 Ru 膜。

處理容器 101 之底部係設置有排氣口 111，該排氣口 111 係連接有排氣管 112。排氣管 112 係連接有進行壓力調整之節流閥 113 及真空泵 114，並可將處理容器 101 內抽真空。

載置台 102 係相對於載置台 102 之表面伸縮地設置有晶圓搬送用之 3 根(圖式僅 2 根)晶圓支撐銷 116，該等晶圓支撐銷 116 係固定於支撐板 117。然後，晶圓支撐銷 116 係藉由以汽缸等驅動機構 118 來將桿 119 升降，而透過支撐板 117 加以升降。另外，符號 120 係波紋管。另一方面，處理容器 101 之側壁係形成有晶圓搬出入口 121，並在開啟閘閥 G 之狀態下來與第 1 真空搬送室 11 之間進行晶圓 W 之搬出入。

此般之 Ru 內襯膜成膜裝置 14a(14b)中，係在開啟閘閥 G，並將晶圓 W 載置於載置台 102 上後，關閉閘閥 G，而藉由真空泵 114 來將處理容器 101 內排氣並調整處理容器 101 內至既定的壓力，並且在從加熱器 103 透過載置台 102 來將晶圓 W 加熱至既定溫度的狀態下，從氣體供給源 109 透過氣體供給配管 108 及噴淋頭 104 來朝處理容器 101 內導入十二羰基三鈦($\text{Ru}_3(\text{CO})_{12}$)氣體等處理氣體。藉此，便會在晶圓 W 進行處理氣體之反應，而在晶圓 W 表面上形成 Ru 內襯膜。

Ru 內襯膜之成膜係可將十二羰基三鈦以外的其他成膜原料，例如上述之鈦的戊二烯基化合物與 O_2 氣體般之分解氣體一同加以使用。

<用於其他工序之裝置>

藉由以上之成膜系統 1 雖可進行至上述實施形態中之沉積層的形成，但其後之退火工序、CMP 工序、蓋層成膜工序則是可對從成膜系統 1 搬出後之晶圓 W 使用退火裝置、CMP 裝置以及蓋層成膜裝置來加以進行。該等裝置可為通常所使用者。藉由該等裝置與成膜系統 1 來構成 Cu 配線形成系統，並以具有與控制部 40 相同機能之共通控制部來總括控制，便可藉由一個配方來總括控制上述實施形態所顯示之方法。

<實驗例>

接著，便就實驗例來加以說明。

(實驗例 1)

在此，就在基板上形成有 PVD-TaN 膜及 CVD-Ru 膜後，藉由 PVD 來形成 Cu-2at%Mn 合金(包含 2at%Mn 的 Cu 合金)膜後之樣品(樣品 A)；在基板上形成有 PVD-TaN 膜及 PVD-Ta 膜後，藉由 PVD 來形成 Cu-2at%Mn 合金膜後之樣品(樣品 B)，以 400°C 讓時間變化至 12.5 小時而進行退火後，測定了容積比電阻。為了比較，同樣地，就在基板上形成有 PVD-TaN 膜及 CVD-Ru 膜後，及形成有 PVD-TaN 膜及 PVD-Ta 膜後，藉由 PVD 來形成純 Cu 膜之樣品(樣品 C、D)，亦以 400°C 進行 0.5 小時的退火後，測定了容積比電阻。另外，該等皆形成有包護膜而進行了實驗。又，於圖 7 顯示其結果。又，將藉由二次離子質量分析(SIMS)來測定經 10.5 小時退火後之樣品 A 及樣品 B 之 Cu 合金膜中的 Mn 濃度之結果顯示於圖 8。

如圖 7 所示，確認了相對於藉由 PVD 來在 PVD-Ta 膜上形成 Cu 合金膜之樣品 B 係即便增加退火時間，而比電阻依然為高，然藉由 PVD 來在 CVD-Ru 膜上形成 Cu 合金膜的樣品 A 則係依照退火時間增加則比電阻會下降，在退火時間為 12.5 小時便會使得比電阻成為幾乎與純 Cu 膜相等。又，如圖 8 所示，確認了相較於樣品 B，樣品 A 方面會因退火而使得膜中之 Mn 濃度下降。因此，得知藉由將 CVD-Ru 膜作為 Cu 合金膜之基底來加以形成，便會使得 Cu 合金膜中之 Mn 濃度下降，而藉此便會使得膜之電阻下降。

(實驗例 2)

接著，對於具有形成有線與空間圖案(L/S=60nm/60nm)之層間絕緣膜的晶圓，製作在形成 PVD-TaN 阻隔膜、CVD-Ru 內襯膜後，藉由使用純 Cu 靶材之 PVD 來形成純 Cu 膜而埋入溝槽的樣品(#1~4)，以及藉由使用 Cu-Mn 合金膜來形成 Cu-2at%Mn 合金膜而埋入溝槽的樣品(#5~8)，而對該等以 100°C 實施 30 分之退火後，進行 CMP 研磨，以及利用 CVD 之介電質(SiNC)蓋層之形成以形成 Cu 配線後，測定了 Cu 配線之電阻值。於圖 9 顯示其結果，如該圖所示，確認了不論形成有純 Cu 之樣品，或形成有 Cu 合金膜之樣品，皆為相同程度之電阻值。

藉由將此時形成有 CuMn 合金膜(Cu-2at%Mn 合金膜)的樣品剖面的穿透式顯微鏡(TEM)照片,以及 TEM 所附屬之能量分散型 X 光分光裝置(EDX)來將分析元素之結果顯示於圖 10。如圖 10 所示,在介電質蓋層附近部分中,雖於結晶粒內及結晶粒邊界皆檢出有 Mn,但在容積部分中卻未檢出有 Mn。

由以上結果,便確認了藉由在形成 CVD-Ru 內襯膜後埋入溝槽,則即便在形成 Cu 合金膜的情況,亦可使得 Cu 配線中之合金成分變得極少,而可得到與使用純 Cu 膜之情況同等之電阻值。

(實驗例 3)

在此,對於具有形成有線與空間圖案的層間絕緣膜之晶圓,製作形成 PVD-TaN 阻隔膜、CVD-Ru 內襯膜後,藉由使用純 Cu 靶材之 PVD 來形成純 Cu 膜而埋入溝槽後,進行 CMP 研磨及利用 CVD 之介電質(SiNC)蓋層的形成以形成 Cu 配線的樣品(樣品 E);形成 PVD-TaN 阻隔膜、CVD-Ru 內襯膜後,藉由使用 CuMn 合金靶材之 PVD 來形成 Cu-2at%Mn 合金膜而埋入溝槽後,進行 CMP 研磨及利用 CVD 之介電質(SiNC)蓋層的形成以形成 Cu 配線的樣品(樣品 F);在形成 PVD-TaN 阻隔膜後,藉由 PVD 來形成純 Cu 晶種,進一步地藉由鍍 Cu 來埋入溝槽,之後進行退火、CMP 研磨及利用 CVD 之介電質(SiNC)蓋層的形成以形成 Cu 配線之樣品(樣品 G);以及在形成 PVD-TaN 阻隔膜後,藉由 PVD 來形成 Cu-2at%Mn 合金晶種,進一步地藉由鍍 Cu 來埋入溝槽,之後進行退火、CMP 研磨及利用 CVD 之介電質(SiNC)蓋層的形成以形成 Cu 配線之樣品(樣品 H),並就該等測定了配線電阻(R)、配線電容(C)以及電子遷移(EM)耐受性。另外,就配線電阻(R)及線間電容(C)係使用 L/S=100nm/100nm 之樣品,就 EM 耐受性則係使用 L/S=140nm/140nm 之樣品。

彙整配線電阻(R)與線間電容(C)之積(RC)以及與電子遷移壽命之關係,並於圖 11 顯示該等之結果。另外,由於不論何種樣品線間電容(C)都幾乎相同,故 RC 值係反映配線電阻(R)之差異者。

如圖 11 所示,確認了在形成 CVD-Ru 內襯膜後,利用 PVD 以 CuMn 合金來埋入溝槽之樣品 F 以及在利用 PVD 形成 CuMn 合金晶種後,以鍍 Cu 來埋入溝槽之樣品 H 的電子遷移壽命均會較以純 Cu 來埋入溝槽之樣品

E、G 有顯著地改善。又，相對於使用 CuMn 合金晶種的樣品 H 之 RC 值會較使用純 Cu 晶種之樣品 G 要大幅地上升，然形成 CVD-Ru 內襯膜後利用 PVD 以 CuMn 來埋入溝槽的樣品 F 相較於利用 PVD 以純 Cu 來埋入溝槽的樣品 E，RC 上升係小到可以無視，且不如說是比使用純 Cu 晶種後以鍍 Cu 來埋入之樣品 G 更小之值。由該結果，確認了藉由形成 CVD-Ru 內襯膜後，利用 PVD 以 CuMn 合金來埋入溝槽，以形成 Cu 配線，便可使得電子遷移耐受性之提升與配線之低電阻化同時成立。

(實驗例 4)

接著，對於具有圖 12 般之測試圖案(配線寬：140nm，貫孔徑：120nm)之晶圓形成 Cu 配線並評估了可靠度。在此，製作形成 PVD-TaN 阻隔膜、CVD-Ru 內襯膜後，藉由使用純 Cu 靶材之 PVD 來形成純 Cu 膜而埋入溝槽後，進行 CMP 研磨及利用 CVD 之介電質(SiNC)蓋層之形成以形成 Cu 配線的樣品(樣品 I)；形成 PVD-TaN 阻隔膜、CVD-Ru 內襯膜後，藉由使用 CuMn 合金靶材之 PVD 來形成 Cu-2at%Mn 合金膜而埋入溝槽後，進行 CMP 研磨及利用 CVD 之介電質(SiNC)蓋層之形成以形成 Cu 配線的樣品(樣品 J)；形成 PVD-TaN 阻隔膜後，藉由 PVD 來形成 Cu-2at%Mn 合金晶種，而進一步地藉由鍍 Cu 來埋入溝槽，之後進行 CMP 研磨及利用 CVD 之介電質(SiNC)蓋層之形成以形成 Cu 配線的樣品(樣品 K)，而實施了可靠度試驗。

可靠度試驗係以 300°C，1MA/cm² 之條件來加以實施。於圖 13 顯示此時之電子遷移壽命與破壞率之關係。如該圖所示，確認了依照本實施形態，藉由 PVD 來在 CVD-Ru 內襯膜上形成 Cu-2at%Mn 合金膜而埋入溝槽之樣品 J 之 EM 耐受性會較藉由 PVD 來形成純 Cu 膜而埋入溝槽之樣品 I 要顯著地提升，且 EM 耐受性亦較形成 CuMn 合金晶種後形成鍍 Cu 之樣品 K 要高。

就可靠度試驗後之樣品 J，藉由 TEM 所附屬之 EDX 進行了剖面之元素分析的結果，確認了 Mn 會在與介電質蓋層之界面及 Ru 膜中分凝，而 Cu 配線之容積部分係幾乎不會存在有 Mn。

接著，圖 12 中，使用將 M1 為 30nm(相當於 L/S=60nm/60nm)的測試圖案，而測定了該樣品 I 及樣品 J 之線電阻。圖 14 係顯示線電阻之 SigmaPlot

的圖式。如該圖所示，確認了該線寬中，依照本實施形態，藉由 PVD 來在 CVD-Ru 內襯膜上形成 Cu-2at%Mn 合金膜而埋入溝槽之樣品 J 會顯示與藉由 PVD 來形成純 Cu 膜而埋入溝槽之樣品 I 相同之線電阻。

讓 L/S 寬度變化而同樣地測定了線電阻。圖 15 係求取使用此時純 Cu 膜之線電阻與使用 Cu 合金膜之情況的線電阻之比率的結果。如該圖所示，確認了在線寬較窄的情況即便使用 Cu 合金膜亦顯示與純 Cu 膜相同之線電阻，但隨著線寬變寬，CuMn 合金膜方面之線電阻會有些許的上升。其中，該上升之比例係低於 15%。

[其他之適用]

以上，雖已就本發明之實施形態來加以說明，但本發明不限於上述實施形態而可有各種變形。例如，成膜系統不限於圖 4 般之種類，亦可為於一個搬送裝置連接有所有的成膜裝置的種類。又，亦可不為圖 4 般之多腔室型之系統，而為將阻隔膜、Ru 內襯膜以及 Cu 合金膜中，以相同之成膜系統來形成一部分，而藉由另外設置之裝置經由大氣暴露來成膜出其他部分，亦可全部都以另外之裝置經由大氣暴露來加以成膜。

進一步地，上述實施形態中，雖顯示對具有溝槽與貫孔(孔)之晶圓適用本發明之方法的範例，但僅有溝槽的情況，或僅有孔之情況當然亦可適用本發明。又，亦可適用於單鑲嵌結構、雙鑲嵌結構、三維實裝結構等各種結構之裝置的埋入。又，上述實施形態中，雖已就將半導體晶圓作為被處理基板來作為範例而加以說明，但半導體晶圓不僅為矽，亦包含 GaAs、SiC、GaN 等化合物半導體，進一步地，當然不限於半導體晶圓，本發明當然亦可適用液晶顯示裝置等 FPD(平面顯示器)所使用之玻璃基板，或是陶瓷基板等。

【符號說明】

- 1：成膜系統
- 12a,12b：阻隔膜成膜裝置
- 14a,14b：Ru內襯膜成膜裝置
- 22a,22b：Cu合金膜成膜裝置

24a,24b : Cu膜成膜裝置

201 : 下部構造

202 : 層間絕緣膜

203 : 溝槽

204 : 阻隔膜

205 : Ru內襯膜

206 : Cu合金膜

207 : 沉積層

208 : Cu配線

209 : 介電質蓋層

W : 半導體晶圓(被處理基板)

申請專利範圍

1. 一種 Cu 配線形成方法，係將 Cu 配線形成於存在於基板表面之絕緣膜所形成之既定圖案之凹部之 Cu 配線形成方法；其具有：

至少在該凹部表面形成有作為阻隔 Cu 擴散之阻隔膜的工序；

藉由 CVD 來在該阻隔膜上形成 Ru 膜之工序；

藉由 PVD 來在該 Ru 膜上形成 Cu 合金膜而將該 Cu 合金膜埋入至該凹部內之工序；

從該凹部內之 Cu 合金膜來形成 Cu 配線之工序；以及

在該 Cu 配線上形成介電質膜之工序；

該 Cu 合金膜之形成係藉由電漿生成氣體來在收容有基板之處理容器內生成電漿，讓粒子從與所欲得之 Cu 合金膜相同之 Cu 合金所構成之靶材飛起，而讓粒子在該電漿中離子化，並施加偏壓電力至該基板而藉由將離子吸引至基板上之裝置來加以進行。

2. 一種 Cu 配線形成方法，係將 Cu 配線形成於存在於基板表面之絕緣膜所形成之既定圖案之凹部之 Cu 配線形成方法；其具有：

至少在該凹部表面形成有作為阻隔 Cu 擴散之阻隔膜的工序；

藉由 CVD 來在該阻隔膜上形成 Ru 膜之工序；

藉由 PVD 來在該 Ru 膜上形成 Cu 合金膜而將該 Cu 合金膜埋入至該凹部內之工序；

從該凹部內之 Cu 合金膜來形成 Cu 配線之工序；以及

在該 Cu 配線上形成介電質膜之工序；

從該凹部內之 Cu 合金膜來形成 Cu 配線的工序係在該 Cu 合金膜上形成沉積層後，研磨整面。

3. 如申請專利範圍第 2 項之 Cu 配線形成方法，其中該沉積層之形成係藉由 PVD 形成 Cu 合金膜或是純 Cu 膜來加以進行。

4. 如申請專利範圍第 2 項之 Cu 配線形成方法，其中該沉積層之形成係藉由鍍 Cu 來加以進行。

5. 如申請專利範圍第 2 項之 Cu 配線形成方法，其中該沉積層之形成係在形成該 Cu 合金膜後，藉由相同裝置形成相同 Cu 合金來加以進行。

6. 如申請專利範圍第 1 至 5 項任一項的 Cu 配線形成方法，其中構成該 Cu 合金膜之 Cu 合金係選自 Cu-Mn、Cu-Al、Cu-Mg、Cu-Ag、Cu-Sn、Cu-Pb、Cu-Zn、Cu-Pt、Cu-Au、Cu-Ni、Cu-Co 以及 Cu-Ti。

7. 如申請專利範圍第 1 至 5 項任一項的 Cu 配線形成方法，其中該阻隔膜係選自由 Ti 膜、TiN 膜、Ta 膜、TaN 膜、Ta/TaN 雙層膜、TaCN 膜、W 膜、WN 膜、WCN 膜、Zr 膜、ZrN 膜、V 膜、VN 膜、Nb 膜以及 NbN 膜所構成之群。

8. 如申請專利範圍第 6 項之 Cu 配線形成方法，其中該阻隔膜係選自由 Ti 膜、TiN 膜、Ta 膜、TaN 膜、Ta/TaN 雙層膜、TaCN 膜、W 膜、WN 膜、WCN 膜、Zr 膜、ZrN 膜、V 膜、VN 膜、Nb 膜以及 NbN 膜所構成之群。

9. 一種記憶媒體，係記憶有用以在電腦上動作，並控制 Cu 配線形成系統之程式的記憶媒體，其中該程式係在實行時，以進行下述 Cu 配線形成方法的方式，來讓電腦控制該 Cu 配線形成系統；

該 Cu 配線形成方法，係將 Cu 配線形成於存在於基板表面之絕緣膜所形成之既定圖案之凹部之 Cu 配線形成方法；其具有：

至少在該凹部表面形成有作為阻隔 Cu 擴散之阻隔膜的工序；

藉由 CVD 來在該阻隔膜上形成 Ru 膜之工序；

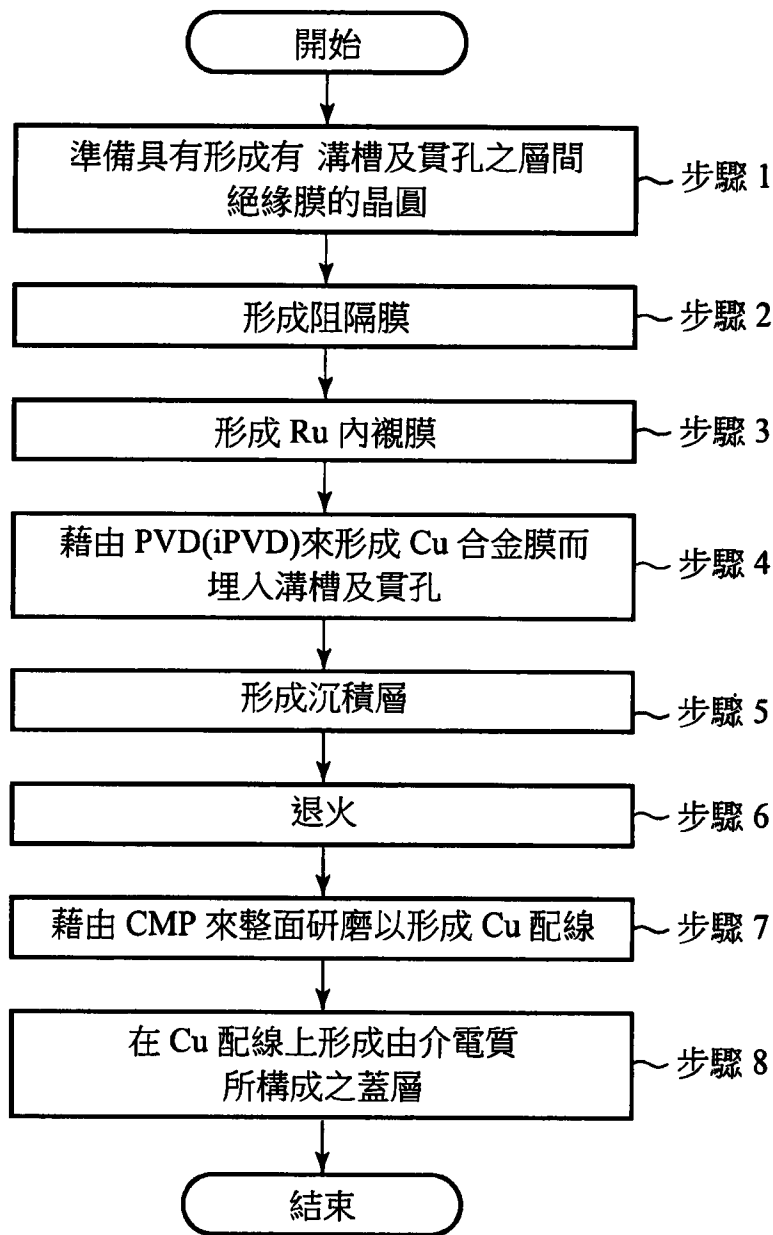
藉由 PVD 來在該 Ru 膜上形成 Cu 合金膜而將該 Cu 合金膜埋入至該凹部內之工序；

從該凹部內之 Cu 合金膜來形成 Cu 配線之工序；以及
在該 Cu 配線上形成介電質膜之工序；

該 Cu 合金膜之形成係藉由電漿生成氣體來在收容有基板之處理容器內生成電漿，讓粒子從與所欲得之 Cu 合金膜相同之 Cu 合金所構成之靶材飛出，而讓粒子在該電漿中離子化，並施加偏壓電力至該基板而藉由將離子吸引至基板上之裝置來加以進行。

圖式

圖 1



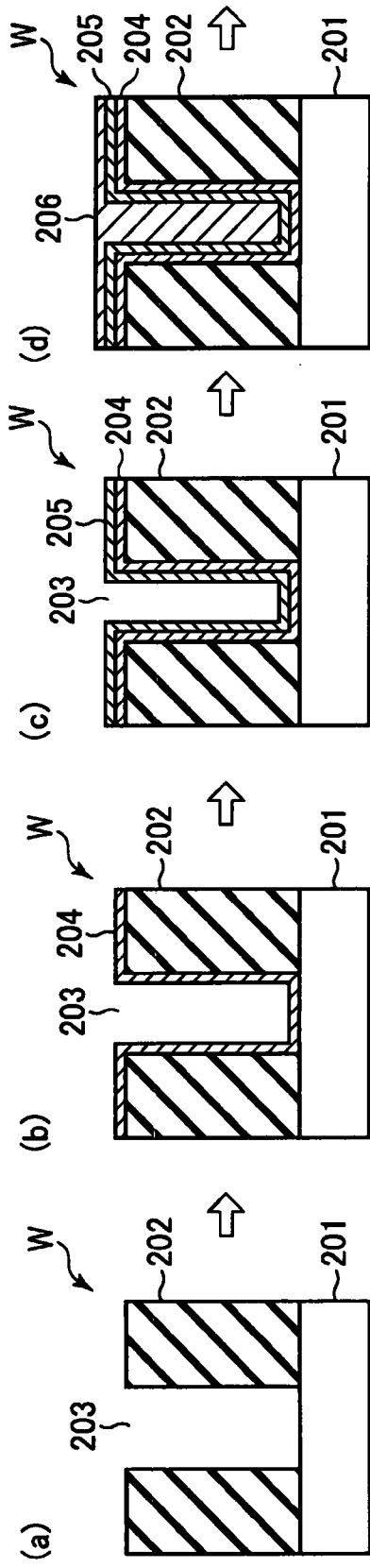


圖 2

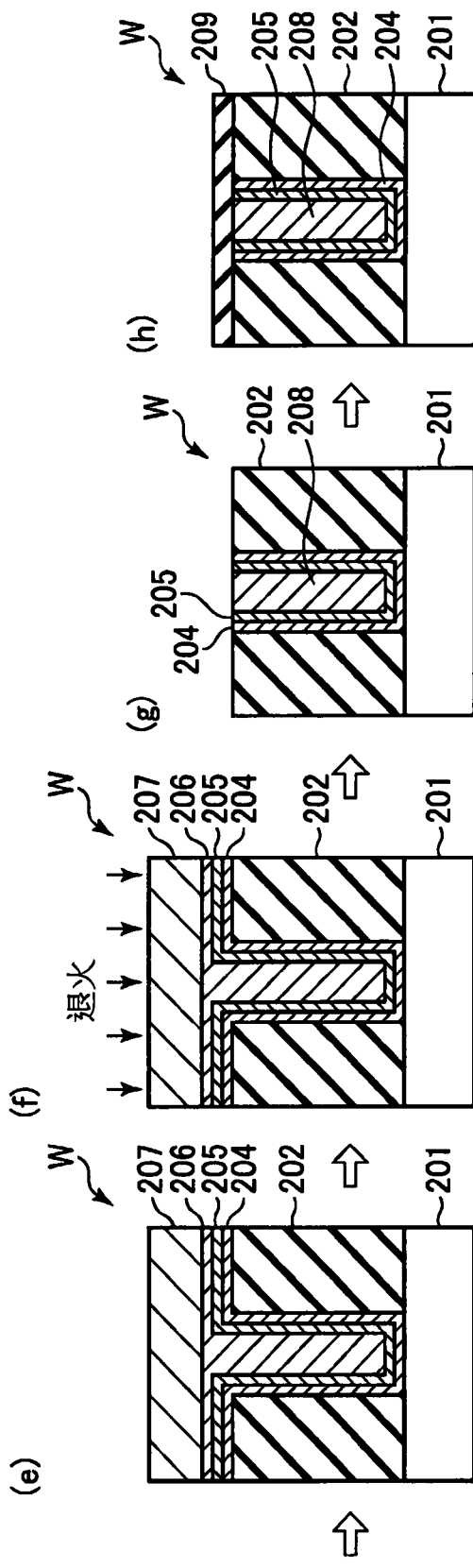


圖 3

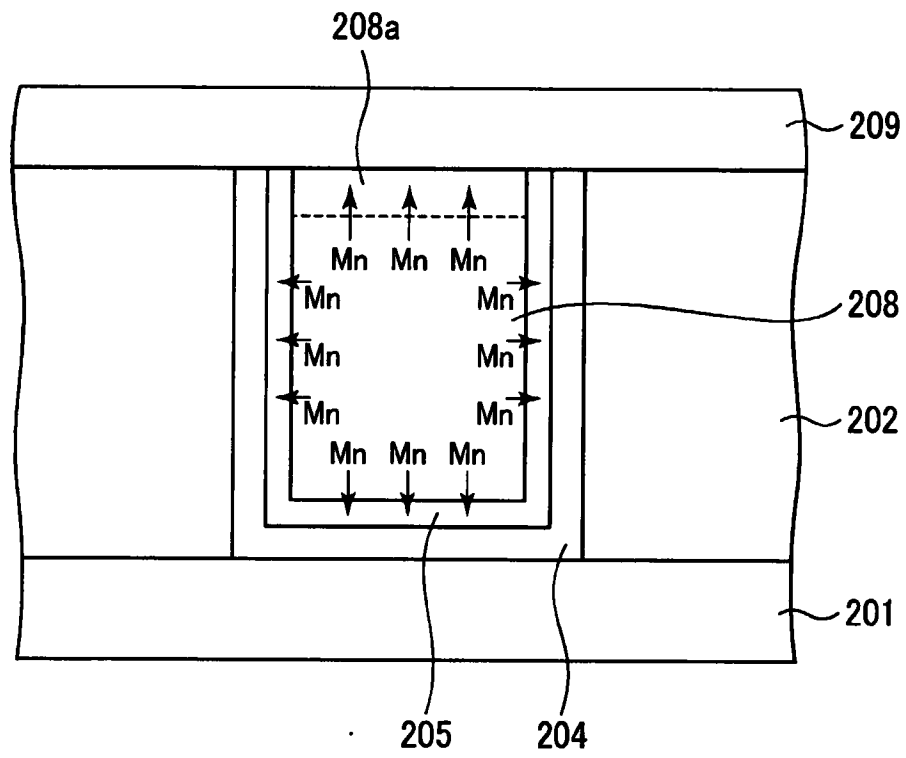


圖 4

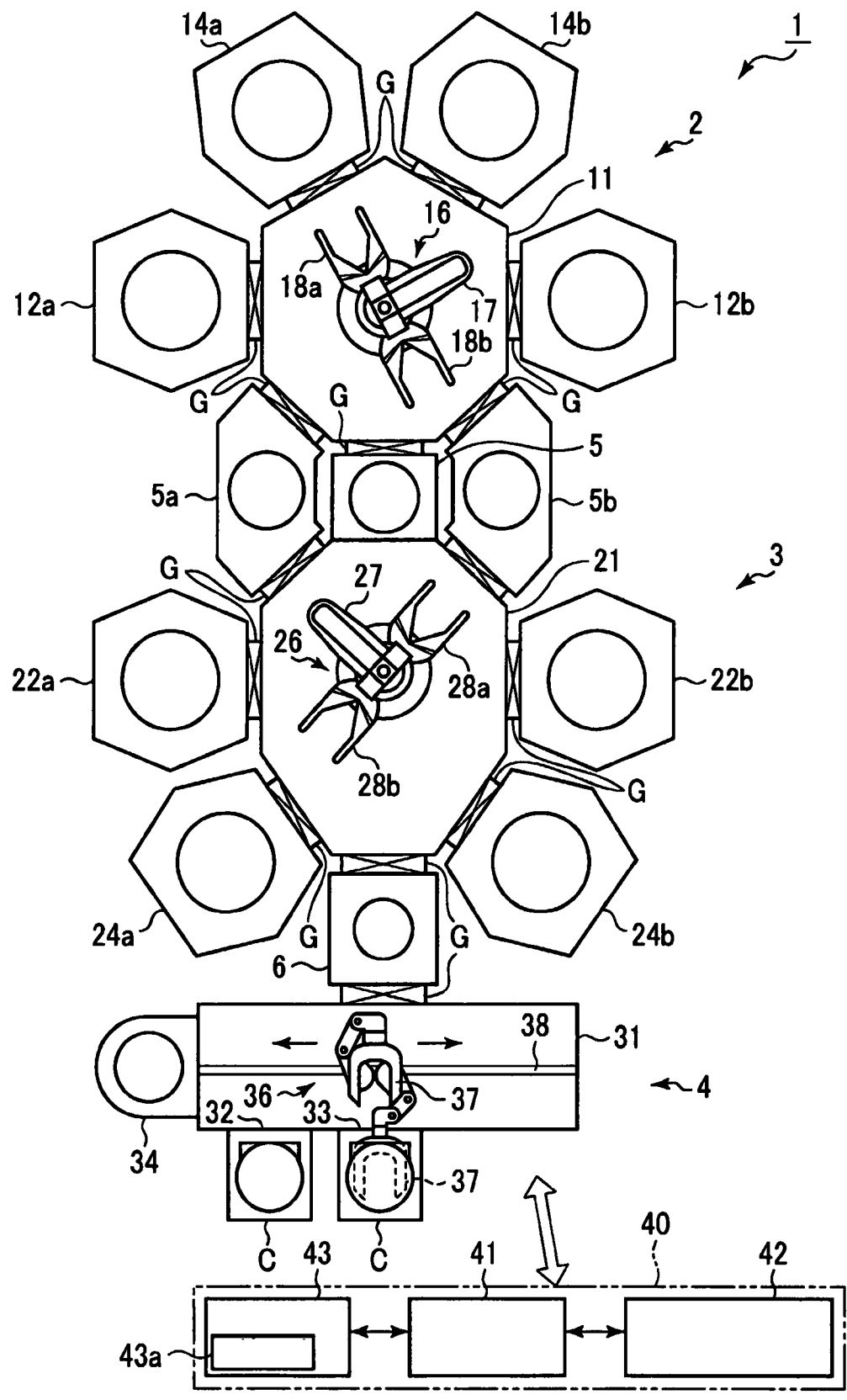


圖 5

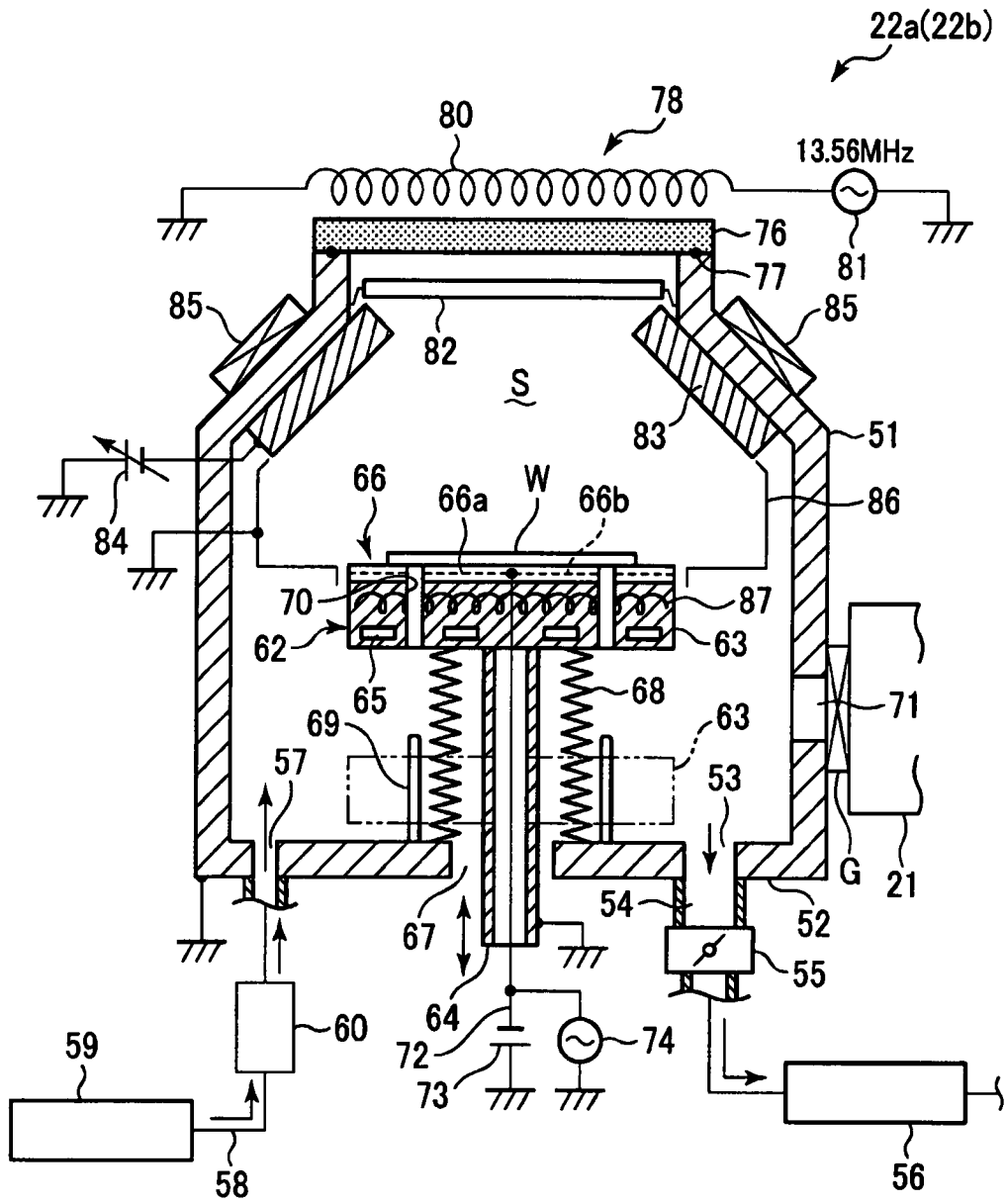


圖 6

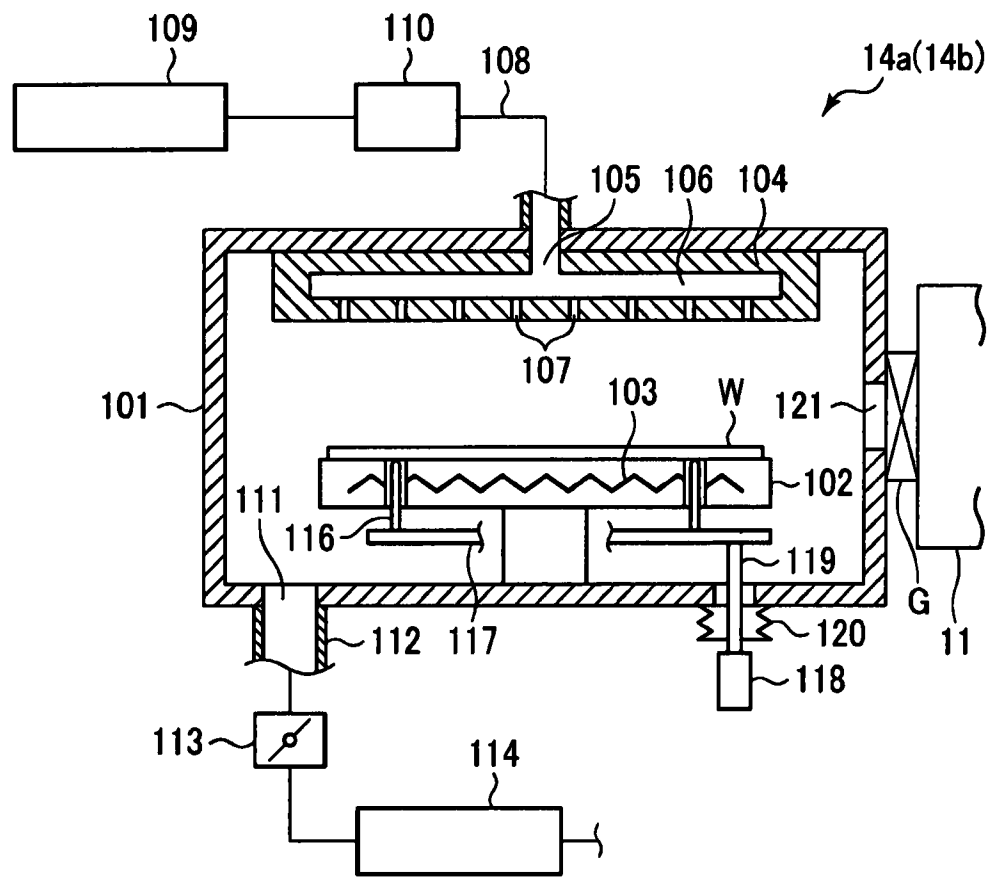


圖 7

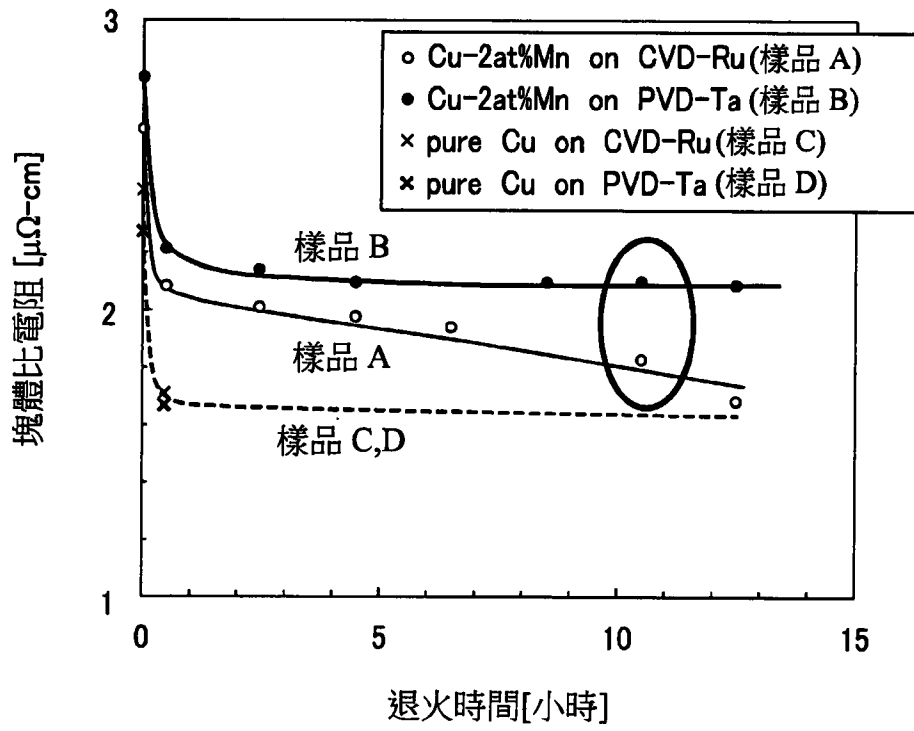


圖 8

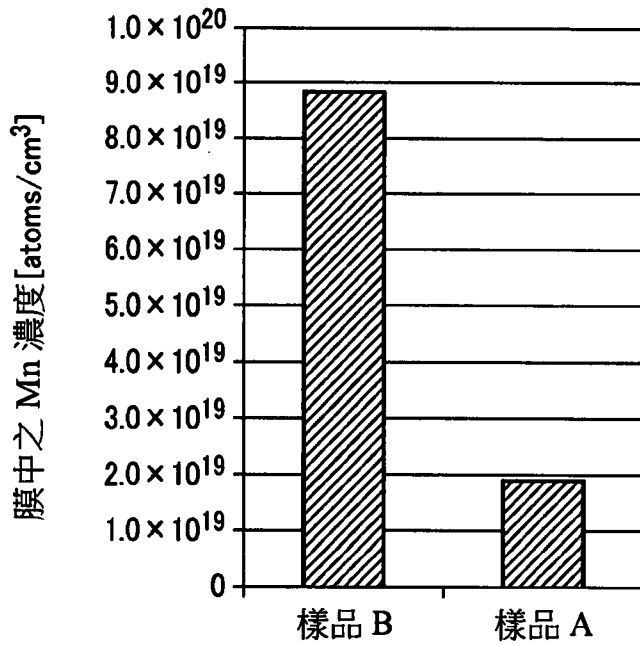


圖 9

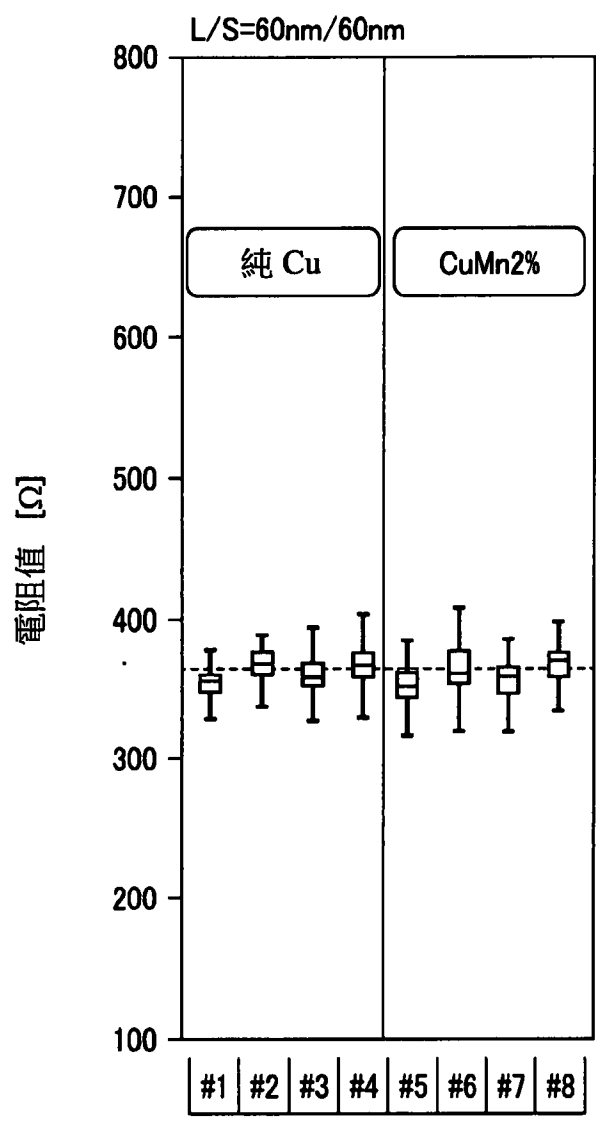
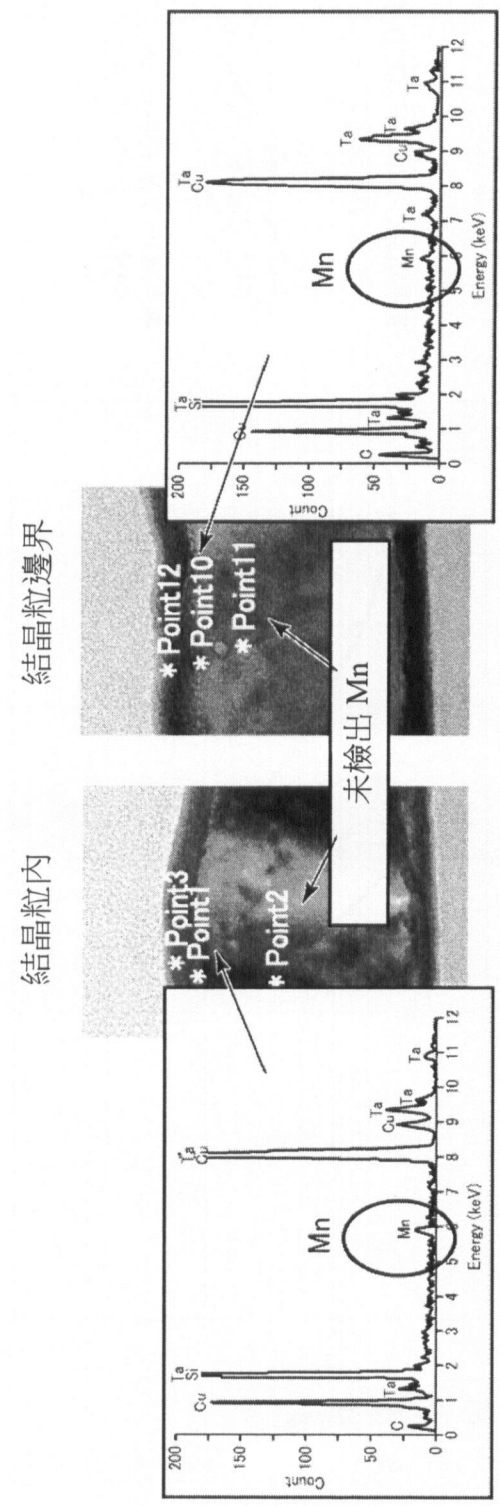


圖 10



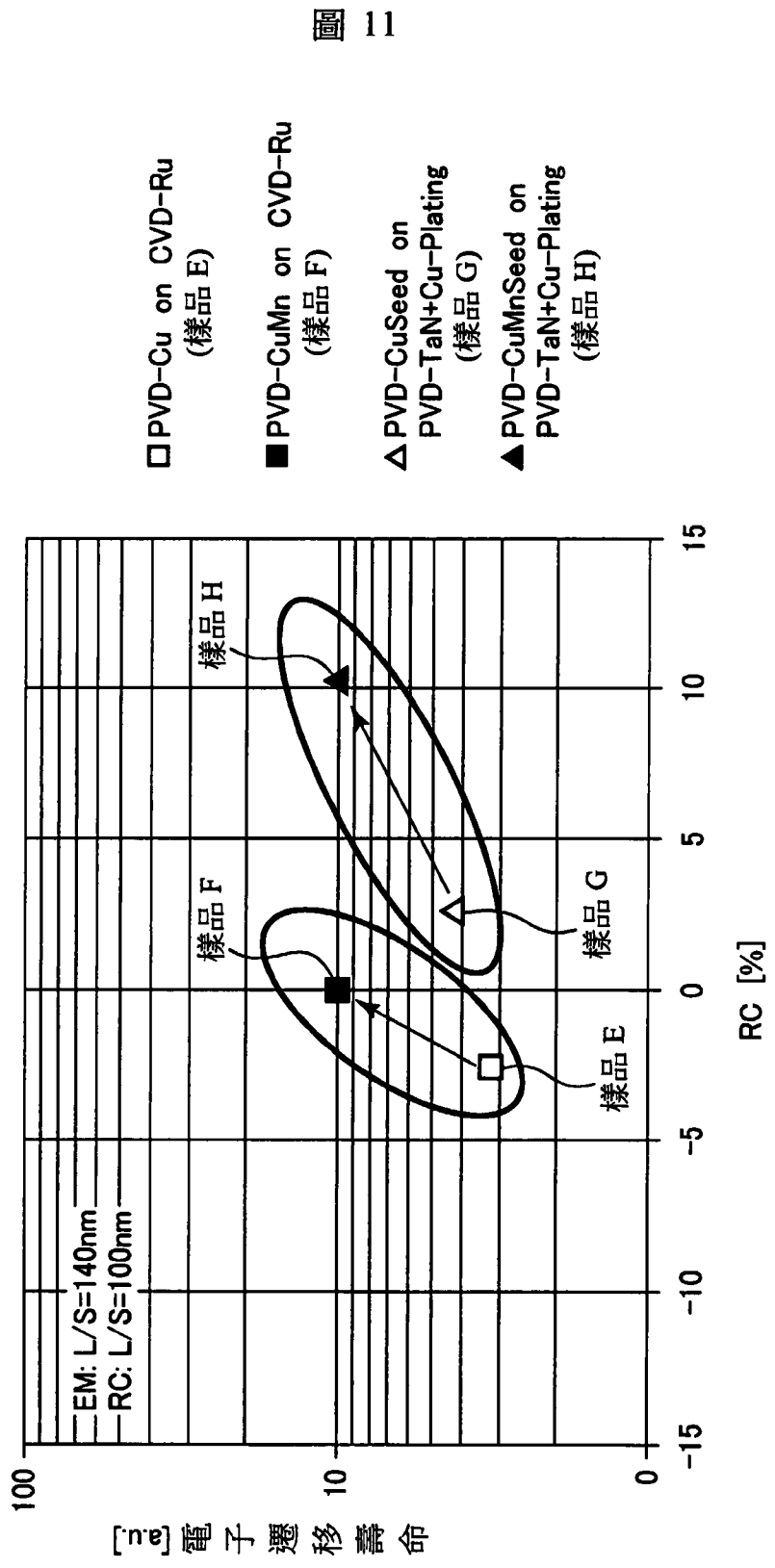


圖 11



圖 12

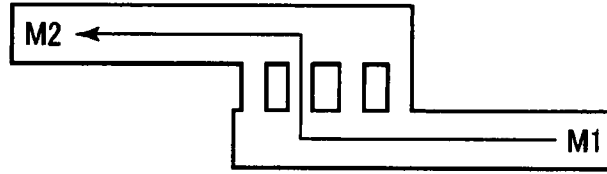


圖 13

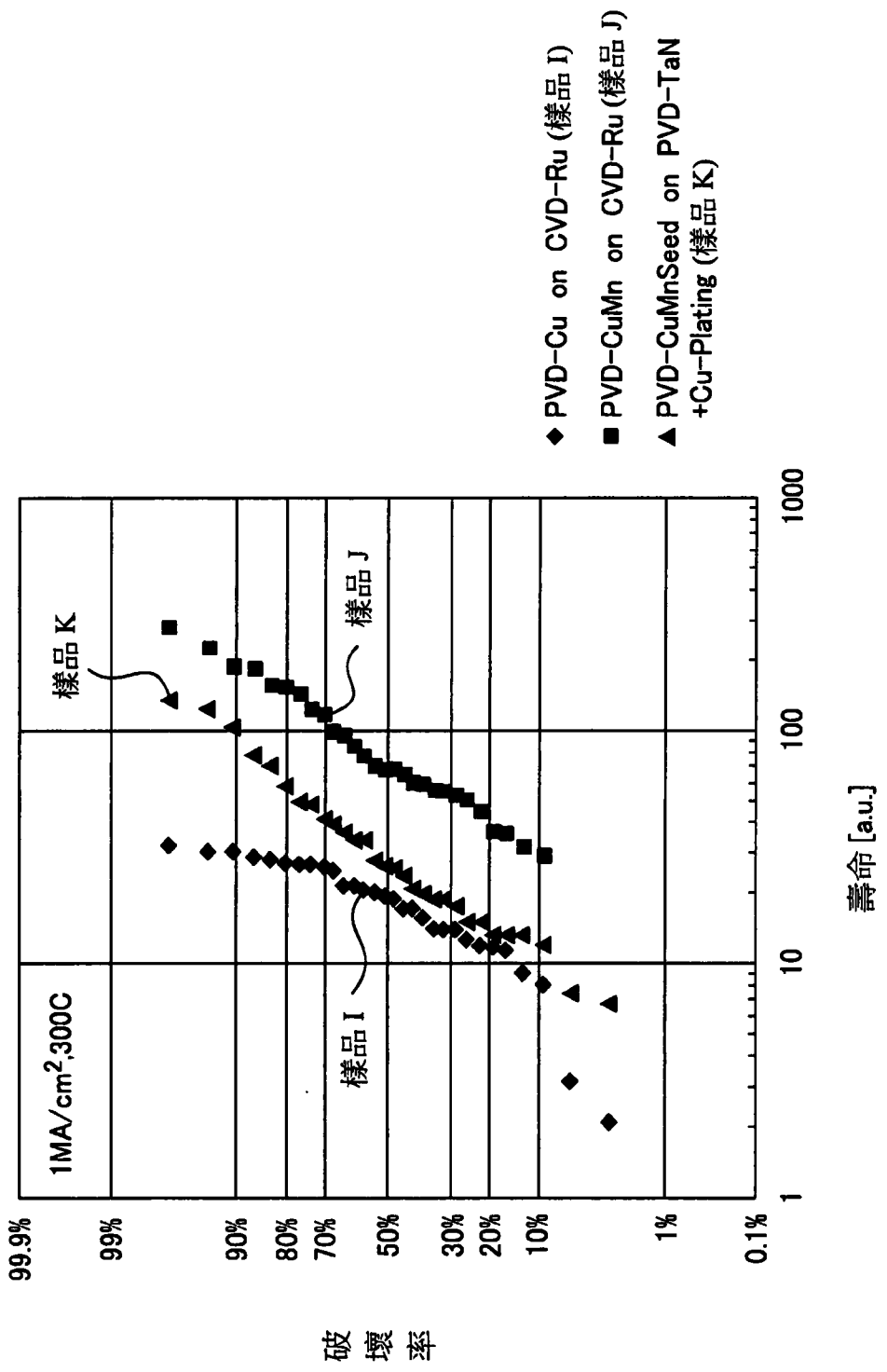


圖 14

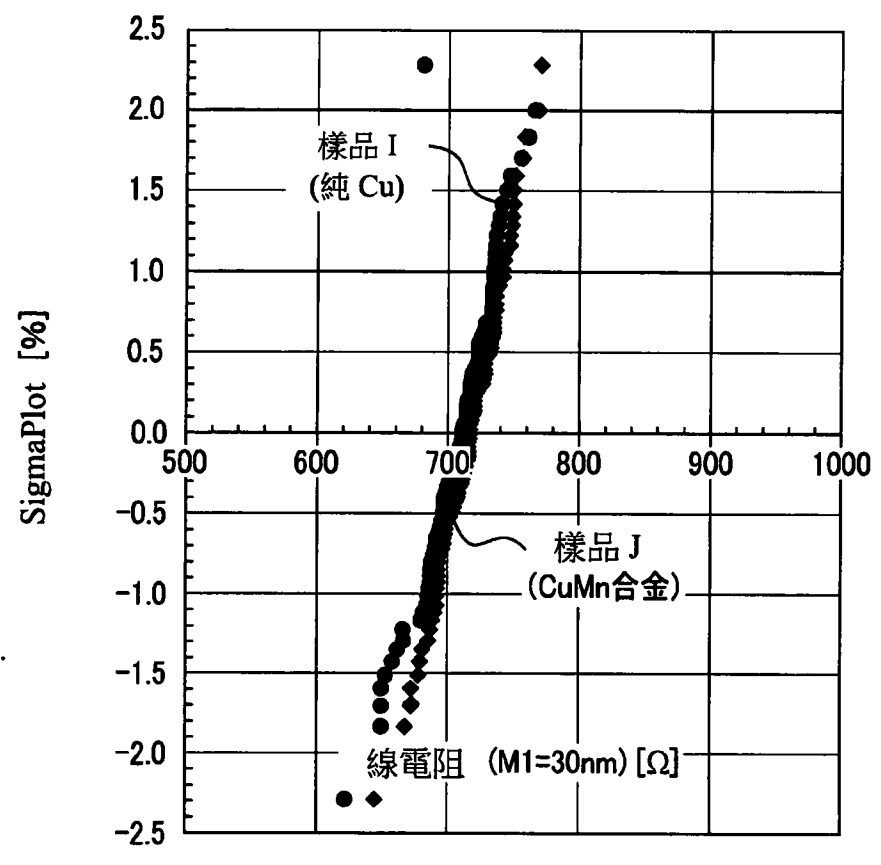


圖 15

