



(21) 申請案號：111124269 (22) 申請日：中華民國 111 (2022) 年 06 月 29 日  
 (51) Int. Cl. : *H02M1/088 (2006.01)* *H02M3/158 (2006.01)*  
*H01L25/16 (2006.01)*  
 (30) 優先權：2021/07/01 美國 63/202,973  
 (71) 申請人：愛爾蘭商納維達斯半導體有限公司 (愛爾蘭) NAVITAS SEMICONDUCTOR  
 LIMITED (IE)  
 愛爾蘭  
 (72) 發明人：詹代利亞 馬可 GIANDALIA, MARCO (US)；張 傑森 ZHANG, JASON (US)；  
 賈宏偉 JIA, HONGWEI (CN)；金策 丹尼爾 KINZER, DANIEL (US)  
 (74) 代理人：陳長文  
 申請實體審查：有 申請專利範圍項數：20 項 圖式數：14 共 63 頁

## (54) 名稱

具有能量擷取閘極驅動器之整合式功率裝置

## (57) 摘要

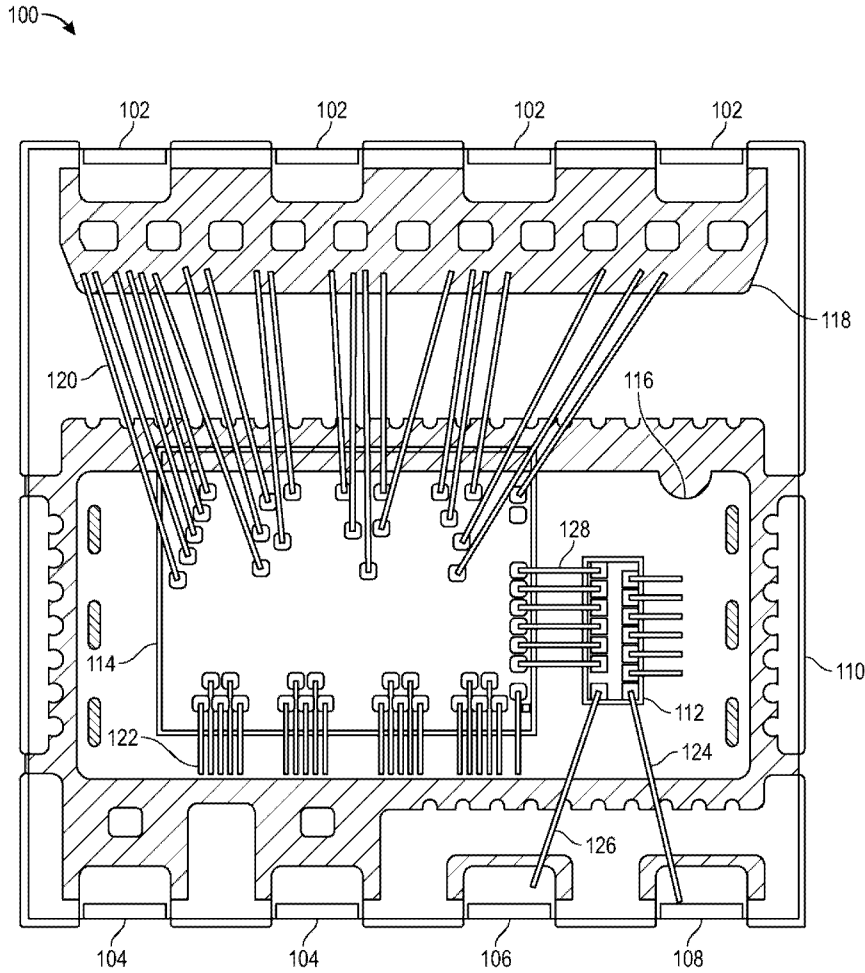
揭示一種電子電路。該電子電路包含：一電晶體，其具有一閘極端子、一源極端子及一汲極端子；及一閘極驅動器電路，其包含：一下拉電晶體，其耦接至該閘極端子；及一輸入端子，其經配置以接收一輸入信號且在耦接至該閘極端子之一輸出端子處產生一對應輸出信號，其中該閘極驅動器電路經配置以儲存自該輸入信號擷取之能量且使用該所儲存能量來改變該下拉電晶體之一導電狀態。在一個態樣中，該電晶體包含氮化鎵 (GaN)。在另一態樣中，該下拉電晶體包含 GaN。

An electronic circuit is disclosed. The electronic circuit includes a transistor having a gate terminal, a source terminal and a drain terminal, and a gate driver circuit including a pull-down transistor coupled to the gate terminal, and an input terminal arranged to receive an input signal and generate a corresponding output signal at an output terminal coupled to the gate terminal, where the gate driver circuit is arranged to store energy harvested from the input signal and use the stored energy to change a conductive state of the pull-down transistor. In one aspect, the transistor includes gallium nitride (GaN). In another aspect, the pull-down transistor includes GaN.

指定代表圖：

符號簡單說明：

- 100: 整合式 GaN 功率裝置
- 102: 引腳
- 104: 引腳
- 106: 引腳
- 108: 輸入引腳
- 110: 半導體封裝
- 112: 閘極驅動器積體電路
- 114: GaN 功率電晶體
- 116: 晶粒墊
- 118: 頂板
- 120: 接合線
- 122: 接合線
- 124: 接合線
- 126: 接合線
- 128: 接合線



【圖1】

## 【發明摘要】

【中文發明名稱】 具有能量擷取閘極驅動器之整合式功率裝置

【英文發明名稱】 INTEGRATED POWER DEVICE WITH ENERGY

HARVESTING GATE DRIVER

### 【中文】

揭示一種電子電路。該電子電路包含：一電晶體，其具有一閘極端子、一源極端子及一汲極端子；及一閘極驅動器電路，其包含：一下拉電晶體，其耦接至該閘極端子；及一輸入端子，其經配置以接收一輸入信號且在耦接至該閘極端子之一輸出端子處產生一對應輸出信號，其中該閘極驅動器電路經配置以儲存自該輸入信號擷取之能量且使用該所儲存能量來改變該下拉電晶體之一導電狀態。在一個態樣中，該電晶體包含氮化鎵（GaN）。在另一態樣中，該下拉電晶體包含 GaN。

### 【英文】

An electronic circuit is disclosed. The electronic circuit includes a transistor having a gate terminal, a source terminal and a drain terminal, and a gate driver circuit including a pull-down transistor coupled to the gate terminal, and an input terminal arranged to receive an input signal and generate a corresponding output signal at an output terminal coupled to the gate terminal, where the gate driver circuit is arranged to store energy harvested from the input signal and use the stored energy to change a conductive state of the pull-down transistor. In one aspect, the transistor includes gallium nitride (GaN). In another aspect, the pull-down transistor includes GaN.

【指定代表圖】圖1

【代表圖之符號簡單說明】

100:整合式 GaN 功率裝置

102:引腳

104:引腳

106:引腳

108:輸入引腳

110:半導體封裝

112:閘極驅動器積體電路

114:GaN 功率電晶體

116:晶粒墊

118:頂板

120:接合線

122:接合線

124:接合線

126:接合線

128:接合線

## 【發明說明書】

【中文發明名稱】 具有能量擷取閘極驅動器之整合式功率裝置

【英文發明名稱】 INTEGRATED POWER DEVICE WITH ENERGY

HARVESTING GATE DRIVER

### 【技術領域】

【0001】 所描述之實施例大體係關於功率轉換裝置，且更特定言之，本發明實施例係關於利用氮化鎵（GaN）電路之整合式功率轉換裝置。

### 【先前技術】

【0002】 諸如電腦、伺服器及電視等電子裝置使用一或多個電功率轉換電路將一種形式之電能轉換為另一種形式。一些電功率轉換電路使用稱為半橋轉換器的電路拓朴來將高 DC 電壓轉換成更低 DC 電壓。由於許多電子裝置對功率轉換電路之大小及效率敏感，因此新型功率轉換器可為新型電子裝置提供相對更高之效率及更小之大小。

### 【發明內容】

【0003】 在一些實施例中，揭示一種電子電路。該電子電路包含：一電晶體，其具有一閘極端子、一源極端子及一汲極端子；及一閘極驅動器電路，其包含：一下拉電晶體，其耦接至該閘極端子；及一輸入端子，其經配置以接收一輸入信號且在耦接至該閘極端子之一輸出端子處產生一對應輸出信號，其中該閘極驅動器電路經配置以儲存自該輸入信號擷取之能量且使用該所儲存能量來改變該下拉電晶體之一導電狀態。

【0004】 在一些實施例中，該電晶體包含氮化鎵（GaN）。

【0005】 在一些實施例中，該下拉電晶體包含 GaN。

【0006】 在一些實施例中，該閘極驅動器電路包含矽。

【0007】 在一些實施例中，該閘極驅動器電路使用該所儲存能量來使該下拉電晶體自一接通狀態轉變為一斷開狀態。

【0008】 在一些實施例中，該閘極驅動器電路及該電晶體安置於一單式電子封裝內。

【0009】 在一些實施例中，該單式電子封裝包含一電力輸入觸點、一電力輸出觸點及一輸入信號觸點。

【0010】 在一些實施例中，該輸入信號為包含一系列接通及斷開命令之一脈寬調變（PWM）信號。

【0011】 在一些實施例中，該閘極驅動器電路經配置以在該 PWM 信號之一斷開命令期間將該下拉電晶體之該導電狀態自一斷開狀態改變為一接通狀態。

【0012】 在一些實施例中，該電子電路包含具有一第一外部觸點、一第二外部觸點及一第三外部觸點之一單式電子封裝。

【0013】 在一些實施例中，該電晶體及該閘極驅動器電路安置於一 TO-247 封裝內。

【0014】 在一些實施例中，該單式電子封裝為一 TO 無引線（TOLL）封裝。

【0015】 在一些實施例中，該閘極驅動器電路包含耦接至該閘極端子之一能量擷取電路，其中該能量擷取電路經配置以儲存自該輸入信號擷取之能量，且當該 PWM 信號處於一斷開命令中時，使用該所儲存能量用於操作該閘極驅動器電路。

【0016】 在一些實施例中，揭示一種電路。該電路包含：一第一電晶體，

其具有一第一閘極端子、一第一源極端子及一第一汲極端子；及

一電流控制電路，其經配置以接收一輸入信號且作為回應將一對應輸出信號傳輸至該第一閘極端子，其中該電流控制電路包含：一第一路徑，其具有與一第一單向電流導體串聯耦接之一第一阻抗元件，該第一單向電流導體經定向以允許電流流動至該第一閘極端子；及一第二路徑，其具有與一第二單向電流導體串聯耦接之一第二阻抗元件，該第二單向電流導體經定向以允許電流自該第一閘極端子流動。

**【0017】** 在一些實施例中，該電路進一步包含一第二電晶體，該第二電晶體具有一第二閘極端子、一第二源極端子及一第二汲極端子，其中該第二汲極端子耦接至該第一閘極端子，其中該第二電晶體經配置以將該第一閘極端子處之一電壓箝位至一預設電壓值。

**【0018】** 在一些實施例中，該電路進一步包含一第三電晶體，該第三電晶體具有一第三閘極端子、一第三源極端子及一第三汲極端子，其中該第三源極端子耦接至該第一閘極端子，且該第三汲極端子耦接至該電流控制電路。

**【0019】** 在一些實施例中，揭示一種電路。該電路包含：一第一電晶體，其具有一第一閘極端子、一第一源極端子及一第一汲極端子；一第二電晶體，其具有一第二閘極端子、一第二源極端子及一第二汲極端子，該第二汲極端子耦接至該第一閘極端子；一第一控制電路，其耦接至該第二閘極端子，且經配置以回應於該第一閘極端子處之一電壓低於一第一臨限值電壓而將該第二電晶體之一導電狀態自一斷開狀態改變為一接通狀態；

一第三電晶體，其具有一第三閘極端子、一第三源極端子及一第三汲極端子；及一第二控制電路，其耦接至該第三閘極端子，且經配置以回應於該第一閘極端子處之該電壓高於一第二臨限值而將該第三電晶體之一導電狀態自一斷開狀態改變為一接通狀態。

【0020】 在一些實施例中，該第二電晶體經配置以將該第一閘極端子處之該電壓箝位在一第一預設值。

【0021】 在一些實施例中，該第三電晶體經配置以將該第一閘極端子處之該電壓箝位在一第二預設值。

【0022】 在一些實施例中，該電路進一步包含一電流控制電路，該電流控制電路經配置以接收一輸入信號，且作為回應將一對應輸出信號傳輸至該第一閘極端子，其中該電流控制電路包含：一第一路徑，其具有與一第一單向電流導體串聯耦接之一第一阻抗元件，該第一單向電流導體經定向以允許電流流動至該第一閘極端子；及一第二路徑，其具有與一第二單向電流導體串聯耦接之一第二阻抗元件，該第二單向電流導體經定向以允許電流自該第一閘極端子流動。

#### 【圖式簡單說明】

【0023】 圖 1 說明根據本揭示案之一實施例之處於同一封裝中之整合式 GaN 功率裝置及矽裝置；

【0024】 圖 2 說明根據本揭示案之一實施例之具有能量擷取、整合式上拉及下拉電晶體以及電壓箝位特徵之閘極驅動器電路之示意圖；

【0025】 圖 3 展示圖 2 中所示之閘極驅動器電路之輸入端子處之靜態電流的曲線圖及圖 2 中所示之 GaN 功率電晶體之閘極電壓的曲線圖；

【0026】 圖 4A 說明根據本揭示案之一實施例之具有飽和電流保護特徵之電路的示意圖；

【0027】 圖 4B 說明展示圖 4A 之電路內之各個節點的電壓隨時間推移之曲線圖；

【0028】 圖 5 說明根據本揭示案之一實施例之具有飽和電流保護特徵之電



路的示意圖；

【0029】圖 6 說明根據本揭示案之一實施例之具有飽和電流保護特徵之電路的示意圖；

【0030】圖 7A 說明根據本揭示案之一實施例之具有接通  $dv/dt$  控制特徵之電路的示意圖；

【0031】圖 7B 說明展示汲極至源極電壓在 GaN 功率電晶體之接通期間隨時間推移之變化率的曲線圖；

【0032】圖 7C 展示汲極至源極電壓依據圖 7A 之電路中的外部電阻器之電阻值隨時間推移之變化率；

【0033】圖 8 說明根據本揭示案之一實施例之具有  $dV/dt$  控制電路及閘極箝位特徵之閘極驅動器的示意圖；

【0034】圖 9 說明根據本揭示案之一實施例之具有斷開  $dI/dt$  控制特徵之電路的示意圖；

【0035】圖 10 說明根據本揭示案之一實施例之具有滯後之閘極驅動器電路的示意圖；

【0036】圖 11 說明圖 10 之閘極電路內的各個節點處之電壓；

【0037】圖 12 說明根據本揭示案之一實施例的電壓調節器之示意圖；

【0038】圖 13 說明根據本揭示案之一實施例之 TO-247 封裝中之整合式 GaN 功率裝置；及

【0039】圖 14A 說明根據本揭示案之一實施例之整合式 GaN 功率裝置。圖 14B 說明根據本揭示案之一實施例之四端子 TO-247 封裝中之整合式 GaN 功率裝置。圖 14C 說明根據本揭示案之一實施例之在 TO 無引線 (TOLL) 封裝中之整合式 GaN 功率裝置。

**【實施方式】**

相關申請案之交叉參考

**【0040】** 本申請案主張 2021 年 7 月 1 日申請的美國臨時專利申請案第 63/202,973 號「Integrated Power Device with Energy Harvesting Gate Driver」之優先權，其特此出於所有目的以全文引用之方式併入。

**【0041】** 本文揭示之電路及相關技術大體係關於氮化鎵（GaN）功率轉換裝置。更具體言之，本文揭示之裝置、電路及相關技術涉及 GaN 積體電路，其中閘極驅動器積體電路（IC）可用於自輸入脈寬調變（PWM）信號擷取能量，用於為閘極驅動器 IC 供電，從而消除了對用於閘極驅動器 IC 的電源供應器之需要。在一些實施例中，閘極驅動器 IC 可與封裝中之 GaN 功率電晶體整合以形成整合式 GaN 功率裝置，其中整合式 GaN 功率裝置可為離散矽功率 MOSFET 及其驅動電路之引腳對引腳相容替換。在各種實施例中，閘極驅動器 IC 可儲存自 PWM 信號擷取之能量，且即使當 PWM 信號處於低狀態時亦繼續運行且驅動 GaN 功率電晶體，如圖 1 中進一步解釋的。

**【0042】** 在一些實施例中，閘極驅動器 IC 可包含各種保護電路以將 GaN 功率電晶體保持在其安全操作區域中，如此處概述且在下文更詳細地描述。更具體言之，在一些實施例中，IC 可包含用於下拉 GaN 功率電晶體之閘極電壓之下拉電晶體。下拉電晶體可整合至 IC 中或與 GaN 電晶體整合在同一晶粒內。IC 可驅動下拉電晶體之閘極，如圖 2 中進一步解釋的。

**【0043】** 在各種實施例中，IC 可包含上拉電晶體。上拉電晶體可使得 PWM 信號能夠將 GaN 功率電晶體之閘極驅動至高狀態。在一些實施例中，IC 可包含可保護 GaN 功率電晶體及 IC 之內部電路系統之箝位電路。箝位電路可為 PWM 致能相對較高之操作電壓，例如 10 至 30 V，同時允許 GaN 電晶體之閘極保持

在其安全操作區內，例如低於 6.0 V。如受益於本揭示案之本領域中一般熟習此項技術者所理解的，可將操作電壓設定為任何合適之值。上拉電晶體及箝位電路之操作在圖 2 中更詳細地描述。

**【0044】** 在一些實施例中，IC 可包含飽和電流保護電路。飽和電流保護電路可感測 GaN 功率電晶體之汲極處的電壓，且觸發保護電路以防止 GaN 電晶體進入或停留在其飽和區中。如本領域中熟習此項技術者所理解，GaN 電晶體在其線性操作區中可正常操作，但若 GaN 電晶體進入其飽和操作區，則汲極電流可隨著相應汲極電壓之增大而增大，此在功率轉換應用中係不希望的。在一些實施例中，飽和保護電路可使用空乏模式（D 模式） GaN 電晶體來感測 GaN 電晶體之汲極電壓，且在感測到飽和時關斷 GaN 電晶體。飽和保護電路在圖 4 至圖 6 中詳細論述。

**【0045】** 在各種實施例中，IC 可包含藉由利用與 PWM 信號串聯之外部電阻器之接通  $dv/dt$  控制電路。DV/dt 控制電路在圖 7A 至圖 7C 及圖 8 中詳細論述。在各種實施例中，IC 可包含藉由利用封裝接合線電感之斷開  $dI/dt$  控制電路。藉由使用斷開  $dI/dt$  控制電路，可將 GaN 電晶體之閘極保持在其安全操作區域中，其中 GaN 電晶體之閘極上之應力電壓可保持在相對最小值。斷開  $dI/dt$  控制電路在圖 9 中更詳細地描述。

**【0046】** 在一些實施例中，IC 可包含具有滯後之閘極驅動電壓產生電路，以控制 GaN 電晶體之閘極電壓以降低功率消耗且提高操作速度。具有滯後之閘極驅動電壓產生電路在圖 10 至圖 11 中更詳細地描述。

**【0047】** 如受益於本揭示案之本領域中一般熟習此項技術者所瞭解，本文描述之特徵之任何部分及/或任何組合可整合在 IC 內，可整合在 GaN 電晶體內，或該等特徵可部分地整合在 IC 中，部分地整合在 GaN 電晶體中。在各種實施例中，整合式 GaN 功率裝置可在比其所替換之矽功率 MOSFET 相對更高之頻率下

操作。此外，IC 可由矽、碳化矽、GaN 或任何其他合適之半導體材料形成。在各種實施例中，整合式功率裝置可用於諸如但不限於 AC 至 DC 轉換器的高電流及/或高電壓功率轉換應用以及諸如太陽能轉換、汽車及電池充電應用之應用。

**【0048】** 現將相對於附圖描述若干說明性實施例，附圖形成該等實施例之一部分。以下描述僅提供實施例，且並不希望限制本揭示案之範圍、適用性或組態。實際上，實施例之以下描述將為本領域中熟習此項技術者提供用於實施一或多個實施例之啟迪性描述。應瞭解，可在不脫離本揭示案之精神及範圍的情況下對元件之功能及配置做出各種改變。在以下描述中，出於闡釋之目的，闡述特定細節以便提供對特定發明性實施例之透徹理解。然而，將顯而易見，可在無此等特定細節之情況下實踐各種實施例。圖式及描述並不希望為限制性的。本文中使用的詞語「實例」或「例示性」來表示「充當實例、例子或說明」。本文中描述為「例示性」或「實例」之任何實施例或設計不必理解為相對於其他實施例或設計係較佳的或有利的。

### 整合式 GaN 功率封裝

**【0049】** 圖 1 說明根據本揭示案之一實施例之整合式 GaN 功率裝置 100。如圖 1 中所示，整合式 GaN 功率裝置 100 可在半導體封裝 110 中包含 GaN 功率電晶體 114 及閘極驅動器積體電路 (IC) 112。藉由將 GaN 功率電晶體 114 及閘極驅動器 IC 整合至單一半導體封裝 110 中，可消除大部分封裝寄生元件，從而允許在高電流及高功率應用中使用整合式 GaN 功率裝置 100。整合式 GaN 功率裝置 100 可包含頂板 118。GaN 功率電晶體 114 之汲極可藉由多個接合線 120 耦接至頂板 118，其中頂板 118 耦接至多個引腳 102 以形成整合式 GaN 功率裝置 100 之汲極。整合式 GaN 功率裝置 100 可進一步包含晶粒墊 116。

**【0050】** GaN 功率電晶體 114 之源極可藉由多個接合線 122 耦接至晶粒墊 116。晶粒墊 116 可耦接至多個引腳 104 以形成整合式 GaN 功率裝置 100 之源

極。IC 112 之接地端子可經由接合線 126 耦接至引腳 106 以形成 IC 之低寄生(開爾文)源極連接。IC 之輸入端子可經由接合線 124 連接至輸入引腳 108，以形成用於至整合式 GaN 功率裝置 100 之驅動信號的輸入。在一些實施例中，輸入引腳 108 可耦接至脈寬調變 (PWM) 信號以驅動 IC 112。IC 可經由接合線 128 耦接至 GaN 功率電晶體 114。在許多實施例中，IC 可藉由夾子 (例如銅夾子) 耦接至 GaN 功率電晶體 114。在一些實施例中，IC 可藉由凸塊耦接至 GaN 功率電晶體 114。在各種實施例中，IC 112 可驅動 GaN 功率電晶體 114，且可包含用於驅動 GaN 功率電晶體且將 GaN 功率電晶體保持在其安全操作區域中之各種特徵。在所說明實施例中，整合式 GaN 功率裝置 100 可用於在各種應用中替換矽功率 MOSFET。本領域中熟習此項技術者將理解，閘極驅動器 IC 112 可用於驅動 GaN 高電子遷移率電晶體 (HEMT) 及其他功率電晶體，諸如如 (但不限於) 隔離閘極雙極電晶體 (IGBT) 及矽 MOSFET。

**【0051】** 在各種實施例中，閘極驅動器 IC 112 可在無需電源供應器 ( $V_{dd}$ ) 的情況下操作。此特徵可消除對封裝 110 中的  $V_{dd}$  之額外引腳的需要，且允許整合式 GaN 功率裝置 100 之引腳對引腳相容性，因此其可與離散矽功率 MOSFET 或其他經封裝半導體裝置互換。在一些實施例中，當 PWM 信號處於高狀態且 IC 可將能量儲存在其內部組件上時，可自輸入 PWM 信號汲取用於 IC 112 操作之能量。當 PWM 信號處於低狀態時，IC 可利用所儲存能量繼續發揮作用。此外，即使當儲存在 IC 中之能量已耗散時，IC 亦可繼續主動下拉 GaN 功率電晶體 114 之閘極，以防止  $dv/dt$  事件導致非自主接通。

**【0052】** 在所說明實施例中，封裝 110 之輸入引腳 108 可汲取相對少量之電流，類似於其所替換之離散矽功率 MOSFET 之閘極。類似於矽功率 MOSFET 之閘極，PWM 信號可有低及高兩種邏輯狀態。例如，在低狀態下，PWM 信號可為零伏特，而其高狀態值可為 10 至 30 V。IC 112 可在例如介於 0 至 6 V 之適

當電壓值下驅動 GaN 功率電晶體 114 之閘極，即使 PWM 信號在 0 至 10-30 V 之間變化亦如此。以此方式，即使 PWM 信號高於 GaN 電晶體之安全操作電壓，IC 112 亦可將 GaN 功率電晶體 114 之閘極保持在其安全操作區域內，且防止損壞 GaN 電晶體之閘極。如受益於本揭示案的本領域中一般熟習此項技術者所瞭解，用於操作電壓之值可設定為適合於特定應用之任何合適值。

**【0053】** 在一些實施例中，在通電期間，IC 112 可接通且執行通電功能，以使得 GaN 功率電晶體 114 在通電期間保持在其安全操作區域中。IC 112 可驅動 GaN 功率電晶體 114 之閘極，同時藉由感測 GaN 電晶體之各種特性（諸如但不限於過電流、過電壓特性及過溫）來監測 GaN 功率電晶體 114 之狀態。為了消除對例如  $V_{dd}$  引腳之電力引腳的需要，IC 112 可自輸入 PWM 信號汲取電力，且將能量儲存在其內部電容器 228 中。即使在 PWM 信號處於低狀態且 GaN 電晶體 114 已斷開時，IC 112 亦可使用所儲存能量來發揮作用。在 PWM 低狀態期間，IC 112 可繼續發揮作用，且可主動將 GaN 功率電晶體 114 之閘極保持在低狀態，以防止閘極因  $dv/dt$  事件而接通，其可能導致損壞 GaN 電晶體。

**【0054】** 在一些實施例中，整合式 GaN 功率裝置 100 在待機狀態期間可具有很少或沒有進入其輸入端子之漏電流。在各種實施例中，可使用諸如但不限於雙扁平無引線（DFN）或 TO-247 之半導體封裝來整合 IC 112 及 GaN 功率電晶體 114 以形成對離散矽功率 MOSFET、碳化矽（SiC）FET 或其他功率裝置之引腳對引腳替換，而無需修改印刷電路板（PCB）佈局。如本領域中熟習此項技術者所理解，在一些應用中，可能難以在電晶體輪廓（TO 型）功率封裝中使用 GaN 功率電晶體，例如三端子或四端子 TO-247 或 TOLL 封裝，因為封裝之相對較高之寄生電感可能會在大電流應用中導致過度振鈴及振盪。在所說明實施例中，藉由將閘極驅動器 IC 112 連同 GaN 功率電晶體 114 整合至 TO 封裝，GaN 功率晶體管 114 可用於諸如但不限於三端子 TO-247、四端子 TO-247 及 TOLL 封裝之

TO 類型封裝中，其中閘極驅動器 IC 之各種特徵（諸如但不限於  $dv/dt$  控制及  $dI/dt$  控制）可使得能夠在 TO 封裝中使用 GaN 功率電晶體。此外，整合式 GaN 功率裝置 100 可用於離散功率 MOSFET、碳化矽（SiC）FET 或其他功率裝置之引腳對引腳替換，而無需修改印刷電路板（PCB）佈局。如受益於本揭示案之本領域中一般熟習此項技術者所瞭解，其他合適之半導體封裝可用於 GaN 功率電晶體 114 與閘極驅動器 IC 112 之整合，視具體應用而定。

#### 能量擷取電路、整合式上及下拉電晶體電路及電壓箝位電路

**【0055】** 圖 2 說明根據本揭示案之實施例之具有能量擷取、整合式上拉及下拉電晶體及電壓箝位特徵之電路 200 的示意圖。在一些實施例中，電路 200 可用於整合式 GaN 功率裝置 100 中。如圖 2 中所示，電路 200 可包含 GaN 功率電晶體 202，其具有閘極 208、汲極 204 及源極 206。在一些實施例中，GaN 功率電晶體 202 類似於 GaN 功率電晶體 114。汲極 204 可耦接至引腳 277，且源極 206 可耦接至引腳 279。在一些實施例中，汲極 204 及源極 206 可不耦接至引腳，而是其可耦接至與 GaN 功率電晶體 202 單片整合之其他電路節點。電路 200 可進一步包含經組態以接收信號 278 之輸入端子引腳 257。在一些實施例中，信號 278 可為脈寬調變（PWM）信號。輸入端子引腳 257 可連接至具有集電極 254、基極 216 及源極 214 之上拉電晶體 210。在各種實施例中，上拉電晶體 210 可為雙極 NPN 電晶體，而在其他實施例中，其可為 P-MOSFET。在一些實施例中，上拉電晶體 210 可為 N-MOSFET。在各種實施例中，上拉電晶體 210 可形成在化合物半導體基板或任何其他合適之基板中。在一些實施例中，上拉電晶體 210 可整合在閘極驅動器 IC 112 內。在各種實施例中，上拉電晶體可為基於 GaN 之電晶體，且與 GaN 功率電晶體 202 整合在同一晶粒中。

**【0056】** 源極 214 可連接至 GaN 功率電晶體 202 之閘極 208。在一些實施例中，GaN 功率電晶體 202 連同電路 200 可經配置以按低側組態使用。在各種

實施例中，GaN 功率電晶體 202 連同電路 200 可經配置以按半橋組態使用。在一些實施例中，GaN 功率電晶體 202 連同電路 200 可經配置以按高側組態使用。當信號 278 處於高狀態時，上拉電晶體 210 可接通，藉此允許電流流入閘極 208，從而對閘極 208 之電容充電。此可導致 GaN 功率電晶體 202 接通。在各種實施例中，上拉電晶體 210 可為雙極 NPN 電晶體，而在其他實施例中，上拉電晶體 210 可為 P-MOSFET。在一些實施例中，電晶體 210 可為 N-MOSFET。在各種實施例中，電晶體 210 可形成在化合物半導體基板或任何其他合適之基板中。上拉電晶體 210 可整合在閘極驅動器 IC 112 內，或其可為基於 GaN 之電晶體且與 GaN 功率電晶體 202 整合至同一晶粒中。

【0057】信號 278 可經由電阻器 252 將電力提供至上拉電晶體 210 之基極 216。當信號 278 變高時，上拉電晶體 210 可藉由提供電流來對閘極 208 充電，將 GaN 功率電晶體 202 之閘極 208 拉高。電路 200 可包含可連接至 IC 112 晶粒之基板 280 之基板端子 248。在各種實施例中，基板 280 可連接至接地。電路 200 可包含具有閘極端子 236、源極端子 234 及汲極端子 232 之下拉電晶體 230。下拉電晶體 230 之汲極端子 232 可連接至 GaN 功率電晶體 202 之閘極 208，且下拉電晶體 230 之源極端子 234 可連接至 GaN 功率電晶體 202 之源極 206 及基板 248。下拉電晶體經配置以當 PWM 信號處於低狀態時下拉 GaN 功率電晶體 202 之閘極 208。下拉電晶體 230 之閘極端子 236 可連接至邏輯電路 289，且由藉由邏輯電路 289 產生的信號  $V_{ptg2}$  驅動。當 PWM 信號變低時，信號  $V_{ptg2}$  可變高，此可接通下拉電晶體 230，導致汲極端子 232 變低且下拉 GaN 功率電晶體 202 之閘極 208。下拉電晶體 230 可與閘極驅動器電路形成在同一晶粒內，或可為基於 GaN 的且與 GaN 功率電晶體 202 形成在同一晶粒內且與 GaN 功率電晶體 202 整合在同一晶粒中。下拉電晶體 230 可為相對大之電晶體，以便提供 GaN 功率電晶體 202 之閘極 208 之堅實下拉。



【0058】 在一些實施例中，電路 200 可包含箝位電路 295。箝位電路 295 可箝位 GaN 功率電晶體 202 之閘極 208，使得閘極保持在其安全操作區域內。箝位電路 295 可使 PWM 信號具有寬範圍之操作電壓，例如 10 至 30 V，同時將 GaN 功率電晶體 202 之閘極 208 保持在其安全操作區域內，例如低於 6.0 V。如受益於本揭示案之本領域中一般熟習此項技術者所瞭解，可將操作電壓設定為任何合適值。箝位電路 295 可包含齊納二極體 250 及兩個二極體連接之 NPN 電晶體 262 及 272。

【0059】 電晶體 262 之源極 266 可連接至齊納二極體 250。集電極 268 可連接至電晶體 262 之基極及電晶體 272 之源極 264。電晶體 272 可具有連接至其基極 276 之集電極 274，其中集電極 274 亦連接至上拉電晶體 210 之基極 216。齊納二極體 250 可在其陰極 233 處產生電壓 ( $V_z$ )。  $V_z$  之值可例如為 5.2 V。二極體連接之電晶體 262 及 272 可各自在其集電極至源極端子兩端產生例如 0.7 V 之電壓降。因此，電晶體 210 之基極 216 處之電壓可為  $V_z + 2V_{bc}$ 。本領域中熟習此項技術者將理解，此等三個裝置之連接次序可不同，而產生之電壓為  $V_z + 2V_{bc}$ 。GaN 功率電晶體 202 之閘極 208 處的電壓可低於基極 216 處的電壓一個  $V_{bc}$ 。因此，GaN 功率電晶體 202 之閘極 208 處的電壓可為  $V_z + V_{bc}$ 。此電壓可具有例如 5.9 V 之值，因此將閘極 208 箝位至低於 6.0 V 之電壓，從而防止閘極 208 超過其安全操作電壓。

【0060】 電路 200 可包含箝位電路 295。箝位電路 295 可箝位 GaN 功率電晶體 202 之閘極 208，使得閘極 208 保持在其安全操作區域內。箝位電路 295 可使 PWM 信號具有寬範圍之操作電壓，例如 10 至 30 V，同時將 GaN 功率電晶體 202 之閘極 208 保持在其安全操作區域內，例如低於 6.0 V。如受益於本揭示案之本領域中一般熟習此項技術者所瞭解，可將 PWM 操作電壓設定為任何合適值。箝位電路 295 可包含齊納二極體 250 及兩個二極體連接之 NPN 電晶體 262

及 272。電晶體 262 具有可連接至齊納二極體 250 之源極 266 及可連接至電晶體 262 之基極及電晶體 272 之源極 264 之集電極 268。

【0061】電晶體 272 可具有集電極 274，其可連接至上拉電晶體 210 之基極 216。齊納二極體可在其陰極 233 處產生電壓  $V_z$ ，該電壓可為例如 5.2 V。二極體連接之電晶體 262 及 272 可各自在其集電極至源極端子兩端產生例如 0.7 V 之電壓降。因此，基極 216 處之電壓可為  $V_z+2V_{bc}$ 。GaN 功率電晶體 202 之閘極 208 處的電壓可低於電晶體 210 之基極 216 處的電壓一個  $V_{bc}$ 。因此，GaN 功率電晶體 202 之閘極 208 處的電壓可為  $V_z+V_{bc}$ 。此電壓可具有例如 5.9 V 之值。因此，箝位電路 295 可將閘極 208 箝位至低於 5.9 V 之電壓，且防止閘極 208 超過其安全操作電壓。如受益於本發明之本領域中一般熟習此項技術者所瞭解，箝位電路之輸出電壓可設定為任何合適值。在一些實施例中，電晶體 262 可為二極體連接之 NPN 雙極電晶體。二極體連接之電晶體 262 可緩解  $V_z$  之溫度變化。在各種實施例中，電晶體 272 可緩解電晶體 210 之特性之製造製程變化及溫度變化。本領域中熟習此項技術者將理解，電晶體 262 及 272 之連接次序可不同，同時緩解溫度及製造製程變化。

【0062】電路 200 可包含能量擷取及儲存電路 299。儲存電路 299 可包含與能量儲存電容器 228 串聯之電晶體 218。在一些實施例中，電晶體 218 可組態為二極體連接之電晶體。在各種實施例中，可使用二極體代替電晶體 218。電晶體 218 可具有集電極端子 220、源極端子 222 及基極端子 226。集電極端子 220 可連接至基極端子 226。源極端子 222 可連接至電容器 228。當 PWM 信號變高時，電晶體 210 可接通，從而使電晶體 218 亦接通。電容器 228 可充電，且儲存來自 PWM 信號之能量。因此，可在電晶體 218 之源極端子 222 處產生等於  $V_z$  之電壓，因為當電晶體 210 之源極端子 214 處之電壓為  $V_z+V_{bc}$  時，電晶體 218 之源極端子 222 處之電壓可低於電晶體 210 之源極 214 處的電壓一個  $V_{bc}$ 。電晶

體 218 之源極端子 222 處之電壓可為例如 5.2 V。此電壓可用於使 IC 112 內之電路通電，即使當 PWM 信號變低時亦如此。在一些實施例中，本揭示案包含用於在 GaN 功率電晶體 202 之閘極處產生電壓且將經調節電壓儲存在諸如電容器 228 之儲存元件中之方法。

【0063】 電路 200 可包含電晶體 240，其可用於在 PWM 變低時斷開 GaN 功率電晶體 202 之閘極 208 之充電。電晶體 240 之汲極 242 可連接至上拉電晶體 210 之基極 216，且電晶體 240 之源極 244 可連接至基板 248。電晶體 240 之閘極 246 可經組態以接收信號  $V_{ptg2}$ 。當信號 278 變低時，信號  $V_{ptg2}$  246 可變高，且接通電晶體 230 及 240 兩者。下拉電晶體 230 可下拉 GaN 功率電晶體 202 之閘極，且電晶體 240 可下拉上拉電晶體 210 之基極 216，從而使其斷開。藉由斷開上拉電晶體 210，可停止對 GaN 功率電晶體 202 之閘極 208 之充電。

【0064】 圖 3 展示圖 2 中的電路 200 之輸入端子引腳 257 處之靜態電流的曲線圖 300 及展示圖 2 中的電路 200 之 GaN 功率電晶體 202 之閘極電壓的曲線圖 310。已依據 PWM 電壓 306 標繪展示靜態電流之曲線圖 308、展示閘極電壓之曲線圖 310。如圖 3 中所示，隨著 PWM 電壓 306 增大，GaN 功率電晶體之閘極電壓隨著閘極充電而線性增大。閘極電壓增大至約 6.0 V，且由於箝位電路 295 箝位 GaN 功率電晶體 202 之閘極 208 而被箝位在該電壓。此外，曲線圖 308 展示在閘極被箝位之前沒有靜態電流流入 PWM 端子。在箝位電路 295 啟動之前不存在電流。當閘極 208 被箝位時，靜態電流線性增大。在一些實施例中，此特徵可使整合式 GaN 功率裝置 100 與離散功率應用相容，因為其待機閘極電流為零。

#### 飽和電流保護電路

【0065】 圖 4A 說明根據本揭示案之一實施例之具有飽和電流保護特徵之電路 400A 的示意圖。如圖 4A 中所示，電路 400A 可包含具有閘極 412、汲極 422 及源極 428 之 GaN 功率電晶體 440。汲極 422 可連接至負載。電路 400A 可

用於偵測 GaN 功率電晶體 440 何時進入其飽和操作區。當電晶體之汲極電流增大而其汲極至源極電壓保持相對恆定時，可能會在飽和區操作。

**【0066】** 如圖 4A 中所示，GaN 功率電晶體 440 之源極 428 可連接至接地節點 430。電路 400A 可藉由使用 GaN 電晶體 442 來監測 GaN 功率電晶體之汲極電壓。在一些實施例中，電晶體 442 可為空乏模式 GaN 電晶體。雖然 GaN 功率電晶體 440 可為高壓電晶體，具有例如 400 V 之操作電壓，但電路 400A 可為用於監測 GaN 功率電晶體 440 且防止其在飽和區中操作之低壓電路。在所說明實施例中，可監測 GaN 功率電晶體 440 之汲極 422 處的電壓，且當該電壓超過臨限值（例如 8 V）時，電路 400A 可斷開 GaN 功率電晶體 440 以保護其免受損壞，因此防止損壞功率轉換器。更具體言之，在一些實施例中，電路 400A 可使用空乏模式（D 模式）GaN 電晶體 442，其中 GaN 功率電晶體 440 之汲極 422 連接至電晶體 442 之汲極 421。電晶體 442 之間極 426 可連接至接地節點 430。電晶體 442 之源極 424 可連接至電阻分壓器 419。

**【0067】** 電路 400A 可包含比較器 406 及邏輯電路 408。在一些實施例中，電阻分壓器 419、比較器 406 及邏輯電路 408 可以低壓矽技術形成。在各種實施例中，電阻分壓器 419、比較器 406 及邏輯電路 408 可以 GaN 技術形成，且與 GaN 功率電晶體 440 整合在同一晶粒內。在一些實施例中，電阻分壓器 419 可包含兩個串聯連接之電阻器 402 及 404。電阻分壓器之輸出 416 可連接至比較器 406 之第一輸入 499，而比較器 406 之第二輸入 414 可連接至參考電壓（ $V_{ref}$ ）415。參考電壓 415 可具有例如 2.5 V 之值。比較器之輸出 418 可連接至邏輯電路 408。GaN 功率電晶體 440 之汲極 422 處的電壓可例如自 0 至 400 V 變化。D 模式 GaN 電晶體 442 之源極 424 可被箝位在其夾止電壓，例如 15 V。

**【0068】** D 模式 GaN 電晶體 442 之源極 424 跟隨 GaN 功率電晶體 440 之汲極電壓，直至達到其夾止電壓。此後，D 模式 GaN 電晶體 442 之源極 424 被箝

位在夾止電壓，例如 15 V。在一些實施例中，D 模式 GaN 電晶體 442 之源極電壓跟隨其汲極電壓，直至源極電壓達到電晶體之夾止電壓。此時，源極電壓被箝位至夾止電壓，且保持恆定在該電壓。以此方式，D 模式 GaN 電晶體 442 可使其源極 424 能夠連接至電阻分壓器 419，而 D 模式 GaN 電晶體 442 之汲極 421 可在高電壓下操作，例如高達 400 V。當 D 模式 GaN 電晶體 442 之源極 424 處的電壓超過例如 8 V 之預設值時，其可能會導致 GaN 功率電晶體 440 關斷。

**【0069】** 電阻分壓器 419 可提供輸出 416，該輸出追蹤其在節點 423 處的輸入，但處於較低電壓位準。電阻分壓器 419 之輸出電壓可與參考電壓 415 進行比較，例如 2.5 V，其為比較器 406 之臨限值。當比較器之輸入 499 處的電壓超過  $V_{ref}$  時，比較器 406 可切換，且其輸出 418 電壓可自低狀態變為高狀態。比較器 406 之輸出 418 可連接至邏輯電路 408。當比較器之輸出 418 變為高狀態時，邏輯電路 408 之輸出 420 斷開 GaN 功率電晶體 440 之間極，且關斷 GaN 功率電晶體 440。本領域中熟習此項技術者將理解，電晶體 442 可為 D 模式 GaN 電晶體，其可與 GaN 功率電晶體 440 整合在同一晶粒內。在一些實施例中，電晶體 442 可為增強模式 GaN 電晶體。在各種實施例中，電晶體 442 可為矽電晶體。

**【0070】** 圖 4B 說明曲線圖 400B，其展示電路 400A 內之節點隨時間推移之電壓。曲線圖 422a 展示 GaN 功率電晶體 440 之汲極電壓，其中該電壓可自 0 伏特變為 400 V。曲線圖 424a 展示跟隨 GaN 功率電晶體 440 之汲極電壓之 D 模式 GaN 電晶體 442 之源極電壓（曲線圖 422a）。如曲線圖 424a 所示，源極電壓自 0 V 變為 15 V，其中 D 型 GaN 電晶體 442 之源極被箝位在 15 V。曲線圖 416a 展示電阻分壓器 419 之輸出 416 電壓。曲線圖 415a 展示  $V_{ref}$  在 2.5 V 處之值。最後，曲線圖 418a 展示比較器 406 之輸出電壓，其中當 416a（電阻分壓器之輸出）與 415a（ $V_{ref}$ ）交叉時，比較器自低狀態切換至高狀態。如本領域中熟習此項技術者所瞭解，曲線圖 400B 中所示之電壓僅作為實例，且其他實施例可具有不同

之操作特性。

【0071】圖 5 說明根據本揭示案之一實施例之包含飽和電流保護特徵之電路 500 的示意圖。電路 500 類似於電路 400A，惟電晶體 542 之閘極 526 連接至 GaN 功率電晶體 540 之閘極 512 除外。此使得能夠使用低夾止（例如 5 V）D 模式 GaN 電晶體來感測 GaN 功率電晶體 540 之汲極 522 處的汲極電壓。為了使用具有低夾止電壓之 D 模式 GaN 電晶體 542 來監測 GaN 功率電晶體 540 之汲極電壓，可使用閘極 526 之動態偏壓以便允許 D 模式 GaN 電晶體之恰當操作。動態偏壓可增大 D 模式 GaN 電晶體 542 之閘極電壓，且提供 D 模式 GaN 電晶體之閘極至源極電壓之改變而非固定。

【0072】電路 500 可用於偵測 GaN 功率電晶體 440 何時進入其飽和操作區。GaN 功率電晶體 540 之源極 528 可連接至接地節點 530。電路 500 可藉由使用電晶體 542 來監測 GaN 功率電晶體之汲極電壓。雖然 GaN 功率電晶體 540 可為具有例如 400 V 之操作電壓之高壓電晶體，但電路 500 可利用低壓電路來監測 GaN 功率電晶體且防止其在飽和區中操作。在一些實施例中，此可藉由監測 GaN 功率電晶體 540 之汲極 522 處的電壓來進行，且當該電壓超過例如 8 V 之臨限值時，電路 500 可斷開 GaN 功率電晶體以保護其免受損壞。更具體言之，電路 500 可使用 D 模式 GaN 電晶體 542，其中 GaN 功率電晶體 540 之汲極 522 連接至電晶體 542 之汲極 521。電路 500 可包含比較器 506 及邏輯電路 508。

【0073】在一些實施例中，電阻分壓器 519、比較器 506 及邏輯電路 508 可以低壓矽技術形成。在各種實施例中，電阻分壓器 519、比較器 506 及邏輯電路 508 可以 GaN 技術形成，且與 GaN 功率電晶體 540 整合在同一晶粒內。電阻分壓器 519 可包含兩個串聯連接之電阻器 502 及 504。電阻分壓器之輸出 516 可連接至比較器 506 之第一輸入，而比較器 506 之第二輸入 514 可連接至參考電壓 ( $V_{ref}$ ) 515。參考電壓 515 可具有例如 2.5 V 之值。比較器之輸出 518 可連接至

邏輯電路 508。GaN 功率電晶體 540 之汲極 522 處的電壓可例如自 0 至 400 V 變化。電晶體 542 之源極 524 被箝位在其夾止電壓，例如 15 V。電晶體 542 之源極 524 跟隨 GaN 功率電晶體 540 之汲極電壓，直至達到其夾止電壓。此後，電晶體 542 之源極 524 被箝位在夾止電壓，例如 15 V。電晶體 542 具有如下特性：其源極電壓跟隨其汲極電壓，直至源極電壓達到電晶體之夾止電壓。此時，源極電壓被箝位至夾止電壓，且保持恆定在該電壓。以此方式，D 模式 GaN 電晶體 542 可使其源極 524 能夠連接至低壓電阻分壓器 519，而 D 模式 GaN 電晶體 542 之汲極 521 可在高電壓下操作，例如高達 400 V。當電晶體 542 之源極 524 處的電壓超過例如 8 V 之預設值時，其可能會導致 GaN 功率電晶體 540 關斷。

【0074】電阻分壓器 519 可在 516 處提供輸出，該輸出追蹤其在節點 523 處的輸入，但處於較低電壓位準。電阻分壓器 519 之輸出電壓可與參考電壓 515 進行比較，例如 2.5 V，其為比較器 506 之臨限值。當比較器之輸入 599 處的電壓超過  $V_{ref}$  時，比較器 506 可將 518 處的其輸出電壓自低狀態切換至高狀態。比較器 506 之輸出 518 可連接至邏輯電路 508。當輸出 518 變為高狀態時，邏輯電路 508 之輸出 520 斷開 GaN 功率電晶體 540 之閘極，且關斷 GaN 功率電晶體 540。本領域中熟習此項技術者將理解，電晶體 542 可為 D 模式 GaN 電晶體，其可與 GaN 功率電晶體 540 整合在同一晶粒內。在一些實施例中，電晶體 542 可為增強模式 GaN 電晶體。在各種實施例中，電晶體 542 可為矽電晶體。

【0075】圖 6 說明根據本揭示案之一實施例之具有飽和電流保護特徵之電路 600 的示意圖。電路 600 類似於電路 400A，惟電晶體 642 之閘極 626 連接至邏輯電路 608 之輸出且由邏輯電路 608 獨立控制除外。此使得能夠使用低夾止（例如 5 V）D 模式 GaN 電晶體來感測 GaN 功率電晶體 640 之汲極 622 處的汲極電壓。為了使用具有低夾止電壓之 D 模式 GaN 電晶體 642 來監測 GaN 功率電晶體 640 之汲極電壓，可使用閘極 626 之獨立偏壓以便允許 D 模式 GaN 電晶體之

恰當操作。動態偏壓可增大 D 模式 GaN 電晶體 642 之閘極電壓，且提供 D 模式 GaN 電晶體之閘極至源極電壓之改變而非固定。

**【0076】** 電路 600 可用於偵測 GaN 功率電晶體 640 何時進入其飽和操作區。GaN 功率電晶體 640 之源極 628 可連接至接地節點 630。電路 600 可藉由使用電晶體 642 來監測 GaN 功率電晶體之汲極電壓。雖然 GaN 功率電晶體 640 可為具有例如 400 V 之操作電壓之高壓電晶體，但電路 600 可利用低壓電路來監測 GaN 功率電晶體且防止其在飽和區中操作。此可藉由監測 GaN 功率電晶體 640 之汲極 622 處的電壓來進行，且當該電壓超過例如 8 V 之臨限值時，電路 600 可斷開 GaN 功率電晶體以保護其免受損壞。更具體言之，電路 600 可使用 D 模式 GaN 電晶體 642，其中 GaN 功率電晶體 640 之汲極 622 連接至電晶體 642 之汲極 621。

**【0077】** 電路 600 可包含比較器 606 及邏輯電路 608。在一些實施例中，電阻分壓器 619、比較器 606 及邏輯電路 608 可以低壓矽技術形成。在各種實施例中，電阻分壓器 619、比較器 606 及邏輯電路 608 可以 GaN 技術形成，且與 GaN 功率電晶體 640 整合在同一晶粒內。電阻分壓器 619 可包含兩個串聯連接之電阻器 602 及 604。電阻分壓器之輸出 616 可連接至比較器 606 之第一輸入，而比較器 606 之第二輸入 614 可連接至參考電壓 ( $V_{ref}$ ) 615。參考電壓 615 可具有例如 2.5 V 之值。比較器之輸出 618 可連接至邏輯電路 608。

**【0078】** GaN 功率電晶體 640 之汲極 622 處的電壓可例如自 0 至 400 V 變化。電晶體 642 之源極 624 被箝位在其夾止電壓，例如 15 V。電晶體 642 之源極 624 跟隨 GaN 功率電晶體 640 之汲極電壓，直至達到其夾止電壓。此後，電晶體 642 之源極 624 被箝位在夾止電壓，例如 15 V。電晶體 642 具有如下特性：其源極電壓跟隨其汲極電壓，直至源極電壓達到電晶體之夾止電壓。此時，源極電壓被箝位至夾止電壓，且保持恆定在該電壓。以此方式，D 模式 GaN 電晶體



642 可使其源極 624 能夠連接至電阻分壓器 619，而 D 模式 GaN 電晶體 642 之汲極 621 可在高電壓下操作，例如高達 400 V。當電晶體 642 之源極 624 處的電壓超過例如 8 V 之預設值時，其可能會導致 GaN 功率電晶體 640 關斷。

【0079】電阻分壓器 619 可在 616 處提供輸出，該輸出追蹤其在節點 623 處的輸入，但處於較低電壓位準。電阻分壓器 619 之輸出電壓可與參考電壓 615 進行比較，例如 2.5 V，其為比較器 606 之臨限值。當比較器之輸入 699 處的電壓超過  $V_{ref}$  時，比較器 606 可將輸出 618 電壓自低狀態切換至高狀態。比較器 606 之輸出 618 可連接至邏輯電路 608。當輸出 618 變為高狀態時，邏輯電路 608 之輸出 620 斷開 GaN 功率電晶體 640 之閘極 612，且關斷 GaN 功率電晶體 640。本領域中熟習此項技術者將理解，電晶體 642 可為 D 模式 GaN 電晶體，其可與 GaN 功率電晶體 640 整合在同一晶粒內。在一些實施例中，電晶體 642 可為增強型 GaN 電晶體。在各種實施例中，電晶體 642 可為矽電晶體。

#### 接通 dv/dt 控制

【0080】圖 7A 說明根據本揭示案之一實施例之具有接通 dv/dt 控制特徵之電路 700A 的示意圖。電路 700A 可用於緩解諸如但不限於 TO-247 或 TOLL 封裝之電子封裝的相對較高之寄生電感。電路 700A 說明電路 200 之變體。電路 700A 說明 GaN 功率電晶體 202 以及驅動器 IC 710 及接通 dV/dt 控制電路。電路 700A 可包含阻抗元件 704。在一些實施例中，電路 200 可耦接至阻抗元件 704。阻抗元件可在整合式 GaN 功率裝置 100 之外部。在各種實施例中，阻抗元件 704 可包含一或多個被動組件。在一些實施例中，阻抗元件 704 可為電阻性元件，而在其他實施例中，阻抗元件 704 可包含電阻性元件及電容性元件，其中電容性元件與電阻性元件並聯耦接。在各種實施例中，阻抗元件 704 可包含電阻性元件及電容性元件之網路。阻抗元件 704 可耦接至輸入端子引腳 257。阻抗元件 704 可經組態以接收信號 278。阻抗元件 704 可用於控制 GaN 功率電晶體 202 之電壓

隨時間推移之變化率 ( $dV/dt$ )。如上文在圖 1 中所論述，整合式 GaN 功率裝置 100 可用作離散矽功率 MOSFET 之引腳對引腳替換，因此控制 GaN 功率電晶體 202 之汲極 204 處的  $dV/dt$  之能力可能係有益的。在不存在  $dV/dt$  控制電路之情況下，寄生  $dV/dt$  可能會在汲極 204 處引起振鈴及振盪，此可能會耦合至閘極 208 上且造成 GaN 功率電晶體 202 之錯誤接通。

**【0081】** 可藉由使用阻抗元件 704 來達成 GaN 功率電晶體 202 之接通  $dV/dt$  控制。阻抗元件 704 可用於減慢輸入端子引腳 257 處的電壓隨時間推移之相對快速的變化率。閘極驅動節點 730 可連接至 GaN 功率電晶體 202 之閘極 208。電容器 712 及 718 以及電感器 716 為封裝寄生元件。基板可在節點 706 處接地，且連接至 GaN 功率電晶體 202 之源極 206。在一些實施例中，阻抗元件 704 可整合在閘極驅動器 IC 中。在各種實施例中，經由輸入端子引腳 257 流動至 GaN 功率電晶體 202 之閘極的電流可藉由限制上拉電晶體 210 之電流來加以限制，以便控制接通  $dv/dt$ 。此可藉由減少上拉電晶體 210 之閘極驅動來達成。

**【0082】** 圖 7B 說明曲線圖 700B，其展示隨時間 748 推移之 PWM 電壓 740 及 GaN 功率晶體管 202 接通時汲極至源極 ( $V_{ds}$ ) 742 隨時間推移之變化率。如圖 7B 中可見，隨著阻抗元件 704 之電阻增大，汲極接通下降邊緣之斜率減小，從而指示  $dv/dt$  減小。電路 200 可啟用此特徵，因為當信號 278 變高時，為 GaN 功率電晶體 202 之閘極 208 充電之電流穿過與上拉電晶體 210 串聯之阻抗元件 704。以此方式，可控制汲極 204 處之  $dv/dt$ ，且可降低功率轉換之電磁干擾(EMI)。圖 7C 說明隨電路 700A 之阻抗元件 704 的電阻 778 而變之  $dv/dt$  770 的曲線圖。曲線圖 772、774 及 776 分別展示針對 8 V、10 及 12 V 之 PWM 高值隨電阻 778 而變的  $dv/dt$ 。隨著電阻值自例如幾歐姆增大至幾千歐姆， $dv/dt$  值可自例如 100 V/ns 減小至 10 V/ns。

**【0083】** 圖 8 說明根據本揭示案之一實施例之包含  $dv/dt$  控制電路及閘極

箝位特徵之電路 800 的示意圖。電路 800 展示耦接至基於 GaN 之電路 889 之閘極驅動器及控制電路 883。電路 800 可用於緩解由電子封裝之相對較高寄生電感引起之振鈴及振盪，該等電子封裝諸如但不限於可如圖 1 中所描述而使用之 TO-247 或 TOLL 封裝。基於 GaN 之電路 889 可包含具有閘極 208、汲極 204 及源極 206 之 GaN 功率電晶體 202。基於 GaN 之電路 889 可進一步包含具有汲極 824、閘極 828 及源極 826 之下拉電晶體 822。汲極 824 可連接至閘極 208，而源極 826 可連接至接地節點 840。在一些實施例中，基於 GaN 之電路 889 可用在高側配置中，其中源極 826 可連接至半橋之開關節點 ( $V_{sw}$ )。閘極驅動器及控制電路 883 可包含具有閘極 816、汲極 818 及源極 820 之上拉電晶體 814。閘極 208 可耦接至源極 820。上拉電晶體 814 可包含內接二極體 819。汲極 818 可耦接至輸入端子引腳 855。在一些實施例中，閘極驅動器及控制電路 883 可形成在基於矽之晶粒上，而基於 GaN 之電路 889 形成在基於 GaN 之晶粒上。在各種實施例中，閘極驅動器及控制電路 883 可與基於 GaN 之電路 889 單片地形成在同一晶粒上。在一些實施例中，雖然閘極驅動器及控制電路 883 形成在與基於 GaN 之電路 889 分離之晶粒上，但上拉電晶體可與基於 GaN 之電路 889 形成在同一晶粒上。在各種實施例中，輸入端子引腳 855 可連接至外部組件。

**【0084】** 電路 800 可進一步包含電流控制電路。電流控制電路可包含阻抗元件 804、單向電流導體 806、阻抗元件 808 及單向電流導體 810。阻抗元件可包含一或多個被動組件。在一些實施例中，阻抗元件可為電阻性元件，而在其他實施例中，阻抗元件可包含電阻性元件及電容性元件，其中電容性元件與電阻性元件並聯耦接。在各種實施例中，阻抗元件可包含電阻性元件及電容性元件之網路。單向電流導體可包含但不限於二極體。阻抗元件 804 可耦接至節點 802。節點 802 可經組態以接收信號 278。在一些實施例中，阻抗元件 804、單向電流導體 806、阻抗元件 808 及單向電流導體 810 可在圖 1 之整合式 GaN 功率裝置 100

之外部。在各種實施例中，阻抗元件 804、單向電流導體 806、阻抗元件 808 及單向電流導體 810 可在整合式 GaN 功率裝置 100 之外部或內部。源極 820 可連接至閘極 208。上拉電晶體 814 可為雙極電晶體或 MOSFET。在一些實施例中，上拉電晶體 814 可為 N-MOSFET，而在其他實施例中，上拉電晶體 814 可為 P-MOSFET。

**【0085】** 閘極驅動器及控制電路 883 可包含耦接至閘極 828 之邏輯電路及控制電路 812。控制及邏輯電路 812 可經組態以控制下拉電晶體 822 之導電性。在一些實施例中，下拉電晶體 822 可為基於 GaN 的，且與 GaN 功率電晶體 202 形成在同一晶粒上。在各種實施例中，下拉電晶體 822 可形成在單獨晶粒上。在一些實施例中，下拉電晶體 822 可形成在矽或其他合適半導體基板中。電路 800 可進一步包含箝位電路 853。在一些實施例中，電路 800 可不包含箝位電路 853。電路 800 可進一步包含控制電路 869，其經配置以控制閘極 816 之導電狀態。在一些實施例中，電路 800 可不包含控制電路閘極 816，而是閘極 816 可經由阻抗元件連接至輸入端子引腳 855。

**【0086】** 當信號 278 變高時，上拉電晶體 814 可接通。因此，電流可經由阻抗元件 804、單向電流導體 806 及上拉電晶體 814 流動至閘極 208。以此方式，閘極 208 之電容可被充電，從而使 GaN 功率電晶體 202 變為導電狀態。藉由設定阻抗元件 804 之值，使用者可控制 GaN 功率電晶體 202 之接通  $dV/dt$ 。以此方式，可防止振鈴及振盪，藉此將 GaN 功率電晶體 202 保持在其安全操作區域 (SOA) 中。上拉電晶體 814 可充當箝位以將 GaN 功率電晶體 202 保持在其 SOA 中。箝位電路 853 可設定閘極 816 處之電壓，設定方式為使得輸入信號電壓之大部分可在汲極 818 至源極 820 兩端下降。例如，GaN 功率電晶體之額定電壓可能為 7 V。當輸入信號 278 可為例如 10 至 20 V 時，所揭示之  $dV/dt$  控制電路可將 GaN 功率電晶體保持在其 SOA 中。如受益於本揭示案之本領域中一般熟習此

項技術者所瞭解，所揭示之接通  $dV/dt$  控制電路可針對輸入信號處之其他電壓值（例如 1 至 50 V）控制  $dV/dt$ 。此外，如本領域中一般熟習此項技術者所瞭解，所揭示之接通  $dV/dt$  控制電路可利用外部阻抗元件來控制  $dV/dt$ 。在各種實施例中，阻抗元件可包含一或多個被動組件。在一些實施例中，阻抗元件可為電阻性元件，而在其他實施例中，阻抗元件可包含電阻性元件及電容性元件，其中電容性元件與電阻性元件並聯耦接。在各種實施例中，阻抗元件可包含電阻性元件及電容性元件之網路。在一些實施例中，閘極 816 可由其他邏輯電路而非箝位電路 853 來控制。在各種實施例中，箝位電路 853 可類似於箝位電路 295。

**【0087】** 當信號 278 變低時，閘極 208 上之電荷可經由內接二極體 819、阻抗元件 808 及單向電流導體 810 放電。以此方式，閘極 208 之電荷可被放電，因此閘極 208 處之電壓可變低，從而導致 GaN 功率電晶體 202 變為非導電狀態。藉由設定阻抗元件 808 之值，使用者可控制 GaN 功率電晶體 202 之斷開  $dV/dt$ 。以此方式，可防止振鈴及振盪，藉此將 GaN 功率電晶體保持在非導電狀態。此外，邏輯及控制電路 812 可感測閘極 208 處之電壓。當電壓下降至低於臨限值之值時，邏輯及控制電路 812 可在相對較小之時段之後接通下拉電晶體 822。以此方式，閘極 208 保持在低狀態，且防止將 GaN 功率電晶體 202 錯誤接通。在一些實施例中，電路 800 可按高側組態使用。在各種實施例中，電路 800 可按半橋組態使用。在一些實施例中，電路 800 可按低側組態使用。

#### 斷開 $dI/dt$ 控制

**【0088】** 圖 9 說明根據本揭示案之一實施例之具有斷開  $dI/dt$  控制特徵之電路 900 的示意圖。電路 900 可用於緩解 TO-247 或 TOLL 封裝之相對較高之寄生電感。電路 900 可包含具有源極 928、閘極 924 及汲極 922 之 GaN 功率電晶體 926。在一些實施例中，GaN 功率電晶體可藉由連接 GaN 電晶體晶粒與其封裝之間的接合線而連接在其封裝內。接合線可具有與其相關聯之電感。電路 900 展示

具有電感值  $L$  之接合線的電感 920。例如，接合線電感可藉由 GaN 功率電晶體 926 之源極 928 與封裝墊之間的倒裝接合來產生。元件 918 表示封裝對印刷電路板之電感。接合線電感  $L$  920 可用於感測 GaN 功率電晶體 926 之源極中的電流隨時間推移之變化率 ( $di/dt$ )。當 GaN 功率電晶體斷開時，經由 GaN 功率裝置之源極的電流減小。此可能會導致電感 920 兩端之電壓值 (由  $L \times di/dt$  給出) 快速改變。電感 920 兩端之電壓由電阻器 914 及 916 感測。電阻器 914 連接至二極體 912 之陰極 919，且電阻器 916 連接至二極體 912 之陽極 917。

**【0089】** 所感測電壓回饋至下拉電晶體 904 之源極 910。電晶體 904 之汲極 902 可連接至 GaN 功率電晶體 926 之閘極 924。在一些實施例中，下拉電晶體 904 可為矽電晶體，而在其他實施例中，其可為 GaN 電晶體，其可與 GaN 功率電晶體 926 整合在同一晶粒內。當電感 920 兩端之電壓增大時，下拉電晶體 904 之源極 910 處之電壓可增大，此係因為電感 920 兩端之電壓以正極性回饋至源極 910。當下拉電晶體 904 之源極 910 處之電壓增大時，閘極至源極電壓 ( $V_{gs}$ ) 可減小，此可導致拉動電晶體 904 具有更少之驅動。此又可減小 GaN 功率電晶體 926 之斷開速度。在電感 920 兩端產生之電壓愈大，下拉電晶體 904 可具有之驅動愈少，此又可減慢 GaN 功率電晶體 926 之斷開。本領域中熟習此項技術者將理解，電晶體 904、電阻器 914 及 916 以及二極體 912 可在 GaN 中形成，且與 GaN 功率電晶體 926 整合在同一晶粒內，或可在矽中形成，或一些組件可在 GaN 中形成，而其他組件在矽中形成。

**【0090】** 在一些實施例中，電感 920 兩端之電壓的回饋可用於調變下拉電晶體 904 之閘極 906 上之電壓，以便減少下拉驅動且減慢 GaN 功率電晶體 926 之斷開。電晶體 904 之源極 910 可連接至 GaN 功率電晶體 926 之源極 928，同時調變下拉電晶體 904 之閘極 906 處的電壓以調整下拉電晶體 904 之驅動能力。在各種實施例中，電感 920 之電感  $L$  可因為製造變化而改變。電路 900 可補償

電感 L 值之變化。例如，若電感 L 值減小，電感 920 兩端產生之信號亦減小，然而，此信號將足以提供回饋至下拉電晶體 904，此係由於 GaN 功率電晶體之  $L \times di/dt$  值亦減小。

【0091】 在一些實施例中，斷開  $di/dt$  控制可控制跨驅動器以及跨功率電晶體 926 之汲極-源極之電壓尖峰。無論電感 L 之值如何，斷開  $di/dt$  控制皆可緩解此等尖峰。例如，若電感 L 之值減小，則斷開  $di/dt$  控制系統可緩解較高  $di/dt$ 。只要  $L \times di/dt$  接通包含電阻器 916、二極體 912 及電阻器 914 之回饋迴路，斷開  $di/dt$  控制便可緩解電壓尖峰。在各種實施例中，二極體 912 可提供跨接合線電感 920 之正電壓之回饋（即，節點 930 相對於節點 932 係正的）。以此方式，斷開  $di/dt$  控制系統可防止電壓振鈴回饋至系統中，其可能導致高頻振盪。本領域中熟習此項技術者將理解，當接合線電感 920 可用時，所描述之斷開  $di/dt$  控制系統及電路可用於包含功率電晶體之任何功率轉換電路，包含但不限於 GaN 及/或矽功率電晶體。

#### 具有滯後之閘極驅動器電路

【0092】 圖 10 說明根據本揭示案之一實施例之具有滯後之閘極驅動器電路 1000 的示意圖。電路 1000 可用於電路 200 內以提供具有滯後技術之閘極驅動，該滯後技術可用於驅動 GaN 功率電晶體 202。電路 1000 可包含具有源極 1030、閘極 1026 及汲極 1028 之 GaN 功率電晶體 1024。電路 1000 可包含經組態以接收 PWM 信號 1011 之軌道 1020。當 PWM 信號 1011 為高時，其可接通電晶體 1010，其可開始對 GaN 功率電晶體 1024 之閘極 1026 充電。電晶體 1010 之源極 1012 可連接至軌道 1020，該軌道連接至輸入 PWM 信號 1011。齊納二極體 1018 可連接至電晶體 1010 之閘極 1014 以箝位電晶體 1010 之閘極 1014 處的電壓。GaN 功率電晶體 1024 之閘極可連接至回饋及滯後電路 1050。回饋及滯後電路可包含由電阻器 1052、1054 及 1056 以及電晶體 1070 形成之電阻分壓器。比

較器 1094 可使其第一輸入 1096 連接至由電阻 1052、1054 及 1056 形成之電阻分壓器之輸出 1049。比較器 1094 可經由電阻分壓器監測 GaN 功率電晶體 1024 之閘極處的電壓。當 GaN 功率電晶體 1024 之閘極為低時，電晶體 1010 之汲極 1016 為低位準，因此電晶體 1010 可接通且為 GaN 功率電晶體 1024 之閘極充電。GaN 功率電晶體之閘極 1026 處之電壓在其充電時變高。

**【0093】** 比較器 1094 可藉由比較其第一輸入 1096 處之電壓與節點 1077 處的參考電壓  $V_{ref}$  來偵測 GaN 功率電晶體 1024 之閘極的高狀態。當第一輸入 1096 處的電壓變高時，比較器 1094 切換，且其輸出 1098 可變高。輸出 1098 可接著經由緩衝器 1015 接通電晶體 1005。電晶體 1005 可經由電阻器 1092 連接至 PMOS 電晶體 1004 之閘極 1006。當電晶體 1005 接通時，PMOS 電晶體 1004 之閘極 1006 處的電壓變低，從而接通 PMOS 電晶體 1004。PMOS 電晶體 1004 之源極 1002 可連接至軌道 1020，且汲極 1008 可連接至電晶體 1010 之閘極 1014。齊納二極體 1022 可連接至 PMOS 電晶體 1004 之閘極 1006，以箝位其閘極電壓且防止對其閘極之損壞。當 PMOS 電晶體 1004 接通時，其可斷開電晶體 1010。因此，GaN 功率電晶體之閘極可保持在高狀態。若 GaN 功率電晶體之閘極處的電壓由於經由寄生元件之洩漏而下降，則比較器 1094 可由於滯後而重新接通，且重新接通電晶體 1010 且對 GaN 功率電晶體之閘極充電。

**【0094】** 藉由利用上拉電晶體 1010，電路 1000 可使得能夠使用具有寬電壓變化範圍（例如自 5 V 至 30 V）之 PWM 信號。當上拉電晶體 1010 引入至電路 1000 中時，其閘極 1014 可藉由利用回饋及滯後電路 1050 來控制。電路 1000 可包含可控制電晶體 1086 之閘極 1080 及電晶體 1070 之閘極 1076 的緩衝器 1019。當 GaN 功率電晶體 1024 之閘極處於高狀態時，比較器 1094 之經反相輸出 1017 處於高狀態。經反相輸出 1017 經由緩衝器 1019 驅動電晶體 1086 之閘極 1080 且斷開電晶體 1086，其可允許連接至電阻器 1090 之汲極 1082 處的電壓向



上朝向軌道 1020 處之電壓移動以使得能夠斷開電晶體 1010。同時，電晶體 1005 可接通，從而導致電晶體 1004 斷開。電晶體 1032、1060 及 1042 與齊納二極體 1040 組合形成用於 GaN 功率電晶體 1024 之閘極 1026 之箝位電路，以便防止閘極電壓超過其安全操作區。電路 1000 使得能夠以相對低之 PWM 電壓驅動 GaN 功率電晶體 1024 之閘極，同時亦使得能夠以相對高之 PWM 電壓驅動 GaN 功率電晶體 1024 之閘極。

【0095】圖 11 說明曲線圖 1100，其展示電路 1000 內之各個節點處的電壓。曲線圖 1102 展示 PWM 信號變高。曲線圖 1104 展示在第一輸入 1096 處之比較器輸入電壓變高。圖表 1106 展示比較器輸出 1098 電壓變高。曲線圖 1108 展示 GaN 功率電晶體 1024 之閘極處的電壓變高。

【0096】在各種實施例中，可例如在比較器 1094 自身內實施滯後。比較器可有滯後，或者比較器可使用兩個不同位準之參考電壓。在一些實施例中，具有滯後之閘極驅動器電路可以各種方式控制上拉電晶體 1010 之電晶體。在一些實施例中，具有滯後之閘極驅動器可在不具有包含電晶體 1032、1060 及 1042 之閘極箝位電路之情況下發揮作用。具有滯後之閘極驅動器電路可在具有或不具有箝位電路之情況下發揮作用。在各種實施例中，具有滯後之閘極驅動器可用於許多閘極驅動器應用中。此外，具有滯後電路之閘極驅動器可用作電壓調節器，如圖 12 中所說明。

【0097】圖 12 說明根據本揭示案之一實施例之電壓調節器 1200 的示意圖。電壓調節器 1200 可調節電路 1000 之電晶體 1010 之閘極電壓。汲極 1016 可連接至電容器 1220 及負載 1218。電阻器 1208 及 1210 可形成經配置以提供回饋信號之電阻分壓器。回饋信號可在節點 1206 處生成，該回饋信號饋送至比較器 1204 之輸入。比較器 1204 可有滯後。比較器 1204 可將節點 1206 處之電壓與參考電壓  $V_{ref}$  進行比較，且將節點 1227 處之電壓提供至控制器電路 1202。控制器電路

1202 可調節電晶體 1010 之間極電壓。

【0098】圖 13 說明根據本揭示案之一實施例之整合式 GaN 功率裝置 1300。如圖 13 中所示，整合式 GaN 功率裝置 1300 可使用 TO-247 封裝以便整合閘極驅動器 IC 112 及整合式 GaN 功率電晶體 114。整合式 GaN 功率裝置 1300 可包含源極端子 1302、汲極端子 1304 及 PWM 端子 1306。整合式 GaN 功率裝置 1300 可為 TO-247 封裝中之功率 MOSFET 及其驅動電路之相容替換。

【0099】圖 14A 說明根據本揭示案之一實施例之整合式 GaN 功率裝置 1400A。如圖 14A 中所示，整合式 GaN 功率裝置 1400A 可使用 TO-247 或 TO 無引線 (TOLL) 封裝，以便整合閘極驅動器 IC 112 及 GaN 功率電晶體 114。在所說明實施例中，整合式 GaN 功率裝置 1400A 可包含源極端子 1404、汲極端子 1402、PWM 端子 1408 及開爾文源極 1406。在一些實施例中，整合式 GaN 功率裝置 1400A 可不包含開爾文源極，且可使用三端子 TO-247 封裝或三端子 TOLL 封裝。在各種實施例中，整合式 GaN 功率裝置 1400A 可為三端子或四端子 TO-247 封裝中之功率 MOSFET 及其驅動電路之相容替換。在許多實施例中，整合式 GaN 功率裝置 1400A 可為三端子或四端子 TOLL 封裝中之功率 MOSFET 及其驅動電路之相容替換。圖 14B 說明根據本揭示案之一實施例之四端子 TO-247 封裝中之整合式 GaN 功率裝置 1400B。圖 14C 說明根據本揭示案之一實施例之在 TOLL 封裝中之整合式 GaN 功率裝置 1400C。

【0100】儘管本文針對 GaN 整合式功率裝置之一種特定組態描述及說明了具有能量擷取閘極驅動器之整合式功率裝置，但本揭示案之實施例適合與 GaN 裝置及非 GaN 裝置之其他組態一起使用。舉例而言，任何半導體裝置可以與本揭示案之實施例一起使用。在一些例子中，本揭示案之實施例尤其較適合與矽及其他化合物半導體裝置一起使用。

【0101】為簡單起見，圖中未展示各種內部組件，諸如基板之細節、各種

引線框架及整合式 GaN 功率裝置 100（見圖 1）之其他組件。

**【0102】** 在前文說明書中，本揭示案之實施例已經參考可針對不同實施方案變化之許多特定細節進行描述。因此，說明書及附圖被認為係說明性的而非限制性的。本揭示案之範圍的唯一及排他性指標，以及申請人所意圖成為本揭示案之範圍的內容，係本申請案發佈之申請專利範圍集合的字面及等效範圍，在此等申請專利範圍發佈之具體形式中，包括任何後續更正。在不脫離本揭示案之實施例之精神及範圍的情況下，可以任何合適之方式組合特定實施例的具體細節。

**【0103】** 此外，諸如「底部」或「頂部」等空間相對術語可用於描述元件及/或特徵與另一元件及/或特徵之關係，例如如圖所示。應當理解，除了圖中描繪之定向之外，空間相對術語旨在涵蓋在使用及/或操作中之裝置的不同定向。例如，若圖中之裝置經翻轉，則描述為「底部」表面之元件可經定向為在其他元件或特徵「之上」。裝置可以其他方式定向（例如，旋轉 90 度或處於其他定向）並且相應地解釋本文中使用的空間相對描述符。

**【0104】** 如本文中所使用，術語「及」、「或」以及「一/或」可包括多種含義，此等含義亦預期至少部分地取決於使用此類術語之上下文。通常，「或」若用於關聯諸如 A、B 或 C 之清單，則其意欲表示 A、B 及 C，此處係在包含性意義上使用，以及 A、B 或 C，此處係在排他性意義上使用。另外，如本文中所使用之術語「一或多個」可用於以單數形式描述任何特徵、結構或特性，或可用於描述特徵、結構或特性之一些組合。然而應注意，此僅僅為說明性實例，且所主張之主題不限於此實例。此外，若術語「中之至少一者」用以關聯一清單（諸如 A、B 或 C），則可將其解釋為表示 A、B 及/或 C 之任何組合，諸如 A、B、C、AB、AC、BC、AA、AAB、ABC、AABBCCC 等。

**【0105】** 貫穿本說明書對「一個實例」、「一實例」、「某些實例」或「例示性實施方案」之提及意味著關於特徵及/或實例描述的特定特徵、結構或特性

可包含在所主張之主題的至少一個特徵及/或實例中。因此，片語「在一個實例中」、「一實例」、「在某些實例中」或「在某些實施方案中」或其他相似片語在貫穿本說明書之各處的出現未必皆指同一特徵、實例及/或限制。此外，特定特徵、結構或特性可組合於一或多個實例及/或特徵中。

**【0106】** 在先前詳細描述中，已經陳述許多特定細節以提供對所主張之主題之透徹理解。然而，本領域中熟習此項技術者將理解，可在沒有此等特定細節之情況下實踐所主張之主題。在其他情況下，未詳細地描述本領域中一般熟習此項技術者原本知曉之方法及設備以免使所主張之主題模糊不清。因此，意欲所主張之主題不限於所揭示的特定實例，而是此所主張之主題亦可包含屬於所附申請專利範圍及其等效物之範圍內的所有態樣。

## **【符號說明】**

### **【0107】**

100:整合式 GaN 功率裝置

102:引腳

104:引腳

106:引腳

108:輸入引腳

110:半導體封裝

112:閘極驅動器積體電路

114:GaN 功率電晶體

116:晶粒墊

118:頂板

- 120:接合線
- 122:接合線
- 124:接合線
- 126:接合線
- 128:接合線
- 200:電路
- 202:GaN 功率電晶體
- 204:汲極
- 206:源極
- 208:閘極
- 210:上拉電晶體
- 214:源極
- 216:基極
- 218:電晶體
- 220:集電極端子
- 222:源極端子
- 226:基極端子
- 228:內部電容器/能量儲存電容器
- 230:下拉電晶體
- 232:汲極端子
- 233:陰極
- 234:源極端子
- 236:閘極端子
- 240:電晶體

242:汲極  
244:源極  
246:閘極/信號  
248:基板端子/基板  
250:齊納二極體  
252:電阻器  
254:集電極  
257:輸入端子引腳  
262:NPN 電晶體  
264:源極  
266:源極  
272:NPN 電晶體  
274:集電極  
276:基極  
277:引腳  
278:信號  
279:引腳  
280:基板  
289:邏輯電路  
295:箝位電路  
300:曲線圖  
306:PWM 電壓  
310:曲線圖  
400A:電路

400B:曲線圖  
402:電阻器  
404:電阻器  
406:比較器  
408:邏輯電路  
412:閘極  
414:第二輸入  
415:參考電壓  
415A:曲線圖  
416:輸出  
416A:曲線圖  
418:輸出  
418A:曲線圖  
419:電阻分壓器  
420:輸出  
421:汲極  
422:汲極  
422A:曲線圖  
423:節點  
424:源極  
424A:曲線圖  
426:閘極  
428:源極  
430:接地節點

440:GaN 功率電晶體

442:GaN 電晶體

499:第一輸入

500:電路

502:電阻器

504:電阻器

506:比較器

508:邏輯電路

512:閘極

514:第二輸入

515:參考電壓

516:輸出

518:輸出

519:電阻分壓器

520:輸出

521:汲極

522:汲極

523:節點

524:源極

526:閘極

528:源極

530:接地節點

540:GaN 功率電晶體

542:電晶體



599:輸入  
600:電路  
602:電阻器  
604:電阻器  
606:比較器  
608:邏輯電路  
612:閘極  
614:第二輸入  
615:參考電壓  
616:輸出  
618:輸出  
619:電阻分壓器  
620:輸出  
621:汲極  
622:汲極  
623:節點  
624:源極  
626:閘極  
628:源極  
630:接地節點  
640:GaN 功率電晶體  
642:電晶體  
699:輸入  
700A:電路

700B:曲線圖  
704:阻抗元件  
706:節點  
710:驅動器 IC  
712:電容器  
716:電感器  
718:電容器  
730:閘極驅動節點  
740:PWM 電壓  
742:汲極至源極 ( $V_{ds}$ )  
748:時間  
770:dv/dt  
772:曲線圖  
774:曲線圖  
776:曲線圖  
778:電阻  
800:電路  
802:節點  
804:阻抗元件  
806:單向電流導體  
808:阻抗元件  
810:單向電流導體  
812:邏輯電路及控制電路/控制及邏輯電路  
814:上拉電晶體

- 816:閘極
- 818:汲極
- 819:內接二極體
- 820:源極
- 822:下拉電晶體
- 824:汲極
- 826:源極
- 828:閘極
- 840:接地節點
- 853:箝位電路
- 855:輸入端子引腳
- 869:控制電路
- 883:閘極驅動器及控制電路
- 889:基於 GaN 之電路
- 902:汲極
- 904:下拉電晶體
- 906:閘極
- 910:源極
- 912:二極體
- 914:電阻器
- 916:電阻器
- 917:陽極
- 918:元件
- 919:陰極

920:電感  
922:汲極  
924:閘極  
926:GaN 功率電晶體  
928:源極  
930:節點  
932:節點  
1000:閘極驅動器電路  
1002:源極  
1004:PMOS 電晶體  
1005:電晶體  
1006:閘極  
1008:汲極  
1010:電晶體  
1011:PWM 信號  
1012:源極  
1014:閘極  
1015:緩衝器  
1016:汲極  
1017:經反相輸出  
1018:齊納二極體  
1020:軌道  
1024:GaN 功率電晶體  
1026:閘極

- 1028:汲極
- 1030:源極
- 1032:電晶體
- 1040:齊納二極體
- 1042:電晶體
- 1049:輸出
- 1050:回饋及滯後電路
- 1052:電阻器
- 1054:電阻器
- 1056:電阻器
- 1060:電晶體
- 1070:電晶體
- 1076:閘極
- 1077:節點
- 1080:閘極
- 1082:汲極
- 1086:電晶體
- 1090:電阻器
- 1092:電阻器
- 1094:比較器
- 1096:第一輸入
- 1098:輸出
- 1100:曲線圖
- 1102:曲線圖

1104:曲線圖  
1106:曲線圖  
1108:曲線圖  
1200:電壓調節器  
1202:控制器電路  
1204:比較器  
1206:節點  
1208:電阻器  
1210:電阻器  
1218:負載  
1220:電容器  
1227:節點  
1300:整合式 GaN 功率裝置  
1302:源極端子  
1304:汲極端子  
1306:PWM 端子  
1400A:整合式 GaN 功率裝置  
1400B:整合式 GaN 功率裝置  
1400C:整合式 GaN 功率裝置  
1402:汲極端子  
1404:源極端子  
1406:開爾文源極  
1408:PWM 端子

## 【發明申請專利範圍】

【請求項1】 一種電子電路，其包括：

一電晶體，其包含一閘極端子、一源極端子及一汲極端子；及

一閘極驅動器電路，其包含：

一下拉電晶體，其耦接至該閘極端子；及

一輸入端子，其經配置以接收一輸入信號且在耦接至該閘極端子之一輸出端子處產生一對應輸出信號；

其中該閘極驅動器電路經配置以儲存自該輸入信號擷取之能量且使用該所儲存能量來改變該下拉電晶體之一導電狀態。

【請求項2】 如請求項 1 之電子電路，其中該電晶體包括氮化鎵（GaN）。

【請求項3】 如請求項 2 之電子電路，其中該下拉電晶體包括 GaN。

【請求項4】 如請求項 1 之電子電路，其中該閘極驅動器電路包括矽。

【請求項5】 如請求項 1 之電子電路，其中該閘極驅動器電路使用該所儲存能量將該下拉電晶體自一接通狀態轉變為一斷開狀態。

【請求項6】 如請求項 1 之電子電路，其中該閘極驅動器電路及該電晶體安置於一單式電子封裝內。

【請求項7】 如請求項 6 之電子電路，其中該單式電子封裝包括一電力輸入觸點、一電力輸出觸點及一輸入信號觸點。

【請求項8】 如請求項 1 之電子電路，其中該輸入信號為包括一系列接通及斷開命令之一脈寬調變（PWM）信號。

【請求項9】 如請求項 8 之電子電路，其中該閘極驅動器電路經配置以在該 PWM 信號之一斷開命令期間將該下拉電晶體之該導電狀態自一斷開狀態改變為一接通狀態。

【請求項10】 如請求項 6 之電子電路，其中該電子電路包括具有一第一外部觸點、一第二外部觸點及一第三外部觸點之一單式電子封裝。

【請求項11】 如請求項 1 之電子電路，其中該電晶體及該閘極驅動器電路安置於一 TO-247 封裝內。

【請求項12】 如請求項 6 之電子電路，其中該單式電子封裝為一 TO 無引線 (TOLL) 封裝。

【請求項13】 如請求項 8 之電子電路，其中該閘極驅動器電路包括耦接至該閘極端子之一能量擷取電路，其中該能量擷取電路經配置以儲存自該輸入信號擷取之能量，且當該 PWM 信號處於一斷開命令中時，使用該所儲存能量用於操作該閘極驅動器電路。

【請求項14】 一種電路，其包括：

一第一電晶體，其具有一第一閘極端子、一第一源極端子及一第一汲極端子；及

一電流控制電路，其經配置以接收一輸入信號且作為回應將一對應輸出信號傳輸至該第一閘極端子；

其中該電流控制電路包含：一第一路徑，其具有與一第一單向電流導體串聯耦接之一第一阻抗元件，該第一單向電流導體經定向以允許電流流動至該第一閘極端子；及一第二路徑，其具有與一第二單向電流導體串聯耦接之一第二阻抗元件，該第二單向電流導體經定向以允許電流自該第一閘極端子流動。

【請求項15】 如請求項 14 之電路，其進一步包括一第二電晶體，該第二電晶體具有一第二閘極端子、一第二源極端子及一第二汲極端子，其中該第二汲極端子耦接至該第一閘極端子，且其中該第二電晶體經配置以將該第一閘極端子處之一電壓箝位至一預設電壓值。

【請求項16】 如請求項 14 之電路，其進一步包括一第三電晶體，該第三電



晶體具有一第三閘極端子、一第三源極端子及一第三汲極端子，其中該第三源極端子耦接至該第一閘極端子，且該第三汲極端子耦接至該電流控制電路。

**【請求項17】** 一種電路，其包括：

一第一電晶體，其具有一第一閘極端子、一第一源極端子及一第一汲極端子；

一第二電晶體，其具有一第二閘極端子、一第二源極端子及一第二汲極端子，該第二汲極端子耦接至該第一閘極端子；

一第一控制電路，其耦接至該第二閘極端子，且經配置以回應於該第一閘極端子處之一電壓低於一第一臨限值電壓而將該第二電晶體之一導電狀態自一斷開狀態改變為一接通狀態；

一第三電晶體，其具有一第三閘極端子、一第三源極端子及一第三汲極端子；及

一第二控制電路，其耦接至該第三閘極端子，且經配置以回應於該第一閘極端子處之該電壓高於一第二臨限值而將該第三電晶體之一導電狀態自一斷開狀態改變為一接通狀態。

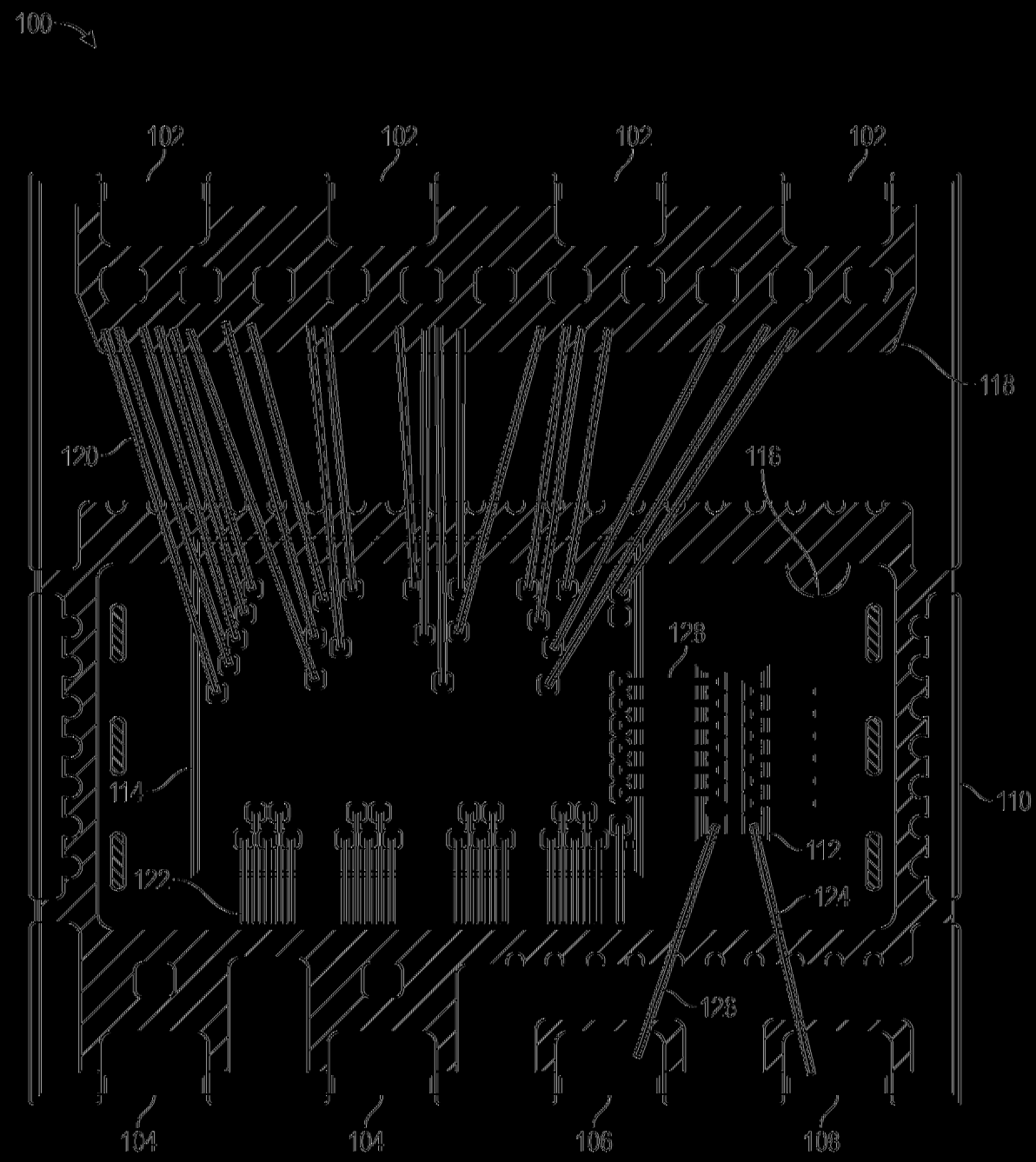
**【請求項18】** 如請求項 17 之電路，其中該第二電晶體經配置以將該第一閘極端子處之該電壓箝位在一第一預設值。

**【請求項19】** 如請求項 17 之電路，其中該第三電晶體經配置以將該第一閘極端子處之該電壓箝位在一第二預設值。

**【請求項20】** 如請求項 17 之電路，其進一步包括一電流控制電路，該電流控制電路經配置以接收一輸入信號，且作為回應將一對應輸出信號傳輸至該第一閘極端子，其中該電流控制電路包含：一第一路徑，其具有與一第一單向電流導體串聯耦接之一第一阻抗元件，該第一單向電流導體經定向以允許電流流動至該第一閘極端子；及一第二路徑，其具有與一第二單向電流導體串聯耦接之一

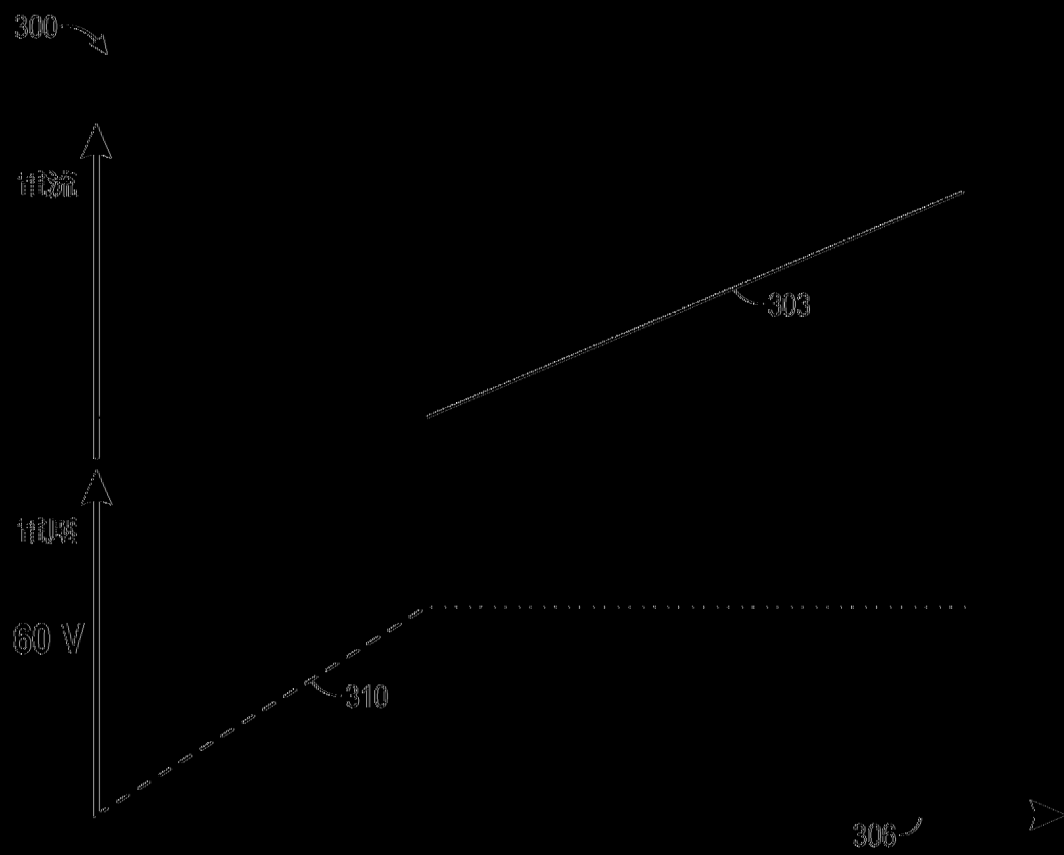
第二阻抗元件，該第二單向電流導體經定向以允許電流自該第一閘極端子流動。

(發明圖式)

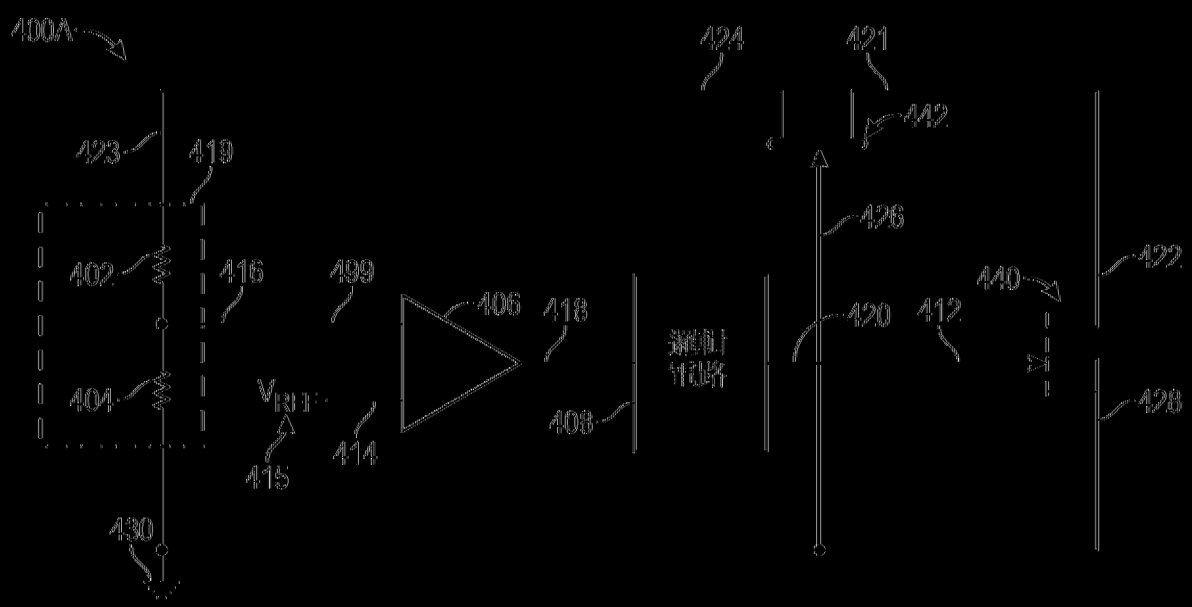


(圖1)





[(圖3)]



[(圖4A)]



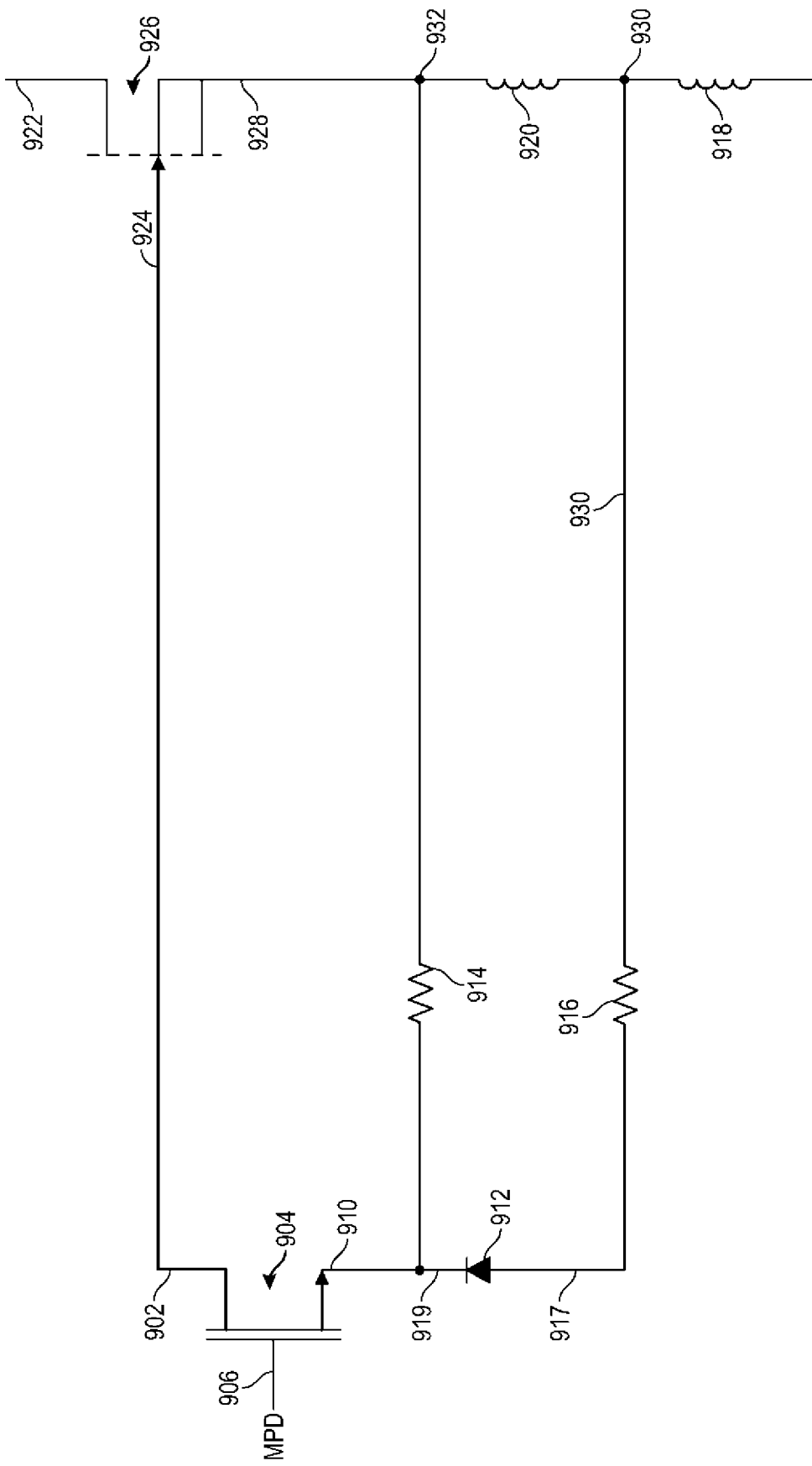








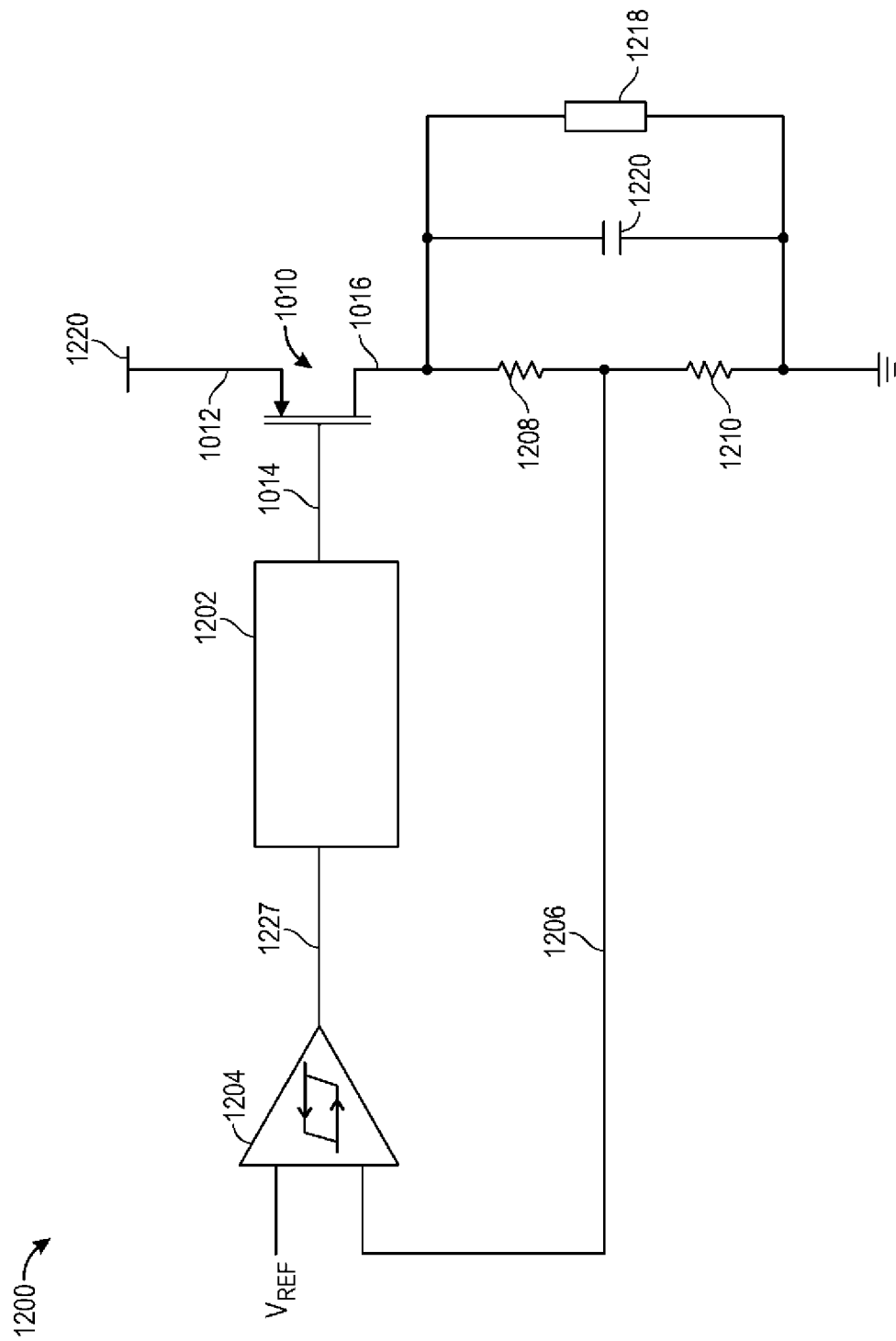




【圖9】

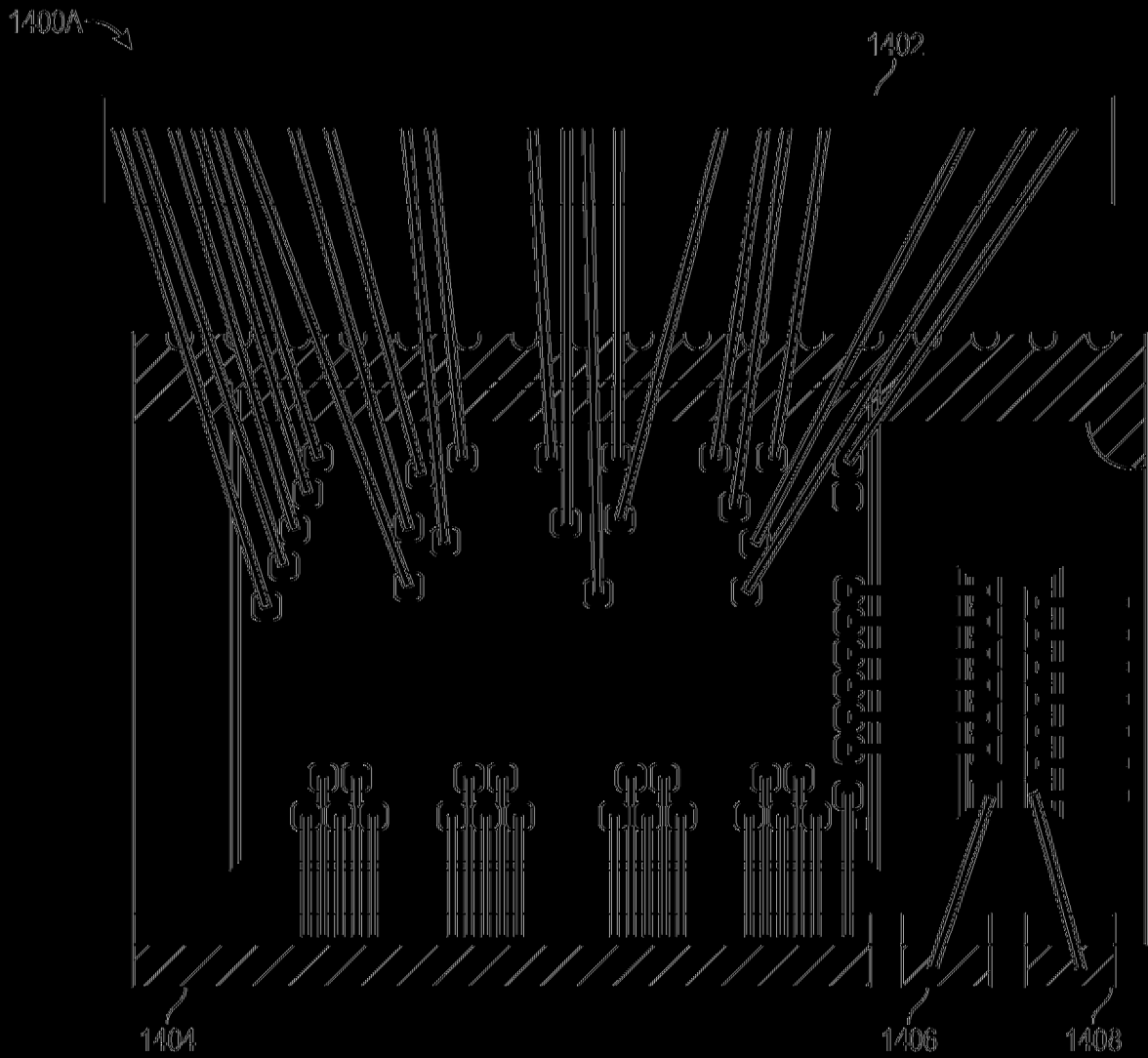




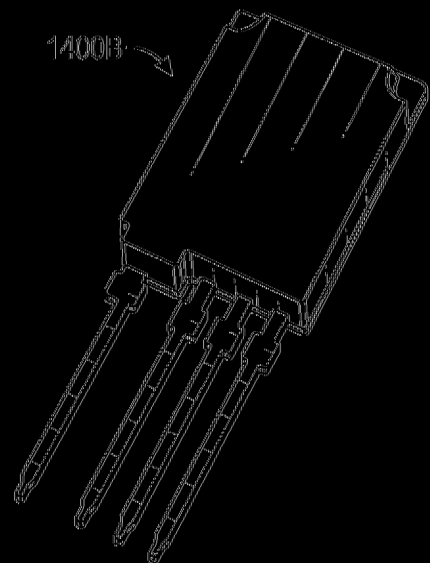


【圖12】





(圖14A)



(圖14B)



