

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5195182号
(P5195182)

(45) 発行日 平成25年5月8日(2013.5.8)

(24) 登録日 平成25年2月15日(2013.2.15)

(51) Int.Cl. F I
HO2M 3/155 (2006.01)
 HO2M 3/155 P
 HO2M 3/155 H

請求項の数 6 (全 17 頁)

(21) 出願番号	特願2008-226789 (P2008-226789)	(73) 特許権者	000006747 株式会社リコー 東京都大田区中馬込1丁目3番6号
(22) 出願日	平成20年9月4日(2008.9.4)	(74) 代理人	100081422 弁理士 田中 光雄
(65) 公開番号	特開2010-63276 (P2010-63276A)	(74) 代理人	100068526 弁理士 田村 恭生
(43) 公開日	平成22年3月18日(2010.3.18)	(74) 代理人	100098280 弁理士 石野 正弘
審査請求日	平成23年8月3日(2011.8.3)	(72) 発明者	道下 雄介 東京都大田区中馬込1丁目3番6号 株式会社リコー内
		(72) 発明者	清水 伸也 東京都大田区中馬込1丁目3番6号 株式会社リコー内

最終頁に続く

(54) 【発明の名称】 電流モード制御型スイッチングレギュレータ

(57) 【特許請求の範囲】

【請求項1】

入力端子に入力された入力電圧を、所定の定電圧に変換して出力端子から出力電圧として出力する、該出力端子から出力される出力電流に応じてPWM制御とVFM制御を自動的に切り換えて行う、インダクタを備えた非絶縁型の電流モード制御型スイッチングレギュレータにおいて、

制御電極に入力された制御信号に応じてスイッチングを行い、前記入力電圧による前記インダクタへの充電を行うスイッチングトランジスタと、

該スイッチングトランジスタがオフして前記インダクタへの充電が停止すると、前記インダクタの放電を行う整流素子と、

前記出力電圧に比例した比例電圧と所定の第1基準電圧との電圧差を増幅し誤差電圧として出力する誤差増幅回路部と、

前記インダクタに流れるインダクタ電流に応じた電圧に、予め設定された傾斜を有するスロープ電圧を加算して生成されたランプ電圧と前記誤差電圧との電圧比較を行い、該比較結果を示す信号を生成して出力する第1電圧比較回路部と、

前記誤差電圧と所定の第2基準電圧との電圧比較を行い、該誤差電圧が該第2基準電圧よりも大きい場合は所定のイネーブル信号を生成して出力する第2電圧比較回路部と、

該第2電圧比較回路部から前記イネーブル信号が出力されると発振を開始し、所定の周波数のクロック信号を生成して出力する発振回路部と、

前記スイッチングトランジスタをオンさせるための該発振回路部からのクロック信号が

入力されると共に前記スイッチングトランジスタをオフさせるための前記第1電圧比較回路部からの信号が入力され、前記クロック信号及び該第1電圧比較回路部からの信号に応じて前記スイッチングトランジスタのスイッチング制御を行う制御回路部と、
を備え、

前記発振回路部は、前記イネーブル信号が入力されている時間が所定値未満である場合は、該イネーブル信号に応じて1つの所定のパルスを生成して出力し、前記イネーブル信号が入力されている時間が前記所定値以上になると、前記所定の周波数よりも低い周波数で発振を開始した後、前記所定の周波数まで所定の速度で該発振周波数を上昇させることを特徴とする電流モード制御型スイッチングレギュレータ。

【請求項2】

前記所定値は、前記所定の周波数のクロック信号における周期と同じであることを特徴とする請求項1記載の電流モード制御型スイッチングレギュレータ。

【請求項3】

前記発振回路部は、
前記イネーブル信号が入力されると、所定の電流値まで所定の速度で出力電流を増加させて、該所定の電流値の定電流を出力する電流源と、
該電流源から供給される電流で充電されるコンデンサと、
該コンデンサの端子電圧が所定の電圧値を超えると、該コンデンサの電荷を放電する放電回路と、
を備えることを特徴とする請求項1又は2記載の電流モード制御型スイッチングレギュレータ。

【請求項4】

VFM制御からPWM制御に移行する際の前記出力端子から出力される出力電流が、不連続動作モードから連続動作モードに移行する臨界点における該出力電流の電流値と同じになるように、前記第2基準電圧が設定されることを特徴とする請求項1、2又は3記載の電流モード制御型スイッチングレギュレータ。

【請求項5】

前記整流素子は、制御電極に入力された制御信号に応じてスイッチングを行って前記インダクタの放電を行う同期整流用トランジスタからなり、前記制御回路部は、前記出力端子から出力される出力電圧が前記所定の定電圧になるように前記スイッチングトランジスタに対するスイッチング制御を行うと共に、該同期整流用トランジスタに対して前記スイッチングトランジスタと相反するスイッチング動作を行わせることを特徴とする請求項1、2、3又は4記載の電流モード制御型スイッチングレギュレータ。

【請求項6】

前記制御回路部は、前記スイッチングトランジスタと前記インダクタとの接続部の電圧から、前記出力端子から前記同期整流用トランジスタの方向に流れる逆電流が発生する兆候又は該逆電流の発生を検出すると、前記同期整流用トランジスタをオフさせて遮断状態にすることを特徴とする請求項5記載の電流モード制御型スイッチングレギュレータ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、DC-DCコンバータをなす非絶縁方式の電流モード制御型スイッチングレギュレータに関し、特にPWM制御モードとVFM制御モードを備え、負荷電流の状態に応じて制御モードを切り換えるようにした電流モード制御型スイッチングレギュレータに関する。

【背景技術】

【0002】

近年、環境問題に対する配慮から電子機器の省電力化が求められており、特に電池駆動による電子機器においてその傾向が顕著である。一般に、省電力化を図るためには、電子機器で消費する電力を削減することと、電源回路自体の効率を向上させて無駄な電力消費

10

20

30

40

50

を抑えることが重要である。小型の電子機器に使用される高効率の電源回路としては、インダクタを使用した非絶縁型のスイッチングレギュレータが広く使用されている。

【0003】

スイッチングレギュレータの制御方式には、大きく2つの方式が知られている。1つは一定周波数のクロック信号のデューティサイクルを変化させてスイッチングトランジスタのオン時間を変化させることで出力電圧が一定になるように制御するPWM (pulse width modulation) 制御方式であり、もう1つはパルス幅が一定でクロック信号の周期を変化させることにより、スイッチングトランジスタのオン時間が一定で、スイッチング周波数を変化させて出力電圧が一定になるように制御するVFM (Variable Frequency Modulation) 制御方式である。また、VFM制御方式には、周波数を無段階に変化させる方式と、PWM制御で使用している周波数のクロックを間引いて、擬似的に周波数を変化させる方式とがある。なお、VFM制御方式はPFM (Pulse Frequency Modulation) 方式と表記される場合もある。

10

【0004】

スイッチングレギュレータ自体の電力消費量は、スイッチング周波数に比例して増加し、PWM制御方式は、軽負荷でも一定周期でスイッチングトランジスタのオン/オフ制御を行うため、軽負荷での効率が悪化する。これに対して、VFM制御方式では、負荷に応じてスイッチングトランジスタのスイッチング周波数が変動するため、機器に対してノイズやリブルの影響が大きくなるが、軽負荷に対してはスイッチング回数が少なくなるためPWM制御方式よりも効率がよい。このようなことから、従来、負荷の条件に応じて、PWM制御とVFM制御を切り換えて行うことにより、軽負荷から重負荷まで電源効率を高めた電源回路があった。

20

【0005】

図5は、PWM制御モードとVFM制御モードを備えた従来の電流モード制御型スイッチングレギュレータの回路例を示した図であり(例えば、特許文献1参照。)、図6は、図5の電流モード制御型スイッチングレギュレータ100の各信号の波形例を示したタイミングチャートである。

電流モード制御型スイッチングレギュレータ100では、VFM制御モードで動作しているときは、出力電流 i_{out} が小さいほど出力電圧 V_{out} の低下にかかるため、スイッチングトランジスタM101がオンする間隔が長くなる。すなわち、スイッチングトランジスタM101のスイッチング周波数が低くなる。

30

【0006】

出力電流 i_{out} が小さいほど出力電圧 V_{out} が速く上昇するため、その分、誤差電圧 V_e の低下速度が速くなり、スイッチングトランジスタM101がオンしている時間が短くなる。出力電流 i_{out} が増加して、前記スイッチング周波数が高くなり、誤差電圧 V_e が常に基準電圧 V_{r1} 以上になると、自動的にPWM制御モードに切り換わる。

PWM制御モードでは、誤差電圧 V_e が常に基準電圧 V_{r1} 以上になっているため、コンパレータ108から出力されるイネーブル信号OSCENはローレベルになる。このため、発振回路109は、所定の周波数で発振を行ってクロック信号CLKを出力する。

【0007】

40

クロック信号CLKがハイレベルになると、RSフリップフロップ回路105がセットされ、出力端Qがハイレベルになり、VFM制御モードのときと同様にスイッチングトランジスタM101がオンすると共に同期整流用トランジスタM102がオフしてインダクタ電流 i_L が流れる。インダクタ電流 i_L はインダクタ電圧変換回路110でインダクタ電圧 V_{sen} に変換され、加算回路112でインダクタ電圧 V_{sen} とスロープ電圧 V_{slp} が加算されてランプ電圧 V_c が生成され、コンパレータ104の非反転入力端に入力される。

【0008】

ランプ電圧 V_c が誤差電圧 V_e を超えると、コンパレータ104の出力信号Spwmがハイレベルとなり、RSフリップフロップ回路105をリセットする。すると、制御回路

50

106は、出力信号PHSとNLSをそれぞれハイレベルにして、スイッチングトランジスタM101をオフさせると共に同期整流用トランジスタM102をオンさせる。この結果、ランプ電圧Vcは接地電圧GNDに低下し、コンパレータ104の出力信号Spwmはローレベルに戻る。このときも、インダクタ電流iLは同期整流用トランジスタM102を介して流れ続ける。インダクタ電流iLが0になる前に、クロック信号CLKが再びハイレベルになり、前記のような動作を繰り返す。

【0009】

PWM制御モードでは、出力電流ioutが大きくなるほど、スイッチングトランジスタM101のオン時間が長くなる。VFM制御モードからPWM制御モードにスムーズに移行するためには、VFM制御モードからPWM制御モードに切り換わる臨界点におけるインダクタ電流iLの値が重要になる。

10

図7は、図5の電流モード制御型スイッチングレギュレータ100において、VFM制御モードからPWM制御モードに切り換わるときに出力電流ioutの電流値を変えた場合に、VFM制御モードからPWM制御モードに切り換わる際のインダクタ電流iLの波形例を示した図である。なお以下、臨界電流iaとは、電流モード制御型スイッチングレギュレータが不連続動作モードから連続動作モードに移行する臨界点の出力電流ioutの電流値を示している。

【0010】

図7(a)は、VFM制御モードからPWM制御モードに切り換わるときに出力電流ioutの電流値が臨界電流iaよりも小さい場合を示している。この場合、不連続動作モードで動作している最中にPWM制御モードに切り換わってしまう。このため、スイッチング周波数が急に高くなり、スイッチング回数が増えてインダクタL101に供給されるエネルギーが必要以上に増加し、出力電圧Voutが急上昇する。出力電流ioutが更に増加して臨界電流iaを超えると、連続動作モードになり出力電圧Voutは元に戻る。すなわち、PWM制御モードに切り換わってから、出力電流ioutが臨界電流iaに達するまでは出力電圧Voutが上昇するという問題が発生していた。

20

【0011】

図7(b)は、VFM制御モードからPWM制御モードに切り換わるときに出力電流ioutの電流値が臨界電流iaと等しい場合を示している。この場合は、スムーズにPWM制御モードに移行し、出力電圧Voutの変動は発生しない。

30

図7(c)は、VFM制御モードからPWM制御モードに切り換わるときに出力電流ioutの電流値が臨界電流iaより大きい場合を示している。この場合は、連続動作モードになっても、まだVFM制御モードで動作している。このため、前のスイッチングサイクルのインダクタ電流iLが0に戻らないうちに、次のスイッチングサイクルに入ってしまう、次のサイクルでは必要以上に大きなインダクタ電流iLが供給される。すると、出力電圧Voutが大きくなり過ぎて、その次のサイクルまでの時間が長くなり、出力電圧Voutは下がり過ぎてしまう。このため、出力電流ioutが臨界電流ia付近では、出力電圧Voutが大きく変動するという問題が発生していた。

【0012】

このように、VFM制御モードからPWM制御モードに切り換わるときに出力電圧Voutの変動を小さくするためには、VFM制御モードからPWM制御モードに切り換わるときに出力電流ioutの電流値を臨界電流iaに設定するのが望ましい。

40

なお、本発明とは異なるが、VFM制御モードからPWM制御モードに切り換える他の第1の方法としては、スイッチングトランジスタへの駆動パルス信号と、PWMコンパレータの出力信号と、PFM用クロック生成回路で生成されるPFM制御用の基準クロック信号の各デューティサイクルをそれぞれ電圧に変換して、前記駆動パルス信号及び前記PWMコンパレータの出力信号の各デューティサイクルと、前記基準クロック信号のデューティサイクルとを比較し、該比較結果に応じてPWM制御とPFM制御を切り換えるようにしたものがあつた(例えば、特許文献2参照。)。この場合、デューティサイクルを電圧に変換する回路が3つ必要であり、更にそれらの出力を比較するためのコンパレータ等

50

が必要となり回路規模が大きくなっていた。

【 0 0 1 3 】

また、V F M制御モードからP W M制御モードに切り換える他の第 2 の方法として、P W M制御信号のパルス幅がP F M制御信号のパルス幅よりも小さいことを条件として、P W M制御信号のパルス幅とP F M制御信号のパルス幅との差に対応する差分時間を表わす差分時間信号を形成する差分時間発生手段を有し、差分時間信号に基づき前記差分時間に応じて、P W M制御信号を形成するための基準となる基準信号の発振周波数を低く制御するようにしたものがあった（例えば、特許文献 3 参照。）。この場合、P W M制御信号のパルス幅とP F M制御信号のパルス幅との差に対応する差分時間を表わす差分時間信号を形成する差分時間発生手段と、差分時間信号に応じて周波数を変更する発振回路が必要であり、やはり回路規模が大きくなっていた。

10

【 0 0 1 4 】

また、前記第 1 及び第 2 の各方法では、V F M制御モード時の 1 サイクル当たりのエネルギー供給量に関してはまったく考慮されていなかった。

【特許文献 1】特開平 1 0 - 2 2 5 1 0 5 号公報

【特許文献 2】特開 2 0 0 7 - 2 0 9 1 8 0 号公報

【特許文献 3】特開 2 0 0 8 - 9 2 7 1 2 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 5 】

20

スイッチングレギュレータ自体の電力消費量は、スイッチング周波数に比例して増加するため、V F M制御モードにおいてはできるだけスイッチング周波数が低くなるようにする方が、効率を上げることができる。このためには、1 サイクル中にインダクタ L 1 0 1 に供給する電力量を多くする必要がある。しかし、このようにすると、図 7 (c) で示したように、V F M制御モードからP W M制御モードの切り換え時に出力電圧が変動するという問題があった。

【 0 0 1 6 】

本発明は、このような問題を解決するためになされたものであり、簡単な回路構成でV F M制御モードとP W M制御モードの切り換え時における出力電圧 V_{out} の変動を抑えることができる電流モード制御型スイッチングレギュレータを得ることを目的とする。

30

【課題を解決するための手段】

【 0 0 1 7 】

この発明に係る電流モード制御型スイッチングレギュレータは、入力端子に入力された入力電圧を、所定の定電圧に変換して出力端子から出力電圧として出力する、該出力端子から出力される出力電流に応じてP W M制御とV F M制御を自動的に切り換えて行う、インダクタを備えた非絶縁方式の電流モード制御型スイッチングレギュレータにおいて、

制御電極に入力された制御信号に応じてスイッチングを行い、前記入力電圧による前記インダクタへの充電を行うスイッチングトランジスタと、

該スイッチングトランジスタがオフして前記インダクタへの充電が停止すると、前記インダクタの放電を行う整流素子と、

40

前記出力電圧に比例した比例電圧と所定の第 1 基準電圧との電圧差を増幅し誤差電圧として出力する誤差増幅回路部と、

前記インダクタに流れるインダクタ電流に応じた電圧に、予め設定された傾斜を有するスロープ電圧を加算して生成されたランプ電圧と前記誤差電圧との電圧比較を行い、該比較結果を示す信号を生成して出力する第 1 電圧比較回路部と、

前記誤差電圧と所定の第 2 基準電圧との電圧比較を行い、該誤差電圧が該第 2 基準電圧よりも大きい場合は所定のイネーブル信号を生成して出力する第 2 電圧比較回路部と、

該第 2 電圧比較回路部から前記イネーブル信号が出力されると発振を開始し、所定の周波数のクロック信号を生成して出力する発振回路部と、

前記スイッチングトランジスタをオンさせるための該発振回路部からのクロック信号が

50

入力されると共に前記スイッチングトランジスタをオフさせるための前記第 1 電圧比較回路部からの信号が入力され、前記クロック信号及び該第 1 電圧比較回路部からの信号に応じて前記スイッチングトランジスタのスイッチング制御を行う制御回路部と、
を備え、

前記発振回路部は、前記イネーブル信号が入力されている時間が所定値未満である場合は、該イネーブル信号に応じて 1 つの所定のパルスを生成して出力し、前記イネーブル信号が入力されている時間が前記所定値以上になると、前記所定の周波数よりも低い周波数で発振を開始した後、前記所定の周波数まで所定の速度で該発振周波数を上昇させるものである。

【 0 0 1 8 】

10

具体的には、前記所定値は、前記所定の周波数のクロック信号における周期と同じであるようにした。

【 0 0 1 9 】

また、前記発振回路部は、
前記イネーブル信号が入力されると、所定の電流値まで所定の速度で出力電流を増加させて、該所定の電流値の定電流を出力する電流源と、

該電流源から供給される電流で充電されるコンデンサと、

該コンデンサの端子電圧が所定の電圧値を超えると、該コンデンサの電荷を放電する放電回路と、

を備えるようにした。

20

【 0 0 2 0 】

また、V F M 制御から P W M 制御に移行する際の前記出力端子から出力される出力電流が、不連続動作モードから連続動作モードに移行する臨界点における該出力電流の電流値と同じになるように、前記第 2 基準電圧が設定されるようにした。

【 0 0 2 1 】

また、前記整流素子は、制御電極に入力された制御信号に応じてスイッチングを行って前記インダクタの放電を行う同期整流用トランジスタからなり、前記制御回路部は、前記出力端子から出力される出力電圧が前記所定の定電圧になるように前記スイッチングトランジスタに対するスイッチング制御を行うと共に、該同期整流用トランジスタに対して前記スイッチングトランジスタと相反するスイッチング動作を行わせるようにした。

30

【 0 0 2 2 】

この場合、前記制御回路部は、前記スイッチングトランジスタと前記インダクタとの接続部の電圧から、前記出力端子から前記同期整流用トランジスタの方向に流れる逆電流が発生する兆候又は該逆電流の発生を検出すると、前記同期整流用トランジスタをオフさせて遮断状態にするようにしてもよい。

【 発明の効果 】

【 0 0 2 3 】

本発明の電流モード制御型スイッチングレギュレータによれば、発振回路部の発振開始直後の周波数を所定の周波数よりも低くなるようにし、その後徐々に該所定の周波数に近づくようにしたことから、簡単な回路構成で、V F M 制御における 1 サイクル当たりの電力供給量を、前記所定の周波数で P W M 制御を行っている場合の連続動作モードから不連続動作モードに切り換わる時点の 1 サイクル当たりの電力供給量よりも大きくすることができ、V F M 制御から P W M 制御に切り換わる際に、出力電圧の大きな変動を抑制することができる。

40

【 発明を実施するための最良の形態 】

【 0 0 2 4 】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

第 1 の実施の形態 .

図 1 は、本発明の第 1 の実施の形態における電流モード制御型スイッチングレギュレータの回路例を示した図である。

50

図1において、電流モード制御型スイッチングレギュレータ（以下、スイッチングレギュレータと呼ぶ）1は、入力端子INに入力された入力電圧 V_{in} を所定の定電圧に降圧して出力電圧 V_{out} として出力端子OUTから負荷20に出力する同期整流方式の降圧型スイッチングレギュレータをなしている。

スイッチングレギュレータ1は、PMOSトランジスタからなるスイッチングトランジスタM1と、NMOSトランジスタからなる同期整流用トランジスタM2とを備えている。

【0025】

また、スイッチングレギュレータ1は、所定の第1基準電圧 V_{r1} を生成して出力する第1基準電圧発生回路2と、出力電圧検出用の抵抗 R_1 、 R_2 と、インダクタ L_1 と、出力コンデンサ C_o と、誤差増幅回路3と、第1コンパレータ4と、RSフリップフロップ回路5と、インバータ6と、所定の第2基準電圧 V_{r2} を生成して出力する第2基準電圧発生回路7と、第2コンパレータ8とを備えている。更に、スイッチングレギュレータ1は、所定のクロック信号CLKを生成して出力する発振回路9と、インダクタ L_1 を流れるインダクタ電流 i_L の検出を行い、検出したインダクタ電流 i_L に応じたインダクタ電圧 V_{sen} を生成して出力するインダクタ電流電圧変換回路10と、所定ののこぎり波信号をなすスロープ電圧 V_{slp} を生成して出力するスロープ電圧生成回路11と、加算回路12とを備えている。

【0026】

なお、同期整流用トランジスタM2は整流素子を、第1基準電圧発生回路2、誤差増幅回路3及び抵抗 R_1 、 R_2 は誤差増幅回路部をそれぞれなし、第1コンパレータ4、インダクタ電流電圧変換回路10、スロープ電圧生成回路11及び加算回路12は第1電圧比較回路部を、第2基準電圧発生回路7及び第2コンパレータ8は第2電圧比較回路部をそれぞれなす。また、発振回路9は発振回路部を、RSフリップフロップ回路5及び制御回路6は制御回路部をそれぞれなす。また、スイッチングレギュレータ1において、インダクタ L_1 及び出力コンデンサ C_o を除く各回路を1つのICに集積するようにしてもよく、場合によっては、スイッチングトランジスタM1及び/又は同期整流用トランジスタM2、インダクタ L_1 並びに出力コンデンサ C_o を除く各回路を1つのICに集積するようにしてもよい。

【0027】

入力端子INと接地電圧GNDとの間にはスイッチングトランジスタM1と同期整流用トランジスタM2が直列に接続されている。スイッチングトランジスタM1と同期整流用トランジスタM2との接続部LXと、出力端子OUTとの間にはインダクタ L_1 が接続され、出力端子OUTと接地電圧GNDとの間には、抵抗 R_1 及び R_2 が直列に接続されると共に出力コンデンサ C_o が接続され、抵抗 R_1 と R_2 との接続部から分圧電圧 V_{fb} が出力される。また、誤差増幅回路3において、反転入力端には分圧電圧 V_{fb} が、非反転入力端には第1基準電圧 V_{r1} がそれぞれ入力され、誤差増幅回路3は、分圧電圧 V_{fb} と第1基準電圧 V_{r1} との差電圧を増幅して誤差電圧 V_e を生成し、第1コンパレータ4の反転入力端に出力する。誤差増幅回路3は、出力電圧 V_{out} が低下すると誤差電圧 V_e を上昇させ、出力電圧 V_{out} が上昇すると誤差電圧 V_e を低下させる。

【0028】

また、インダクタ電流電圧変換回路10は、入力電圧 V_{in} と接続部LXの電圧 V_{LX} からインダクタ電圧 V_{sen} を生成して出力する。加算回路12は、スロープ電圧生成回路11からのスロープ電圧 V_{slp} とインダクタ電流電圧変換回路10からのインダクタ電圧 V_{sen} がそれぞれ入力され、スロープ電圧 V_{slp} とインダクタ電圧 V_{sen} を加算しインダクタ電流 i_L に比例したランプ電圧 V_c を生成して第1コンパレータ4の非反転入力端に出力する。第1コンパレータ4は、誤差増幅回路3からの誤差電圧 V_e と加算回路12から出力されたランプ電圧 V_c との電圧比較を行ってパルス信号Spwmを生成し、RSフリップフロップ回路5のリセット入力端Rに出力する。

【0029】

10

20

30

40

50

また、第2コンパレータ8において、反転入力端には誤差電圧 V_e が、非反転入力端には第2基準電圧 V_{r2} がそれぞれ入力され、出力端は発振回路9に接続されている。第2コンパレータ8は、第2基準電圧 V_{r2} と誤差電圧 V_e との電圧比較を行い、誤差電圧 V_e が第2基準電圧 V_{r2} を超えるとイネーブル信号 $OSCEN$ をローレベルにし、誤差電圧 V_e が第2基準電圧 V_{r2} 以下になるとイネーブル信号 $OSCEN$ をハイレベルにする。

【0030】

発振回路9は、ローレベルのイネーブル信号 $OSCEN$ が入力されている時間が所定値未満である場合は、該ローレベルのイネーブル信号 $OSCEN$ に応じて1つのハイレベルのパルスを生成して出力し、前記ローレベルのイネーブル信号 $OSCEN$ が入力されている時間が前記所定値以上になると、所定の周波数よりも低い周波数で発振を開始した後、該所定の周波数まで所定の速度で周波数を上昇させる。このようにして、発振回路9は、イネーブル信号 $OSCEN$ がローレベルになると所定のパルス幅を有するハイレベルのパルス信号を出力し、イネーブル信号 $OSCEN$ がローレベルを継続すると所定の周波数で発振を行ってクロック信号 CLK を出力する。また、発振回路9は、イネーブル信号 $OSCEN$ がハイレベルになると発振を停止してクロック信号 CLK をローレベルにする。

【0031】

発振回路9から出力されたクロック信号 CLK は、RSフリップフロップ回路5のセット入力端 S に入力され、RSフリップフロップ回路5の出力端 Q は制御回路6の入力端に入力され、RSフリップフロップ回路5は、セット入力端 S にハイレベルの信号が入力されると出力端 Q をハイレベルにし、リセット入力端 R にハイレベルの信号が入力されると出力端 Q をローレベルにする。制御回路6は、RSフリップフロップ回路5の出力信号と、接続部 LX の電圧 V_{LX} がそれぞれ入力され、出力端 P がスイッチングトランジスタ $M1$ のゲートに、出力端 N が同期整流用トランジスタ $M2$ のゲートにそれぞれ接続されている。

【0032】

制御回路6は、RSフリップフロップ回路5の出力信号がハイレベルになると制御信号 PHS 及び NLS をそれぞれローレベルにし、スイッチングトランジスタ $M1$ がオンすると共に同期整流用トランジスタ $M2$ がオフする。また、制御回路6は、RSフリップフロップ回路5の出力信号がローレベルになると制御信号 PHS 及び NLS をそれぞれハイレベルにし、スイッチングトランジスタ $M1$ がオフすると共に同期整流用トランジスタ $M2$ がオンする。ただし、制御回路6は、接続部 LX の電圧 V_{LX} が $0V$ 以上になると、RSフリップフロップ回路5の出力信号に関係なく制御信号 NLS をローレベルにして同期整流用トランジスタ $M2$ をオフさせる。このようにすることにより、制御回路6は、インダクタ電流 i_L の逆流を防止することができる。

【0033】

インダクタ電流電圧変換回路10は、スイッチングトランジスタ $M1$ のソース-ドレイン間電圧を増幅してインダクタ電圧 V_{sen} として出力する。スイッチングトランジスタ $M1$ のオン抵抗はドレイン電流に関わらずほぼ一定であるから、スイッチングトランジスタ $M1$ のソース-ドレイン間電圧はスイッチングトランジスタ $M1$ のドレイン電流に比例する。また、該ドレイン電流はすべてインダクタ電流 i_L になるため、スイッチングトランジスタ $M1$ のソース-ドレイン間電圧はインダクタ電流 i_L に比例した電圧になる。

スロープ電圧生成回路11は、サブハーモニック発振を防止するために、インダクタ電圧 V_{sen} に加算するスロープ電圧 V_{slp} を生成している。インダクタ電圧 V_{sen} とスロープ電圧 V_{slp} は加算回路12で加算され、ランプ電圧 V_c として第1コンパレータ4の非反転入力端に出力される。

【0034】

このような構成において、VFM制御モードからPWM制御モードに動作が切り換わる際の動作について説明する。

まず最初に、VFM制御モードでの動作について説明する。

出力コンデンサ C_o に蓄積された電荷が出力端子 OUT に接続された負荷 20 に放電されると、出力電圧 V_{out} は次第に低下する。すると、誤差電圧 V_e は逆に上昇し、誤差電圧 V_e が第2基準電圧 V_{r2} を超えると、第2コンパレータ 8 から出力されるイネーブル信号 $OSCEN$ はローレベルになる。

【0035】

イネーブル信号 $OSCEN$ がローレベルになると、発振回路 9 は直ちにハイレベルの1つのパルスを RS フリップフロップ回路 5 のセット入力端 S に出力する。該パルスによって RS フリップフロップ回路 5 がセットされ、出力端 Q がハイレベルになる。すると、制御回路 6 は、制御信号 PHS と NLS を共にローレベルにし、スイッチングトランジスタ $M1$ がオンすると共に同期整流用トランジスタ $M2$ がオフする。スイッチングトランジスタ $M1$ がオンすると、入力電圧 V_{in} がインダクタ $L1$ に接続されるため、インダクタ $L1$ にインダクタ電流 i_L が流れる。該インダクタ電流 i_L は、入力電圧 V_{in} と出力電圧 V_{out} との電圧差に比例した傾斜で増加する。

【0036】

インダクタ電流 i_L が出力電流 i_{out} を超えると、出力コンデンサ C_o を充電するため出力電圧 V_{out} が上昇し、これに伴って誤差電圧 V_e が低下する。誤差電圧 V_e が第2基準電圧 V_{r2} 以下になると、第2コンパレータ 8 からのイネーブル信号 $OSCEN$ はハイレベルに戻る。このため、発振回路 9 は、クロック信号 CLK としてハイレベルのパルスを1つだけ出力して発振動作を停止する。

インダクタ電流 i_L の変化は、インダクタ電圧変換回路 10 でインダクタ電圧 V_{sen} に変換され、インダクタ電圧 V_{sen} にスロープ電圧生成回路 11 から出力されたスロープ電圧 V_{slp} が加算回路 12 で加算されてランプ電圧 V_c が生成される。ランプ電圧 V_c は時間の経過に伴って上昇し、ランプ電圧 V_c が誤差電圧 V_e を超えると第1コンパレータ 4 の出力信号 $Spwm$ の信号レベルが反転してハイレベルになる。

【0037】

出力信号 $Spwm$ がハイレベルになると、 RS フリップフロップ回路 5 がリセットされ、出力端 Q がローレベルになり、制御回路 6 は、制御信号 PHS と NLS を共にハイレベルにし、スイッチングトランジスタ $M1$ がオフすると共に同期整流用トランジスタ $M2$ がオンする。スイッチングトランジスタ $M1$ がオフすると、インダクタ $L1$ の逆起電力の影響で接続部 LX の電圧が負電圧になるため、インダクタ電圧変換回路 10 からのインダクタ電圧 V_{sen} は接地電圧 GND まで低下する。同時に、スロープ電圧生成回路 11 も動作を停止してスロープ電圧 V_{slp} を接地電圧 GND に低下させる。この結果、ランプ電圧 V_c は接地電圧 GND まで低下するため、第1コンパレータ 4 の出力信号 $Spwm$ は直ちにローレベルに戻る。なお、スイッチングトランジスタ $M1$ がオフしても、同期整流用トランジスタ $M2$ がオンするため、インダクタ電流 i_L は接地電圧 GND から同期整流用トランジスタ $M2$ を介して流れ続ける。このときのインダクタ電流 i_L は、出力電圧 V_{out} に比例した傾斜で減少する。

【0038】

インダクタ $L1$ に蓄えられていたエネルギーがすべて放出されてインダクタ電流 i_L が 0 になると、出力端子 OUT 側からインダクタ $L1$ と同期整流用トランジスタ $M2$ を通して接地電圧 GND に電流が流れる、いわゆる逆電流が発生する。該逆電流が発生するとスイッチングレギュレータの変換効率を大きく低下させる。このため、このような逆電流を防止するために、制御回路 6 は、接続部 LX の電圧 V_{LX} が $0V$ になると、 RS フリップフロップ回路 5 の出力信号に関係なく、制御信号 NLS をローレベルにして同期整流用トランジスタ $M2$ をオフさせる。インダクタ電流 i_L が出力電流 i_{out} 以下まで低下すると、出力電圧 V_{out} は低下し始め、出力電圧 V_{out} が低下すると誤差電圧 V_e が上昇する。誤差電圧 V_e が第2基準電圧 V_{r2} を超えると、最初の説明に戻り、以下このような動作を繰り返す。

【0039】

VFM 制御モードで動作しているときは、出力電流 i_{out} が小さいほど出力電圧 V_o

utの低下に時間がかかるため、スイッチングトランジスタM1がオンする間隔が長くなる、すなわちスイッチング周波数が低くなる。出力電流ioutが小さいほど出力電圧Voutが速く上昇するため、その分、誤差電圧Veの低下速度が速くなり、スイッチングトランジスタM1がオンしている時間は短くなる。出力電流ioutが増加してスイッチング周波数が高くなり、誤差電圧Veが常に第2基準電圧Vr2以上になると、自動的にPWM制御モードに切り換わる。

【0040】

PWM制御モードの動作は次のようになる。

誤差電圧Veが常に第2基準電圧Vr2以上になっているため、第2コンパレータ8からのイネーブル信号OSCENはローレベルになり、発振回路9は、所定の周波数で発振を行ってクロック信号CLKを生成し出力する。クロック信号CLKがハイレベルになると、RSフリップフロップ回路5がセットされ、出力端Qがハイレベルになる。このため、VFM制御モードで述べたように、スイッチングトランジスタM1がオンすると共に同期整流用トランジスタM2がオフし、インダクタ電流iLが流れる。インダクタ電流iLはインダクタ電流電圧変換回路10でインダクタ電圧Vsenに変換され、更にスロープ電圧Vslpが加算されてランプ電圧Vcが生成され、第1コンパレータ4の非反転入力端に入力される。

【0041】

ランプ電圧Vcが誤差電圧Veを超えると、第1コンパレータ4の出力信号Spwmがハイレベルになり、RSフリップフロップ回路5をリセットする。このため、制御回路6は、制御信号PSHとNLSをそれぞれハイレベルにして、スイッチングトランジスタM1をオフさせる共に同期整流用トランジスタM2をオンさせる。この結果、ランプ電圧Vcは接地電圧GNDに低下し、出力信号Spwmはローレベルに戻る。また、インダクタ電流iLは、同期整流用トランジスタM2を介して流れ続ける。

【0042】

インダクタ電流iLが0になる前に、クロック信号CLKの次のパルスが再びハイレベルになり、前記のような動作を繰り返す。PWM制御モードでは、出力電流ioutが大きくなるほど、スイッチングトランジスタM1のオン時間が長くなる。VFM制御モードからPWM制御モードにスムーズに移行するためには、VFM制御モードからPWM制御モードに切り換わる臨界点におけるインダクタ電流iLの値が重要である。

【0043】

ここで、図2は、図1の発振回路9の回路例を示した図である。

図2において、発振回路9は、所定の定電流i21の供給を行う定電流源21と、所定の第3基準電圧Vr3を生成して出力する第3基準電圧発生回路22と、第3コンパレータ23と、NAND回路24と、インバータ25、26と、PMOSTランジスタM11~M13と、NMOSTランジスタM14と、コンデンサC11、C12と、抵抗R11とで構成されている。なお、PMOSTランジスタM11~M13、定電流源21、コンデンサC12及び抵抗R11は電流源をなし、第3基準電圧発生回路22、第3コンパレータ23、NAND回路24及びNMOSTランジスタM14は放電回路をなす。

【0044】

入力電圧VinとPMOSTランジスタM13のゲートとの間には、PMOSTランジスタM11とM12が並列に接続されると共に抵抗R11とコンデンサC12の直列回路が接続されており、PMOSTランジスタM12のゲートはPMOSTランジスタM12のドレインに接続されている。PMOSTランジスタM11のゲートには、イネーブル信号OSCENの信号レベルをインバータ25で反転させた反転信号が入力されており、PMOSTランジスタM11のドレインと接地電圧GNDとの間に定電流源21が接続されている。

【0045】

PMOSTランジスタM13のソースは入力電圧Vinに接続され、PMOSTランジスタM13のドレインと接地電圧GNDの間にはNMOSTランジスタM14が接続さ

10

20

30

40

50

れており、NMOSトランジスタM14に並列にコンデンサC11が接続されている。第3コンパレータ23において、非反転入力端には第3基準電圧 V_{r3} が入力され、反転入力端はNMOSトランジスタM14のドレインに接続され、出力端はNAND回路24の一方の入力端に接続されている。NAND回路24の他方の入力端にはインバータ25の出力信号が入力されており、NAND回路24の出力端は、NMOSトランジスタM14のゲートに接続されると共にインバータ26の入力端に接続され、インバータ26の出力端からクロック信号CLKが出力される。

【0046】

図3は、図2の発振回路9の動作例を示したタイミングチャートであり、図3を使用して発振回路9の動作について説明する。

10

図3(a)は、VFM制御モード時の動作例を示した図であり、図3(b)は、VFM制御モードからPWM制御モードに移行する際の動作例を示した図である。なお、PMOSトランジスタM13のゲート電圧をVAとし、PMOSトランジスタM13とNMOSトランジスタM14との接続部の電圧をVBとし、第3コンパレータ23の出力信号をCMPoとする。

【0047】

まず、図3(a)の場合の動作について説明する。

出力電圧Voutが比較的大きい状態では、誤差電圧Veが第2基準電圧 V_{r2} より小さいため、第2コンパレータ8からのイネーブル信号OSCENはハイレベルである。この場合、インバータ25の出力信号はローレベルになり、PMOSトランジスタM11がオンする。このため、電圧VAはほぼ入力電圧 V_{in} と同じ電圧になり、PMOSトランジスタM12とM13は共にオフする。また、NAND回路24の一方の入力端もローレベルになるため、NAND回路24の出力信号はハイレベルになる。NAND回路24の出力信号がハイレベルになるとNMOSトランジスタM14がオンしてコンデンサC11の電荷を放電するため、電圧VBはほぼ0Vになる。更に、NAND回路24の出力信号の信号レベルをインバータ26で反転させた信号がクロック信号CLKであることから、クロック信号CLKはローレベルになる。また、電圧VBがほぼ0Vであることから、第3コンパレータ23の出力信号CMPoはハイレベルになる。

20

【0048】

出力電圧Voutが次第に低下し、これに伴って誤差電圧Veが上昇して第2基準電圧 V_{r2} を超えると、第2コンパレータ8からのイネーブル信号OSCENがローレベルになる。すると、インバータ25の出力信号はハイレベルになり、NAND回路24の一方の入力端をハイレベルにする。このため、NAND回路24の他方の入力端に入力されている第3コンパレータ23の出力信号CMPoが前記のようにハイレベルであることから、NAND回路24の出力信号はローレベルになる。該ローレベルの信号はインバータ26で信号レベルが反転されることから、クロック信号CLKがハイレベルになる。クロック信号CLKがハイレベルになると、RSフリップフロップ回路5がセットされて、スイッチングトランジスタM1をオンさせると共に同期整流用トランジスタM2をオフさせる。

30

【0049】

また、イネーブル信号OSCENがローレベルになると、PMOSトランジスタM11がオフして抵抗R11とコンデンサC12の直列回路に定電流 i_{21} が供給されるため、電圧VAが低下する。イネーブル信号OSCENがローレベルになった直後の電圧VAの低下は抵抗R11の抵抗値と定電流 i_{21} との積で決まり、その後は、定電流源 i_{21} で充電されたコンデンサC11の電圧が加算される。

40

電圧VAが低下すると、PMOSトランジスタM12のゲートにバイアス電圧が加わるため、PMOSトランジスタM12にドレイン電流が流れる。PMOSトランジスタM12とM13はカレントミラー回路を形成しているため、PMOSトランジスタM13からもドレイン電流が出力され、該ドレイン電流が電流源となる。

【0050】

50

また、NAND回路24の出力信号がローレベルになると、NMOSトランジスタM14がオフするため、PMOSトランジスタM13のドレイン電流はすべてコンデンサC11の充電電流となり、電圧VBが上昇を始める。しかし、スイッチングトランジスタM1がオンすると、入力電圧VinからインダクタL1に電力供給が行われ、出力電圧Voutが上昇すると共に誤差電圧Veが低下する。誤差電圧Veが第2基準電圧Vr2以下になると、第2コンパレータ8からのイネーブル信号OSCENは再びハイレベルになるため、前記のように、クロック信号CLKはローレベルに戻る。また、PMOSトランジスタM13がオフしてドレイン電流の供給が停止し、更にNMOSトランジスタM14はオンするため、コンデンサC11の電荷が放電される。以下、このような動作を繰り返す。

【0051】

次に、図3(b)で示したVFM制御モードからPWM制御モードに移行する場合について説明する。出力電流ioutが増加するに伴って出力電圧Voutが低下し、誤差電圧Veが常時第2基準電圧Vr2よりも大きくなるとPWM制御モードに切り換わる。

イネーブル信号OSCENがハイレベルのときは前記のように、クロック信号CLKはローレベルである。

【0052】

イネーブル信号OSCENがローレベルになると、前記のようにまずクロック信号CLKがハイレベルになり、スイッチングトランジスタM1がオンする。また、インバータ25の出力信号がハイレベルになるため、PMOSトランジスタM11はオフする。このため、抵抗R11とコンデンサC12の直列回路に定電流i21が供給され、電圧VAが低下する。電圧VAはPMOSトランジスタM12とM13のゲート電圧になっており、しかもPMOSトランジスタM12とM13はカレントミラー回路を形成している。PMOSトランジスタM12のドレインには定電流源21が接続されているため、PMOSトランジスタM12のドレイン電流は、電圧VAの低下に伴って増加し、定電流i21で安定する。

【0053】

PMOSトランジスタM13のドレイン電流はPMOSトランジスタM12のドレイン電流に比例するため、PMOSトランジスタM13のドレイン電流も次第に増加する。更に、イネーブル信号OSCENがローレベルになると、NAND回路24の一方の入力端がハイレベルになる。NAND回路24の他方の入力端は前記のようにハイレベルであることから、NAND回路24の出力信号はローレベルになり、NMOSトランジスタM14がオフする。NMOSトランジスタM14がオフすると、PMOSトランジスタM13のドレイン電流がコンデンサC11を充電するため、電圧VBが上昇する。電圧VBが第3基準電圧Vr3を超えると第3コンパレータ23の出力信号の信号レベルが反転してローレベルになる。

【0054】

このため、NAND回路24の出力信号はハイレベルになり、NMOSトランジスタM14をオンさせる。NMOSトランジスタM14はオン時のインピーダンスが小さいため、コンデンサC11の電荷が瞬時に放電され、電圧VBは0Vまで低下する。すると、第3コンパレータ23の出力信号が再びハイレベルになり、NAND回路24の出力信号がローレベルになって、NMOSトランジスタM14をオフさせてPMOSトランジスタM13のドレイン電流によるコンデンサC11への充電が行われる。発振回路9は、このような動作を繰り返してクロック信号CLKを生成して出力する。

【0055】

イネーブル信号OSCENがローレベルになった直後は、前記のようにPMOSトランジスタM13のドレイン電流が小さく、電圧VAの低下に伴って該ドレイン電流が増えていくため、発振回路9から出力されるクロック信号CLKの周期は、発振開始直後が最も長く、その後は次第に短くなってやがて定常状態である所定の周波数に落ち着くことになる。

図4は、VFM制御モードからPWM制御モードに移行する際のインダクタ電流iLの

10

20

30

40

50

波形例を示した図である。

図4で示しているように、VFM制御モードで動作している場合は不連続動作モードになっており、インダクタ電流 i_L は間欠的に出力されている。VFM制御モードからPWM制御モードに移行する際は、出力電流 i_{out} が不連続動作モードから連続動作モードに移行する臨界電流値になるように第2基準電圧 V_{r2} を設定しているため、出力電圧 V_{out} の変動がなくスムーズにPWM制御モードに移行することができる。

【0056】

また、発振回路9では、発振開始直後の周波数は安定時の周波数よりも低い周波数になるように構成されているため、臨界電流値を安定時の周波数のときよりも大きくすることができる。言い換えると、VFM制御モード時における1サイクルの電力供給量を多くすることができる。このため、VFM制御モード時におけるスイッチング周波数を低下させることができ電源変換効率を向上させることができる。

10

また、VFM制御モード時における1サイクルの電力供給量を、発振回路9の発振直後の周波数が出力電流 i_{out} が臨界電流値になるときの値に設定することにより、VFM制御モード時の効率を最大化することができる。

【0057】

なお、前記説明では、同期整流方式の降圧型スイッチングレギュレータを例にして説明したが、これは一例であり、本願発明は、同期整流用トランジスタM2の代わりにダイオードを使用した非同期整流方式の降圧型スイッチングレギュレータや、昇圧型スイッチングレギュレータにも適用することができる。

20

【図面の簡単な説明】

【0058】

【図1】本発明の第1の実施の形態における電流モード制御型スイッチングレギュレータの回路例を示した図である。

【図2】図1の発振回路9の回路例を示した図である。

【図3】図2の発振回路9の動作例を示したタイミングチャートである。

【図4】VFM制御モードからPWM制御モードに移行する際のインダクタ電流 i_L の波形例を示した図である。

【図5】従来の電流モード制御型スイッチングレギュレータの回路例を示した図である。

【図6】図5の電流モード制御型スイッチングレギュレータ100の各信号の波形例を示したタイミングチャートである。

30

【図7】図5の電流モード制御型スイッチングレギュレータ100において、VFM制御モードからPWM制御モードに切り換わる際のインダクタ電流 i_L の波形例を示した図である。

【符号の説明】

【0059】

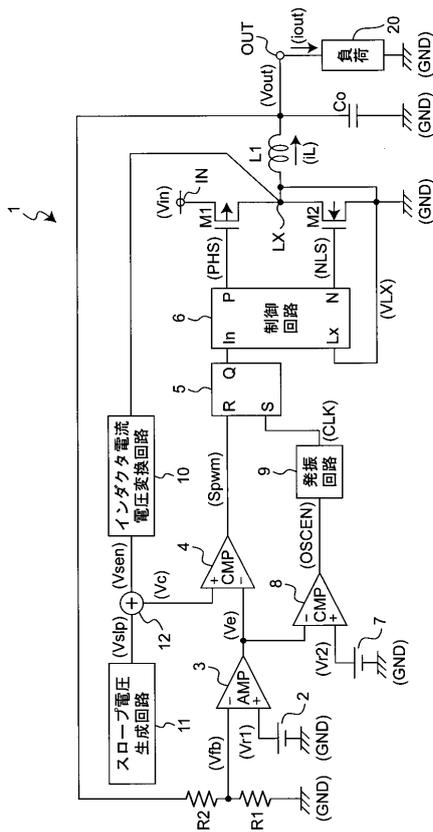
- 1 スイッチングレギュレータ
- 2 第1基準電圧発生回路
- 3 誤差増幅回路
- 4 第1コンパレータ
- 5 RSフリップフロップ回路
- 6 制御回路
- 7 第2基準電圧発生回路
- 8 第2コンパレータ
- 9 発振回路
- 10 インダクタ電流電圧変換回路
- 11 スロープ電圧生成回路
- 12 加算回路
- 20 負荷
- 21 定電流源

40

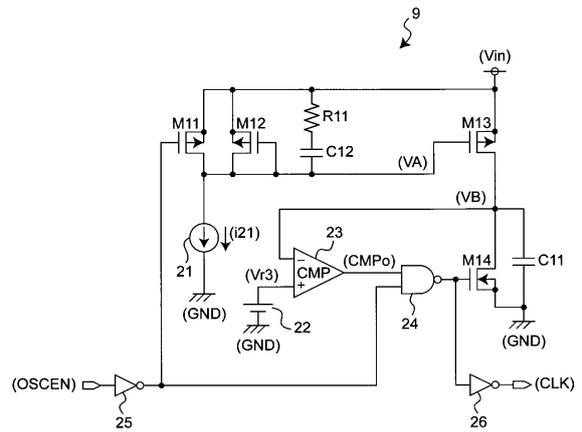
50

- 2 2 第 3 基準電圧発生回路
- 2 3 第 3 コンパレータ
- 2 4 NAND 回路
- 2 5 , 2 6 インバータ
- M 1 スイッチングトランジスタ
- M 2 同期整流用トランジスタ
- M 1 1 ~ M 1 3 PMOS トランジスタ
- M 1 4 NMOS トランジスタ
- L 1 インダクタ
- C o 出力コンデンサ
- C 1 1 , C 1 2 コンデンサ
- R 1 , R 2 , R 1 1 抵抗

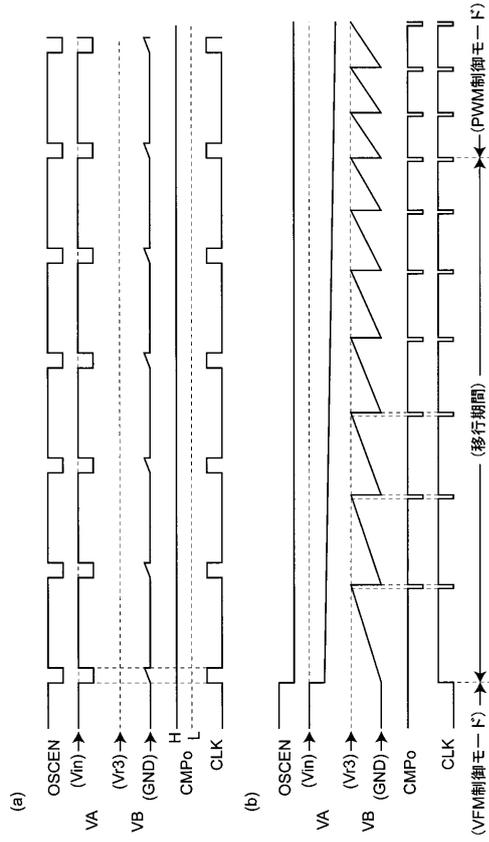
【 図 1 】



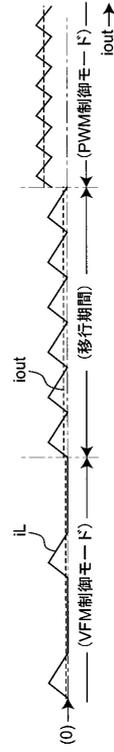
【 図 2 】



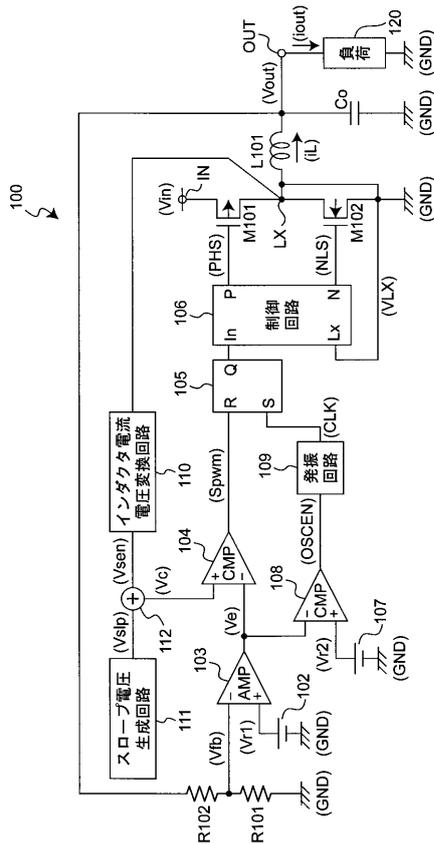
【 図 3 】



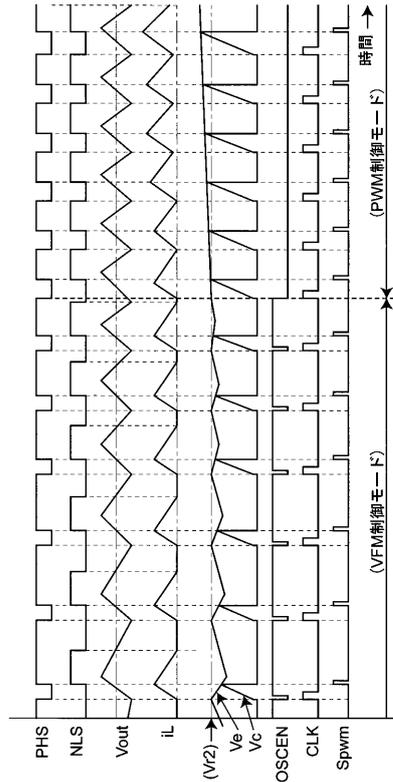
【 図 4 】



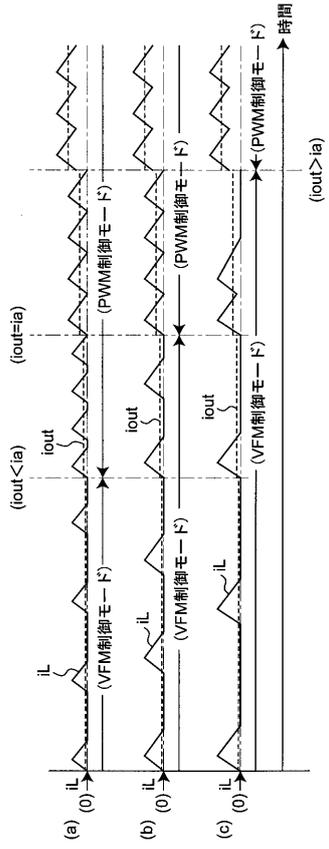
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

審査官 今井 貞雄

(56)参考文献 特開2008-067505(JP,A)
特開2008-125223(JP,A)

(58)調査した分野(Int.Cl., DB名)
H02M 3/155