

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-108132

(P2017-108132A)

(43) 公開日 平成29年6月15日(2017.6.15)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 6 S	2 H 1 9 2
GO 9 F 9/30 (2006.01)	HO 1 L 29/78 6 1 8 B	2 K 1 0 1
HO 1 L 51/50 (2006.01)	GO 9 F 9/30 3 6 5	3 K 1 0 7
GO 2 F 1/1368 (2006.01)	GO 9 F 9/30 3 7 0 Z	5 C 0 9 4
GO 2 F 1/167 (2006.01)	GO 9 F 9/30 3 8 0	5 F 1 1 0

審査請求 未請求 請求項の数 7 O L (全 25 頁) 最終頁に続く

(21) 出願番号 特願2016-234249 (P2016-234249)
 (22) 出願日 平成28年12月1日 (2016.12.1)
 (31) 優先権主張番号 特願2015-240522 (P2015-240522)
 (32) 優先日 平成27年12月9日 (2015.12.9)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000006747
 株式会社リコー
 東京都大田区中馬込1丁目3番6号
 (74) 代理人 100107766
 弁理士 伊東 忠重
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (72) 発明者 松本 真二
 東京都大田区中馬込1丁目3番6号 株式会社リコー内
 (72) 発明者 植田 尚之
 東京都大田区中馬込1丁目3番6号 株式会社リコー内

最終頁に続く

(54) 【発明の名称】 半導体装置、表示素子、表示装置、システム

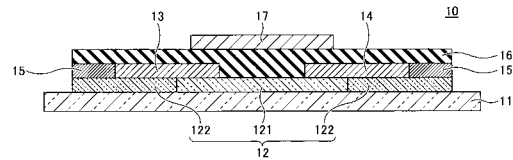
(57) 【要約】

【課題】簡易な製造工程で製造でき、かつソース電極及びドレイン電極と下層との密着性に優れた半導体装置を提供すること。

【解決手段】本半導体装置は、基材と、ゲート電圧を印加するためのゲート電極と、前記ゲート電圧の印加に応じて電流を取り出すためのソース電極及びドレイン電極と、酸化物半導体からなる半導体層と、前記ゲート電極と前記半導体層との間に設けられたゲート絶縁層と、を備える半導体装置であって、前記半導体層は、チャネル形成領域と、非チャネル形成領域と、を有し、前記チャネル形成領域と前記非チャネル形成領域とが夫々ソース電極及びドレイン電極に接して形成されている。

【選択図】 図1

第1の実施の形態に係る電界効果型トランジスタを例示する断面図



【特許請求の範囲】**【請求項 1】**

基材と、
ゲート電圧を印加するためのゲート電極と、
前記ゲート電圧の印加に応じて電流を取り出すためのソース電極及びドレイン電極と、
酸化物半導体からなる半導体層と、
前記ゲート電極と前記半導体層との間に設けられたゲート絶縁層と、を備える半導体装置であって、

前記半導体層は、チャンネル形成領域と、非チャンネル形成領域と、を有し、
前記チャンネル形成領域と前記非チャンネル形成領域とが夫々ソース電極及びドレイン電極に接して形成されていることを特徴とする半導体装置。

10

【請求項 2】

前記非チャンネル形成領域が前記ソース電極又は前記ドレイン電極に接続する配線と接して形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記半導体装置は、トップコンタクト型の電界効果型トランジスタであることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

駆動回路と、
前記駆動回路からの駆動信号に応じて光出力が制御される光制御素子と、
を有し、
前記駆動回路は、請求項 1 乃至 3 の何れか一項に記載の半導体装置により前記光制御素子を駆動することを特徴とする表示素子。

20

【請求項 5】

前記光制御素子は、エレクトロルミネッセンス素子、エレクトロクロミック素子、液晶素子、電気泳動素子、又はエレクトロウエットティング素子であることを特徴とする請求項 4 に記載の表示素子。

【請求項 6】

請求項 4 又は 5 に記載の表示素子を複数個マトリックス状に配置した表示器と、
夫々の前記表示素子を個別に制御する表示制御装置と、
を有することを特徴とする表示装置。

30

【請求項 7】

請求項 6 に記載の表示装置と、
前記表示装置に画像データを供給する画像データ作成装置と、
を有することを特徴とするシステム。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体装置、表示素子、表示装置、及びシステムに関する。

【背景技術】

40

【0002】

液晶ディスプレイ(Liquid Crystal Display: LCD)、有機 EL(エレクトロルミネッセンス)ディスプレイ(OLED)、電子ペーパー等の平面薄型ディスプレイ(Flat Panel Display: FPD)は、非晶質シリコンや多結晶シリコンを半導体層に用いた薄膜トランジスタ(Thin Film Transistor: TFT)を含む駆動回路により駆動されている。

【0003】

そして、FPDの開発においては、半導体層のチャンネル形成領域にキャリア移動度が高く素子間のばらつきの小さい酸化物半導体膜を用いた電界効果型トランジスタを含むTFTを作製し、電子デバイスや光デバイス等に應用する技術が注目されている。例えば、酸

50

化物半導体膜として酸化亜鉛 (ZnO)、 In_2O_3 、 $In-Ga-Zn-O$ 等を用いた電界効果型トランジスタが提案されている。

【0004】

電界効果型トランジスタとしては、例えば、金属膜であるソース電極及びドレイン電極と半導体層との接触抵抗を低減させやすく、半導体層が基材とゲート絶縁層及びゲート電極に挟まれた構造で外部の水分や酸素を遮断するのに有利な構造であるトップゲート/トップコンタクト型が用いられる(例えば、特許文献1参照)。

【0005】

ところで、トップゲート/トップコンタクト型の電界効果型トランジスタ等の半導体装置では、基材上にソース電極及びドレイン電極を構成する金属膜が直接形成されるため、
10 基材と金属膜との密着性が高いことは、TFT製造プロセスの安定化とTFT機能の安定化の上で重要である。

【0006】

そこで、基材と金属膜との密着性を向上させるために、密着性の高い金属等を接着層として設ける等、異種金属の積層構造を用いることが多い。しかしながら、異種金属の積層構造によってソース電極及びドレイン電極を製造することは、製造工程の増加、プロセスの難しさ、製造コスト増等の課題を有している。

【0007】

ゲート絶縁層上に、ソース電極及びドレイン電極を構成する金属膜が直接形成されるボトムゲート/トップコンタクト型の電界効果型トランジスタ等の半導体装置についても同
20 様である。

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明は、簡易な製造工程で製造でき、かつソース電極及びドレイン電極と下層との密着性に優れた半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0009】

本半導体装置は、基材と、ゲート電圧を印加するためのゲート電極と、前記ゲート電圧の印加に応じて電流を取り出すためのソース電極及びドレイン電極と、酸化物半導体から
30 なる半導体層と、前記ゲート電極と前記半導体層との間に設けられたゲート絶縁層と、を備える半導体装置であって、前記半導体層は、チャネル形成領域と、非チャネル形成領域と、を有し、前記チャネル形成領域と前記非チャネル形成領域とが夫々ソース電極及びドレイン電極に接して形成されていることを要件とする。

【発明の効果】

【0010】

開示の技術によれば、簡易な製造工程で製造でき、かつソース電極及びドレイン電極と下層との密着性に優れた半導体装置を提供できる。

【図面の簡単な説明】

【0011】

【図1】第1の実施の形態に係る電界効果型トランジスタを例示する断面図である。

【図2】第1の実施の形態に係る電界効果型トランジスタの製造工程を例示する図である。

【図3】第1の実施の形態の変形例に係る電界効果型トランジスタを例示する断面図である。

【図4】比較例1に係る電界効果型トランジスタを例示する断面図である。

【図5】第2の実施の形態におけるテレビジョン装置の構成を示すブロック図である。

【図6】第2の実施の形態におけるテレビジョン装置の説明図(その1)である。

【図7】第2の実施の形態におけるテレビジョン装置の説明図(その2)である。

【図8】第2の実施の形態におけるテレビジョン装置の説明図(その3)である。

10

20

30

40

50

【図 9】第 2 の実施の形態における表示素子の説明図である。

【図 10】第 2 の実施の形態における有機 E L の説明図である。

【図 11】第 2 の実施の形態におけるテレビジョン装置の説明図（その 4）

【図 12】第 2 の実施の形態における他の表示素子の説明図（その 1）である。

【図 13】第 2 の実施の形態における他の表示素子の説明図（その 2）である。

【図 14】第 3 の実施の形態に係る表示素子アレイを例示する平面図である。

【図 15】図 14 の A - A 線に沿う断面図である。

【図 16】図 14 の B - B 線に沿う断面図である。

【図 17】第 3 の実施の形態に係る表示素子アレイにおける半導体層の形成領域を例示する平面図である。

10

【図 18】比較例に係る表示素子アレイを例示する平面図である。

【発明を実施するための形態】

【0012】

以下、図面を参照して発明を実施するための形態について説明する。各図面において、同一構成部分には同一符号を付し、重複した説明を省略する場合がある。

【0013】

第 1 の実施の形態

[電界効果型トランジスタの構造]

図 1 は、第 1 の実施の形態に係る電界効果型トランジスタを例示する断面図である。図 1 を参照するに、電界効果型トランジスタ 10 は、基材 11 と、半導体層 12 と、ソース電極 13 と、ドレイン電極 14 と、配線 15 と、ゲート絶縁層 16 と、ゲート電極 17 とを有するトップゲート/トップコンタクト型の電界効果型トランジスタである。なお、電界効果型トランジスタ 10 は、本発明に係る半導体装置の代表的な一例である。

20

【0014】

電界効果型トランジスタ 10 では、絶縁性の基材 11 上に半導体層 12 が形成され、半導体層 12 上に、ソース電極 13、ドレイン電極 14、及び配線 15 が形成されている。更に、半導体層 12、ソース電極 13、ドレイン電極 14、及び配線 15 を覆うようにゲート絶縁層 16 が形成され、ゲート絶縁層 16 上にゲート電極 17 が形成されている。以下、電界効果型トランジスタ 10 の各構成要素について、詳しく説明する。

【0015】

30

なお、本実施の形態では、便宜上、ゲート電極 17 側を上側又は一方の側、基材 11 側を下側又は他方の側とする。又、各部位のゲート電極 17 側の面を上面又は一方の面、基材 11 側の面を下面又は他方の面とする。但し、電界効果型トランジスタ 10 は天地逆の状態でも用いることができ、又は任意の角度で配置することができる。又、平面視とは対象物を基材 11 の上面の法線方向から視ることを指し、平面形状とは対象物を基材 11 の上面の法線方向から視た形状を指すものとする。

【0016】

基材 11 は、半導体層 12 等を形成する基体となる絶縁性の部材である。基材 11 の形状、構造、及び大きさとしては、特に制限はなく、目的に応じて適宜選択することができる。基材 11 の材料としては、特に制限はなく、目的に応じて適宜選択することができるが、例えば、ガラス基材やプラスチック基材等を用いることができる。ガラス基材としては、特に制限はなく、目的に応じて適宜選択することができるが、例えば、無アルカリガラス、シリカガラス等が挙げられる。又、プラスチック基材としては、特に制限はなく、目的に応じて適宜選択することができるが、例えば、ポリカーボネート（PC）、ポリイミド（PI）、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）等が挙げられる。

40

【0017】

半導体層 12 は、酸化物半導体からなり、基材 11 上の所定領域に形成されている。半導体層 12 を構成する酸化物半導体としては、例えば、n 型酸化物半導体を用いることができる。n 型酸化物半導体としては、特に制限はなく、目的に応じて適宜選択することが

50

できるが、例えば、 ZnO 、 SnO_2 、 In_2O_3 、 TiO_2 、 Ga_2O_3 等が挙げられる。

【0018】

又、 n 型酸化物半導体として、 $In-Zn$ 系酸化物、 $In-Sn$ 系酸化物、 $In-Ga$ 系酸化物、 $Sn-Zn$ 系酸化物、 $Sn-Ga$ 系酸化物、 $Zn-Ga$ 系酸化物、 $In-Zn-Sn$ 系酸化物、 $In-Ga-Zn$ 系酸化物、 $In-Sn-Ga$ 系酸化物、 $Sn-Ga-Zn$ 系酸化物、 $In-Al-Zn$ 系酸化物、 $Al-Ga-Zn$ 系酸化物、 $Sn-Al-Zn$ 系酸化物、 $In-Hf-Zn$ 系酸化物、 $In-Al-Ga-Zn$ 系酸化物等、複数の金属を含む酸化物を用いることもできる。

【0019】

n 型酸化物半導体は、高い電界効果移動度が得られる点、及び電子キャリア濃度を適切に制御しやすい点から、インジウム、亜鉛、錫、ガリウム、及びチタンの少なくとも何れかと、アルカリ土類金属とを含有することが好ましく、インジウムとアルカリ土類金属とを含有することがより好ましい。アルカリ土類金属としては、ベリリウム、マグネシウム、カルシウム、ストロンチウム、バリウム、ラジウム等が挙げられる。

【0020】

酸化インジウムは、酸素欠損量によって電子キャリア濃度が $10^{18} \text{ cm}^{-3} \sim 10^{20} \text{ cm}^{-3}$ 程度に変化する。但し、酸化インジウムは酸素欠損ができやすい性質があり、酸化物半導体膜形成後の後工程で、意図しない酸素欠損ができる場合がある。インジウムと、インジウムよりも酸素と結合しやすいアルカリ土類金属との主に二つの金属から酸化物を形成することは、意図しない酸素欠損を防ぐとともに、組成の制御が容易となり電子キャリア濃度を適切に制御しやすい点で特に好ましい。

【0021】

半導体層12は、半導体層12を構成する元素、製造プロセス条件、製膜後の後処理等により、電子キャリア濃度を適切な範囲に制御することができる。半導体層12の平均厚みとしては、特に制限はなく、目的に応じて適宜選択することができるが、 $1 \text{ nm} \sim 200 \text{ nm}$ が好ましく、 $2 \text{ nm} \sim 100 \text{ nm}$ がより好ましい。

【0022】

半導体層12は、チャネル形成領域121（活性領域）と、非チャネル形成領域122（不活性領域）とを有している。チャネル形成領域121と非チャネル形成領域122とは夫々ソース電極13、ドレイン電極14、及び配線15に接して形成されている。チャネル形成領域121の全部又は一部は、チャネル領域として機能することができる。非チャネル形成領域122は、例えば、平面視において、チャネル形成領域121を囲むように配置することができる。チャネル形成領域121の層厚と非チャネル形成領域122の層厚とは略同一とすることができる。

【0023】

ソース電極13及びドレイン電極14は、半導体層12の上面と接して形成されている。ソース電極13及びドレイン電極14は、半導体層12のチャネル形成領域121と一部重複し、チャネル領域となる所定の間隔を隔てて形成されている。ソース電極13及びドレイン電極14は、ゲート電圧の印加に応じて電流を取り出すための電極である。

【0024】

ソース電極13及びドレイン電極14の材料としては、特に制限はなく、目的に応じて適宜選択することができるが、例えば、 Mo 、 Al 、 Au 、 Ag 、 Cu 等の金属及びこれらの合金等が挙げられる。ソース電極13及びドレイン電極14の平均厚みとしては、特に制限はなく、目的に応じて適宜選択することができるが、 $40 \text{ nm} \sim 2 \mu\text{m}$ が好ましく、 $70 \text{ nm} \sim 1 \mu\text{m}$ がより好ましい。

【0025】

配線15は、ソース電極13及びドレイン電極14と同一層に形成されており、ソース電極13及びドレイン電極14と接続している。配線15は、非チャネル形成領域122の上面と接して形成されている。

10

20

30

40

50

【0026】

配線15は、必要に応じて適宜形成され、半導体装置の電気特性を計測するための端子となる金属膜、又は、後述する駆動回路に含まれる半導体装置間を電氣的に接続する金属膜、又は、駆動回路と光制御素子を電氣的に接続する金属膜、又は、画像データ作成装置と駆動回路を電氣的に接続する金属膜、等から構成される。

【0027】

配線15の材料としては、特に制限はなく、目的に応じて適宜選択することができるが、例えば、Mo、Al、Au、Ag、Cu等の金属及びこれらの合金等が挙げられる。配線15の平均厚みは、ソース電極13及びドレイン電極14の平均厚みと同程度とすることができる。

10

【0028】

ゲート絶縁層16は、半導体層12とゲート電極17との間に、ソース電極13、ドレイン電極14、及び配線15を被覆して設けられている。ゲート絶縁層16は、ソース電極13及びドレイン電極14とゲート電極17とを絶縁するための層である。ゲート絶縁層16の材料としては、特に制限はなく、目的に応じて適宜選択することができるが、例えば、無機絶縁材料、有機絶縁材料等が挙げられる。

【0029】

無機絶縁材料としては、例えば、酸化ケイ素、酸化アルミニウム、酸化タンタル、酸化チタン、酸化イットリウム、酸化ランタン、酸化ハフニウム、酸化ジルコニウム、窒化ケイ素、窒化アルミニウム、これらの混合物等が挙げられる。又、有機絶縁材料としては、例えば、ポリイミド、ポリアミド、ポリアクリレート、ポリビニルアルコール、ノボラック樹脂等が挙げられる。ゲート絶縁層16の平均厚みとしては、特に制限はなく、目的に応じて適宜選択することができるが、50nm~1000nmが好ましく、100nm~500nmがより好ましい。

20

【0030】

ゲート電極17は、ゲート絶縁層16上の所定領域に形成されている。ゲート電極17は、ゲート電圧を印加するための電極である。ゲート電極17の材料としては、特に制限はなく、目的に応じて適宜選択することができるが、例えば、白金、パラジウム、金、銀、銅、亜鉛、アルミニウム、ニッケル、クロム、タンタル、モリブデン、チタン等の金属、これらの合金、これら金属の混合物等が挙げられる。

30

【0031】

又、酸化インジウム、酸化亜鉛、酸化スズ、酸化ガリウム、酸化ニオブ、スズ(Sn)が添加された In_2O_3 (ITO)、ガリウム(Ga)が添加されたZnO、アルミニウム(Al)が添加されたZnO、アンチモン(Sb)が添加された SnO_2 等の導電性酸化物、これらの複合化合物、これらの混合物等が挙げられる。ゲート電極17の平均厚みとしては、特に制限はなく、目的に応じて適宜選択することができるが、10nm~200nmが好ましく、50nm~100nmがより好ましい。

【0032】

このように、電界効果型トランジスタ10では、半導体層12を構成するチャネル形成領域121と非チャネル形成領域122とが夫々ソース電極13、ドレイン電極14、及び配線15に接して形成されている。

40

【0033】

すなわち、ソース電極13、ドレイン電極14、及び配線15が、基材11と直接接していなく、ガラスやシリコン、シリコン酸化膜等との密着性に優れた酸化物半導体からなるチャネル形成領域121又は非チャネル形成領域122(密着層)と接している。

【0034】

このような構造により、ソース電極13、ドレイン電極14、及び配線15の下層に対する密着性が向上し、優れた膜安定性(製造プロセスに対する耐性)を得ることができる。

【0035】

50

〔電界効果型トランジスタの製造方法〕

次に、図 1 に示す電界効果型トランジスタの製造方法について説明する。図 2 は、第 1 の実施の形態に係る電界効果型トランジスタの製造工程を例示する図である。

【0036】

まず、図 2 (a) に示す工程では、ガラス基材等からなる基材 1 1 を準備し、基材 1 1 上に、半導体層 1 2 を形成する。基材 1 1 の材料や厚さは、前述の通り適宜選択することができる。又、基材 1 1 の表面の清浄化及び密着性向上の点で、酸素プラズマ、UV オゾン、UV 照射洗浄等の前処理が行われることが好ましい。

【0037】

半導体層 1 2 の製造方法は、特に制限はなく、目的に応じて適宜選択することができ、例えば、スパッタ法、パルスレーザーデポジッション (P L D) 法、化学気相蒸着 (C V D) 法、原子層蒸着 (A L D) 法等の真空プロセスや、ディップコーティング、スピコート、ダイコート等の溶液プロセスによる成膜後、フォトリソグラフィによってパターンニングする方法、インクジェット、ナノインプリント、グラビア等の印刷法によって、所望の形状を直接成膜する方法等が挙げられる。

10

【0038】

なお、半導体層 1 2 は、1 つの工程で形成される連続的な 1 つの層であり、この時点では複数の領域に分かれてはいないが、最終的に電界効果型トランジスタ 1 0 が完成した際にチャンネル形成領域 1 2 1 及び非チャンネル形成領域 1 2 2 となる領域を含んでいる。そこで、ここでは便宜上、半導体層 1 2 がチャンネル形成領域 1 2 1 及び非チャンネル形成領域 1 2 2 に分かれているように図示している。

20

【0039】

次に、図 2 (b) に示す工程では、半導体層 1 2 上に、ソース電極 1 3、ドレイン電極 1 4、及び配線 1 5 を形成する。ソース電極 1 3、ドレイン電極 1 4、及び配線 1 5 を形成する方法としては、特に制限はなく、目的に応じて適宜選択することができ、例えば、(i) スパッタ法、真空蒸着法、ディップコーティング法、スピコート法、ダイコート法等による成膜後、フォトリソグラフィによってパターンニングする方法、(i i) インクジェット、ナノインプリント、グラビア等の印刷プロセスによって、所望の形状を直接成膜する方法等が挙げられる。

【0040】

図 2 (b) に示す工程では、まず、基材 1 1 及び半導体層 1 2 上に、真空蒸着法等により金属膜を形成する。そして、形成した金属膜をフォトリソグラフィとエッチングによりパターンニングすることにより、所定形状のソース電極 1 3、ドレイン電極 1 4、及び配線 1 5 を形成することができる。ソース電極 1 3、ドレイン電極 1 4、及び配線 1 5 の材料や厚さは、前述の通り適宜選択することができる。

30

【0041】

次に、図 2 (c) に示す工程では、半導体層 1 2 上に、ソース電極 1 3、ドレイン電極 1 4、及び配線 1 5 を被覆するゲート絶縁層 1 6 を形成する。ゲート絶縁層 1 6 の製造方法としては、特に制限はなく、目的に応じて適宜選択することができ、例えば、(i) スパッタ法、パルスレーザーデポジッション (P L D) 法、化学気相蒸着 (C V D) 法、原子層蒸着 (A L D) 法等の真空プロセス、ディップコーティング法、スピコート法、ダイコート法等の溶液プロセスによる成膜後、フォトリソグラフィによってパターンニングする工程、(i i) インクジェット、ナノインプリント、グラビア等の印刷プロセスによって、所望の形状を直接成膜する工程等が挙げられる。ゲート絶縁層 1 6 の材料や厚さは、前述の通り適宜選択することができる。

40

【0042】

次に、図 2 (d) に示す工程では、ゲート絶縁層 1 6 上に、ゲート電極 1 7 を形成する。ゲート電極 1 7 を形成する方法としては、特に制限はなく、目的に応じて適宜選択することができ、例えば、(i) スパッタ法、真空蒸着法、ディップコーティング法、スピコート法、ダイコート法等による成膜後、フォトリソグラフィによってパターンニングする

50

方法、(i i) インクジェット、ナノインプリント、グラビア等の印刷プロセスによって、所望の形状を直接成膜する方法等が挙げられる。

【 0 0 4 3 】

図 2 (d) に示す工程では、まず、ゲート絶縁層 1 6 上に、真空蒸着法等により金属膜を形成する。そして、形成した金属膜をフォトリソグラフィとエッチングによりパターンニングすることにより、所定形状のゲート電極 1 7 を形成することができる。ゲート電極 1 7 の材料や厚さは、前述の通り適宜選択することができる。

【 0 0 4 4 】

以上の工程により、トップゲート/トップコンタクト型の電界効果型トランジスタ 1 0 を作製できる。

10

【 0 0 4 5 】

このように、ソース電極 1 3、ドレイン電極 1 4、及び配線 1 5 の膜強度を向上するための層(下層との密着性を向上するための層)である非チャネル形成領域 1 2 2 は、半導体層 1 2 を形成する工程で、チャネル形成領域 1 2 1 と同一プロセスにより形成される。そのため、ソース電極 1 3、ドレイン電極 1 4、及び配線 1 5 の膜強度を向上するために(下層との密着性を向上するために)、半導体層 1 2 を形成する工程とは別に膜強度を向上するための層(下層との密着性を向上するための層)を形成する工程を設ける必要がない。その結果、簡易な製造工程により、ソース電極 1 3、ドレイン電極 1 4、及び配線 1 5 の下層に対する密着性が高く、優れた膜安定性(製造プロセスに対する耐性)を有する電界効果型トランジスタ 1 0 を実現することができる。

20

【 0 0 4 6 】

又、従来技術として、 SiO_2 表面等への配線について、電極や配線となる金属膜に他元素を導入する等して、電極や配線の密着力を高める方法がある。本実施の形態に係る電界効果型トランジスタ 1 0 の製造方法によれば、ソース電極 1 3、ドレイン電極 1 4、及び配線 1 5 に別の元素を添加する必要がなく、純金属が使用できるため、係る従来技術と比較して抵抗の低い電極や配線を得ることができる。

【 0 0 4 7 】

第 1 の実施の形態の変形例

第 1 の実施の形態の変形例では、ボトムゲート/トップコンタクト型の電界効果型トランジスタの例を示す。なお、第 1 の実施の形態の変形例において、既に説明した実施の形態と同一構成部についての説明は省略する場合がある。

30

【 0 0 4 8 】

図 3 は、第 1 の実施の形態の変形例に係る電界効果型トランジスタを例示する断面図である。図 3 を参照するに、電界効果型トランジスタ 1 0 A は、ボトムゲート/トップコンタクト型の電界効果型トランジスタである。なお、電界効果型トランジスタ 1 0 A は、本発明に係る半導体装置の代表的な一例である。

【 0 0 4 9 】

電界効果型トランジスタ 1 0 A は、電界効果型トランジスタ 1 0 (図 1 参照)とは層構造が異なっている。具体的には、電界効果型トランジスタ 1 0 A では、絶縁性の基材 1 1 上にゲート電極 1 7 が形成され、基材 1 1 上にゲート電極 1 7 を被覆してゲート絶縁層 1 6 が形成されている。更に、ゲート絶縁層 1 6 上に半導体層 1 2 が形成され、半導体層 1 2 上に、ソース電極 1 3、ドレイン電極 1 4、及び配線 1 5 が形成されている。

40

【 0 0 5 0 】

すなわち、電界効果型トランジスタ 1 0 A では、ソース電極 1 3、ドレイン電極 1 4、及び配線 1 5 が、ゲート絶縁層 1 6 と直接接していなく、ガラスやシリコン、シリコン酸化膜等との密着性に優れた酸化物半導体からなるチャネル形成領域 1 2 1 又は非チャネル形成領域 1 2 2 (密着層)と接している。

【 0 0 5 1 】

このような構造により、電界効果型トランジスタ 1 0 と同様に、ソース電極 1 3、ドレイン電極 1 4、及び配線 1 5 の下層に対する密着性が向上し、優れた膜安定性(製造プロ

50

セスに対する耐性)を得ることができる。

【0052】

このように、本発明に係る電界効果型トランジスタの層構造は、特に制限はなく、図1や図3に示す構造を、目的に応じて適宜選択することができる。

【0053】

なお、ボトムゲート/トップコンタクト型の電界効果型トランジスタは、図2に示した各工程の順番を適宜変更することで製造できる。

【0054】

実施例1

実施例1では、図1に示すトップゲート/トップコンタクト型の電界効果型トランジスタを作製した。

【0055】

(半導体層12の形成)

まず、基材11上に所定形状の半導体層12を形成した。具体的には、まず、基材11として無アルカリガラスを用い、基材11上に、Mg-In系酸化物半導体膜をスパッタ法により形成した。ターゲットには、 In_2MgO_4 (サイズ:直径4インチ)の組成を有する多結晶焼成体を用いた。スパッタチャンパー内の到達真空度は 2×10^{-5} Paとした。スパッタ時に流すアルゴンガスと酸素ガスの流量を調整し、全圧を0.3 Paとした。

【0056】

スパッタ中は、基材11を保持するホルダを水冷により冷却することで、基材11の温度を15度~35度の範囲内に制御した。スパッタパワーを150 W、スパッタ時間を30分とし、厚さ50 nmのMg-In系酸化物半導体膜を形成した。その後、Mg-In系酸化物半導体膜に対してフォトリソグラフィとエッチングを行って、所定形状の半導体層12を形成した。

【0057】

(ソース電極13、ドレイン電極14、及び配線15の形成)

次に、基材11、半導体層12上に、真空蒸着法を用いてAu膜を形成した。その後、Au膜に対してフォトリソグラフィとエッチングを行って、半導体層12上にソース電極13及びドレイン電極14、並びにソース電極13及びドレイン電極14と接続される配線15を形成した。

【0058】

(ゲート絶縁層16の形成)

次に、プラズマCVD法により、200 nmの厚みになるように SiO_2 を成膜することによって、ゲート絶縁層16を形成した。

【0059】

(ゲート電極17の形成)

次に、ゲート絶縁層16上に、真空蒸着法を用いてAl膜を形成した。そして、Al膜に対してフォトリソグラフィとエッチングを行って、所定形状のゲート電極17を形成した。以上により、図1に示すトップゲート/トップコンタクト型の電界効果型トランジスタを作製した。

【0060】

(トランジスタ性能評価)

得られた電界効果型トランジスタについて、半導体パラメータ・アナライザ装置(アジレントテクノロジー社製、半導体パラメータ・アナライザB1500)を用いて、トランジスタ性能評価を実施した。具体的には、ソース/ドレイン電圧 V_{ds} を20 Vとし、ゲート電圧を $V_g = -30$ Vから $+30$ Vに変化させて、電流-電圧特性を評価した。飽和領域において電界効果移動度を算出した。又、トランジスタのオン状態(例えば $V_g = 20$ V)とオフ状態(例えば $V_g = -20$ V)のソース/ドレイン電流 I_{ds} の比(オン/オフ比)を算出した。

10

20

30

40

50

【 0 0 6 1 】

比較例 1

実施例 1 において、「半導体層 1 2 の形成」を以下の方法に変えた以外は、実施例 1 と同様にして、図 4 に示すトップゲート/トップコンタクト型の電界効果型トランジスタ 1 0 L を作製した。又、実施例 1 と同様の評価を行った。

【 0 0 6 2 】

(半導体層 1 2 の形成)

基材 1 1 上に、実施例 1 と同様の方法により Mg - In 系酸化物半導体膜をスパッタ法により形成した。その後、Mg - In 系酸化物半導体膜に対してフォトリソグラフィとエッチングを行って、チャンネル形成領域(活性領域)とする領域のみに半導体層 1 2 を形成した。つまり、図 4 に示すように、基材 1 1 上に図 1 における非チャンネル形成領域 1 2 2 に相当する層が形成されていないトップゲート/トップコンタクト型の電界効果型トランジスタ 1 0 L を作製した。

【 0 0 6 3 】

実施例 1、比較例 1 のまとめ

実施例 1 及び比較例 1 の結果を表 1 に示す。

【 0 0 6 4 】

【表 1】

	ソース電極、 ドレイン電極、 配線の材料	非チャンネル 形成領域の 材料	電極剥れ	電界効果移動度 [cm ² /Vs]	オン/オフ比
実施例 1	Au	Mg-In系酸化物	無し	7.3	10 ⁷
比較例 1	Au	形成無し	多い	-	-

表 1 より、実施例 1 では、基材と、ソース電極、ドレイン電極、及び配線との密着層として酸化物半導体(半導体層 1 2 の一部)を用いていることで、電極が剥れることなく電界効果型トランジスタを形成することができている。又、高いトランジスタ特性(電界効果移動度、オン/オフ比)を得ることができている。

【 0 0 6 5 】

一方、比較例 1 では、基材と、ソース電極、ドレイン電極、及び配線との間に密着層が存在しないため、Au からなる電極の膜剥れが多く、電界効果型トランジスタを歩留りよく製造できなかった。そのため、電界効果移動度とオン/オフ比を算出できなかった。

【 0 0 6 6 】

実施例 2

実施例 2 では、図 3 に示すボトムゲート/トップコンタクト型の電界効果型トランジスタを作製した。

【 0 0 6 7 】

(ゲート電極 1 7 の形成)

まず、基材 1 1 上に所定形状のゲート電極 1 7 を形成した。具体的には、まず、基材 1 1 として無アルカリガラスを用い、基材 1 1 上に、真空蒸着法を用いて Cr 膜及び Au 膜の積層膜を形成した。その後、Cr 膜及び Au 膜の積層膜に対してフォトリソグラフィとエッチングを行って、所定の形状のゲート電極 1 7 を形成した。

【 0 0 6 8 】

10

20

30

40

50

(ゲート絶縁層 16、半導体層 12、ソース電極 13等の形成)

次に、実施例 1 と同様の方法により、基材 11 上にゲート電極 17 を被覆するゲート絶縁層 16 を形成した。その後、実施例 1 と同様の方法により、ゲート絶縁層 16 上に半導体層 12 を形成した。更に、実施例 1 と同様の方法により、半導体層 12 上にソース電極 13、ドレイン電極 14、及び配線 15 を形成した。以上により、図 3 に示すボトムゲート/トップコンタクト型の電界効果型トランジスタを作製した。

【0069】

(トランジスタ性能評価)

次に、実施例 1 と同様の方法により、電界効果移動度及びオン/オフ比を算出した。

【0070】

比較例 2

実施例 2 において、「半導体層 12 の形成」を以下の方法に変えた以外は、実施例 2 と同様にして、ボトムゲート/トップコンタクト型の電界効果型トランジスタを作製した。又、実施例 2 と同様の評価を行った。

【0071】

(半導体層 12 の形成)

ゲート絶縁層 16 上に、実施例 2 と同様の方法により Mg-In 系酸化物半導体膜をスパッタ法により形成した。その後、Mg-In 系酸化物半導体膜に対してフォトリソグラフィとエッチングを行って、チャンネル形成領域(活性領域)とする領域のみに半導体層 12 を形成した。つまり、ゲート絶縁層 16 上に図 3 における非チャンネル形成領域 122 に相当する層が形成されていないボトムゲート/トップコンタクト型の電界効果型トランジスタを作製した。

【0072】

実施例 2、比較例 2 のまとめ

実施例 2 及び比較例 2 の結果を表 2 に示す。

【0073】

【表 2】

	ソース電極、ドレイン電極、配線の材料	非チャンネル形成領域の材料	電極剥れ	電界効果移動度 [cm ² /Vs]	オン/オフ比
実施例 2	Au	Mg-In 系酸化物	無し	7.5	10 ⁷
比較例 2	Au	形成無し	多い	-	-

表 2 より、実施例 2 では、ゲート絶縁層と、ソース電極、ドレイン電極、及び配線との密着層として酸化物半導体(半導体層 12 の一部)を用いていることで、電極が剥れることなく電界効果型トランジスタを形成することができている。又、高いトランジスタ特性(電界効果移動度、オン/オフ比)を得ることができている。

【0074】

一方、比較例 2 では、ゲート絶縁層と、ソース電極、ドレイン電極、及び配線との間に密着層が存在しないため、Au からなる電極の膜剥れが多く、電界効果型トランジスタを歩留りよく製造できなかつた。そのため、電界効果移動度とオン/オフ比を算出できなかつた。

【0075】

10

20

30

40

50

実施例 3

ソース電極 1 3、ドレイン電極 1 4、及び配線 1 5 の材料として A u に代えて C u を用いた以外は、実施例 2 と同様にして、ボトムゲート/トップコンタクト型の電界効果型トランジスタを作製した。又、実施例 2 と同様の評価を行った。

【 0 0 7 6 】

比較例 3

ソース電極 1 3、ドレイン電極 1 4、及び配線 1 5 の材料として A u に代えて C u を用いた以外は、比較例 2 と同様にして、ボトムゲート/トップコンタクト型の電界効果型トランジスタを作製した。又、実施例 2 と同様の評価を行った。

【 0 0 7 7 】

実施例 3、比較例 3 のまとめ

実施例 3 及び比較例 3 の結果を表 3 に示す。

【 0 0 7 8 】

【 表 3 】

	ソース電極、 ドレイン電極、 配線の材料	非チャネル 形成領域の 材料	電極剥れ	電界効果移動度 [cm ² /Vs]	オン/オフ比
実施例3	Cu	Mg-In系酸化物	無し	8.1	10 ⁷
比較例3	Cu	形成無し	多い	0.1	10 ⁵

表 3 より、実施例 3 では、ゲート絶縁層と、ソース電極、ドレイン電極、及び配線との密着層として酸化物半導体（半導体層 1 2 の一部）を用いていることで、電極が剥れることなく電界効果型トランジスタを形成することができている。又、高いトランジスタ特性（電界効果移動度、オン/オフ比）を得ることができている。

【 0 0 7 9 】

一方、比較例 3 では、ゲート絶縁層と、ソース電極、ドレイン電極、及び配線との間に密着層が存在しないため、C u からなる電極の膜剥れが多く、電界効果型トランジスタを歩留りよく製造できなかつた。又、トランジスタ特性が得られた素子において、高いトランジスタ特性を得ることができなかつた。ソース電極、ドレイン電極、及び配線が膜として安定しておらず、電極としての機能が十分でないためと考えられる。

【 0 0 8 0 】

実施例 4 ~ 6

実施例 2 において、「半導体層 1 2 の形成」を以下の方法に変えた以外は、実施例 2 と同様にして、ボトムゲート/トップコンタクト型の電界効果型トランジスタを作製した。又、実施例 2 と同様の評価を行った。

【 0 0 8 1 】

（半導体層 1 2 の形成）

ビーカーに、3 . 5 5 g の硝酸インジウム（ $\text{In}(\text{NO}_3)_3 \cdot 3\text{H}_2\text{O}$ ）と 0 . 1 3 9 g の塩化ストロンチウム（ $\text{SrCl}_2 \cdot 6\text{H}_2\text{O}$ ）を秤量し、1 , 2 - プロパンジオール 2 0 m L とエチレングリコールモノメチルエーテル 2 0 m L とを加え室温で混合、溶解させ、実施例 4 で用いる n 型酸化物半導体膜形成用塗布液 1 を作製した。

【 0 0 8 2 】

同様にして、ビーカーに 3 . 5 5 g の硝酸インジウム（ $\text{In}(\text{NO}_3)_3 \cdot 3\text{H}_2\text{O}$ ）

と0.125gの硝酸カルシウム($\text{Ca}(\text{NO}_3)_2 \cdot 4\text{H}_2\text{O}$)を秤量し、1,2-プロパンジオール20mLとエチレングリコールモノメチルエーテル20mLとを加え室温で混合、溶解させ、実施例5で用いるn型酸化物半導体膜形成用塗布液2を作製した。

【0083】

同様に、ピーカーに3.55gの硝酸インジウム($\text{In}(\text{NO}_3)_3 \cdot 3\text{H}_2\text{O}$)と0.125gの塩化バリウム($\text{BaCl}_2 \cdot 2\text{H}_2\text{O}$)を秤量し、1,2-エタンジオール20mLとエチレングリコールモノメチルエーテル20mLとを加え室温で混合、溶解させ、実施例6で用いるn型酸化物半導体膜形成用塗布液3を作製した。

【0084】

ゲート絶縁層上に、酸化物半導体膜形成用塗布液1~3を夫々インクジェット装置を用いて所定のパターンで塗布した。その基材を120℃に加熱したホットプレート上で10分間乾燥させた後、大気雰囲気中400℃で1時間焼成し、In-Sr系酸化物膜、In-Ca系酸化物膜、及びIn-Ba系酸化物膜を夫々形成した。

10

【0085】

比較例4~6

実施例4~6と同様に、ゲート絶縁層上に、酸化物半導体膜形成用塗布液1~3を夫々インクジェット装置を用いて所定のパターンで塗布した。その基材を120℃に加熱したホットプレート上で10分間乾燥させた後、大気雰囲気中400℃で1時間焼成し、In-Sr系酸化物膜、In-Ca系酸化物膜、及びIn-Ba系酸化物膜を夫々形成した。

20

【0086】

但し、夫々の酸化物膜は、チャンネル形成領域(活性領域)とする領域のみに形成した。つまり、非チャンネル形成領域122に相当する層が形成されていないボトムゲート/トップコンタクト型の電界効果型トランジスタを作製した。

【0087】

実施例4~6、比較例4~6のまとめ

実施例4~6及び比較例4~6の結果を表4に示す。

【0088】

【表 4】

	ソース電極、 ドレイン電極、 配線の材料	非チャネル 形成領域の 材料	電極剥れ	電界効果移動度 [cm ² /Vs]	オン/オフ比
実施例4	Au	In-Sr系酸化物	無し	7.1	10 ⁷
実施例5	Au	In-Ca系酸化物	無し	6.9	10 ⁷
実施例6	Au	In-Ba系酸化物	無し	6.8	10 ⁷
比較例4	Au	形成無し	多い	0.05	10 ⁵
比較例5	Au	形成無し	多い	0.06	10 ⁵
比較例6	Au	形成無し	多い	0.02	10 ⁵

10

20

表 4 より、実施例 4 ~ 6 では、ゲート絶縁層と、ソース電極、ドレイン電極、及び配線との密着層として酸化物半導体（半導体層 1 2 の一部）を用いていることで、電極が剥れることなく電界効果型トランジスタを形成することができている。又、高いトランジスタ特性（電界効果移動度、オン/オフ比）を得ることができている。

【 0 0 8 9 】

一方、比較例 4 ~ 6 では、ゲート絶縁層と、ソース電極、ドレイン電極、及び配線との間に密着層が存在しないため、Au からなる電極の膜剥れが多く、電界効果型トランジスタを歩留りよく製造できなかつた。又、トランジスタ特性が得られた素子において、高いトランジスタ特性を得ることができなかつた。ソース電極、ドレイン電極、及び配線が膜として安定しておらず、電極としての機能が十分でないためと考えられる。

30

【 0 0 9 0 】

第 2 の実施の形態

第 2 の実施の形態では、第 1 の実施の形態に係る電界効果型トランジスタを用いた表示素子、画像表示装置、及びシステムの例を示す。なお、第 2 の実施の形態において、既に説明した実施の形態と同一構成部についての説明は省略する場合がある。

40

【 0 0 9 1 】

(表示素子)

第 2 の実施の形態に係る表示素子は、少なくとも、光制御素子と、光制御素子を駆動する駆動回路とを有し、更に必要に応じて、その他の部材を有する。光制御素子としては、駆動信号に応じて光出力を制御する素子である限り、特に制限はなく、目的に応じて適宜選択することができ、例えば、エレクトロルミネッセンス（EL）素子、エレクトロクロミック（EC）素子、液晶素子、電気泳動素子、エレクトロウェットティング素子等が挙げられる。

【 0 0 9 2 】

駆動回路としては、第 1 の実施の形態に係る電界効果型トランジスタを有する限り、特に制限はなく、目的に応じて適宜選択することができる。その他の部材としては、特に制

50

限はなく、目的に応じて適宜選択することができる。

【0093】

第2の実施の形態に係る表示素子は、第1の実施の形態に係る電界効果型トランジスタを有しているため、電極や配線と下層との密着性に優れており、又、高い電界効果移動度や高いオン/オフ比が得られる。その結果、高品質の表示を行うことが可能となる。

【0094】

(画像表示装置)

第2の実施の形態に係る画像表示装置は、少なくとも、第2の実施の形態に係る複数の表示素子と、複数の配線と、表示制御装置とを有し、更に必要に応じて、その他の部材を有する。複数の表示素子としては、マトリクス状に配置された複数の第2の実施の形態に係る表示素子である限り、特に制限はなく、目的に応じて適宜選択することができる。

10

【0095】

複数の配線は、複数の表示素子における各電界効果型トランジスタにゲート電圧と画像データ信号とを個別に印加可能である限り、特に制限はなく、目的に応じて適宜選択することができる。

【0096】

表示制御装置としては、画像データに応じて、各電界効果型トランジスタのゲート電圧と信号電圧とを複数の配線を介して個別に制御可能である限り、特に制限はなく、目的に応じて適宜選択することができる。その他の部材としては、特に制限はなく、目的に応じて適宜選択することができる。

20

【0097】

第2の実施の形態に係る画像表示装置は、第1の実施の形態に係る電界効果型トランジスタを備えた表示素子を有しているため、高品質の画像を表示することが可能となる。

【0098】

(システム)

第2の実施の形態に係るシステムは、少なくとも、第2の実施の形態に係る画像表示装置と、画像データ作成装置とを有する。画像データ作成装置は、表示する画像情報に基づいて画像データを作成し、画像データを前記画像表示装置に出力する。

【0099】

システムは、第2の実施の形態に係る画像表示装置を備えているため、画像情報を高精度に表示することが可能となる。

30

【0100】

以下、第2の実施の形態に係る表示素子、画像表示装置、及びシステムについて、具体的に説明する。

【0101】

図5には、第2の実施の形態に係るシステムとしてのテレビジョン装置500の概略構成が示されている。なお、図5における接続線は、代表的な信号や情報の流れを示すものであり、各ブロックの接続関係の全てを表すものではない。

【0102】

第2の実施の形態に係るテレビジョン装置500は、主制御装置501、チューナ503、ADコンバータ(ADC)504、復調回路505、TS(Transport Stream)デコーダ506、音声デコーダ511、DAコンバータ(DAC)512、音声出力回路513、スピーカ514、映像デコーダ521、映像・OSD合成回路522、映像出力回路523、画像表示装置524、OSD描画回路525、メモリ531、操作装置532、ドライブインターフェース(ドライブIF)541、ハードディスク装置542、光ディスク装置543、IR受光器551、及び通信制御装置552等を備えている。

40

【0103】

主制御装置501は、テレビジョン装置500の全体を制御し、CPU、フラッシュROM、及びRAM等から構成されている。フラッシュROMには、CPUにて解読可能な

50

コードで記述されたプログラム、及びCPUでの処理に用いられる各種データ等が格納されている。また、RAMは、作業用のメモリである。

【0104】

チューナ503は、アンテナ610で受信された放送波の中から、予め設定されているチャンネルの放送を選局する。ADC504は、チューナ503の出力信号(アナログ情報)をデジタル情報に変換する。復調回路505は、ADC504からのデジタル情報を復調する。

【0105】

TSデコーダ506は、復調回路505の出力信号をTSデコードし、音声情報及び映像情報を分離する。音声デコーダ511は、TSデコーダ506からの音声情報をデコードする。DAコンバータ(DAC)512は、音声デコーダ511の出力信号をアナログ信号に変換する。

【0106】

音声出力回路513は、DAコンバータ(DAC)512の出力信号をスピーカ514に出力する。映像デコーダ521は、TSデコーダ506からの映像情報をデコードする。映像・OSD合成回路522は、映像デコーダ521の出力信号とOSD描画回路525の出力信号を合成する。

【0107】

映像出力回路523は、映像・OSD合成回路522の出力信号を画像表示装置524に出力する。OSD描画回路525は、画像表示装置524の画面に文字や図形を表示するためのキャラクタ・ジェネレータを備えており、操作装置532やIR受光器551からの指示に応じて表示情報が含まれる信号を生成する。

【0108】

メモリ531には、AV(Audio-Visual)データ等が一時的に蓄積される。操作装置532は、例えばコントロールパネル等の入力媒体(図示省略)を備え、ユーザから入力された各種情報を主制御装置501に通知する。ドライブIF541は、双方向の通信インターフェースであり、一例としてATAPI(AT Attachment Packet Interface)に準拠している。

【0109】

ハードディスク装置542は、ハードディスクと、このハードディスクを駆動するための駆動装置等から構成されている。駆動装置は、ハードディスクにデータを記録するとともに、ハードディスクに記録されているデータを再生する。光ディスク装置543は、光ディスク(例えば、DVD)にデータを記録するとともに、光ディスクに記録されているデータを再生する。

【0110】

IR受光器551は、リモコン送信機620からの光信号を受信し、主制御装置501に通知する。通信制御装置552は、インターネットとの通信を制御する。インターネットを介して各種情報を取得することができる。

【0111】

画像表示装置524は、一例として図6に示されるように、表示器700、及び表示制御装置780を有している。表示器700は、一例として図7に示されるように、複数(ここでは、 $n \times m$ 個)の表示素子702がマトリックス状に配置されたディスプレイ710を有している。

【0112】

又、ディスプレイ710は、一例として図8に示されるように、X軸方向に沿って等間隔に配置されている n 本の走査線(X_0 、 X_1 、 X_2 、 X_3 、 \dots 、 X_{n-2} 、 X_{n-1})、Y軸方向に沿って等間隔に配置されている m 本のデータ線(Y_0 、 Y_1 、 Y_2 、 Y_3 、 \dots 、 Y_{m-1})、Y軸方向に沿って等間隔に配置されている m 本の電流供給線(Y_{0i} 、 Y_{1i} 、 Y_{2i} 、 Y_{3i} 、 \dots 、 Y_{m-1i})を有している。そして、走査線とデータ線とによって、表示素子702を特定することができる。

10

20

30

40

50

【0113】

各表示素子702は、一例として図9に示されるように、有機EL（エレクトロルミネッセンス）素子750と、この有機EL素子750を発光させるためのドライブ回路720とを有している。すなわち、ディスプレイ710は、いわゆるアクティブマトリクス方式の有機ELディスプレイである。また、ディスプレイ710は、カラー対応の32インチ型のディスプレイである。なお、大きさは、これに限定されるものではない。

【0114】

有機EL素子750は、一例として図10に示されるように、有機EL薄膜層740と、陰極712と、陽極714とを有している。

【0115】

有機EL素子750は、例えば、電界効果型トランジスタの横に配置することができる。この場合、有機EL素子750と電界効果型トランジスタとは、同一の基材上に形成することができる。但し、これに限定されず、例えば、電界効果型トランジスタの上に有機EL素子750が配置されても良い。この場合には、ゲート電極に透明性が要求されるので、ゲート電極には、ITO、 In_2O_3 、 SnO_2 、 ZnO 、Gaが添加された ZnO 、Alが添加された ZnO 、Sbが添加された SnO_2 等の導電性を有する透明な酸化物が用いられる。

【0116】

有機EL素子750において、陰極712には、アルミニウム（Al）が用いられている。なお、マグネシウム（Mg）-銀（Ag）合金、アルミニウム（Al）-リチウム（Li）合金、ITO（Indium Tin Oxide）等を用いても良い。陽極714には、ITOが用いられている。なお、 In_2O_3 、 SnO_2 、 ZnO 等の導電性を有する酸化物、銀（Ag）-ネオジウム（Nd）合金等を用いても良い。

【0117】

有機EL薄膜層740は、電子輸送層742と発光層744と正孔輸送層746とを有している。そして、電子輸送層742に陰極712が接続され、正孔輸送層746に陽極714が接続されている。陽極714と陰極712との間に所定の電圧を印加すると発光層744が発光する。

【0118】

又、図9に示すように、ドライブ回路720は、2つの電界効果型トランジスタ810及び820、コンデンサ830を有している。電界効果型トランジスタ810は、スイッチ素子として動作する。ゲート電極Gは、所定の走査線に接続され、ソース電極Sは、所定のデータ線に接続されている。また、ドレイン電極Dは、コンデンサ830の一方の端子に接続されている。

【0119】

コンデンサ830は、電界効果型トランジスタ810の状態、すなわちデータを記憶しておくためのものである。コンデンサ830の他方の端子は、所定の電流供給線に接続されている。

【0120】

電界効果型トランジスタ820は、有機EL素子750に大きな電流を供給するためのものである。ゲート電極Gは、電界効果型トランジスタ810のドレイン電極Dと接続されている。そして、ドレイン電極Dは、有機EL素子750の陽極714に接続され、ソース電極Sは、所定の電流供給線に接続されている。

【0121】

そこで、電界効果型トランジスタ810が「オン」状態になると、電界効果型トランジスタ820によって、有機EL素子750は駆動される。

【0122】

表示制御装置780は、一例として図11に示されるように、画像データ処理回路782、走査線駆動回路784、及びデータ線駆動回路786を有している。

【0123】

10

20

30

40

50

画像データ処理回路 782 は、映像出力回路 523 の出力信号に基づいて、ディスプレイ 710 における複数の表示素子 702 の輝度を判断する。走査線駆動回路 784 は、画像データ処理回路 782 の指示に応じて n 本の走査線に個別に電圧を印加する。データ線駆動回路 786 は、画像データ処理回路 782 の指示に応じて m 本のデータ線に個別に電圧を印加する。

【0124】

以上の説明から明らかなように、本実施の形態に係るテレビジョン装置 500 では、映像デコーダ 521 と映像・OSD 合成回路 522 と映像出力回路 523 と OSD 描画回路 525 とによって画像データ作成装置が構成されている。

【0125】

又、上記においては、光制御素子が有機 EL 素子の場合について説明したが、これに限定されるものではなく、液晶素子、エレクトロクロミック素子、電気泳動素子、エレクトロウェット素子であってもよい。

【0126】

例えば、光制御素子が液晶素子の場合、上記ディスプレイ 710 として、液晶ディスプレイ用いる。この場合においては、図 12 に示されるように、表示素子 703 における電流供給線は不要となる。

【0127】

又、この場合では、一例として図 13 に示されるように、ドライブ回路 730 は、図 9 に示される電界効果型トランジスタ (810、820) と同様な 1 つの電界効果型トランジスタ 840 のみで構成することができる。電界効果型トランジスタ 840 では、ゲート電極 G が所定の走査線に接続され、ソース電極 S が所定のデータ線に接続されている。また、ドレイン電極 D が液晶素子 770 の画素電極、及びコンデンサ 760 に接続されている。なお、図 13 における符号 762、772 は、夫々コンデンサ 760、液晶素子 770 の対向電極 (コモン電極) である。

【0128】

又、上記実施の形態では、システムがテレビジョン装置の場合について説明したが、これに限定されるものではない。要するに画像や情報を表示する装置として上記画像表示装置 524 を備えていれば良い。例えば、コンピュータ (パソコンを含む) と画像表示装置 524 とが接続されたコンピュータシステムであっても良い。

【0129】

又、携帯電話、携帯型音楽再生装置、携帯型動画再生装置、電子 BOOK、PDA (Personal Digital Assistant) 等の携帯情報機器、スチルカメラやビデオカメラ等の撮像機器における表示手段に画像表示装置 524 を用いることができる。また、車、航空機、電車、船舶等の移動体システムにおける各種情報の表示手段に画像表示装置 524 を用いることができる。更に、計測装置、分析装置、医療機器、広告媒体における各種情報の表示手段に画像表示装置 524 を用いることができる。

【0130】

第 3 の実施の形態

第 3 の実施の形態では、第 1 の実施の形態の変形例に係る電界効果型トランジスタを用いた表示素子アレイの例を示す。なお、第 3 の実施の形態において、既に説明した実施の形態と同一構成部についての説明は省略する場合がある。

【0131】

図 14 は、第 3 の実施の形態に係る表示素子アレイを例示する平面図である。図 15 は、図 14 の A - A 線に沿う断面図である。図 16 は、図 14 の B - B 線に沿う断面図である。

【0132】

図 14 ~ 図 16 に示すように、第 3 の実施の形態に係る表示素子アレイ 20 は、光制御素子 21 と、光制御素子 21 を駆動する駆動回路 22 とを複数有している。表示素子アレイ 20 は、必要に応じて、その他の部材を有してもよい。

10

20

30

40

50

【0133】

光制御素子21としては、駆動信号に応じて光出力を制御する素子である限り、特に制限はなく、目的に応じて適宜選択することができ、例えば、エレクトロルミネッセンス(EL)素子、エレクトロクロミック(EC)素子、液晶素子、電気泳動素子、エレクトロウェットング素子等が挙げられる。

【0134】

駆動回路22としては、ここでは一例として第1の実施の形態の変形例に係る電界効果型トランジスタ10Aを2つ用いている(便宜上、電界効果型トランジスタ10A₁及び10A₂とする)。なお、駆動回路22として第1の実施の形態に係る電界効果型トランジスタ10を用いてもよいことは言うまでもない。

10

【0135】

電界効果型トランジスタ10A₁及び10A₂は、Y方向に隣接するように同一の基材11上に形成されている。又、光制御素子21は、電界効果型トランジスタ10A₂とY方向に隣接するように同一の基材11上に形成されている。但し、これに限定されず、例えば、電界効果型トランジスタ10A₂の上に光制御素子21が配置されてもよい。なお、30は、光制御素子21の画素電極を示している。

【0136】

表示素子アレイ20は、X軸方向に沿って等間隔に配置されている走査線41と、Y軸方向に沿って等間隔に配置されているデータ線42と、X軸方向に沿って等間隔に配置されている電流供給線43とを有している。走査線41とデータ線42とによって、光制御素子21及び駆動回路22からなる1つの表示素子を画定することができ、各々の表示素子がマトリクス状に配置されて表示素子アレイ20を構成している。なお、走査線41、データ線42、及び電流供給線43の本数は、適宜決定することができる。

20

【0137】

駆動回路22において、電界効果型トランジスタ10A₁は、スイッチ素子として動作する。電界効果型トランジスタ10A₁において、ゲート電極17は所定の走査線41に接続され、ソース電極13は配線15を介して所定のデータ線42に接続され、ドレイン電極14は配線15を介して電界効果型トランジスタ10A₂のゲート電極17に接続されている。

【0138】

電界効果型トランジスタ10A₂は、光制御素子21に大きな電流を供給するためのものである。電界効果型トランジスタ10A₂において、ソース電極13は配線15を介して所定の電流供給線43に接続され、ドレイン電極14は配線15を介して光制御素子21の画素電極30に接続されている。

30

【0139】

電界効果型トランジスタ10A₁が「オン」状態になると、電界効果型トランジスタ10A₂によって光制御素子21が駆動される。

【0140】

図17は、第3の実施の形態に係る表示素子アレイにおける半導体層の形成領域を例示する平面図である。前述のように、電界効果型トランジスタ10A₁及び10A₂の半導体層12は、チャンネル形成領域121と、非チャンネル形成領域122とを有している。

40

【0141】

図17と図14とを対比するとわかるように、表示素子アレイ20では、非チャンネル形成領域122の一部は、ソース電極13、ドレイン電極14、及びゲート電極17の何れともオーバーラップしない領域に形成されている。

【0142】

非チャンネル形成領域122の一部は、例えば、電界効果型トランジスタ10A₂のソース電極13と電流供給線43とを接続する配線15、電界効果型トランジスタ10A₂のドレイン電極14と画素電極30とを接続する配線15、電界効果型トランジスタ10A₁と電界効果型トランジスタ10A₂とを接続する配線15、及びデータ線42とオーバ

50

ーラップする領域に形成することができる。

【0143】

このように、非チャンネル形成領域122の一部を、必要に応じて、ソース電極13、ドレイン電極14、及びゲート電極17の何れともオーバーラップしない領域に形成してもよい。

【0144】

図18は、比較例に係る表示素子アレイを例示する平面図である。図18に示す表示素子アレイ20Xでは、半導体層12Xは、平面視において、ソース電極13とドレイン電極14とに挟まれた領域の近傍のみに設けられている。すなわち、半導体層12Xは、図14に示した表示素子アレイ20の半導体層12のチャンネル形成領域121に相当する領域のみに設けられており、非チャンネル形成領域122に相当する領域には設けられていない。

10

【0145】

表示素子アレイ20では、比較例に係る表示素子アレイ20Xとは異なり、半導体層12の一部である非チャンネル形成領域122を、ソース電極13及びドレイン電極14の下層のみならず、配線15やデータ線42の下層にも設けて密着層として機能させている。これにより、ソース電極13等を構成する各金属膜の下層に対する密着性が向上し、優れた膜安定性（製造プロセスに対する耐性）を得ることができる。

【0146】

以上、好ましい実施の形態等について詳説したが、上述した実施の形態等に制限されることはなく、特許請求の範囲に記載された範囲を逸脱することなく、上述した実施の形態等に種々の変形及び置換を加えることができる。

20

【符号の説明】

【0147】

10、10A、10A₁、10A₂ 電界効果型トランジスタ

11 基材

12 半導体層

13 ソース電極

14 ドレイン電極

15 配線

30

16 ゲート絶縁層

17 ゲート電極

20 表示素子アレイ

21 光制御素子

22 駆動回路

30 画素電極

41 走査線

42 データ線

43 電流供給線

121 チャンネル形成領域

40

122 非チャンネル形成領域

【先行技術文献】

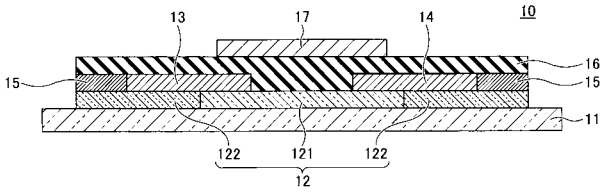
【特許文献】

【0148】

【特許文献1】特許第5118811号

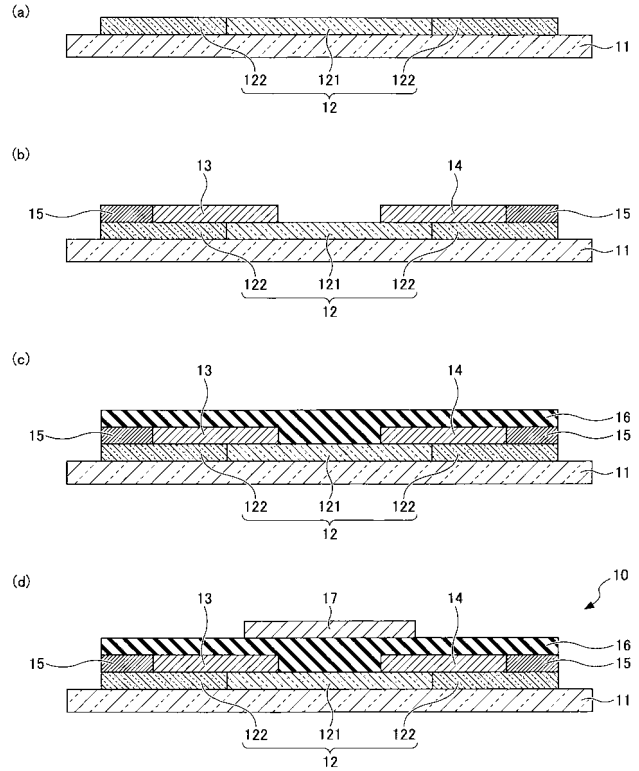
【 図 1 】

第1の実施の形態に係る電界効果型トランジスタを例示する断面図



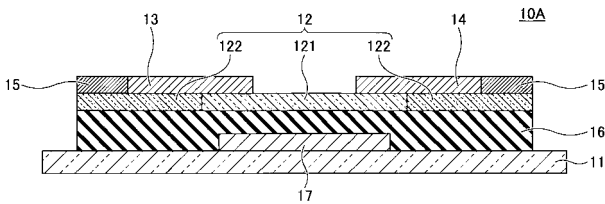
【 図 2 】

第1の実施形態に係る電界効果型トランジスタの製造工程を例示する図



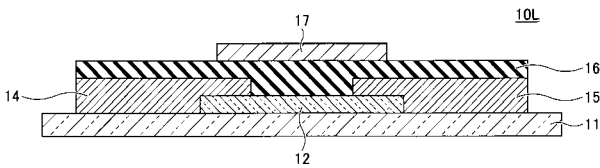
【 図 3 】

第1の実施の形態の変形例に係る電界効果型トランジスタを例示する断面図



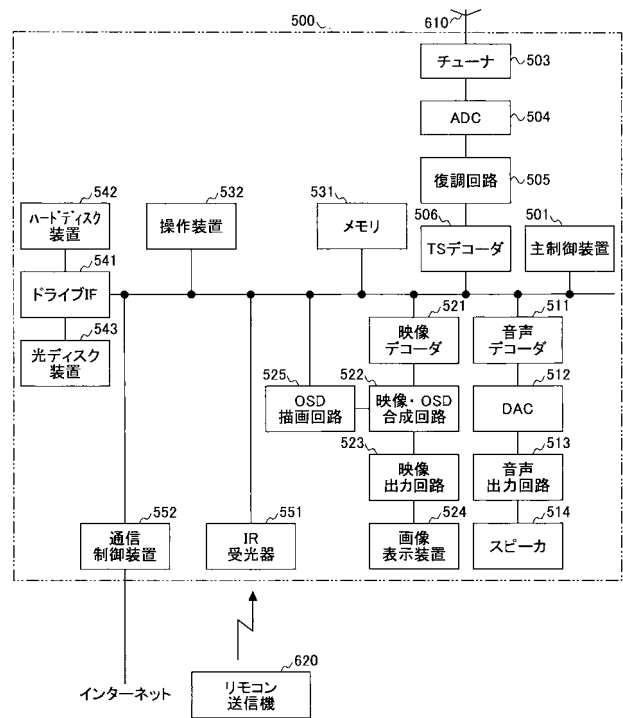
【 図 4 】

比較例1に係る電界効果型トランジスタを例示する断面図



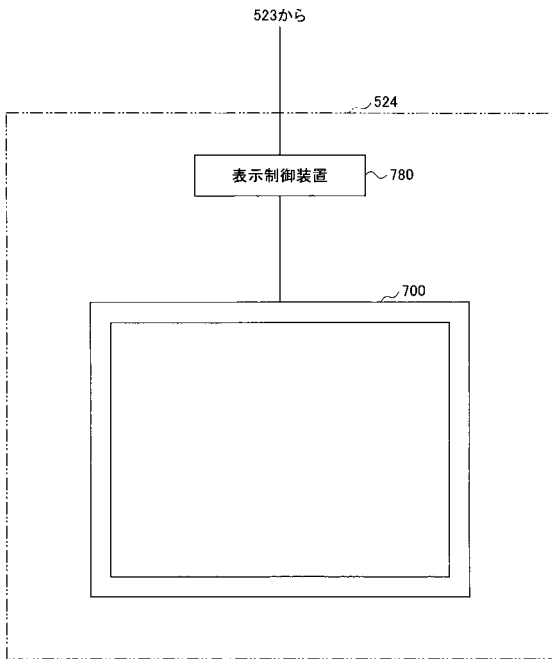
【 図 5 】

第2の実施の形態におけるテレビジョン装置の構成を示すブロック図



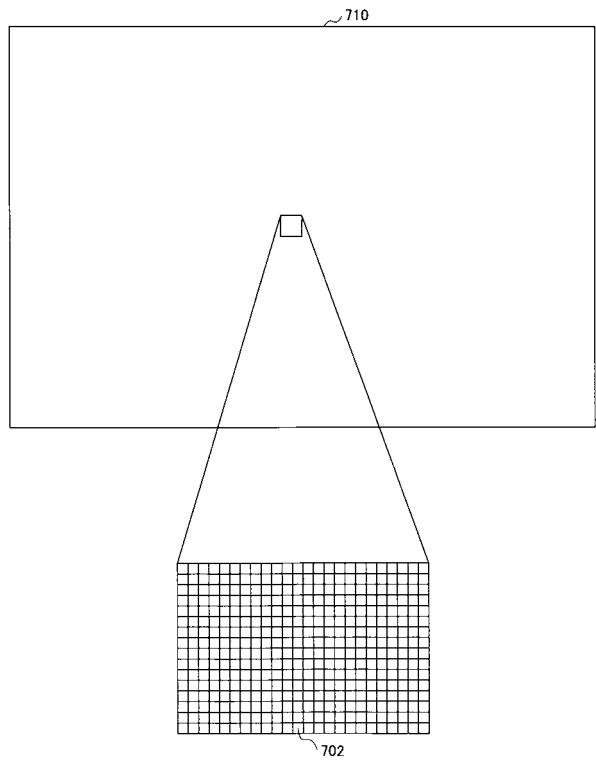
【 図 6 】

第2の実施の形態におけるテレビジョン装置の説明図(その1)



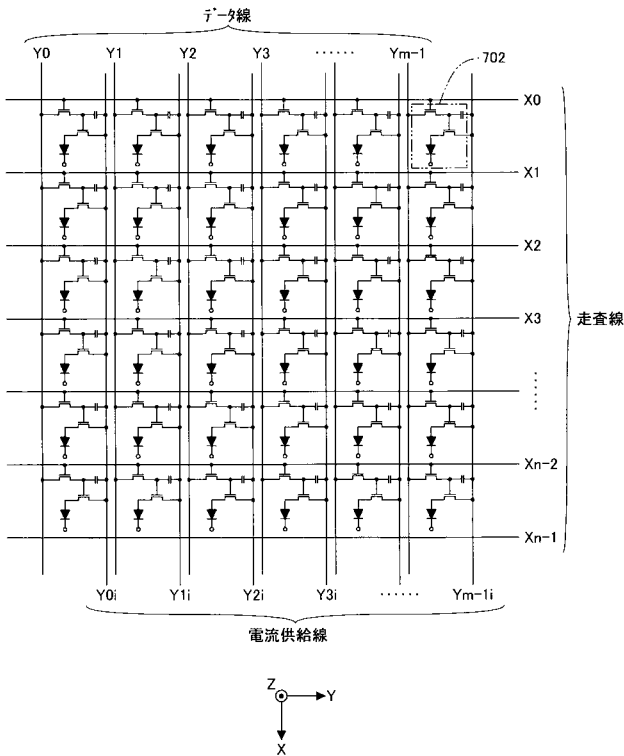
【 図 7 】

第2の実施の形態におけるテレビジョン装置の説明図(その2)



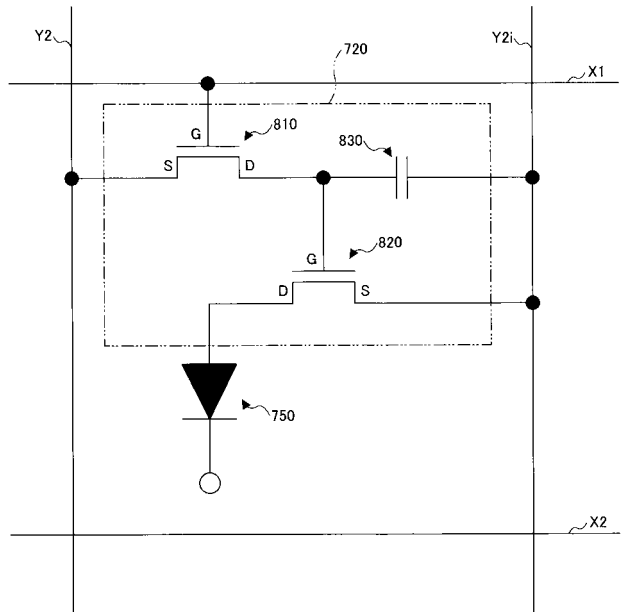
【 図 8 】

第2の実施の形態におけるテレビジョン装置の説明図(その3)



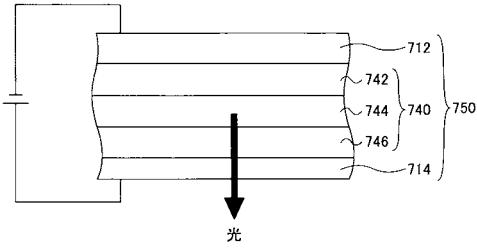
【 図 9 】

第2の実施の形態における表示素子の説明図



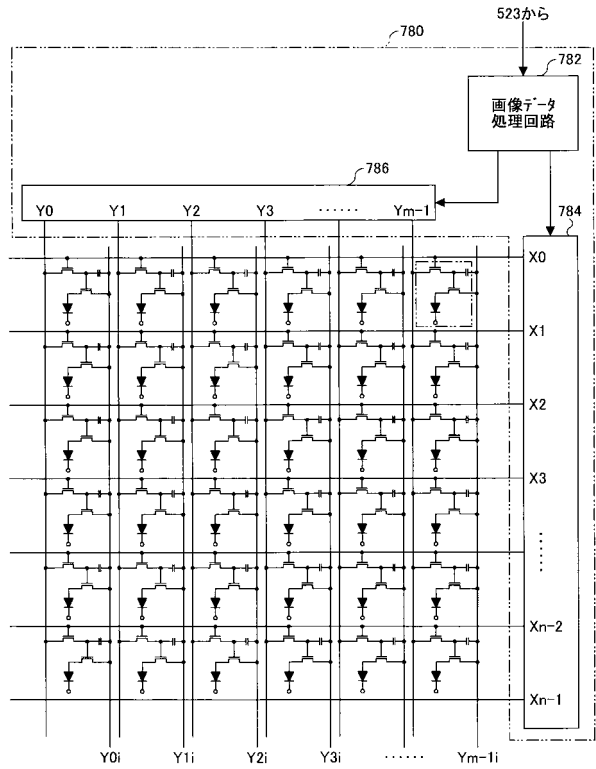
【図10】

第2の実施の形態における有機ELの説明図



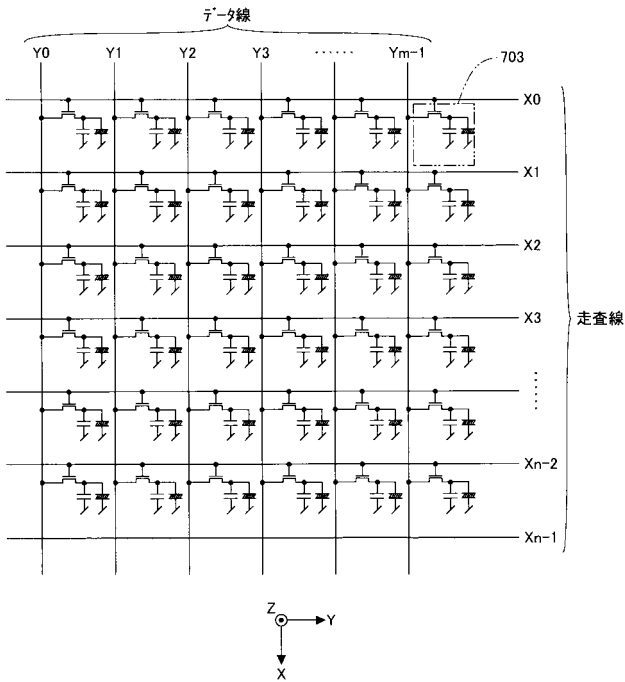
【図11】

第2の実施の形態におけるテレビジョン装置の説明図(その4)



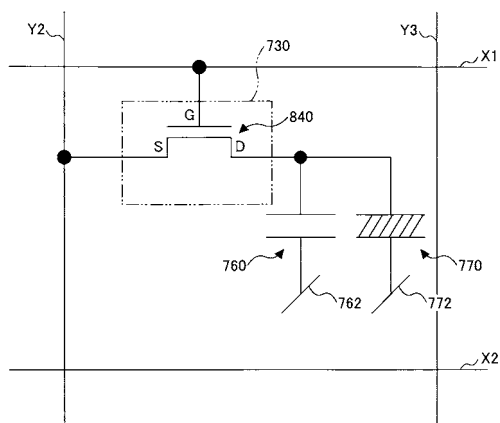
【図12】

第2の実施の形態における他の表示素子の説明図(その1)



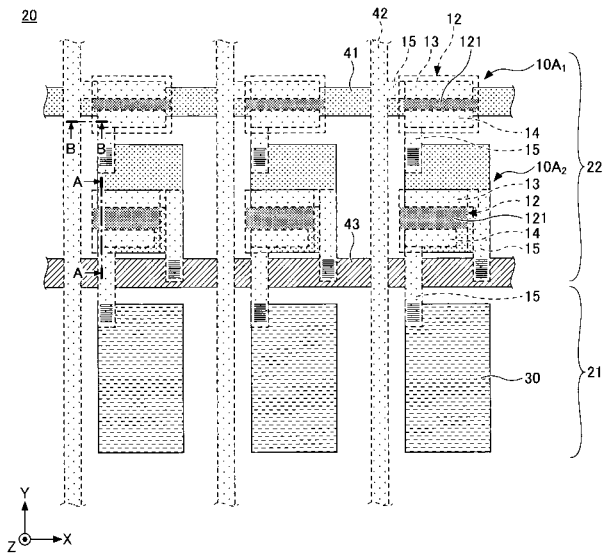
【図13】

第2の実施の形態における他の表示素子の説明図(その2)



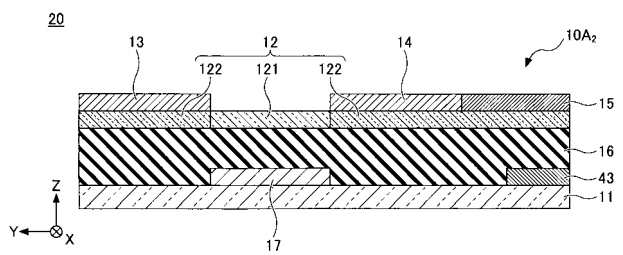
【 図 1 4 】

第3の実施の形態に係る表示素子アレイを例示する平面図



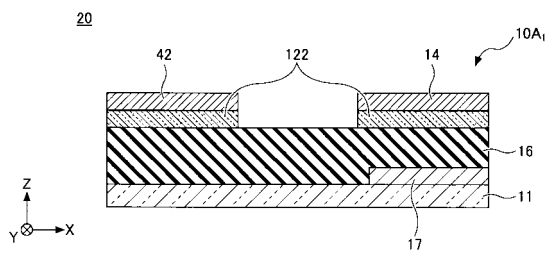
【 図 1 5 】

図14のA-A線に沿う断面図



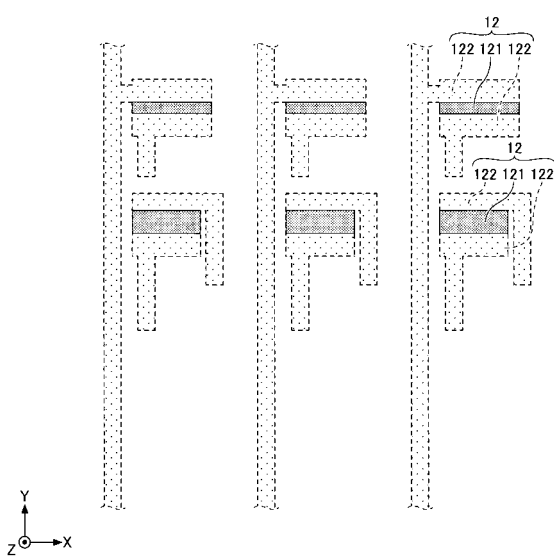
【 図 1 6 】

図14のB-B線に沿う断面図



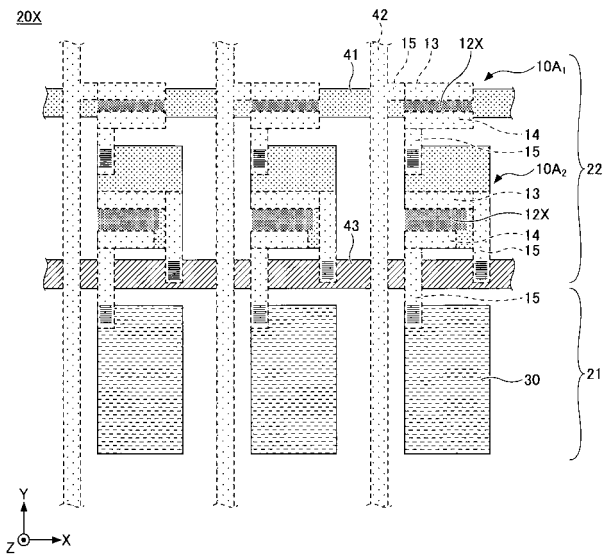
【 図 1 7 】

第3の実施の形態に係る表示素子アレイにおける半導体層の形成領域を例示する平面図



【 図 1 8 】

比較例に係る表示素子アレイを例示する平面図



フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
G 0 2 F	1/17	(2006.01)	H 0 5 B 33/14	A
			G 0 2 F 1/1368	
			G 0 2 F 1/167	
			G 0 2 F 1/17	

(72)発明者 中村 有希
 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

(72)発明者 安部 由希子
 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

(72)発明者 曾根 雄司
 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

(72)発明者 早乙女 遼一
 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

(72)発明者 新江 定憲
 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

(72)発明者 草柳 嶺秀
 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

F ターム(参考) 2H192 AA24 CB02 CB37 CB52 CC04 CC42 DA12 FB02
 2K101 AA04 AA11 BA02 CA01 EC08 EC09 EC82 EJ33
 3K107 AA01 BB01 CC25 CC45 EE03
 5C094 AA31 AA43 BA03 BA27 BA43 BA52 BA75 CA19 HA05 HA06
 HA08
 5F110 AA03 AA16 AA30 BB01 CC01 CC07 DD01 DD02 EE02 EE03
 EE04 EE06 EE07 EE42 EE43 EE44 FF01 FF02 FF03 FF27
 FF28 FF29 FF30 GG01 GG06 GG25 GG42 GG43 GG44 GG57
 HK02 HK03 HK04 HK06 HK32 HK33 HM19 NN71 NN72 NN73
 QQ06