[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
H01L 21/768
H01L 21/28

[12] 发明专利申请公开说明书

[21] 申请号 01144735.4

[43] 公开日 2003 年 7 月 9 日

[11] 公开号 CN 1428839A

[22] 申请日 2001.12.24 [21] 申请号 01144735.4

[71] 申请人 矽统科技股份有限公司
地址 台湾省新竹科学园区
[72] 发明人 李世达 徐震球

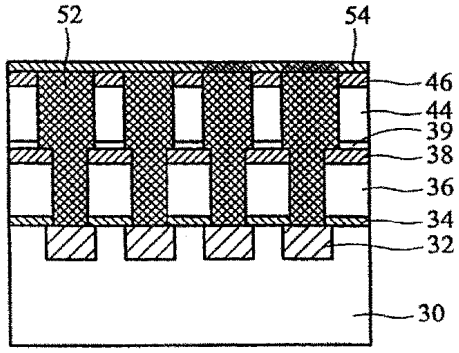
[74] 专利代理机构 北京三友知识产权代理有限公司
代理人 刘朝华

权利要求书 2 页 说明书 5 页 附图 6 页

[54] 发明名称 积体电路的双镶嵌结构的制作方法

[57] 摘要

一种积体电路的双镶嵌结构的制作方法，通过旋涂高分子技术，于一半导体基底表面上形成一低介电常数的第一绝缘层，再于第一绝缘层中形成一孔洞。 然后以化学气相沉积技术于第一绝缘层上形成一低介电常数的第二绝缘层，并使第二绝缘层填入孔洞；于第二绝缘层内形成一渠沟，且渠沟的位置是相对应于孔洞的上方；去除孔洞内的第二绝缘层，于渠沟以及孔洞内填满一导电层。 具有避免损伤柱型洞的轮廓，进而防止 IMD 层的出气现象，确保导电层与金属导线之间的接触品质，及改善 IC 组件的硬度和热传导性的功效。



ISSN 1008-4274

知识产权出版社出版

1、一种积体电路的双镶嵌结构的制作方法，其特征是：它至少包括下列步骤：

（1）于一半导体基底表面上形成第一绝缘层，该第一绝缘层是经由旋涂高分子技术所形成的低介电常数材料；

（2）于该第一绝缘层中形成一孔洞；

（3）于该第一绝缘层上形成第二绝缘层，并使该第二绝缘层填入该孔洞，该第二绝缘层是经由化学气相沉积技术所形成的低介电常数材料；

（4）于该第二绝缘层内形成一渠沟，该渠沟的位置是相对应于该孔洞的上方；

（5）去除该孔洞内的该第二绝缘层；

（6）于该渠沟以及该孔洞内填满一导电层。

2、根据权利要求1所述的积体电路的双镶嵌结构的制作方法，其特征是：该半导体基底包含有一金属导线，该孔洞是形成于该金属导线上方。

3、根据权利要求2所述的积体电路的双镶嵌结构的制作方法，其特征是：该金属导线的材质是选自铜或铝铜合金。

4、根据权利要求2所述的积体电路的双镶嵌结构的制作方法，其特征是：该半导体基底包含有一顶层覆盖住该金属导线的表面。

5、根据权利要求4所述的积体电路的双镶嵌结构的制作方法，其特征是：该顶层是选自氮化硅或碳化硅。

6、根据权利要求1所述的积体电路的双镶嵌结构的制作方法，其特征是：它还包含另一步骤：在形成该孔洞之前，于该第一绝缘层上形成第一盖层。

7、根据权利要求6所述的积体电路的双镶嵌结构的制作方法，其特征是：该第一盖层是选自以下任一种材质：SiO_2、SiC、SiN、SRO或SiON。

8、根据权利要求1所述的积体电路的双镶嵌结构的制作方法，其特征是：

它还包含另一步骤：在形成该渠沟之前，于该第二绝缘层上形成一第二盖层。

9、根据权利要求8所述的积体电路的双镶嵌结构的制作方法，其特征是：该第二盖层是选自以下任一种材质：SiO_2、SiC、SiN、SRO或SiON。

10、根据权利要求1所述的积体电路的双镶嵌结构的制作方法，其特征是：它还包含另一步骤：进行化学机械研磨制程，将位于该渠沟以外的导电层去除。

11、根据权利要求10所述的积体电路的双镶嵌结构的制作方法，其特征是：它还包含另一步骤：于该导电层表面上形成一保护层。

12、根据权利要求11所述的积体电路的双镶嵌结构的制作方法，其特征是：该保护层是选自氮化硅或碳化硅。

13、根据权利要求1所述的积体电路的双镶嵌结构的制作方法，其特征是：该导电层是铜。

积体电路的双镶嵌结构的制作方法

技术领域

本发明是有关一种金属内连线结构的制作方法，特别有关于一种积体电路的双镶嵌（dual damascene）结构的制作方法。

背景技术

在高密度的积体电路（IC）的制程中，如超大积体电路（VLSI）制程，是将许多的金属内连线制作成三度空间的多层导线结构。然而，随着IC组件的积集度增加，会提高金属内连线之间的电容效应，进而导致RC延迟时间延长、金属内连线之间的干扰（cross talk）频率增加，因此通过这些金属内连线的电流速度变得很慢。为了改善电流的速度，如何降低金属内连线的电阻值以及减少金属内连线之间的寄生电容，成为很重要的制程因子。如果要有效降低金属内连线的电阻值，则需采用低电阻值的金属材质；如果要减少金属内连线之间的寄生电容，则需采用低介电常数的绝缘材料来制作金属内连线之间的内金属介电层（inter-metal dielectric，IMD）。

图1-图4是传统的双镶嵌（dual damascene）技术，是于低介电常数的绝缘层中镶埋形成一具有双镶嵌结构的金属内连线，可用来提升IC组件的可靠度并改善制程品质。

如图1所示，一半导体基底10包含有至少一金属导线12、一第一氧化层14以及一硬光罩层16，其后利用微影与蚀刻制程可于硬光罩层16上形成一开口18。

然后，如图2所示，于硬光罩层16上沉积第二氧化层20，并使第二氧化层20填满开口18。

接着，如图3所示，先于第二氧化层20表面上定义形成一具有图案的光阻层22，再利用硬光罩层16作为蚀刻停止层，将未被光阻层22覆盖的第二氧化层20蚀刻去除，以于第二氧化层20内形成一渠沟26。同时，位于开口18内

的第一氧化层14也会被蚀刻去除，以形成一柱型洞24。如此一来，渠沟26以及柱型洞24构成一个双镶嵌开口。随后将光阻层22剥除。

最后，如图4所示，在双镶嵌开口内填入一导电层28，再利用化学机械研磨（chemical mechanical polishing，CMP）技术将导电层28与第二氧化层20的表面切齐，便制作完成双镶嵌结构的内连导线。其主要缺陷在于：

在深次微米半导体制程中，使用低介电常数的材料来制作IMD层，如上述的第一氧化层14以及第二氧化层20，可以改善RC延迟时间的问题。但是，当使用具有低介电常数的高分子材料来制作IMD层时，在进行氧电浆的步骤中，如：剥除光阻层22、形成双镶嵌开口等步骤，容易使高分子材料受到损伤，进而影响到双镶嵌开口的图形，而且这会加剧高分子材料的出气（out－gassing）现象，使得导电层28与金属导线12之间产生接触不良的问题。

发明内容

本发明的目的是提供一种积体电路的双镶嵌结构的制作方法，通过旋涂高分子技术，于一半导体基底表面上形成一低介电常数的第一绝缘层，再于第一绝缘层中形成一孔洞。然后以化学气相沉积技术于第一绝缘层上形成一低介电常数的第二绝缘层，并使第二绝缘层填入孔洞；于第二绝缘层内形成一渠沟，且渠沟的位置是相对应于孔洞的上方；去除孔洞内的第二绝缘层，于渠沟以及孔洞内填满一导电层。避免损伤柱型洞的轮廓，进而防止IMD层的出气现象，达到确保导电层与金属导线之间的接触品质，及改善IC组件的硬度和热传导性的目的。

本发明的目的是这样实现的：一种积体电路的双镶嵌结构的制作方法，其特征是：它至少包括下列步骤：

（1）于一半导体基底表面上形成第一绝缘层，该第一绝缘层是经由旋涂高分子技术所形成的低介电常数材料；

（2）于该第一绝缘层中形成一孔洞；

（3）于该第一绝缘层上形成第二绝缘层，并使该第二绝缘层填入该孔洞，该第二绝缘层是经由化学气相沉积技术所形成的低介电常数材料；

（4）于该第二绝缘层内形成一渠沟，该渠沟的位置是相对应于该孔洞的上方；

（5）去除该孔洞内的该第二绝缘层；

（6）于该渠沟以及该孔洞内填满一导电层。

该半导体基底包含有一金属导线，该孔洞是形成于该金属导线上方。该金属导线的材质是选自铜或铝铜合金。该半导体基底包含有一顶层覆盖住该金属导线的表面。该顶层是选自氮化硅或碳化硅。它还包含另一步骤：在形成该孔洞之前，于该第一绝缘层上形成第一盖层。该第一盖层是选自以下任一种材质：SiO_2、SiC、SiN、SRO或SiON。

本发明的方法还包含另一步骤：在形成该渠沟之前，于该第二绝缘层上形成一第二盖层。该第二盖层是选自以下任一种材质：SiO_2、SiC、SiN、SRO或SiON。

本发明的方法还包含另一步骤：进行化学机械研磨制程，将位于该渠沟以外的导电层去除。

本发明的方法还包含另一步骤：于该导电层表面上形成一保护层。该保护层是选自氮化硅或碳化硅。该导电层是铜。

下面结合较佳实施例和附图进一步说明。

附图说明

图1-图4是传统的双镶嵌技术制程的剖面示意图。

图5-图14是本发明的制作双镶嵌结构方法的示意图。

具体实施方式

参阅图5-图14所示，其显示本发明的制作双镶嵌结构的方法。如图5所示，一半导体基底30包含有多数个金属导线32，一顶层34是覆盖住金属导线32的表面，以及一低介电常数的第一绝缘层36是形成于顶层34的表面上。顶

层34主要是用来防止金属导线32的氧化现象，并可防止金属导线32中的原子/离子扩散至第一绝缘层36内。在较佳实施例中，金属导线32的材质可使用铜或铝铜合金，而顶层34的材质可使用氮化硅或是碳化硅。至于第一绝缘层36的材质可使用旋涂高分子（spin-on polymer，SOP），如：FLARE、SILK、Parylene、PAE-11或是其它可由旋涂方法制作的低介电常数的有机材料。

如图6所示，依据制程的需要，可选择性地于第一绝缘层36表面上依序形成一第一盖层38以及一抗反射涂层39，其中第一盖层38的材质可为SiO_2、SiC、SiN、SRO或SiON，可供作为后续制程的硬光罩以及蚀刻停止层。

如图7所示，于抗反射涂层39表面上定义形成一第一光阻层40，其包含有多数个开口41，是用来定义双镶嵌开口的柱型洞的图形。

然后，如图8所示，利用第一光阻层40来进行非等向性干蚀刻制程，可将开口41下方的抗反射涂层39以及第一盖层38去除，直至曝露出第一绝缘层36表面。

随后，如图9所示，继续将开口41下方的第一绝缘层36蚀刻去除，以于每个金属导线32上方形成一个柱型洞42，再将第一光阻层40剥除。

接着，如图10所示，利用化学气相沉积制程（CVD）于基底30的整个表面上形成一第二绝缘层44，并使其填入柱型洞42，直至第二绝缘层44到达一预定高度。其中，第二绝缘层44的材质可使用Blackdiamond、Coral、Aurora或是Green Dot。不过，值得注意的是，利用CVD方法无法使第二绝缘层44完全填满柱型洞42，因此在柱型洞42内的第二绝缘层44中会产生一空隙45。

如图11所示，依据制程的需要，可选择性地于第二绝缘层44表面上形成一第二盖层46，然后于第二盖层46上定义形成一第二光阻层48，其包含有多数个开口49，是用来定义双镶嵌开口的渠沟的图形。在较佳实施例中，第二盖层46的材质可选用SiO_2、SiC、SiN、SRO或SiON。

接下来，如图12所示，利用第一盖层38作为蚀刻停止层，将开口49下方的第二盖层46、第二绝缘层44以及抗反射涂层39蚀刻去除，以形成多数个渠沟50。随后，继续蚀刻渠构50下方的第一绝缘层36，直至曝露出金属导线32的表面，则可曝露出柱型洞42的轮廓。如此一来，在每一个金属导线32上方

的柱型洞42与渠沟50是形成一双镶嵌开口51。

此外，如图13所示，为了增加IMD层（如：第一绝缘层36以及第二绝缘层44）与后续制作的内连导线之间的附着性，可另于双镶嵌开口51的底部与侧壁上形成一氧化层，将第二光阻层48剥除。

然后，如图14所示，先于基底30的整个表面上沉积一导电层52，并使其填满双镶嵌开口51，再利用CMP技术将导电层52与第二盖层46的高度切齐，甚或是完全去除掉第二盖层46。如此一来，残留在双镶嵌开口51内的导电层52是成为一双镶嵌结构，其中填满柱型洞42的导电层52可用作为一金属插塞，而填满渠沟的导电层52可用作为一内连导线。最后，可于基底30的整个表面上沉积一保护层54，用来防止导电层52的氧化现象，并可防止导电层52内的原子／离子扩散至后续制作的介电层内。

在较佳实施例中，导电层52的材质可选用铜，其具有较佳的电阻值，且可经由CVD、PVD电镀制程或是无电镀制程所形成，至于保护层54的材质可选用氮化硅或是碳化硅。

相较于传统双镶嵌技术，本发明的方法是于低介电常数的SOP材质中形成柱型洞42，并于CVD方法形成的低介电常数材料中形成渠沟50，因此在制作双镶嵌开口51的过程中，可避免损伤柱型洞42的轮廓，进而防止出气现象，这可确保导电层52与金属导线32之间的接触品质，而且能改善IC组件的硬度和热传导性。

此外，第二盖层46可以加强保护层54与第二绝缘层44之间的附着性，以防止保护层54产生剥离的问题。由上述可知，本发明方法可提高产率，并降低制程成本。

虽然本发明已以较佳实施例揭露如上，然其并非用以限定本发明，任何熟习此技艺者，在不脱离本发明的精神和范围内，所作些许的更动与润饰，都属于本发明的保护范围之内。

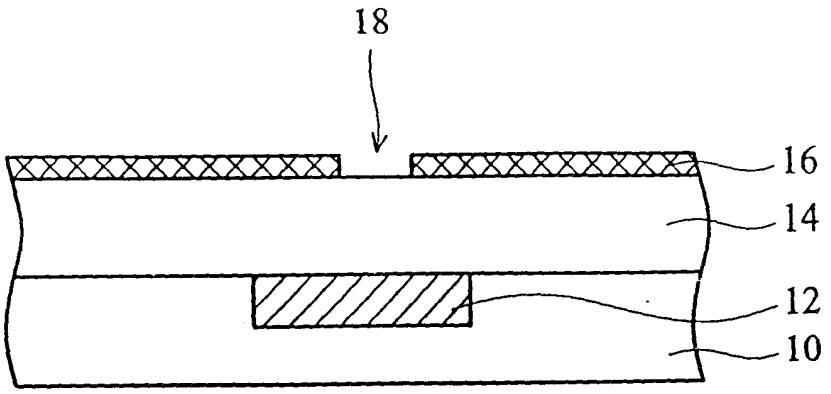


图 1

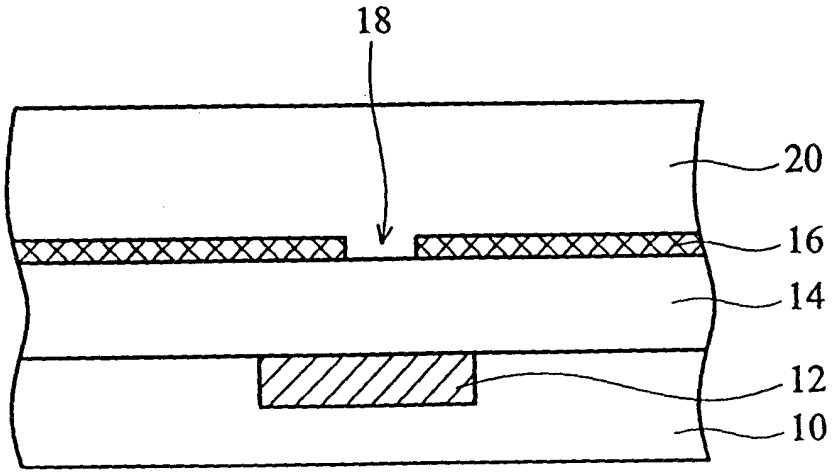


图 2

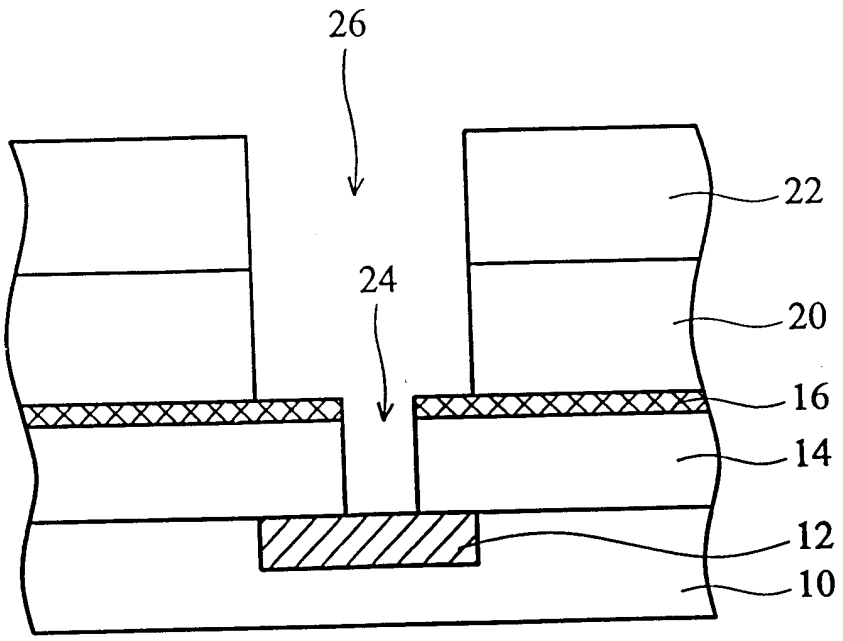


图 3

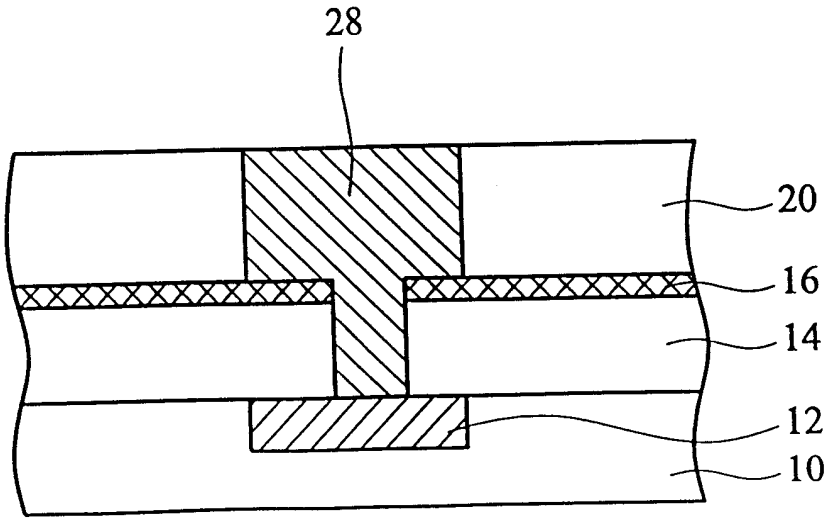


图 4

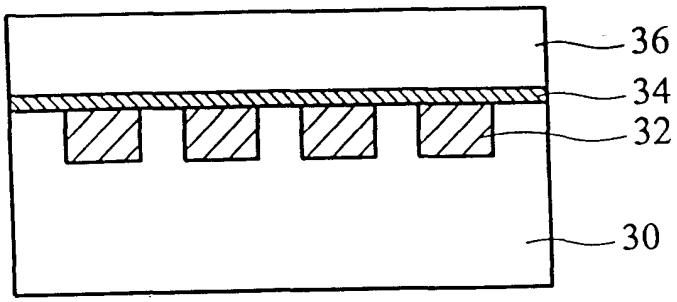


图 5

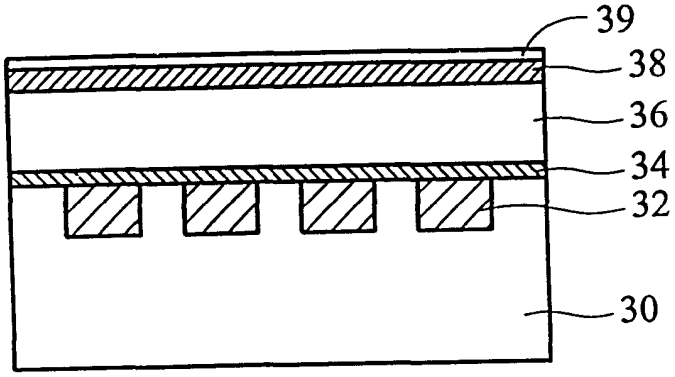


图 6

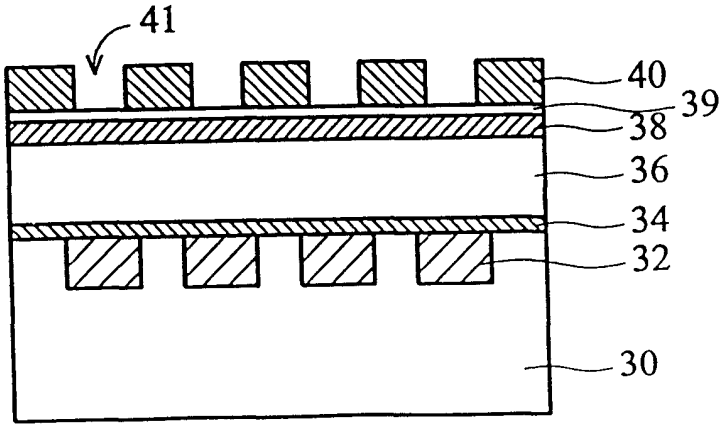


图 7

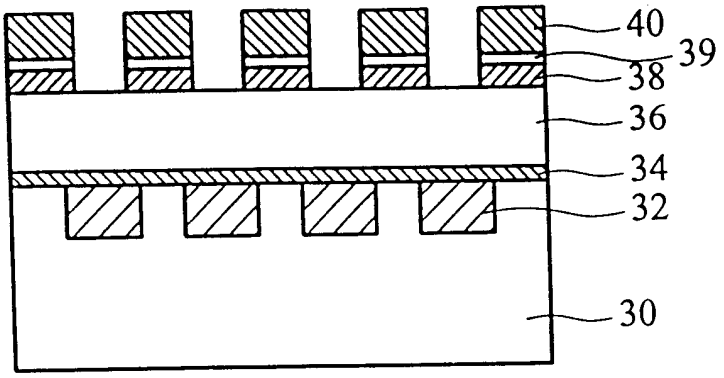


图 8

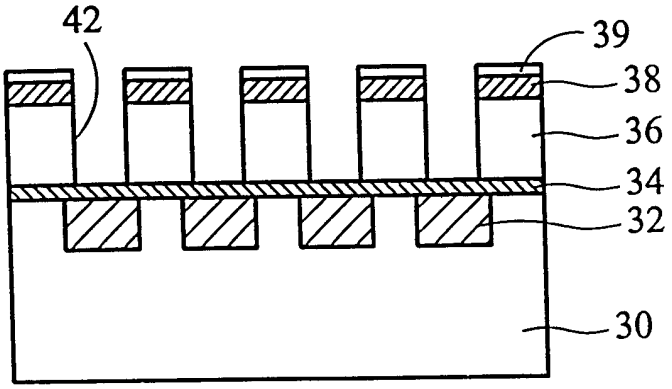


图 9

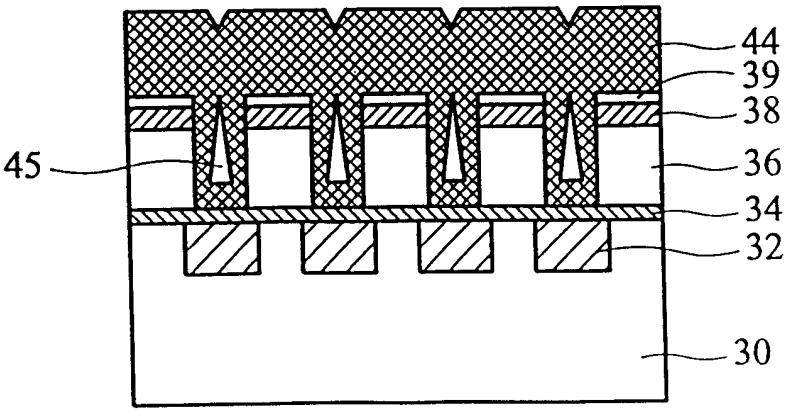


图 10

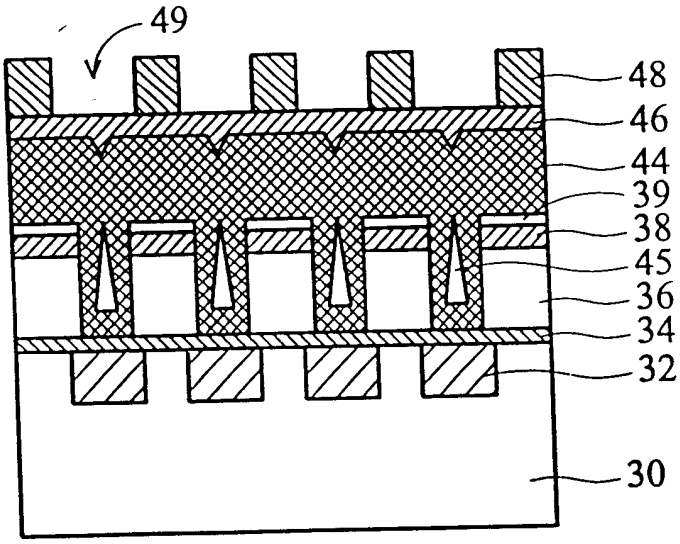


图 11

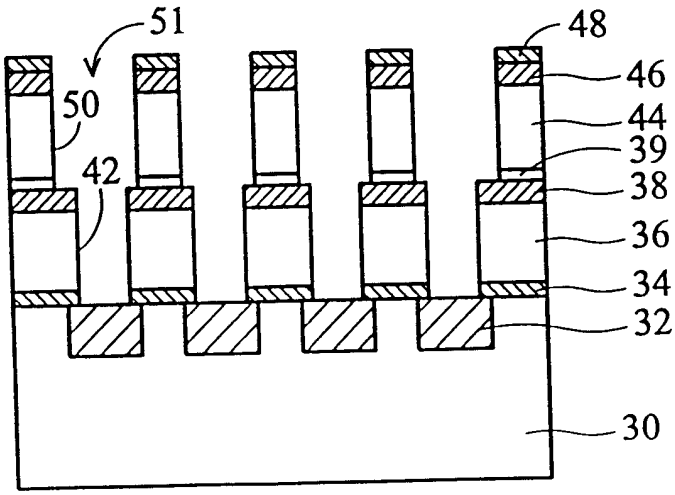


图 12

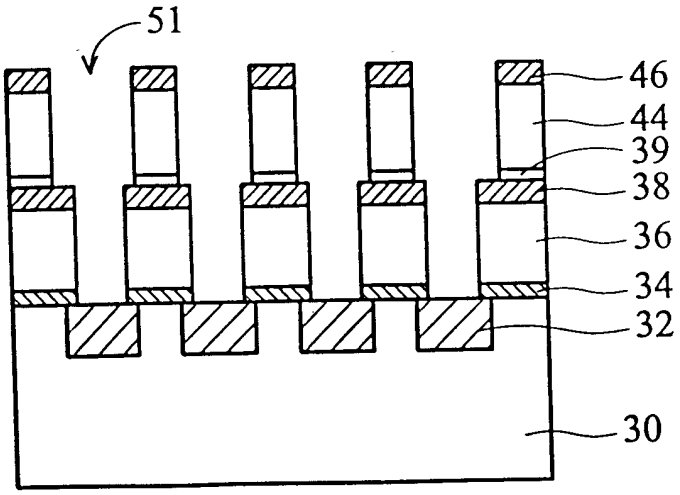


图 13

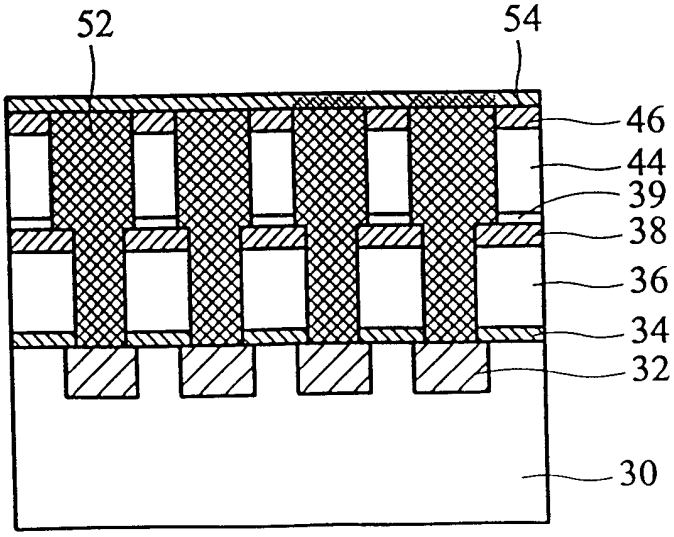


图 14