



(21)申請案號：111110540

(22)申請日：中華民國 111 (2022) 年 03 月 22 日

(51)Int. Cl. : **H01L25/11 (2006.01)**

(30)優先權：2021/08/31 美國 17/462,431

(71)申請人：台灣積體電路製造股份有限公司(中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY, LTD. (TW)

新竹市力行六路八號

(72)發明人：李育承 LEE, YU-CHEN (TW)；葉書伸 YEH, SHU-SHEN (TW)；許佳桂 HSU,
CHIA-KUEI (TW)；林柏堯 LIN, PO-YAO (TW)；鄭心圃 JENG, SHIN-PUU (TW)

(74)代理人：洪澄文

(56)參考文獻：

TW 202117968A

TW 202127591A

審查人員：謝介銘

申請專利範圍項數：8 項 圖式數：8 共 51 頁

(54)名稱

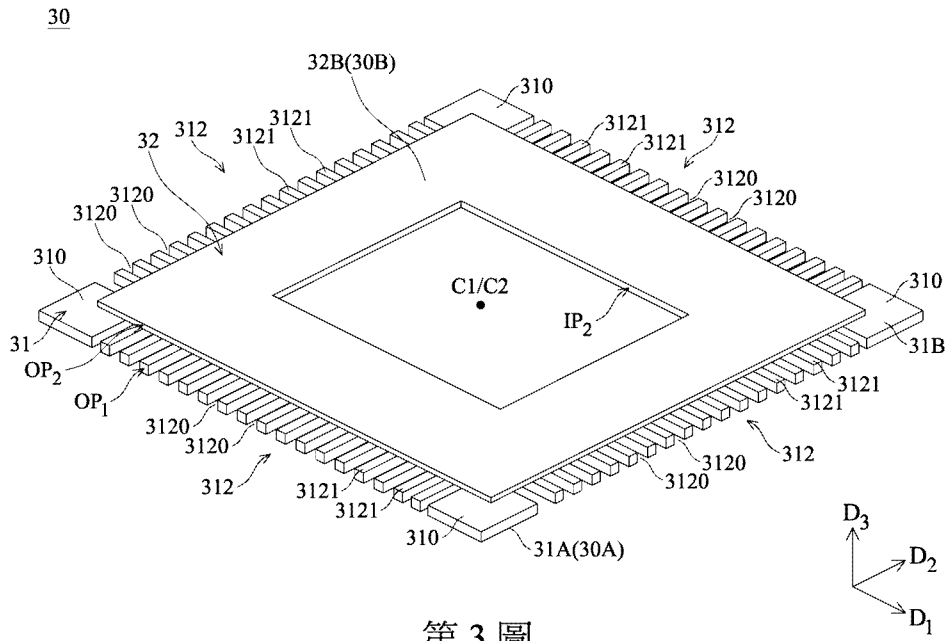
半導體晶粒封裝

(57)摘要

提供一種半導體晶粒封裝及其形成方法。半導體晶粒封裝包括一封裝基板及設置在封裝基板上方的半導體裝置。一環結構設置在封裝基板上且橫向地圍繞半導體裝置。環結構包括圍繞封裝基板的周邊佈置的一下環部。多個槽口沿著下環部的外周邊形成。環結構還包括一體地形成在下環部上的一上環部。上環部朝向半導體裝置橫向地延伸，使得上環部的內周邊比下環部的內周邊更靠近半導體裝置。一黏著層介於下環部與封裝基板之間。

A semiconductor die package and a method of forming the same are provided. The semiconductor die package includes a package substrate and a semiconductor device disposed over the package substrate. A ring structure is disposed over the package substrate and laterally surrounds the semiconductor device. The ring structure includes a lower ring portion arranged around the periphery of the package substrate. Multiple notches are formed along the outer periphery of the lower ring portion. The ring structure also includes an upper ring portion integrally formed on the lower ring portion. The upper ring portion laterally extends toward the semiconductor device, so that the inner periphery of the upper ring portion is closer to the semiconductor device than the inner periphery of the lower ring portion. An adhesive layer is interposed between the lower ring portion and the package substrate.

指定代表圖：



第 3 圖

符號簡單說明：

30:環結構

30A:底表面

30B:頂表面

31:下環部

31A:(底)表面

31B:(頂)表面

310:角落

312:側邊

3120:槽口

3121:實心柱

32:上環部

32B:表面

OP₁,OP₂:外周邊

D1:(第一)方向

D2:(第二)方向

D3:方向



I815362

【發明摘要】

【中文發明名稱】半導體晶粒封裝

【英文發明名稱】SEMICONDUCTOR DIE PACKAGE

【中文】

提供一種半導體晶粒封裝及其形成方法。半導體晶粒封裝包括一封裝基板及設置在封裝基板上方的半導體裝置。一環結構設置在封裝基板上方且橫向地圍繞半導體裝置。環結構包括圍繞封裝基板的周邊佈置的一下環部。多個槽口沿著下環部的外周邊形成。環結構還包括一體地形成在下環部上的一上環部。上環部朝向半導體裝置橫向地延伸，使得上環部的內周邊比下環部的內周邊更靠近半導體裝置。一黏著層介於下環部與封裝基板之間。

【英文】

A semiconductor die package and a method of forming the same are provided. The semiconductor die package includes a package substrate and a semiconductor device disposed over the package substrate. A ring structure is disposed over the package substrate and laterally surrounds the semiconductor device. The ring structure includes a lower ring portion arranged around the periphery of the package substrate. Multiple notches are formed along the outer periphery of the lower ring portion. The ring structure also includes an upper ring portion integrally formed on the lower ring portion. The upper ring portion laterally extends toward the semiconductor device, so that the inner periphery of the upper ring portion is closer to the semiconductor device than the inner periphery of the lower ring portion. An adhesive lay-

er is interposed between the lower ring portion and the package substrate.

【指定代表圖】 第3圖

【代表圖之符號簡單說明】

30:環結構

30A:底表面

30B:頂表面

31:下環部

31A:(底)表面

31B:(頂)表面

310:角落

312:側邊

3120:槽口

3121:實心柱

32:上環部

32B:表面

OP₁, OP₂:外周邊

D1:(第一)方向

D2:(第二)方向

D3:方向

【特徵化學式】 無。

【發明說明書】

【中文發明名稱】 半導體晶粒封裝

【英文發明名稱】 SEMICONDUCTOR DIE PACKAGE

【技術領域】

【0001】 本發明實施例係關於一種半導體製造技術，特別係有關於一種半導體晶粒封裝及其形成方法。

【先前技術】

【0002】 半導體裝置被用於各式電子應用中，例如個人電腦、手機、數位相機以及其他電子設備。半導體裝置是通過在半導體基板之上依序地沉積絕緣或介電層、導電層和半導體層，並且使用微影及蝕刻製程對各個材料層執行圖案化以在其上形成電路部件和元件來製造。通常，多個積體電路(integrated circuits, ICs)是在單個半導體晶圓上製造，且晶圓上的各個晶粒通過沿著劃線在積體電路之間執行鋸切而被分割。各個晶粒一般被單獨封裝在例如多晶片模組(multi-chip modules)或其他類型的封裝中。

【0003】 一種較小的半導體封裝類型是覆晶晶片級封裝(flip chip chip-scale package, FcCSP)，其中半導體晶粒被倒置放在基板上且使用凸塊連接到基板。基板具有佈線以將晶粒上的凸塊連接到基板上之具有較大佔位面積(footprint)的接觸墊。焊球陣列形成在基板的另一側，用於將封裝的半導體晶粒電連接到終端應用。

【0004】 雖然現有的封裝結構及製造封裝結構的方法通常已經足以滿足

其預計目的，但它們仍不是在所有方面都完全令人滿意的。

【發明內容】

【0005】 本揭露一些實施例提供一種半導體晶粒封裝，包括一封裝基板、一半導體裝置、一環結構以及一黏著層。封裝基板具有一第一表面。半導體裝置設置在封裝基板的第一表面上方。環結構設置在封裝基板的第一表面上方且橫向地圍繞半導體裝置，其中環結構包括一下環部以及一上環部。下環部圍繞封裝基板的周邊佈置，其中複數個槽口(notches)沿著下環部的外周邊形成。上環部一體地(integrally)形成在下環部上，其中下環部在封裝基板與上環部之間，且上環部朝向半導體裝置橫向地延伸，使得上環部的內周邊比下環部的內周邊更靠近半導體裝置。黏著層介於環結構與封裝基板的第一表面之間。

【0006】 本揭露一些實施例提供一種半導體晶粒封裝，包括一封裝基板、一半導體裝置、一環結構以及一黏著層。封裝基板具有一第一表面。半導體裝置設置在封裝基板的第一表面上方。環結構設置在封裝基板的第一表面上方且橫向地圍繞半導體裝置，其中環結構包括一下環部以及一上環部。下環部為矩形環狀，其中下環部的一些或全部的側邊分別具有貫穿下環部的頂表面和底表面的一或多的槽口。上環部為矩形環狀，一體地形成在下環部上，其中上環部具有朝向半導體裝置橫向地延伸並超過下環部的內周邊的一部分。黏著層介於下環部的底表面與封裝基板的第一表面之間。

【0007】 本揭露一些實施例提供一種半導體晶粒封裝，包括一封裝基板、一半導體裝置、一環結構以及一黏著層。封裝基板具有一第一表面。半導體裝置設置在封裝基板的第一表面上方。環結構設置在封裝基板的第一表面上

方且橫向地圍繞半導體裝置，其中環結構包括一下環部以及一上環部。下環部圍繞封裝基板的周邊佈置，其中下環部具有貫穿下環部的頂表面和底表面的複數個槽口。上環部同心地覆蓋下環部，其中上環部的內周邊延伸超過下環部的內周邊且橫向地圍繞半導體裝置，且上環部的外周邊與下環部的外周邊間隔開。黏著層介於下環部的底表面與封裝基板的第一表面之間。

【圖式簡單說明】

【0008】根據以下的詳細說明並配合所附圖式做完整的揭露。應強調的是，根據本產業的一般作業，各個特徵未必按照比例繪製。事實上，可能任意的放大或縮小各個特徵的尺寸，以做清楚的說明。

第1圖是根據一些實施例的半導體晶粒封裝的示意性俯視圖。

第2A圖是沿著第1圖中的線A-A'截取的半導體晶粒封裝的示意性剖面圖。

第2B圖是沿著第1圖中的線B-B'截取的半導體晶粒封裝的示意性剖面圖。

第2C圖是沿著第1圖中的線C-C'截取的半導體晶粒封裝的示意性剖面圖。

第3圖是根據一些實施例的環結構的立體圖。

第4圖是第3圖中的環結構的示意性仰視圖。

第4A圖是根據一些其他實施例的環結構的示意性仰視圖。

第4B圖是根據一些其他實施例的環結構的示意性仰視圖。

第5圖是根據一些其他實施例的半導體晶粒封裝的示意性剖面圖。

第6A圖示意性地示出根據一些實施例之具有佈置在其上的黏著層的環結構的仰視圖。

第6B圖示意性地示出根據一些實施例之具有佈置在其上的黏著層的環結構

的仰視圖。

第6C圖示意性地示出根據一些實施例之具有佈置在其上的黏著層的環結構的仰視圖。

第6D圖示意性地示出根據一些實施例之具有佈置在其上的黏著層的環結構的仰視圖。

第6E圖示意性地示出根據一些實施例之具有佈置在其上的黏著層的環結構的仰視圖。

第6F圖示意性地示出根據一些實施例之具有佈置在其上的黏著層的環結構的仰視圖。

第7A圖示意性地示出根據一些實施例之具有佈置在其上的黏著層的環結構的仰視圖。

第7B圖示意性地示出根據一些實施例之具有佈置在其上的黏著層的環結構的仰視圖。

第7C圖示意性地示出根據一些實施例之具有佈置在其上的黏著層的環結構的仰視圖。

第7D圖示意性地示出根據一些實施例之具有佈置在其上的黏著層的環結構的仰視圖。

第7E圖示意性地示出根據一些實施例之具有佈置在其上的黏著層的環結構的仰視圖。

第7F圖示意性地示出根據一些實施例之具有佈置在其上的黏著層的環結構的仰視圖。

第8圖是顯示根據一些實施例的用於形成一半導體晶粒封裝的方法的流程

圖。

【實施方式】

【0009】 以下的揭露內容提供許多不同的實施例或範例以實施本案的不同特徵。以下描述具體的構件及其排列方式的實施例以闡述本揭露。當然，這些實施例僅作為範例，而不該以此限定本揭露的範圍。例如，在說明書中敘述了一第一特徵形成在一第二特徵之上或上方，其可能包含第一特徵與第二特徵是直接接觸的實施例，亦可能包含了有附加特徵形成在第一特徵與第二特徵之間，而使得第一特徵與第二特徵可能未直接接觸的實施例。另外，在本揭露不同範例中可能使用重複的參考符號及/或標記。另外，在本揭露不同範例中可能使用重複的參考符號及/或標記，此重複係為了簡化與清晰的目的，並非用以限定所討論的各個實施例及/或結構之間有特定的關係。

【0010】 再者，空間相對用語，例如「在...下方」、「下方」、「較低的」、「在...上方」、「較高的」及類似的用語，是為了便於描述圖式中一個元件或特徵與另一個(些)元件或特徵之間的關係。除了在圖式中繪示的方位外，這些空間相對用語意欲包含使用中或操作中的裝置之不同方位。設備可以被轉向不同方位(旋轉90度或其他方位)，則在此使用的空間相對詞也可以依此相同解釋。

【0011】 說明書中的用語「基本上(substantially)」，例如「基本上平坦」或「基本上共平面」等可為本領域技術人員所能理解。在一些實施例中，形容詞「基本上」可以被去除。在適用的情況下，用語「基本上」還可以包括「全部(entirely)」、「完全(completely)」、「所有(all)」等的實施例。在適用的情

況下，用語「基本上」還可以涉及90%或更高，例如95%或更高，特別是99%或更高，包括100%。此外，例如「基本上平行」或「基本上垂直」之類的用語應被解釋為不排除相較於特定佈置的微小偏差，並且例如可包括高達10°的偏差。用語「基本上」不排除「完全」，例如「基本上不含(substantially free)」Y的組合物可以是完全不含Y。

【0012】 與特定距離或尺寸搭配使用的用語，例如「約」，應被解釋為不排除相較於特定距離或尺寸的微小偏差，並且例如可包括高達10%的偏差。使用於數值X的用語「約」可能表示 $X\pm 5$ 或10%。說明書中的用語「每個」應被解釋為不排除單元之間的變化，並且不排除部分單元的省略。

【0013】 根據各個實施例提供一種半導體晶粒封裝及其形成方法。討論了一些實施例的一些變型。在各個視圖和說明性實施例中，相同的參考符號用於表示相同的元件。

【0014】 根據本揭露一些實施例，一種半導體晶粒封裝包括用於控制封裝基板翹曲的一環結構(應力緩解(stress-relief)結構)。在一些實施例中，環結構為一體式(one-piece)結構，具有一下環部以及一體地形成在下環部上的一上環部。下環部的側邊佈置有多個槽口(消除部分)，以減少熱循環過程中於封裝中所產生的應力。另外，下環部的角落被保留(即，在角落處不形成槽口)，並且上環部同心地(concentrically)覆蓋下環部並具有延伸超過下環部的內周邊的部分，從而增加整個環結構的結構強度。這也有助於控制封裝基板的翹曲。因此，環結構具有更好的控制翹曲和應力的能力，並且也提高了整個封裝結構的可靠性。

【0015】 將針對特定的背景(context)來描述實施例，即，晶片級封裝(chip

scale package，CSP)，特別是覆晶晶片級封裝(FcCSP)。然而，其他實施例也可以應用於其他封裝技術，例如覆晶球柵陣列(flip chip ball grid array，FcBGA)封裝和其他封裝技術，例如在二維半積體電路(two and a half dimensional integrated circuit，2.5DIC)結構或三維積體電路(three dimensional IC，3DIC)結構中具有中介層或其他主動晶片的封裝技術。儘管下面所討論的方法實施例可以特定順序來執行，但其他方法實施例也可設想以任何邏輯順序執行的步驟。再者，相同的參考數字或符號指的是相同的組件。

【0016】第1圖是根據本揭露一些實施例的一半導體晶粒封裝1的示意性俯視圖。第2A圖、第2B圖和第2C圖分別是沿著第1圖中的線A-A'、線B-B'和線C-C'截取的半導體晶粒封裝1的示意性剖面圖。如第1圖及第2A至2C圖所示，半導體晶粒封裝1包括一封裝基板10、一半導體裝置20、一環結構30以及一黏著層40。附加特徵可以添加到半導體晶粒封裝1，及/或下面描述的一些特徵可以在其他實施例中被替換或消除。

【0017】封裝基板10用於提供封裝在半導體晶粒封裝1中的半導體裝置與外部電子裝置(未示出)之間的電性連接。在一些實施例中，封裝基板10為半導體基板。舉例來說，半導體基板的材料可以包括元素半導體(例如矽或鍺)、化合物半導體(例如矽鍺、碳化矽、砷化鎵、磷化鎵、磷化銮或砷化銮)、或其組合。在一些替代實施例中，封裝基板10為絕緣層上覆矽(silicon-on-insulator，SOI)基板、絕緣層上覆鍺(germanium-on-insulator，GOI)基板、或其類似物。在一些其他實施例中，封裝基板10包括印刷電路板(printed circuit board，PCB)、陶瓷基板、或其他合適的封裝基板。封裝基板10可以是有核的(core)或無核的(core-less)基板。

【0018】 在一些實施例中，封裝基板10還具有各種裝置元件(未示出)。形成於封裝基板10中或上的裝置元件的範例可以包括電晶體(例如金屬氧化物半導體場效電晶體(metal oxide semiconductor field effect transistors, MOSFET)、互補式金屬氧化物半導體(complementary metal oxide semiconductor, CMOS)電晶體、雙極性電晶體(bipolar junction transistors, BJT)、高電壓電晶體、高頻率電晶體、P通道及/或N通道場效電晶體(PFETs/NFETs)等)、二極體、電阻器、電容器、電感器、及/或其他可選用的裝置元件。可以執行各種製程以形成所述裝置元件，例如沉積、蝕刻、植入(implantation)、光微影、退火、及/或其他合適的製程。另外，封裝基板10可以進一步具有一或多個電路層(未示出)，用於電連接裝置元件和隨後附接的半導體裝置。

【0019】 封裝基板10在俯視圖中通常具有矩形或正方形形狀(參見第1圖)，儘管在不同的實施例中也可以使用其他形狀，這取決於設計需求。

【0020】 封裝基板10可以具有基本上彼此平行的相對表面10A和10B。表面10A(所示的上表面)可用於接收和接合半導體晶粒封裝1的其他封裝部件，這將在下面進一步描述。數個電連接件11可以設置在表面10B(所示的下表面)上，使得半導體晶粒封裝1能夠與例如印刷電路板(未示出)的一外部電子裝置之間達到電性連接。電連接件11可以是或包括焊球，例如含錫焊球，儘管也可以使用其他合適的電連接件。可進行回焊製程，以將焊球接合到封裝基板10的表面10B。

【0021】 半導體裝置20設置在封裝基板10的表面10A上方。在一些實施例中，半導體裝置20為一功能性積體電路(functional IC)晶粒(或晶片)，例如半導體晶粒、電子晶粒、微機電系統(micro-electro-mechanical system, MEMS)晶

粒、或其組合。儘管未示出，功能性積體電路晶粒可以包括在其上具有複數個電子部件(例如電晶體、二極體、被動裝置等)的半導體基板，以形成功能性積體電路。功能性積體電路可以包括一或多個應用處理器、邏輯電路、記憶體裝置、電源管理積體電路、類比電路、數位電路、混合信號電路、一或多種其他合適的功能性積體電路、或其組合，視實際需要而定。在一些實施例中，半導體裝置20為一單晶片系統(System on a Chip, SoC)或其類似物。半導體裝置20可以通過多種製程形成，例如沉積、蝕刻、植入、光微影、退火、及/或其他合適的製程。在不同的實施例中，兩個或更多個半導體裝置20也可以佈置在封裝基板10之上。

【0022】 可以對本揭露的實施例進行許多變化及/或修改。舉例來說，第5圖是根據一些其他實施例的半導體晶粒封裝2的示意性剖面圖，其中半導體裝置20(在第1圖及第2A圖中)被半導體裝置20'代替。在第5圖中，半導體裝置20'為一封裝模組，包括一中介層基板23以及設置在中介層基板23上方的半導體晶粒24和24'。儘管在此範例中有兩個半導體晶粒24和24'，但是在不同的實施例中也可以使用單個晶粒或更多個晶粒。半導體晶粒24和24'可以是兩個不同的功能性積體電路晶粒，且半導體晶粒24和24'中的每一者與上述半導體裝置20相同或相似。

【0023】 中介層基板23在其中包括導電特徵230，例如導電線和導電通孔(有時候統稱為一重分佈層(redistribution layer, RDL)結構)，以電連接暴露在中介層基板23的相對表面(所示的上表面和下表面)的接觸墊(未示出)。中介層基板23可以包括有機中介層基板、矽中介層基板等。中介層基板23的材料和形成方法為本領域所熟知，故在此不再贅述。

【0024】半導體晶粒24和24'可以通過覆晶接合的方法(但本揭露不以此為限)安裝在中介層基板23上。例如，半導體晶粒24和24'中的每一者可通過電連接件25接合到暴露在中介層基板23的上表面的接觸墊(為簡單起見未示出)上。電連接件25用於將半導體晶粒24或24'與中介層基板23電性互連。電連接件25可以包括導電柱、焊球、可控塌陷晶片連接(controlled collapse chip connection, C4)凸塊、微凸塊、一或多種其他合適的接合結構、或其組合。

【0025】在一些實施例中，電連接件25可以包括或由一金屬材料製成，例如銅、鋁、金、鎳、銀、鈮等、或其組合。電連接件25可以使用電鍍製程、化學鍍製程、放置(placement)製程、印刷製程、物理氣相沉積(physical vapor deposition, PVD)製程、化學氣相沉積(chemical vapor deposition, CVD)製程、光微影製程、一或多種其他可選用的製程、或其組合來形成。

【0026】在一些其他實施例中，電連接件25可由一含錫材料製成。含錫材料可以進一步包括銅、銀、金、鋁、鉛、一或多種其他合適的材料、或其組合。在一些其他實施例中，電連接件25是無鉛的。可進行回焊製程，以將含錫材料塑形成所需的凸塊或球形狀。

【0027】根據一些實施例，還形成一底部填充層26以圍繞及保護電連接件25，並增強半導體晶粒24和24'與中介層基板23之間的連接。底部填充層26可以包括或由一絕緣材料製成，例如底部填充材料。底部填充材料可以包括環氧樹脂、樹脂、填料材料、應力釋放劑(stress release agent, SRA)、助黏劑、其他合適的材料、或其組合。

【0028】在一些實施例中，液態的底部填充材料被分配到每個半導體晶粒24/24'與中介層基板23之間間隙中，以加強電連接件25乃至整個封裝結構

的強度。在分配之後，固化底部填充材料以形成底部填充層26。在一些替代實施例中，省略了底部填充層26。

【0029】 根據一些實施例，進一步在中介層基板23上方形成一模制(molding)層27，以圍繞及保護增強半導體晶粒24和24'與底部填充層26。在一些實施例中，模制層27可以通過底部填充層26與半導體晶粒24和24'下方的電連接件25分開。模制層27可以包括或由一絕緣材料製成，例如模制材料。模制材料可以包括一聚合物材料，例如其中分散有填料的環氧基樹脂。

【0030】 在一些實施例中，模制材料(例如液態的模制材料)被分配在中介層基板23上方以及半導體晶粒24和24'上方。然後使用熱處理來固化液態的模制材料，並將其轉變為模制層27。在一些實施例中，半導體晶粒24和24'的頂表面通過一平坦化製程(例如化學機械研磨(chemical mechanical polishing, CMP)製程)而從模制層27暴露出。在一些替代實施例中，省略了模制層27。

【0031】 如第2A圖及第5圖所示，在被製造完成後，半導體裝置20(第2A圖)或半導體裝置20'(第5圖)可以通過覆晶接合的方法(但本揭露不以此為限)安裝在封裝基板10的晶粒安裝區(未示出)上。例如，半導體裝置20或20'可通過電連接件21接合到暴露在封裝基板10的表面10A的接觸墊(為簡單起見未示出)上。電連接件21用於將半導體裝置20或20'與封裝基板10電性互連。電連接件21可以包括導電柱、焊球、可控塌陷晶片連接(C4)凸塊、微凸塊、一或多種其他合適的接合結構、或其組合。電連接件21的材料和形成方法可以與上述電連接件25的材料和形成方法相同或相似，故在此不再贅述。一底部填充層22(類似於底部填充層26)也可被形成以圍繞及保護電連接件21。

【0032】 在一些其他實施例中，根據實際需要，還可以有其他封裝部件

被佈置和安裝在封裝基板10上，例如裝置元件(主動裝置及/或被動裝置)、虛設(dummy)晶粒、其類似物、或其組合。虛設晶粒可被提供以改善整個封裝結構的一致性並減少翹曲。虛設晶粒可以由矽、介電材料、例如銅或不銹鋼的金屬材料等、或其組合製成。在一些實施例中，虛設晶粒是空白(blank)晶粒，整體由一同質材料形成，例如矽。在一些實施例中，虛設晶粒中沒有形成主動裝置、被動裝置、功能性電路等，因此虛設晶粒不具有電性功能(electrical functions)。在一些替代實施例中，虛設晶粒是有缺陷的晶粒，已作為虛設晶粒被回收。

【0033】環結構30設置在封裝基板10的表面10A上方。環結構30可以具有基本上相對且彼此平行的底表面30A和頂表面30B，且底表面30A面對表面10A。在一些實施例中，環結構30沿著封裝基板10的周邊10C佈置並與周邊10C相鄰，並且橫向地圍繞半導體裝置20(或半導體裝置20')。取決於封裝基板10的形狀，環結構30在俯視圖中可以具有基本上矩形或正方形的環形狀(參見第1圖)。環結構30的剛性可以大於封裝基板10的剛性，因此環結構30可被配置為加強環(stiffener ring)，用於約束(constraining)封裝基板10以減輕其翹曲及/或增強封裝基板10的堅固性。環結構30的材料可以包括例如銅、不鏽鋼、不鏽鋼/鎳等的金屬，但不以此為限。

【0034】黏著層40介於封裝基板10的表面10A與環結構30的底表面30A之間。黏著層40配置用以將環結構30接合或黏附到封裝基板10。黏著層40可以是任何合適的非導電黏著劑、晶粒附接膜(die attach film, DAF)等。在一些實施例中，黏著層40可以包括或由一有機黏著材料製成，例如環氧樹脂、聚醯亞胺(polyimide, PI)、聚苯噁唑(polybenzoxazole, PBO)、苯並環丁烯(benzo-cyclo-

butene，BCB)等，但本揭露不以此為限。在一些實施例中，在安裝環結構30之前，黏著層40可施加於環結構30的底表面30A或可施加於封裝基板10的表面10A上方。

【0035】 上述用於半導體晶粒封裝1或2中的各種封裝部件和基板材料可以具有不同的熱膨脹係數(coefficients of thermal expansion，CTEs)。因此，當封裝結構在封裝組裝、可靠性測試、或現場操作的期間經歷熱循環時，所述封裝組件和基板材料可能以不同的速率膨脹，導致封裝基板10傾向於翹曲。環結構30可以在一定程度上減少這種翹曲，但是由於環結構30會約束封裝基板10，故此約束力也會在封裝基板10和封裝基板10上的其他封裝部件(例如半導體裝置20或20')中產生應力，並可能對它們造成損壞(例如破裂或分層)。

【0036】 因此，需要一種具有能夠解決上述應力問題的環結構的半導體晶粒封裝。下面將描述根據一些實施例的新穎的環結構，其可用於在熱循環過程中減輕於封裝中所產生的應力而不失去其控制翹曲的能力。第3圖是根據一些實施例的環結構30的立體圖，而第4圖是第3圖中的環結構30的示意性仰視圖。可以將第3圖及第4圖中的環結構30應用於上述半導體晶粒封裝1或2以更好地控制應力和翹曲。

【0037】 如第1至5圖所示，環結構30包括一下環部31以及在下環部31之上的一上環部32。在這些實施例中，下環部31與上環部32是一體成型的(即，環結構30為一體式環結構)，儘管在不同的實施例中，下環部31與上環部32原來也可以是分開的元件，並可通過黏著劑結合在一起。

【0038】 當環結構30被附接到封裝基板10時，下環部31介於封裝基板10的表面10A與上環部32之間。在一些實施例中，下環部31為扁平結構，具有基

基本上彼此平行的相對表面31A和31B。表面31A(所示的底表面，也是環結構30的底表面30A)面對封裝基板10的表面10A。黏著層40介於表面31A與表面10A之間，用以將環結構30接合到封裝基板10。

【0039】 在一些實施例中，下環部31沿著封裝基板10的周邊10C佈置並與周邊10C相鄰，並且橫向地圍繞半導體裝置20或20'。取決於封裝基板10的形狀，下環部31在俯視圖中可以具有基本上矩形或正方形的環形狀(參見第1圖)。舉例來說，矩形的下環部31包括四個角落310和四個側邊312，每個側邊312位在兩個相鄰角落310之間(或每個角落310位在兩個相鄰側邊312的交會處)，並且所述角落310和側邊312分別對應於矩形的封裝基板10的角落和側邊。

【0040】 在一些實施例中，如第4圖所示，整個下環部31(即，所有側邊312)具有一致的寬度 W_1 ，但本揭露不以此為限。在一些替代實施例中，下環部31的在第一方向D1上排列的側邊312(例如所示的上側邊和下側邊)的寬度可以不同於(大於或小於)下環部31的在第二方向D2上排列的側邊312(例如所示的左側邊和右側邊)的寬度。每個角落310的尺寸(面積)由兩相鄰側邊312的寬度 W_1 定義。所述側邊的寬度 W_1 以及角落310的尺寸/形狀可以根據實際需要(例如封裝基板10的尺寸及/或形狀)而改變，並且寬度 W_1 大於零。

【0041】 在一些實施例中，下環部31的側邊312上形成有數個槽口3120(也稱為"消除(eliminated)部分")，但下環部31的角落310處不形成槽口3120。每個槽口3120被配置為貫穿下環部31的表面31A和31B(所示的底表面和頂表面)。槽口3120可以使用例沖壓製程的機械製程、例如蝕刻製程的化學製程、雷射燒蝕等製程來形成。

【0042】 在一些實施例中，槽口3120沿著下環部31的外周邊 OP_1 形成。例

如，所述槽口3120可以從下環部31的外周邊 OP_1 (鄰近封裝基板10的周邊10C)延伸至位於上環部32下方的下環部31的內周邊 IP_1 (鄰近半導體裝置20或20')，如第4圖所示。如此一來，下環部31包括複數個實心柱3121和槽口3120，且每個槽口3120介於相鄰實心柱3121之間或相鄰實心柱3121與角落310之間。

【0043】 第4A圖和第4B圖是根據一些替代實施例的環結構30'的示意性仰視圖。在第4A圖及第4B圖中，每個槽口3120形成為從下環部31的外周邊 OP_1 朝向下環部31的內周邊 IP_1 延伸，但未到達(貫穿)內周邊 IP_1 。在一些實施例中，槽口3120可以或可以不延伸到上環部32的底部。舉例來說，在平面圖中，包括下環部31的每個槽口3120的內邊緣的邊界可以在上環部32的外周邊 OP_2 的內側(第4A圖)、外側或與其對齊(第4B圖)。環結構30'的其他特徵可以與第4圖所示的環結構30類似。

【0044】 在一些實施例中，每個槽口3120(或每個實心柱3121)在與下環部31的個別(respective)側邊312的延伸方向(例如圖中所示的方向 D_2 或 D_1)垂直的方向(例如圖中所示的方向 D_1 或 D_2)上延伸，但本揭露的實施例不限於此(稍後將進一步描述)。在一些實施例中，下環部31的所有槽口3120可具有一致的尺寸 G 並可以等間隔佈置，但本揭露的實施例不限於此(稍後將進一步描述)。

【0045】 上環部32一體地形成在下環部31的表面31B(所示的頂表面)上。在一些實施例中，上環部32為扁平結構，具有基本上彼此平行的表面32A和32B。表面32A(所示的底表面)面對並與下環部31的表面31B連接，且表面32B(所示的頂表面，也是環結構30的頂表面30B)與表面32A相對。

【0046】 在一些實施例中，上環部32同心地覆蓋下環部31。舉例來說，如第3圖及第4圖所示，上環部32與下環部31可以具有相同的形狀(例如矩形或正

方形的環形狀)，並且上環部32的中心 C_2 與下環部31的中心 C_1 對齊。在一些實施例中，如第4圖所示，整個上環部32(即，所有側邊)具有一致的寬度 W_2 ，但本揭露不以此為限。

【0047】 在一些實施例中，上環部32的外周邊 OP_2 與下環部31的外周邊 OP_1 間隔開，並且下環部31的(頂)表面31B的一部分(以及部分的槽口1320)從上環部32暴露出，例如當從一垂直方向(例如圖中所示的方向 D_3 ，其垂直於封裝基板10的表面10A)觀察時。

【0048】 另外，在一些實施例中，上環部32具有朝向半導體裝置20或20'橫向地向內延伸並超過下環部31的內周邊 IP_1 的一(突出或懸垂)部分。如此一來，上環部32的內周邊 IP_2 比下環部31的內周邊 IP_1 更靠近半導體裝置20或20'。在一些實施例中，如第1圖所示，當從垂直方向(例如圖中所示的方向 D_3)觀察時，上環部32的內周邊 IP_2 橫向地圍繞半導體裝置20或20'，且上環部32的內周邊 IP_2 與半導體裝置20或20'之間具有一間隙 S 。

【0049】 在一些實施例中，如第2A圖及第5圖所示，上環部32的突出(或懸垂)部分的(底)表面32A與封裝基板10的(上)表面10A間隔開，並與黏著層40分離(即，黏著層40不形成在上環部32的表面32A上)。

【0050】 由於以上設計，環結構30(或30')可以通過形成在下環部31的側邊312上的槽口3120減少在熱循環過程中產生於封裝(包括封裝基板10及其上的其他封裝部件)中的應力。這是由於槽口3120(消除部分)與封裝基板10之間的耦合效應(coupling effect)的降低。另外，下環部31的角落310被保留(即，在角落310處不形成槽口3120)，並且上環部32形成在下環部31之上，有助於維持或增加整體環結構30(或30')的結構強度，這也有助於控制封裝基板10的翹曲。因

此，環結構30(或30')具有更好的控制翹曲和應力的能力，並且也提高了整個封裝結構的可靠性。

【0051】 可以對本揭露的實施例進行許多變化及/或修改。舉例來說，第6A至6F圖及第7A至7F圖示意性地示出根據一些實施例之具有不同槽口配置的環結構(30-1、30-2、30-3、30-4、30-5和30-6)的仰視圖，並且也示意性地示出黏著層40(用網點標示)的各種佈置。應瞭解的是，第6A至6F圖所示的環結構分別對應於第7A至7F圖所示的環結構，不同之處在於黏著層40的位置。

【0052】 在第6A圖及第7A圖中，所示的環結構30-1具有與第4圖所示的環結構30相同的槽口配置(例如，佈置在下環部31的側邊312上的槽口3120可具有一致的尺寸G並可以等間隔佈置)。黏著層40可以形成在下環部31的四個角落310和實心柱3121(在槽口3120之間)上(參見第6A圖)，或僅形成在下環部31的四個角落310上(參見第7A圖)。

【0053】 在第6B圖及第7B圖中，對於下環部31的每個側邊312，其中所佈置的槽口3120可以具有兩種或更多種不同的尺寸，例如佈置在中心處的槽口3120的尺寸 G_1 可以大於靠近角落310佈置的槽口3120的尺寸 G_2 。黏著層40可以形成在下環部31的四個角落310和實心柱3121(在槽口3120之間)上(參見第6B圖)，或僅形成在下環部31的四個角落310上(參見第7B圖)。

【0054】 在第6C圖及第7C圖中，對於下環部31的每個側邊312，其中所佈置的槽口3120可以具有兩種或更多種不同的尺寸，例如靠近角落310佈置的槽口3120的尺寸 G_3 可以大於佈置在中心處的槽口3120的尺寸 G_4 。黏著層40可以形成在下環部31的四個角落310和實心柱3121(在槽口3120之間)上(參見第6C圖)，或僅形成在下環部31的四個角落310上(參見第7C圖)。

【0055】 在第6D圖及第7D圖中，對於下環部31的兩個相對側邊312，有複數個槽口3120形成在個別側邊312中(例如在一些實心柱3121之間)，而對於下環部31的另外兩個相對側邊312，僅有一個槽口3120形成在個別側邊312中(例如在相鄰角落310之間)。黏著層40可以形成在下環部31的四個角落310和實心柱3121(在槽口3120之間)上(參見第6D圖)，或僅形成在下環部31的四個角落310上(參見第7D圖)。

【0056】 在第6E圖及第7E圖中，一些槽口3120在與下環部31的個別側邊312的延伸方向傾斜的方向上延伸，例如，靠近角落310佈置的槽口3120可相對於個別側邊312的延伸方向呈傾斜，而佈置在中心處的槽口3120可以垂直於個別側邊312的延伸方向。黏著層40可以形成在下環部31的四個角落310和實心柱3121(在槽口3120之間)上(參見第6E圖)，或僅形成在下環部31的四個角落310上(參見第7E圖)。

【0057】 在第6E圖及第7E圖中，槽口3120(消除部分)佈置在下環部31的其中兩個相對側邊312上，但不佈置在下環部31的另外兩個相對側邊312上(即，這些側邊312被保留)。黏著層40可以形成在下環部31的四個角落310、兩個保留的側邊312以及實心柱3121(在槽口3120之間)上(參見第6F圖)，或僅形成在下環部31的四個角落310上(參見第7F圖)。

【0058】 上述環結構可以根據實際需要(例如封裝中的不同應力集中位置及/或應力方向)來選擇。在封裝的晶粒到晶粒(die-to-die)位置及/或晶粒角落(die corner)位置具有較大應力的一些實施例中，環結構的槽口3120可以佈置為對應於這些位置，並且也可以具有較大的尺寸以減輕應力，從而有助於避免在這些位置的部件的損壞(例如破裂或分層)。

【0059】 另外，在一些實施例中(如上所述)，黏著層40可以形成在下環部31的(底)表面31A的一部分或全部上，以改變環結構30控制翹曲和應力的能力。舉例來說，黏著層40也可以僅形成在實心柱3121的底表面的一部分上，所述部分橫向地延伸超過上環部32，如第6A至6F圖中的虛線所示。應瞭解的是，黏著層40與表面31A之間的接觸面積(或表面31A之上的黏著層40的圖案)會影響環結構30與封裝基板10之間的耦合效應，甚至影響環結構30控制翹曲和應力的能力。因此，通過改變在表面31A上方的黏著層40的配置，也可使環結構30更好地控制應力和翹曲。

【0060】 應瞭解的是，本文中描述的結構僅是說明性的，並不意圖也不應被解讀為限制本揭露。一旦由本揭露所提示，許多替代方案和修改對於本領域技術人員來說將是顯而易見的。例如，在不同的實施例中，下環部31上的槽口3120的形狀、佈置及/或圖案、及/或表面31A上方的黏著層40的位置也都可以改變。

【0061】 第8圖是顯示根據一些實施例的用於形成一半導體晶粒封裝(例如上述半導體晶粒封裝1或2)的方法的流程圖。在操作801中，將一半導體裝置20或20'放置在一封裝基板10的表面10A上方，如第2A圖或第5圖所示。然後，對半導體裝置20或20'與封裝基板10之間的電連接件21進行回焊，以將半導體裝置20或20'與封裝基板10電性互連(即，接合)。在操作802中，形成一環結構30(或30')，其包括下環部31，其側邊312上佈置有槽口3120，以及上環部32，一體地形成在下環部31上，如前面在第3圖、第4圖、第6A至6F圖以及第7A-7F圖所討論的。所述一體式環結構30(或30')可以使用例如沖壓製程、另一種機械製程、化學蝕刻製程、雷射燒蝕製程或其他可選用的製程來形成。在一些其他實施例

中，下環部31與上環部32原來可以是分開的元件，並可通過黏著劑結合在一起。在操作803中，經由一黏著層40將環結構30(或30')附接到封裝基板10的表面10A。在安裝環結構30(或30')之前，黏著層40可施加於環結構30的底表面30A(即，下環部31的底表面31A)或可施加於封裝基板10的表面10A上方。在一些實施例中，黏著層40形成在下環部31的表面31A的一部分或全部上，視實際需要而定。

【0062】 綜上所述，根據本揭露一些實施例提供了一種半導體裝置封裝，其包括一種新穎的一體式環結構，該環結構可用於在熱循環過程中減輕或減少於封裝中所產生的應力而不失去其控制翹曲的能力。因此，提高了整個封裝結構的可靠性。再者，在一些實施例中，黏著層可以形成在環結構的底表面的一部分上，使環結構具有更好的控制翹曲和應力的能力。

【0063】 根據本揭露一些實施例，提供一種半導體晶粒封裝。所述半導體晶粒封裝包括一封裝基板、一半導體裝置、一環結構以及一黏著層。封裝基板具有一第一表面。半導體裝置設置在封裝基板的第一表面上方。環結構設置在封裝基板的第一表面上方且橫向地圍繞半導體裝置，其中環結構包括一下環部以及一上環部。下環部圍繞封裝基板的周邊佈置，其中複數個槽口沿著下環部的外周邊形成。上環部一體地形成在下環部上，其中下環部在封裝基板與上環部之間，且上環部朝向半導體裝置橫向地延伸，使得上環部的內周邊比下環部的內周邊更靠近半導體裝置。黏著層介於環結構與封裝基板的第一表面之間。

【0064】 在一些實施例中，上環部的外周邊與下環部的外周邊間隔開。在一些實施例中，上環部的底表面與封裝基板的第一表面之間具有一間隙。在

一些實施例中，黏著層介於下環部的底表面與封裝基板的第一表面之間。在一些實施例中，所述槽口貫穿下環部的頂表面和底表面，並從下環部的外周邊延伸至位於上環部下方的下環部的內周邊。在一些實施例中，下環部為具有四個角落和四個側邊的矩形環狀，且所述槽口形成在該四個側邊上。在一些實施例中，所述槽口中的每一者在垂直於下環部的個別側邊的延伸方向的一方向上延伸。在一些實施例中，所述槽口的尺寸一致。在一些實施例中，所述槽口具有兩種或更多種不同的尺寸。在一些實施例中，在垂直於封裝基板的第一表面的一方向上觀察時，上環部的內周邊與半導體裝置之間具有一間隙。

【0065】 根據本揭露一些實施例，提供一種半導體晶粒封裝。所述半導體晶粒封裝包括一封裝基板、一半導體裝置、一環結構以及一黏著層。封裝基板具有一第一表面。半導體裝置設置在封裝基板的第一表面上方。環結構設置在封裝基板的第一表面上方且橫向地圍繞半導體裝置，其中環結構包括一下環部以及一上環部。下環部為矩形環狀，其中下環部的一些或全部的側邊分別具有貫穿下環部的頂表面和底表面的一或多的槽口。上環部為矩形環狀，一體地形成在下環部上，其中上環部具有朝向半導體裝置橫向地延伸並超過下環部的內周邊的一部分。黏著層介於下環部的底表面與封裝基板的第一表面之間。

【0066】 在一些實施例中，下環部的頂表面的一部分從上環部暴露出。在一些實施例中，上環部的所述部分的底表面與封裝基板的第一表面間隔開，並與黏著層分離。在一些實施例中，下環部包括四個角落和四個側邊，且下環部的具有所述槽口的所述側邊分別還具有複數個實心柱，其中所述槽口中的每一者介於相鄰實心柱之間或相鄰實心柱與角落之間，且所述槽口從下環部的外周邊朝向下環部的內周邊延伸。在一些實施例中，黏著層形成於下環部的四個

角落上。在一些實施例中，黏著層形成於下環部的四個角落和所述實心柱上。在一些實施例中，所述槽口中的每一者在垂直於下環部的個別側邊的延伸方向的一方向上延伸。在一些實施例中，所述槽口中的一些在與下環部的個別側邊的延伸方向傾斜的一方向上延伸。

【0067】 根據本揭露一些實施例，提供一種半導體晶粒封裝。所述半導體晶粒封裝包括一封裝基板、一半導體裝置、一環結構以及一黏著層。封裝基板具有一第一表面。半導體裝置設置在封裝基板的第一表面上方。環結構設置在封裝基板的第一表面上方且橫向地圍繞半導體裝置，其中環結構包括一下環部以及一上環部。下環部圍繞封裝基板的周邊佈置，其中下環部具有貫穿下環部的頂表面和底表面的複數個槽口。上環部同心地覆蓋下環部，其中上環部的內周邊延伸超過下環部的內周邊且橫向地圍繞半導體裝置，且上環部的外周邊與下環部的外周邊間隔開。黏著層介於下環部的底表面與封裝基板的第一表面之間。

【0068】 在一些實施例中，下環部包括四個角落和四個側邊，且該四個側邊中的一些或全部分別具有複數個實心柱，其中所述槽口中的每一者形成於相鄰實心柱之間、相鄰角落之間或相鄰實心柱與角落之間，其中黏著層形成於該四個角落和所述實心柱上。

【0069】 前述內文概述了許多實施例的特徵，使本技術領域中具有通常知識者可以從各個方面更佳地了解本揭露。本技術領域中具有通常知識者應可理解，且可輕易地以本揭露為基礎來設計或修飾其他製程及結構，並以此達到相同的目的及/或達到與在此介紹的實施例等相同之優點。本技術領域中具有通常知識者也應了解這些相等的結構並未背離本揭露的發明精神與範圍。在不背

離本揭露的發明精神與範圍之前提下，可對本揭露進行各種改變、置換或修改。

【符號說明】

【0070】

1, 2:半導體晶粒封裝

10:封裝基板

10A, 10B:表面

10C:周邊

11:電連接件

20, 20':半導體裝置

21:電連接件

22:底部填充層

23:中介層基板

230:導電特徵

24, 24':半導體晶粒

25:電連接件

26:底部填充層

27:模制層

30, 30', 30-1, 30-2, 30-3, 30-4, 30-5, 30-6:環結構

30A:底表面

30B:頂表面

31:下環部

31A:(底)表面

31B:(頂)表面

310:角落

312:側邊

3120:槽口

3121:實心柱

32:上環部

32A, 32B:表面

40:黏著層

801, 802, 803:操作

S:間隙

G, G₁, G₂, G₃, G₄:尺寸

W₁, W₂:寬度

IP₁, IP₂:內周邊

OP₁, OP₂:外周邊

C₁, C₂:中心

D1:(第一)方向

D2:(第二)方向

D3:方向

【發明申請專利範圍】

【請求項1】 一種半導體晶粒封裝，包括：

一封裝基板，具有一第一表面；

一半導體裝置，設置在該封裝基板的該第一表面上方；

一環結構，設置在該封裝基板的該第一表面上方且橫向地圍繞該半導體裝置，其中該環結構包括：

一下環部，圍繞該封裝基板的一周邊佈置，其中複數個槽口沿著該下環部的一外周邊形成；以及

一上環部，一體地形成在該下環部上，其中該下環部在該封裝基板與該上環部之間，且該上環部朝向該半導體裝置橫向地延伸，使得該上環部的一內周邊比該下環部的一內周邊更靠近該半導體裝置，以及該上環部的一外周邊與該下環部的一外周邊間隔開；以及

一黏著層，介於該環結構與該封裝基板的該第一表面之間。

【請求項2】 如請求項1之半導體晶粒封裝，其中該上環部的一底表面與該封裝基板的該第一表面之間具有一間隙。

【請求項3】 如請求項1之半導體晶粒封裝，其中該些槽口貫穿該下環部的一頂表面和一底表面，並從該下環部的該外周邊延伸至位於該上環部下方的該下環部的該內周邊。

【請求項4】 如請求項1之半導體晶粒封裝，其中該下環部為具有四個角落和四個側邊的矩形環狀，且該些槽口形成在該四個側邊上。

【請求項5】 如請求項1之半導體晶粒封裝，其中在垂直於該封裝基板的該第一表面的一方向上觀察時，該上環部的該內周邊與該半導體裝置之間具有一

間隙。

【請求項6】一種半導體晶粒封裝，包括：

一封裝基板，具有一第一表面；

一半導體裝置，設置在該封裝基板的該第一表面上方；

一環結構，設置在該封裝基板的該第一表面上方且橫向地圍繞該半導體裝置，其中該環結構包括：

一下環部，為矩形環狀，其中該下環部的一些或全部的側邊分別具有貫穿該下環部的一頂表面和一底表面的一或多個槽口；以及

一上環部，為矩形環狀，一體地形成在該下環部上，其中該上環部具有朝向該半導體裝置橫向地延伸並超過該下環部的一內周邊的一部分，以及該下環部的該頂表面的一部分從該上環部暴露出；以及

一黏著層，介於該下環部的該底表面與該封裝基板的該第一表面之間。

【請求項7】如請求項6之半導體晶粒封裝，其中該下環部包括四個角落和四個側邊，且該下環部的具有該些槽口的該些側邊分別還具有複數個實心柱，其中該些槽口中的每一者介於相鄰實心柱之間或相鄰實心柱與角落之間，且該些槽口從該下環部的一外周邊朝向該下環部的該內周邊延伸，其中：該黏著層形成於該下環部的該四個角落上，或形成於該下環部的該四個角落和該些實心柱上；以及該些槽口中的每一者在垂直於該下環部的個別側邊的一延伸方向的一方向上延伸，或者該些槽口中的一些在與該下環部的個別側邊的一延伸方向傾斜的一方向上延伸。

【請求項8】一種半導體晶粒封裝，包括：

一封裝基板，具有一第一表面；

一半導體裝置，設置在該封裝基板的該第一表面上方；

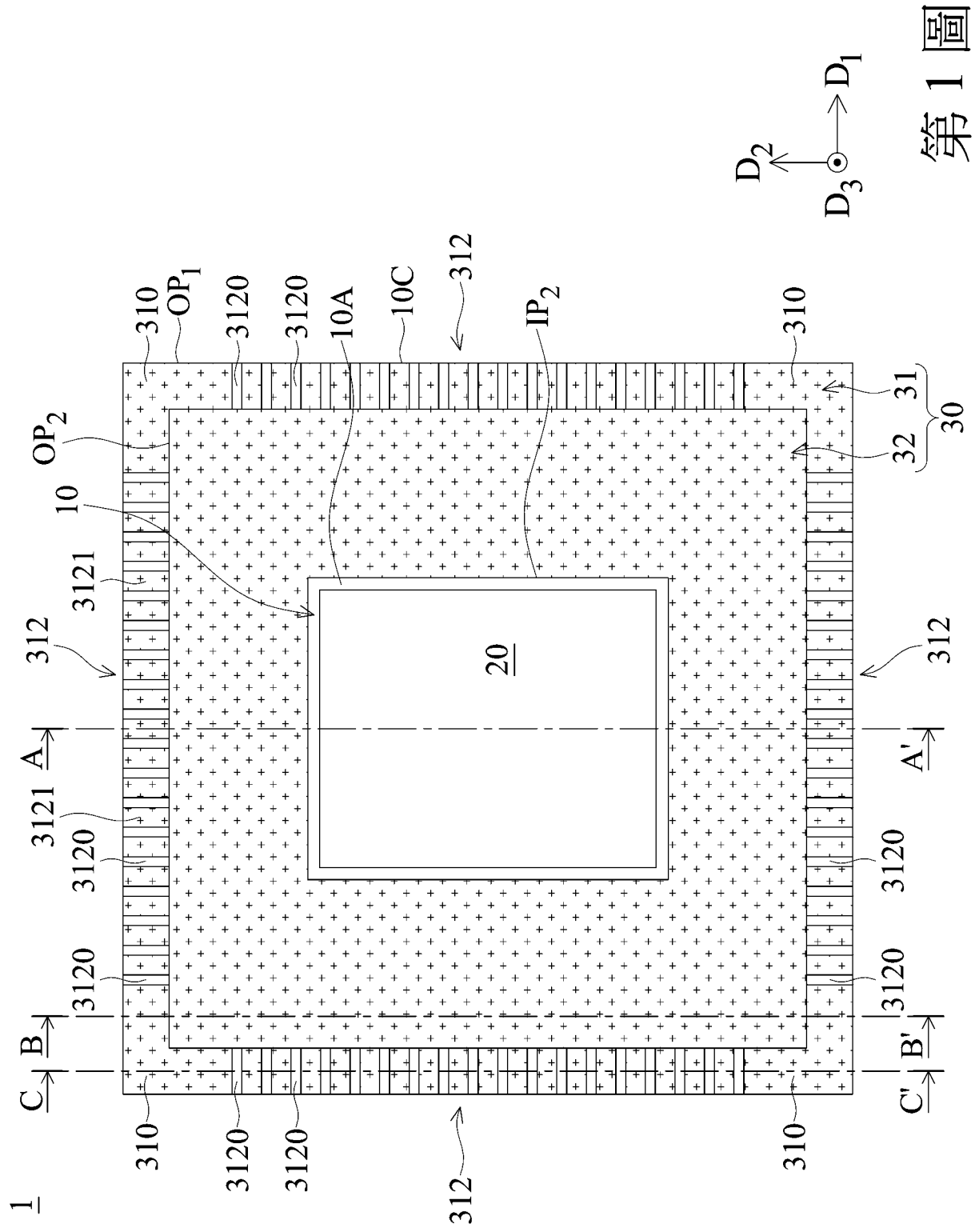
一環結構，設置在該封裝基板的該第一表面上方且橫向地圍繞該半導體裝置，其中該環結構包括：

一下環部，圍繞該封裝基板的一周邊佈置，其中該下環部具有貫穿該下環部的一頂表面和一底表面的複數個槽口；以及

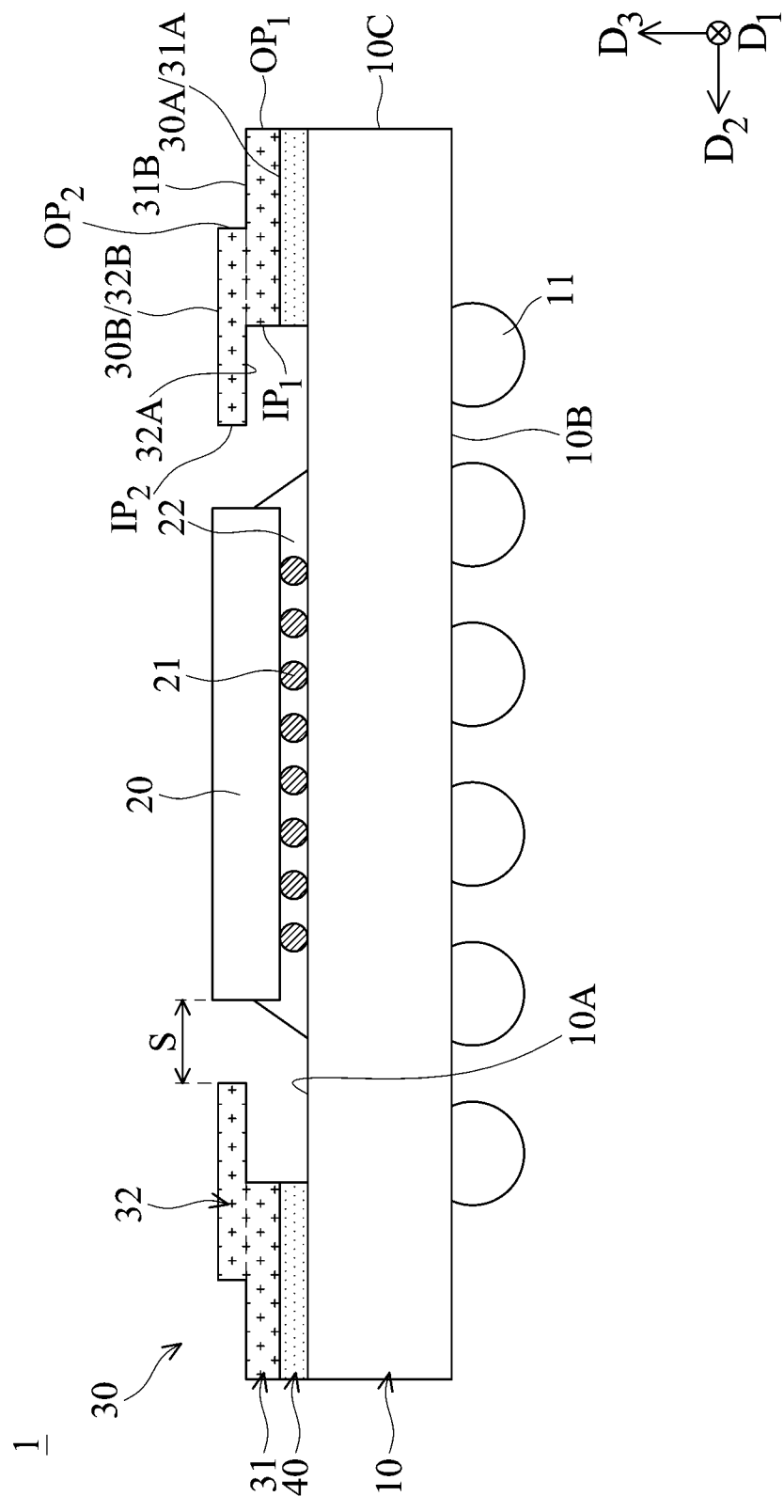
一上環部，同心地覆蓋該下環部，其中該上環部的一內周邊延伸超過該下環部的一內周邊且橫向地圍繞該半導體裝置，且該上環部的一外周邊與該下環部的一外周邊間隔開；以及

一黏著層，介於該下環部的該底表面與該封裝基板的該第一表面之間。

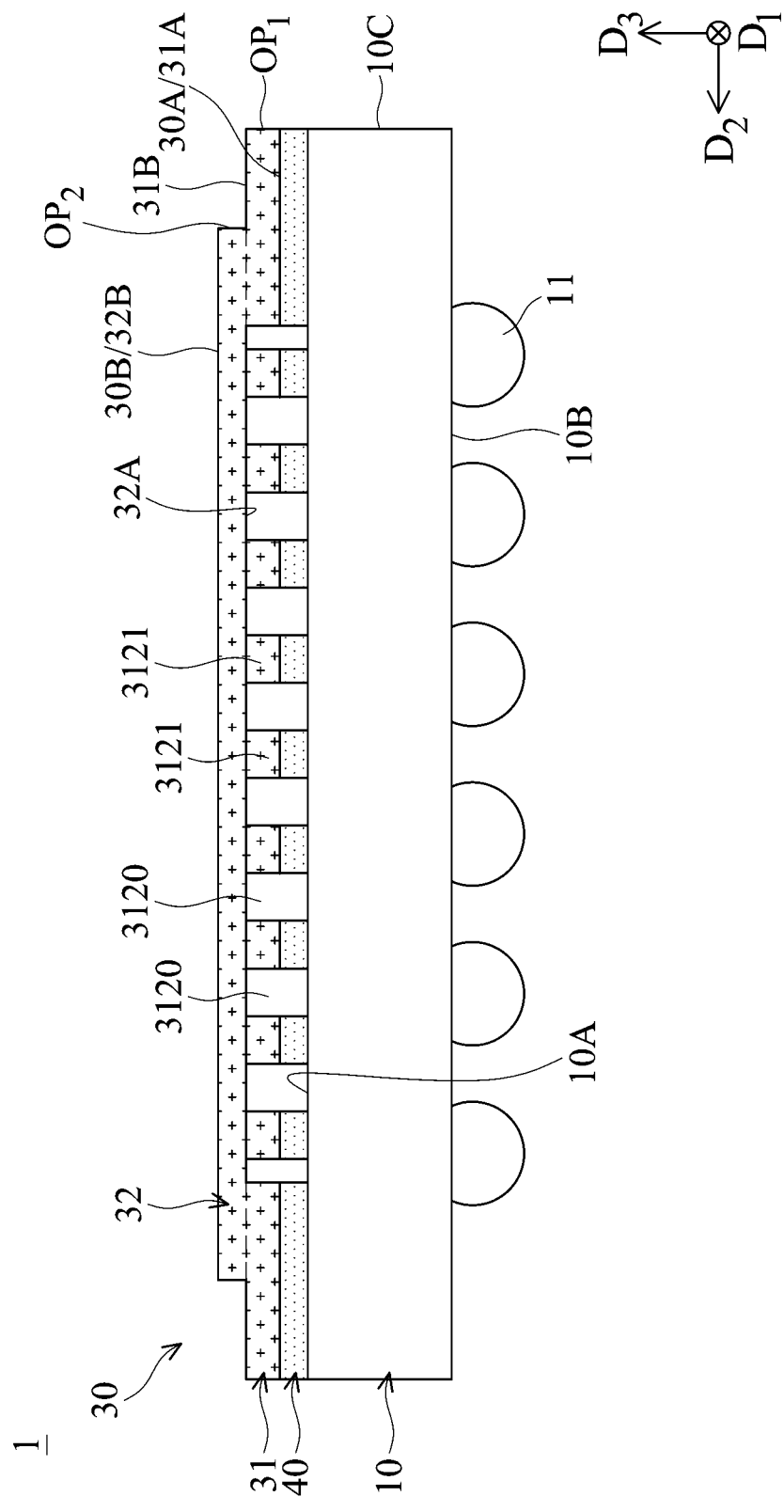
【發明圖式】



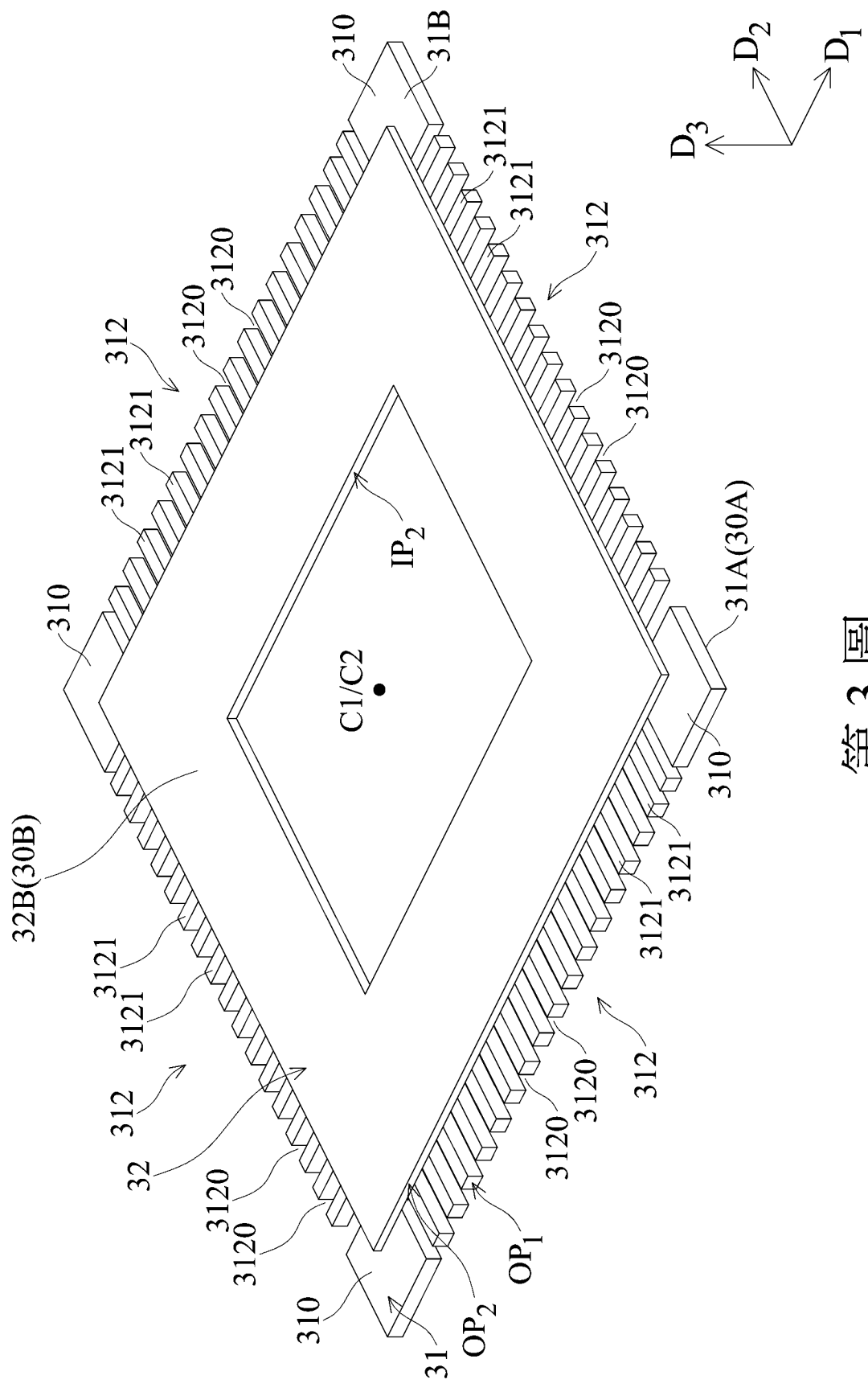
第 1 圖



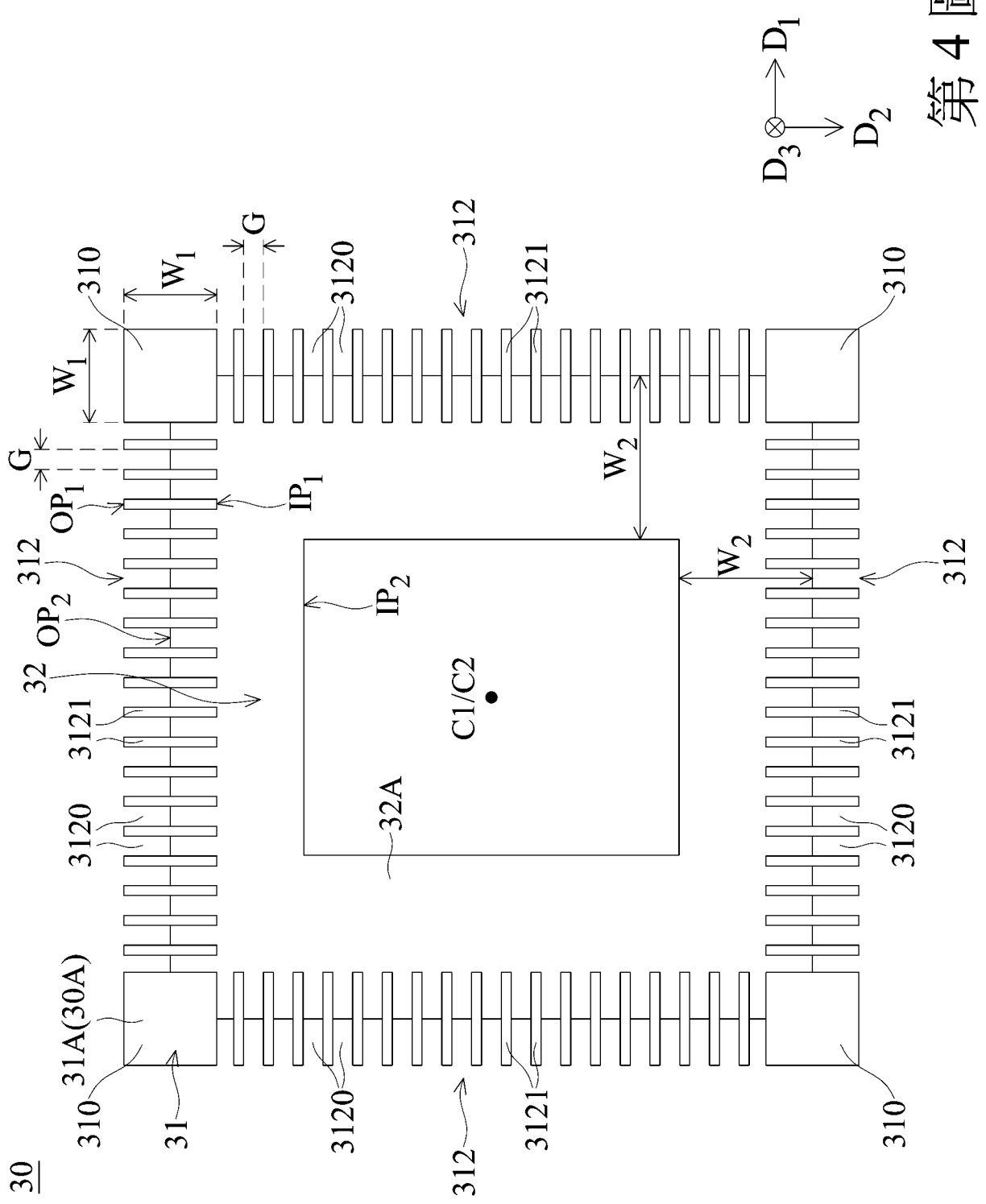
第2A圖



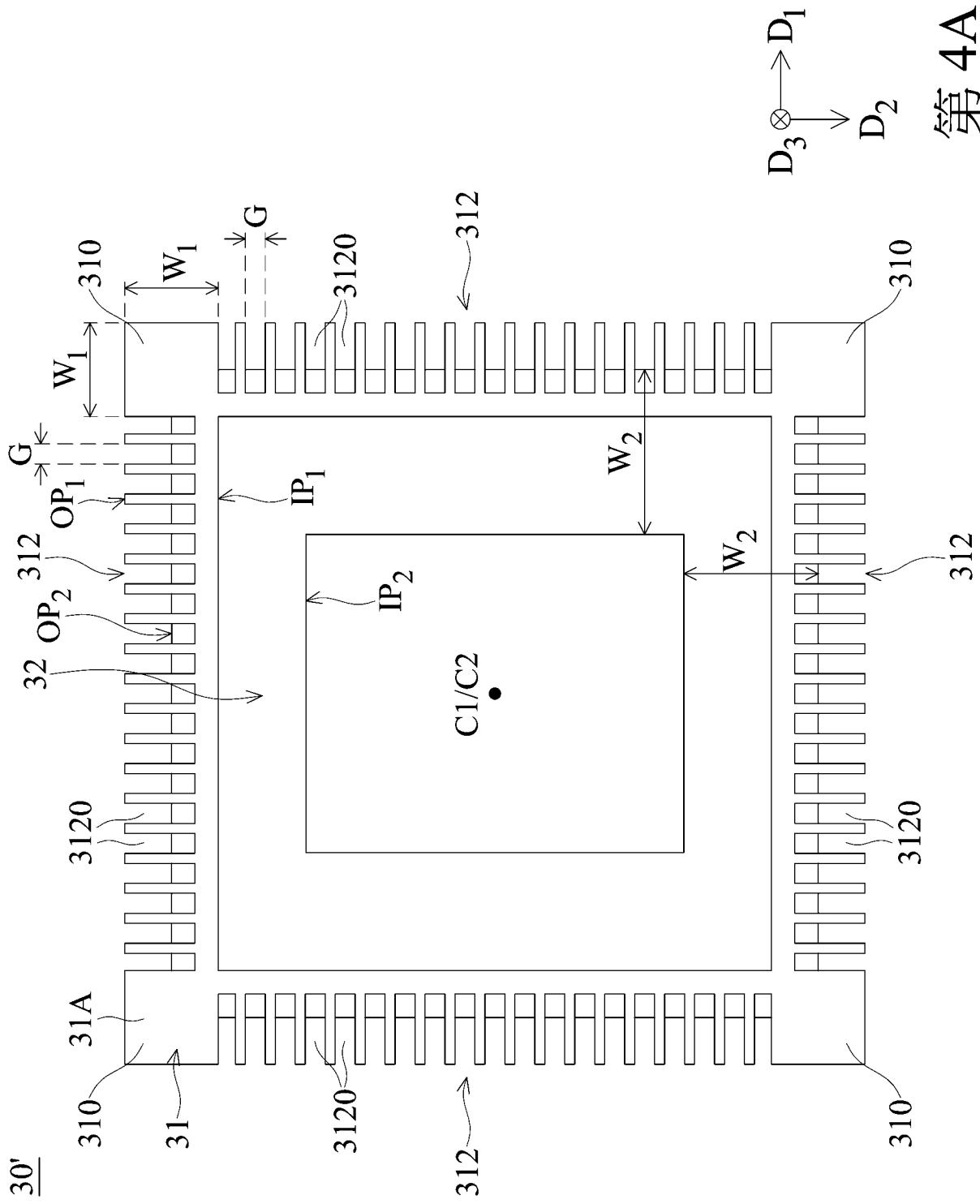
第2B圖



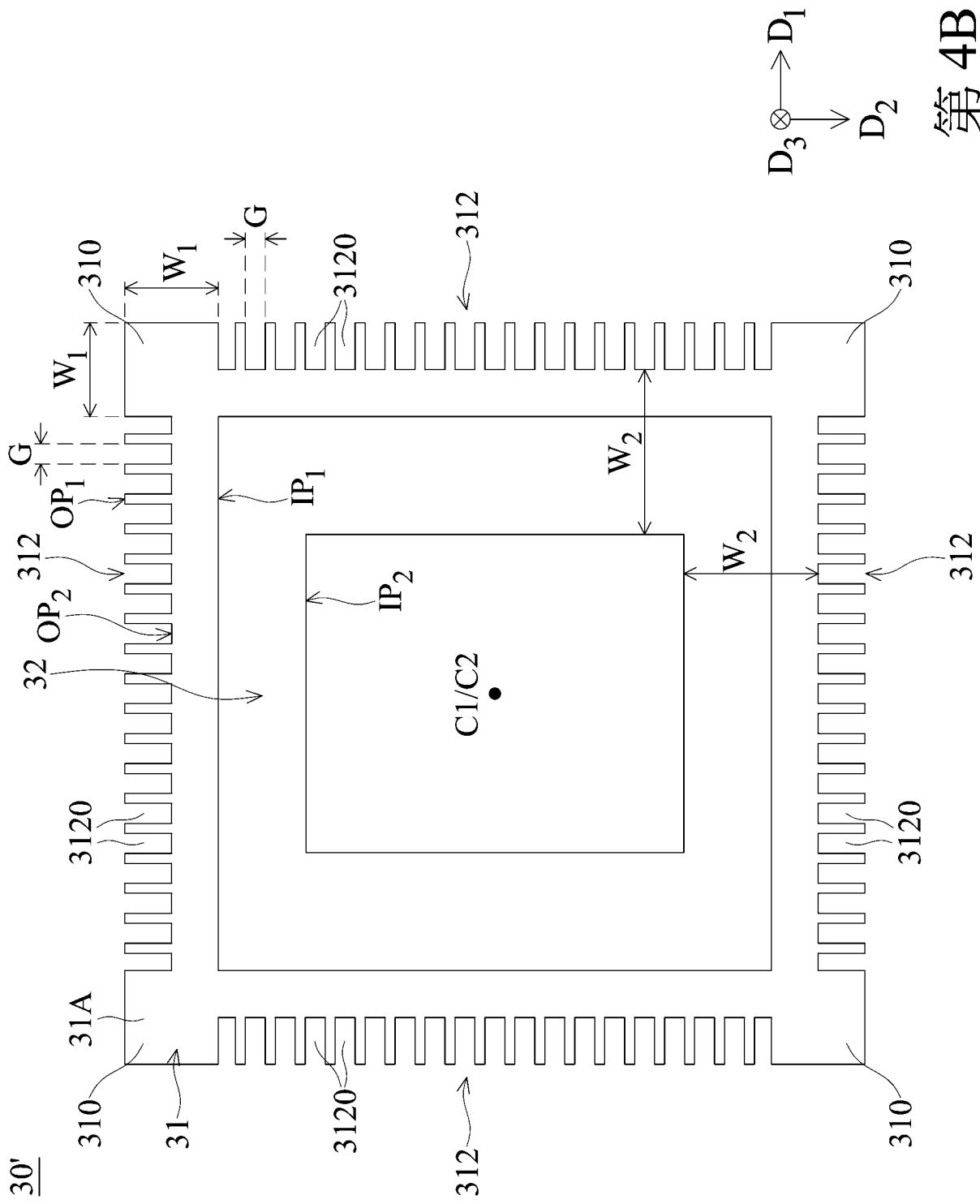
第 3 圖



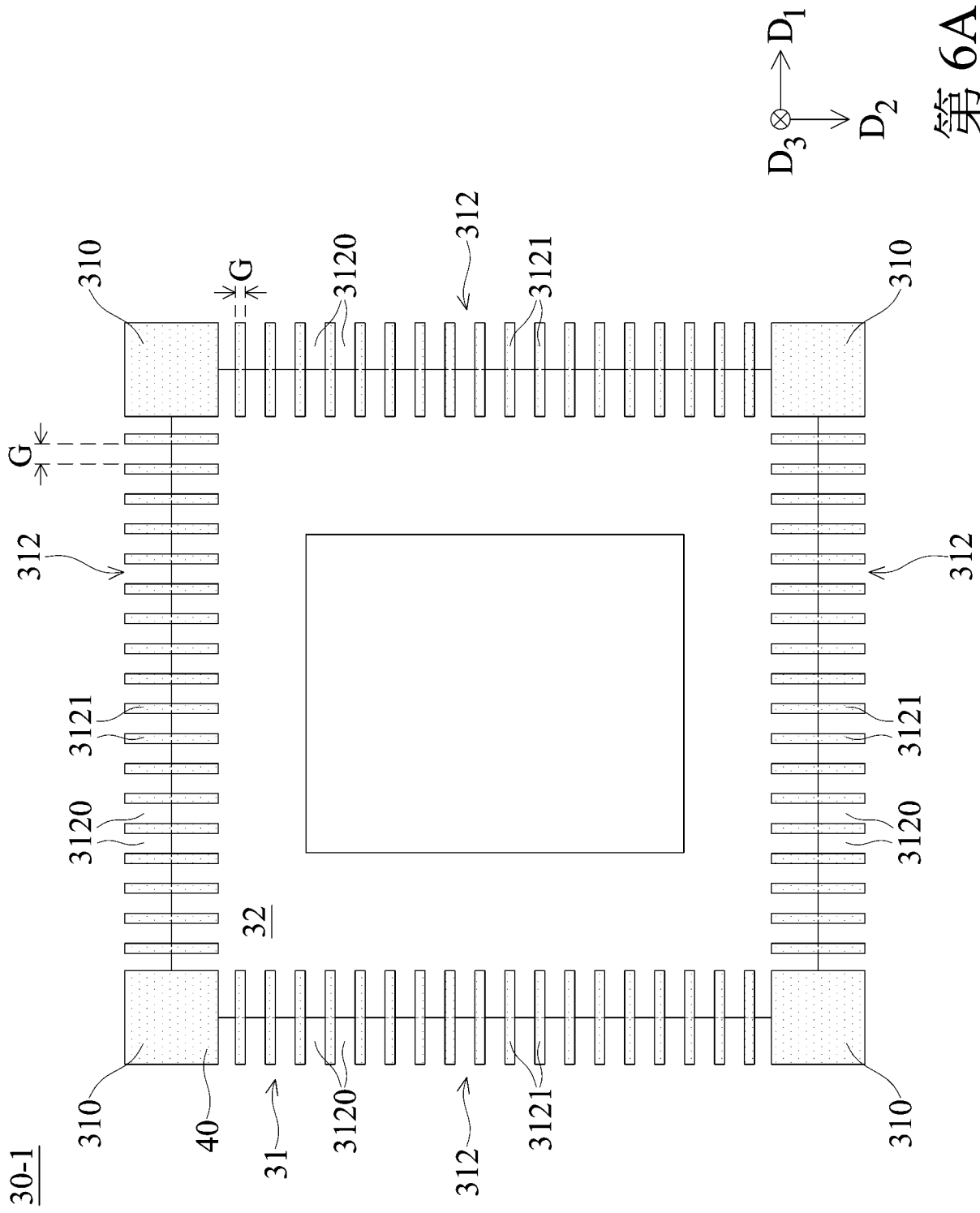
第4圖



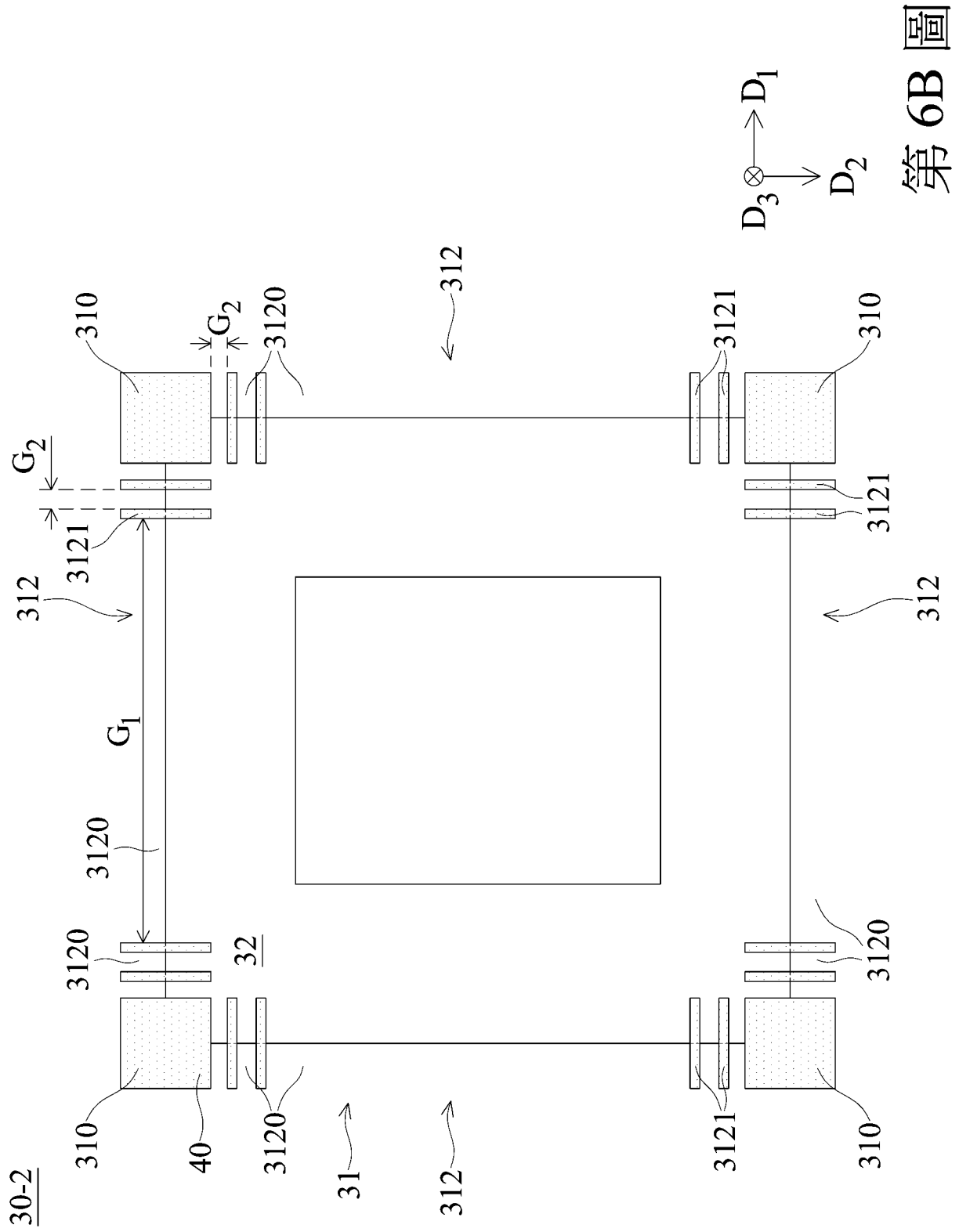
第 4A 圖



第 4B 圖



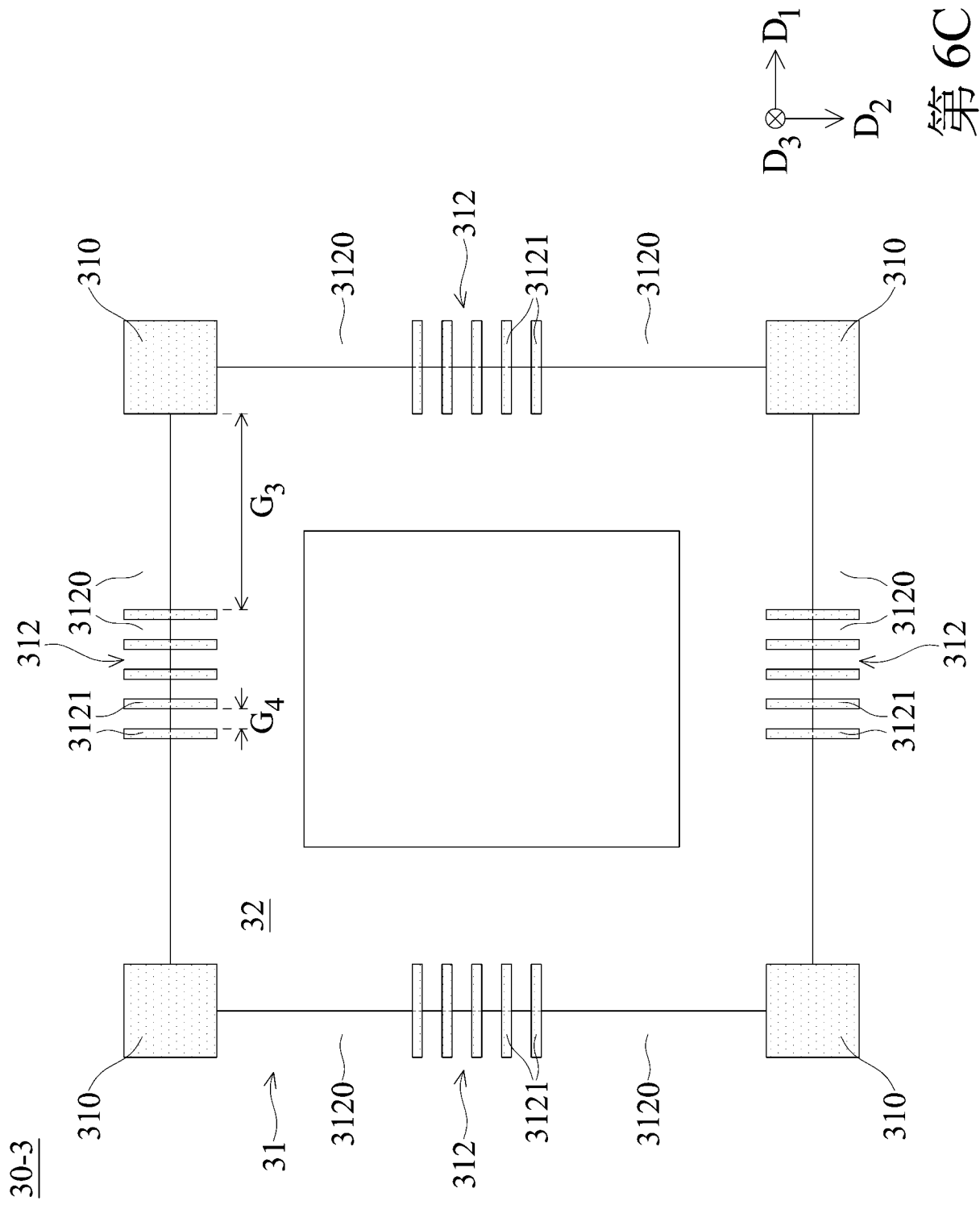
第 6A 圖



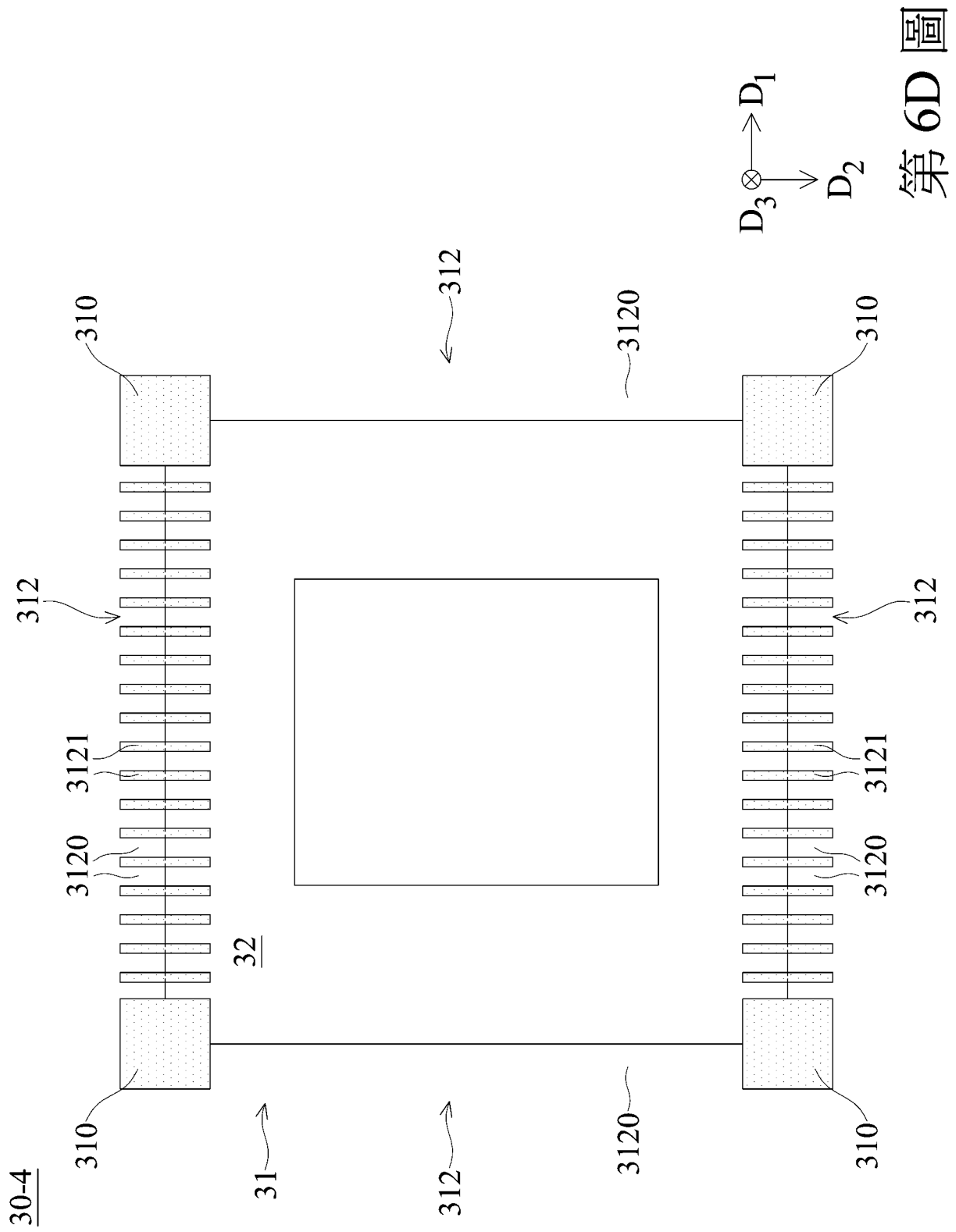
第 6B 圖

30-2

30-3

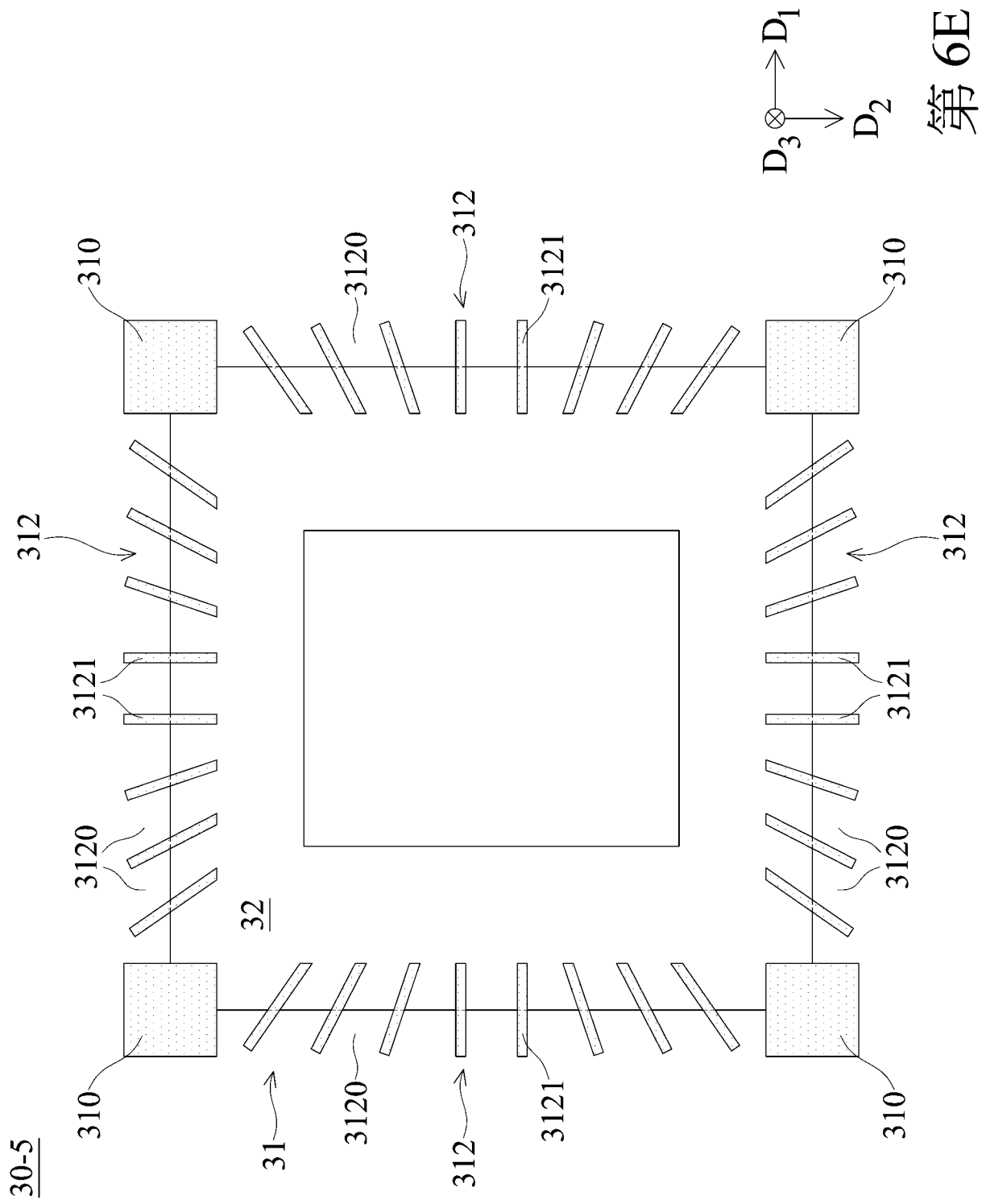


第 6C 圖

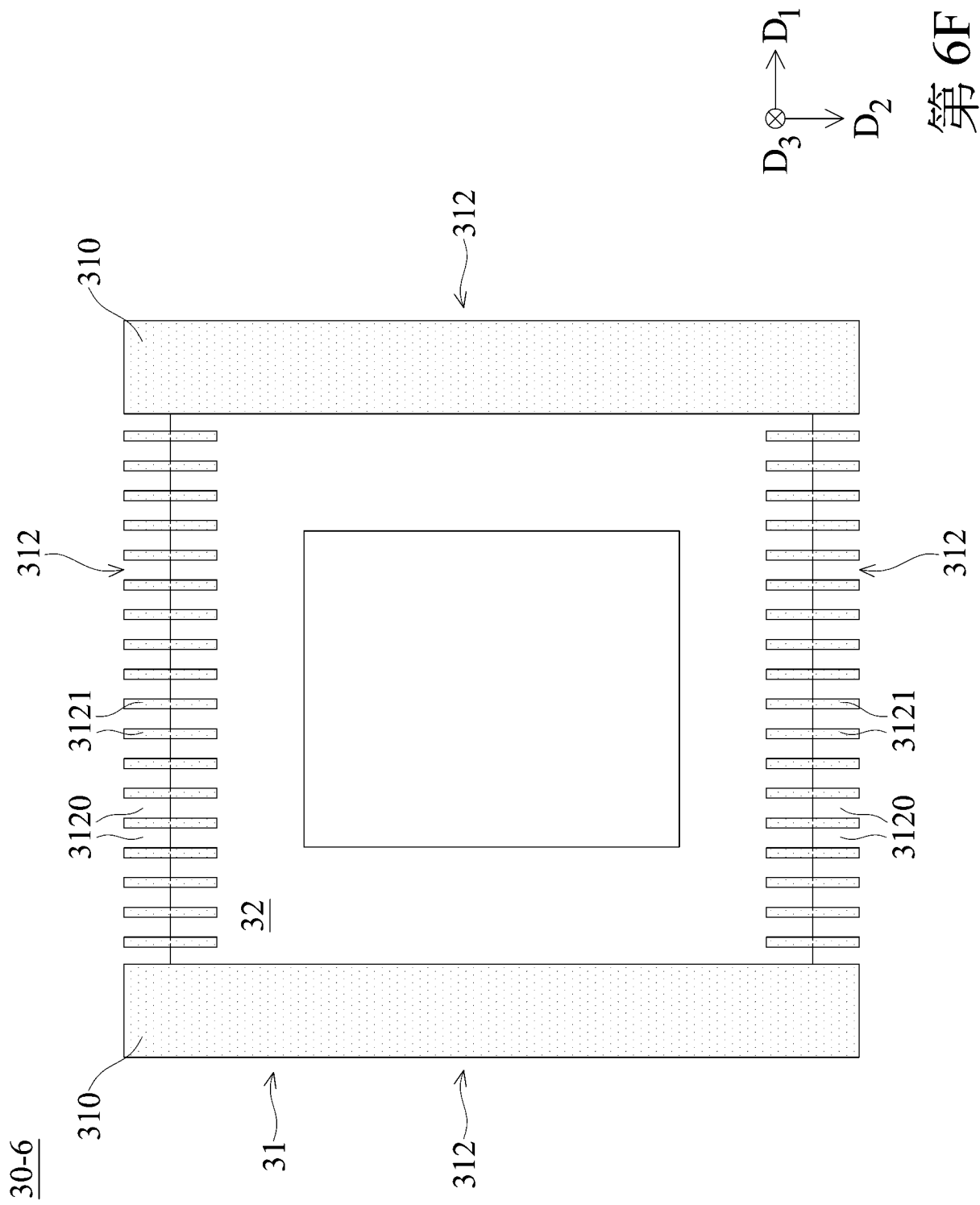


第 6D 圖

30-4

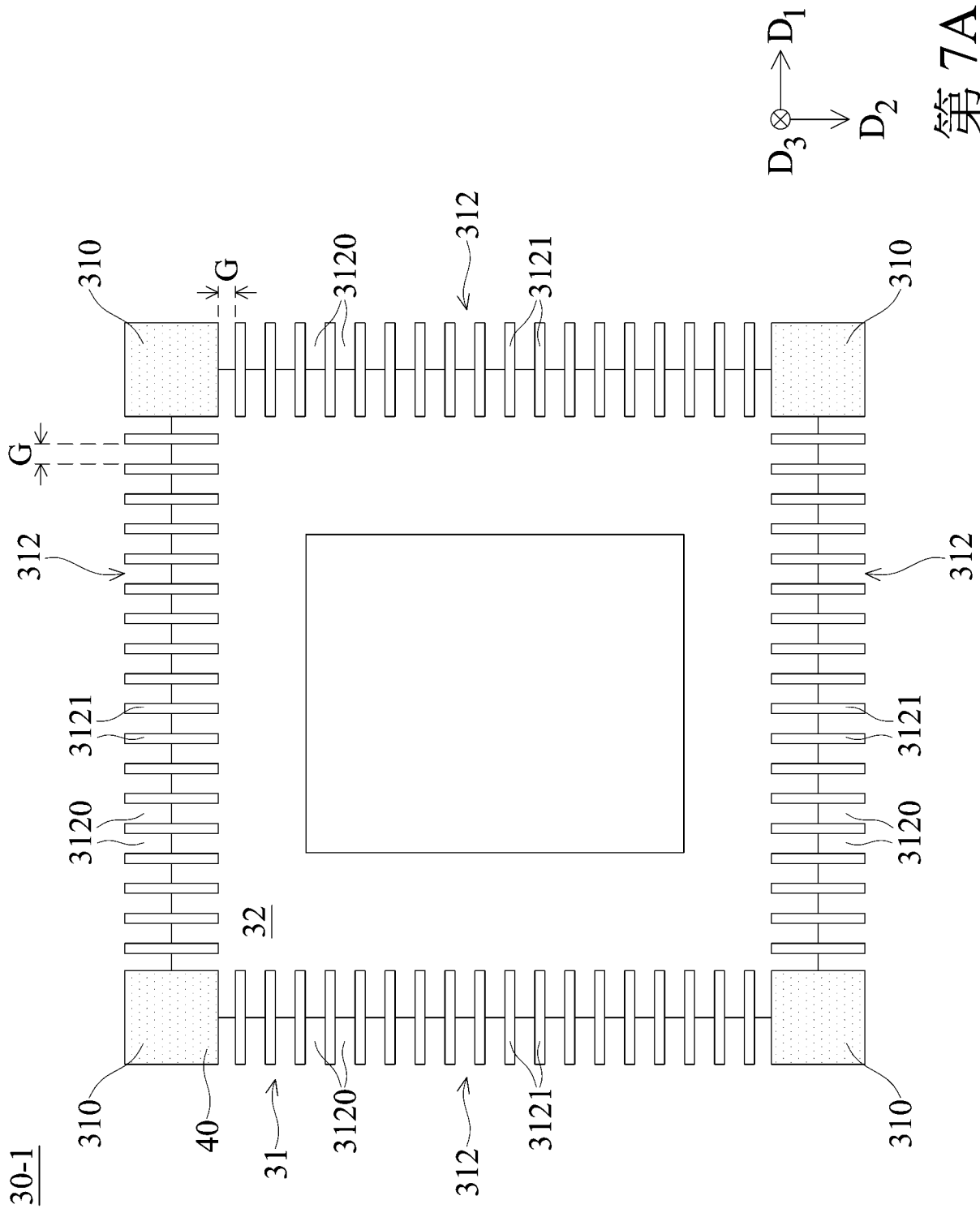


第6E圖



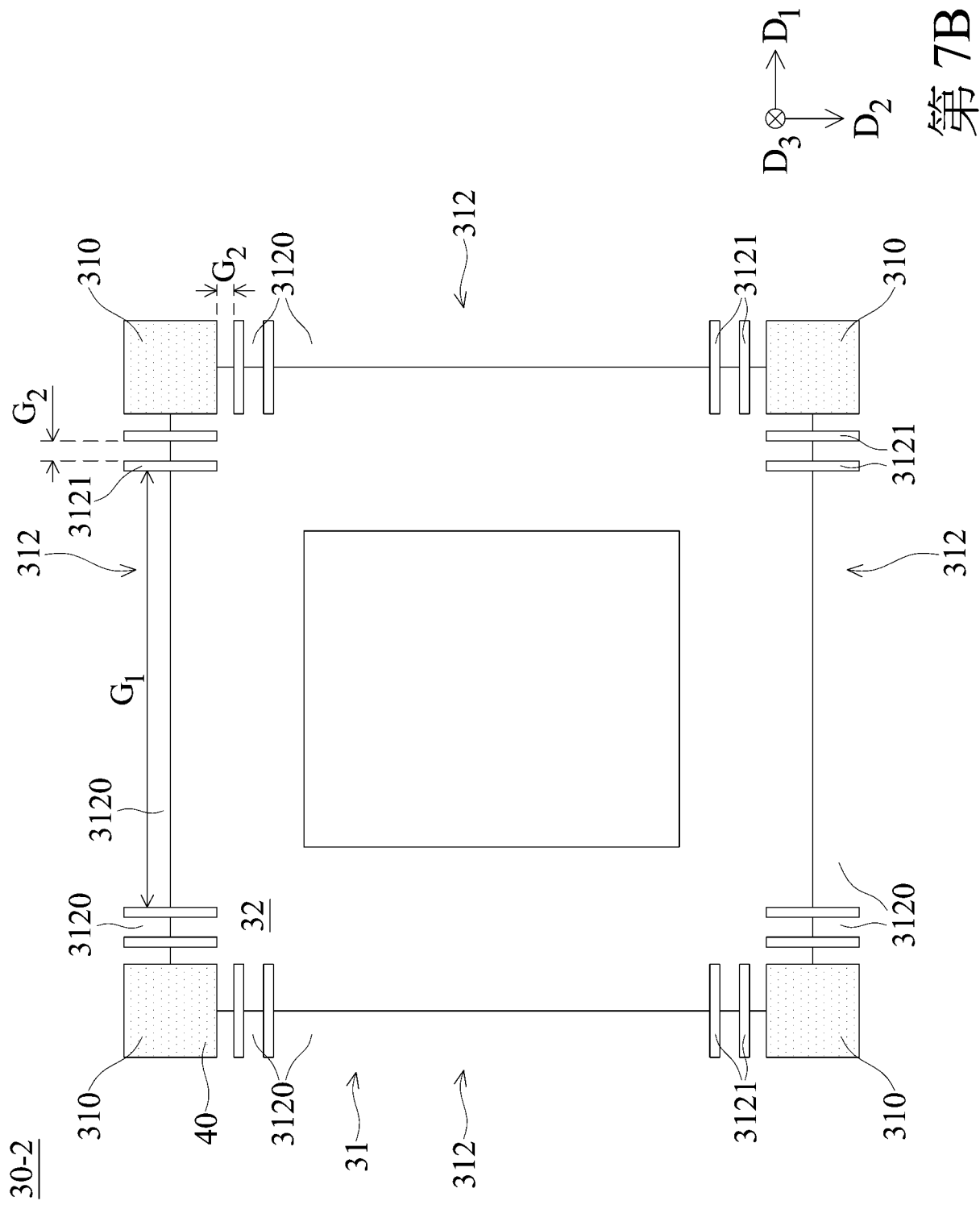
第 6F 圖

30-6



第 7A 圖

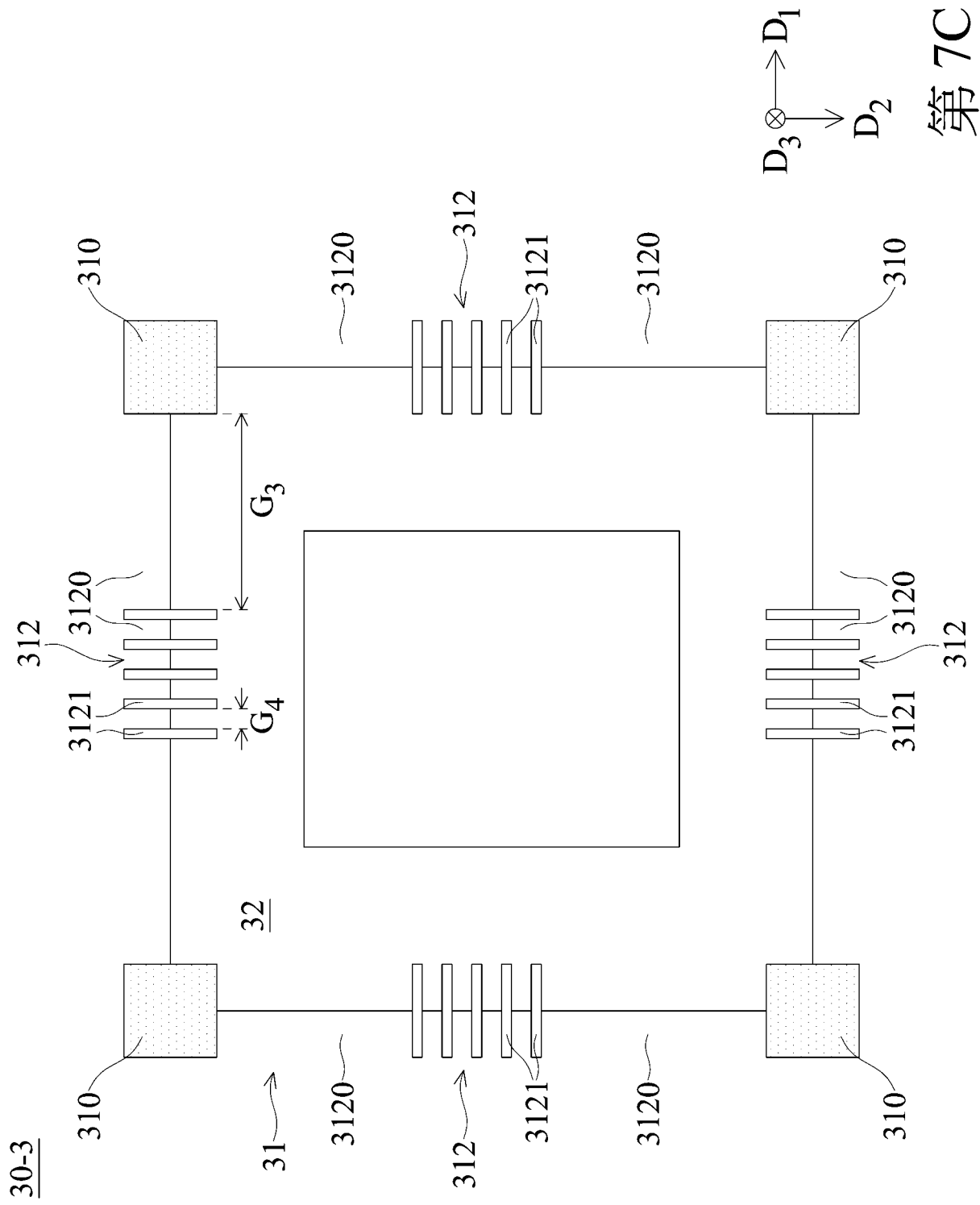
30-1



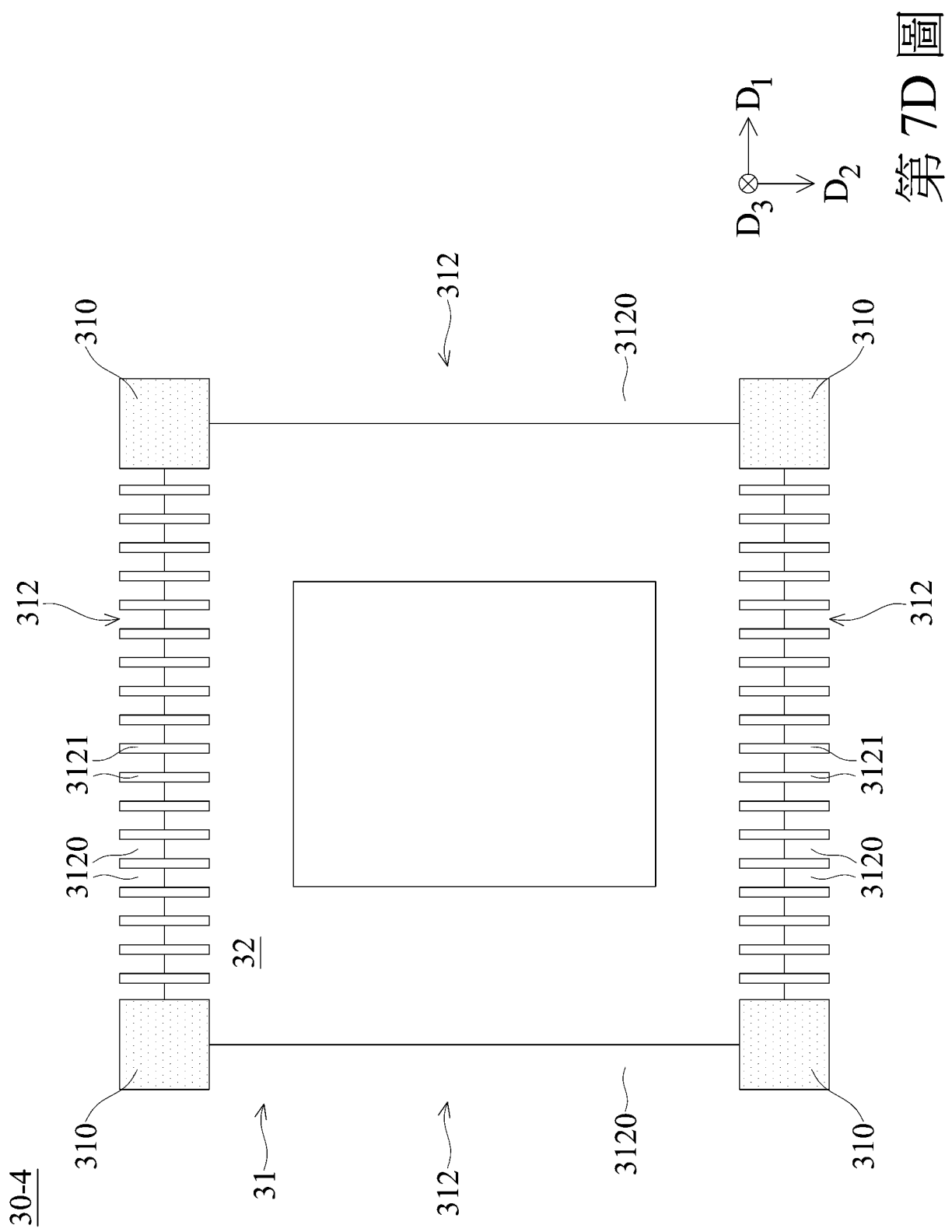
第 7B 圖

30-2

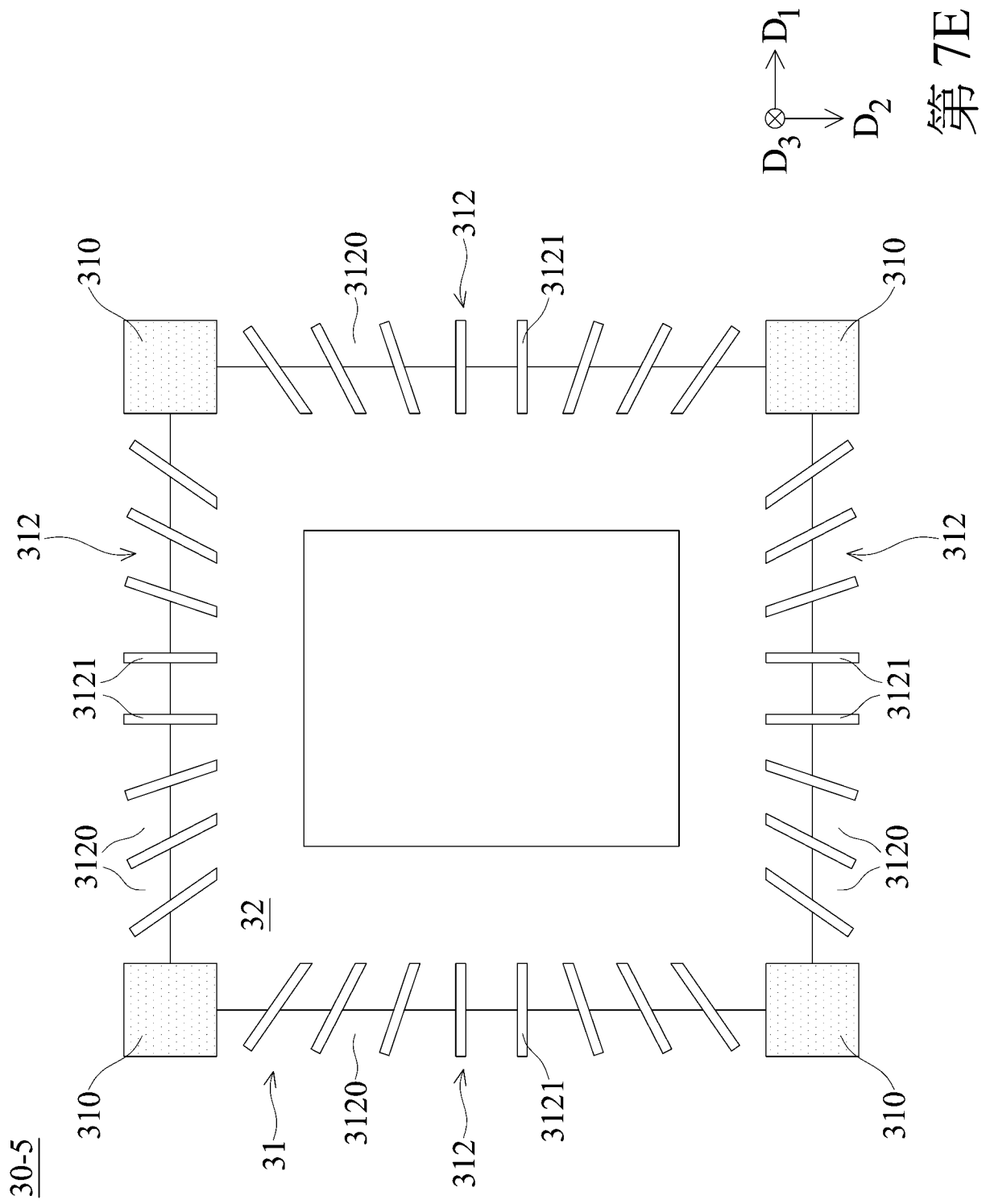
30-3



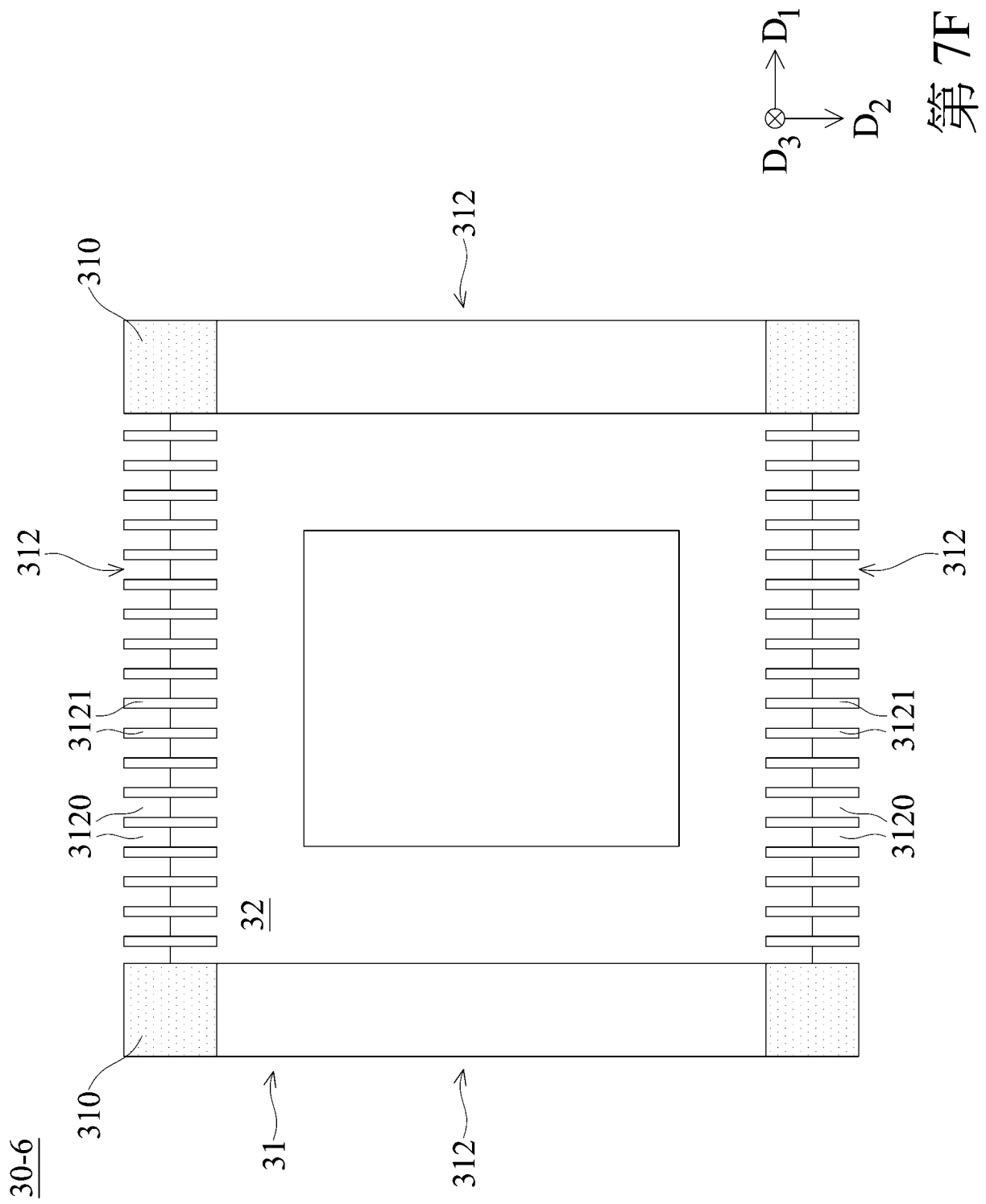
第 7C 圖



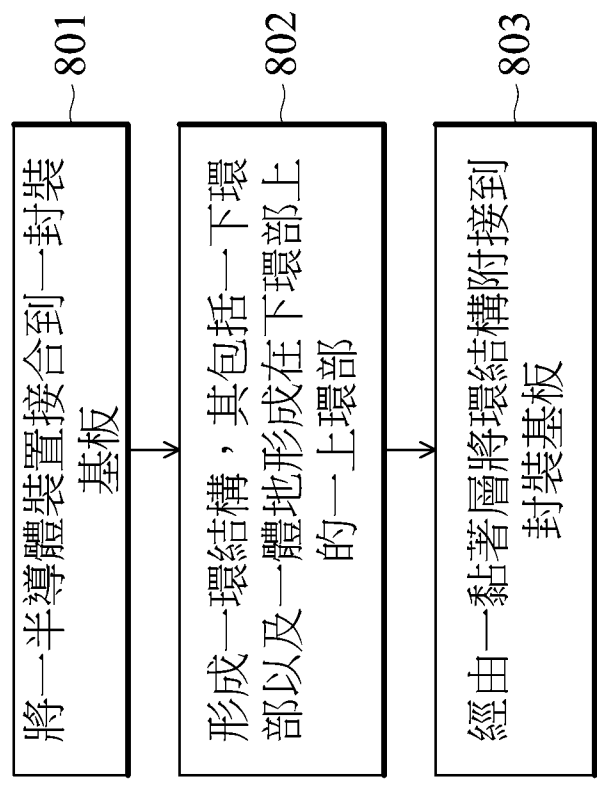
第 7D 圖



第7E圖



第 7F 圖



第 8 圖