



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2020년12월14일  
(11) 등록번호 10-2190859  
(24) 등록일자 2020년12월08일

- (51) 국제특허분류(Int. Cl.)  
H01L 33/00 (2010.01) H01L 33/02 (2010.01)  
H01L 33/24 (2010.01)
- (52) CPC특허분류  
H01L 33/0095 (2020.05)  
H01L 33/0008 (2013.01)
- (21) 출원번호 10-2020-7020374(분할)
- (22) 출원일자(국제) 2017년05월11일  
심사청구일자 2020년07월14일
- (85) 번역문제출일자 2020년07월14일
- (65) 공개번호 10-2020-0087881
- (43) 공개일자 2020년07월21일
- (62) 원출원 특허 10-2018-7037118  
원출원일자(국제) 2017년05월11일  
심사청구일자 2019년01월17일
- (86) 국제출원번호 PCT/US2017/032234
- (87) 국제공개번호 WO 2017/200845  
국제공개일자 2017년11월23일
- (30) 우선권주장  
62/339,448 2016년05월20일 미국(US)  
16179661.0 2016년07월15일  
유럽특허청(EPO)(EP)
- (56) 선행기술조사문헌  
JP4381656 B2\*  
US20070125995 A1  
W02013152231 A1\*  
\*는 심사관에 의하여 인용된 문헌

- (73) 특허권자  
루미레즈 엘엘씨  
미국 캘리포니아주 95131-1008 산 호세 웨스트 트럼블 로드 370
- (72) 발명자  
월데슨, 아이작  
미국 95131 캘리포니아주 산 호세 웨스트 트럼블 로드 370  
넬슨, 에릭 찰스  
미국 94566 캘리포니아주 플레젠튼 파세오 산타 크루즈6543  
뎀, 파리지트  
미국 95131 캘리포니아주 산 호세 웨스트 트럼블 로드 370
- (74) 대리인  
양영준, 백만기

전체 청구항 수 : 총 15 항

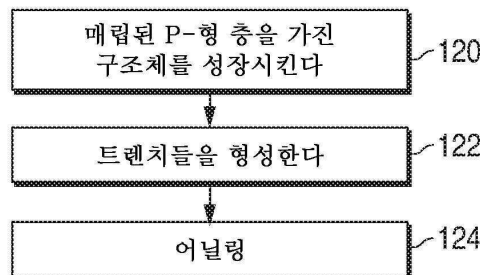
심사관 : 배성주

(54) 발명의 명칭 발광 디바이스를 위한 P형 층을 형성하는 방법

(57) 요약

본 발명의 실시예들에 따른 방법에서, p-형 영역과 n-형 영역 사이에 배치되는 III-질화물 발광 층을 포함하는 반도체 구조체가 성장된다. p-형 영역은 반도체 구조체 내에 매립된다. 트렌치는 반도체 구조체에 형성된다. 트렌치는 p-형 영역을 노출시킨다. 트렌치를 형성한 후에, 반도체 구조체는 어닐링된다.

대표도 - 도3



(52) CPC특허분류

*H01L 33/0075* (2013.01)

*H01L 33/025* (2013.01)

*H01L 33/24* (2013.01)

---

**명세서**

**청구범위**

**청구항 1**

반도체 구조체를 선택적으로 성장시키기 위한 방법으로서,

표면 상에 마스크 재료의 복수의 섹션을 형성하는 단계;

적어도 하나의 트렌치를 형성하도록 상기 마스크 재료의 복수의 섹션 주위에서 상기 반도체 구조체를 성장시키는 단계 - 상기 마스크 재료는 상기 적어도 하나의 트렌치에 남음 -; 및

상기 반도체 구조체를 어닐링하는 단계

를 포함하는 방법.

**청구항 2**

제1항에 있어서, 상기 반도체 구조체는 적어도 하나의 p-형 영역 및 적어도 하나의 n-형 영역을 포함하는 방법.

**청구항 3**

제2항에 있어서, 상기 반도체 구조체는 적어도 하나의 III-질화물 발광 층을 더 포함하는 방법.

**청구항 4**

제1항에 있어서, 상기 마스크 재료는 절연 재료를 포함하는 방법.

**청구항 5**

제1항에 있어서,

상기 반도체 구조체를 어닐링하는 단계 전에, 상기 적어도 하나의 트렌치의 표면을 노출하도록 상기 마스크 재료의 복수의 섹션을 제거하는 단계를 더 포함하는 방법.

**청구항 6**

제5항에 있어서,

상기 반도체 구조체를 어닐링하는 단계 후에, 절연 재료로 상기 적어도 하나의 트렌치를 채우는 단계를 더 포함하는 방법.

**청구항 7**

제1항에 있어서,

상기 적어도 하나의 트렌치에 금속을 배치하는 단계를 더 포함하고, 상기 금속은 상기 트렌치에서 상기 반도체 구조체의 제1 부분과 직접 접촉하고, 상기 마스크 재료는 상기 적어도 하나의 트렌치에서 상기 반도체 구조체의 제2 부분과 상기 금속 사이에 배치되는 방법.

**청구항 8**

제1항에 있어서, 복수의 트렌치가 존재하고, 상기 복수의 트렌치의 각각에 대해 가장 가까운 이웃 트렌치가 존재하는 방법.

**청구항 9**

제8항에 있어서, 상기 복수의 트렌치의 각각은 상기 복수의 트렌치의 각각에 의해 중단되지 않은 (uninterrupted) 상기 반도체 구조체의 일부에 의해 둘러싸여지는 방법.

**청구항 10**

제8항에 있어서, 상기 가장 가까운 이웃 트렌치들은 상기 반도체 구조체를 어닐링하는 동안 수소의 확산의 최대 길이의 2배 미만으로 이격되는 방법.

**청구항 11**

제1항에 있어서, 상기 반도체 구조체는 터널 접합을 포함하는 방법.

**청구항 12**

제2항에 있어서, 상기 적어도 하나의 트렌치는 적어도 하나의 내장된 트렌치를 포함하고, 상기 적어도 하나의 내장된 트렌치는 상기 p-형 영역의 적어도 일부를 주위 환경에 노출시키는 방법.

**청구항 13**

제12항에 있어서, 상기 적어도 하나의 트렌치는 측방의 내장된 트렌치(lateral embedded trench)인 방법.

**청구항 14**

제12항에 있어서, 상기 적어도 하나의 트렌치는 상기 적어도 하나의 내장된 트렌치에 의해 중단되지 않은 상기 p-형 영역 또는 n-형 영역 중 적어도 하나의 부분들에 의해 둘러싸여지는 방법.

**청구항 15**

제12항에 있어서, 상기 p-형 영역 상에 터널 접합들을 성장시키는 단계를 더 포함하는 방법.

**발명의 설명**

**기술 분야**

[0001] 관련 출원들에 대한 상호 참조

[0002] 본 출원은 2016년 5월에 20일에 출원된 미국 임시 특허 출원 제62/339,448호 및 2016년 7월 15일에 출원된 유럽 특허 출원 제16179661.0호에 대한 우선권을 주장한다. 미국 임시 특허 출원 제62/339,448호 및 유럽 특허 출원 제16179661.0호는 본원에 포함된다.

**배경 기술**

[0003] 발광 다이오드들(light emitting diodes)(LEDs), 공진 공동 발광 다이오드들(resonant cavity light emitting diodes)(RCLEDs), 수직 공동 레이저 다이오드들(vertical cavity laser diodes)(VCSELs), 및 에지 방출 레이저들 포함하는 반도체 발광 디바이스들은 가장 효율적인 광원들 중에서 현재 이용가능하다. 가시 스펙트럼에 걸쳐 동작이 가능한 고휘도 발광 디바이스들의 제조에서 현재 관심있는 재료 시스템들은 또한 III-질화물 재료들로 언급되는, 그룹 III-V 반도체들, 특히 갈륨, 알루미늄, 인듐, 및 질소의 2원, 3원, 및 4원 합금들을 포함한다. 전형적으로, III-질화물 발광 디바이스들은 금속 유기 화학 기상 증착(metal-organic chemical vapor deposition)(MOCVD), 분자 빔 에피택시(molecular beam epitaxy)(MBE), 또는 다른 에피택셜 기술들에 의해 사파이어, 실리콘 탄화물, III-질화물, 또는 다른 적절한 기판 상에 상이한 조성물들 및 도펀트 농도들의 반도체 층들의 스택을 에피택셜 성장시킴으로써 제조된다. 스택은 예를 들어, 종종 기판 위에 형성되는 Si로 도핑되는 하나 이상의 n-형 층, n-형 층 또는 층들 위에 형성되는 활성 영역 내의 하나 이상의 발광 층, 및 예를 들어, 활성 영역 위에 형성되는 Mg로 도핑되는 하나 이상의 p-형 층을 포함한다. 전기 콘택트들은 n- 및 p-형 영역들 상에 형성된다.

[0004] 상업적 III-질화물 LED에서, 반도체 구조체는 전형적으로 MOCVD에 의해 성장된다. MOCVD 동안 사용되는 질소원은 전형적으로 암모니아이다. 암모니아가 헤리될 때, 수소가 생성된다. 수소는 마그네슘과 복합체를 형성하며, 마그네슘은 p-형 재료들의 성장 동안 p-형 도펀트로서 사용된다. 수소 복합체는 마그네슘의 p-형 특성을 비활성화시켜, p-형 재료의 도펀트 농도를 효과적으로 감소시키며, 디바이스의 효율을 감소시킨다. p-형 재료의 성장 후에, 구조체는 수소를 막아냄으로써 수소-마그네슘 복합체를 파괴하기 위해 어닐링된다.

**도면의 간단한 설명**

- [0005] 도 1은 매립된 p-형 영역 및 p-형 영역을 활성화시키기 위한 트렌치들을 포함하는 반도체 구조체의 일부를 예시한다.
- 도 2는 도 1에 예시된 구조체의 상단 표면의 일부를 예시한다.
- 도 3은 발명의 일부 실시예들에 따른, 매립된 p-형 영역을 가진 디바이스를 형성하는 방법이다.
- 도 4는 발명의 일부 실시예들에 따른, n-형 영역 전에 성장되는 p-형 영역을 가진 LED를 예시한다.
- 도 5는 발명의 일부 실시예들에 따른, 터널 접합을 포함하는 LED를 예시한다.
- 도 6은 발명의 일부 실시예들에 따른, 터널 접합에 의해 분리되는 2개의 LED를 포함하는 디바이스를 예시한다.
- 도 7은 마스크 재료의 세그먼트들을 포함하는, 부분적으로 성장된 반도체 디바이스의 일부를 예시한다.
- 도 8은 내장된 트렌치들을 가진 반도체 디바이스의 일부를 예시한다.
- 도 9는 금속 콘택트가 배치되는 트렌치를 포함하는 반도체 디바이스의 일부를 예시한다.

**발명을 실시하기 위한 구체적인 내용**

- [0006] III-질화물 디바이스 내의 p-형 층들을 활성화시키기 위한 무수소 분위기에서의 어닐의 요건은 디바이스 디자인을 제한한다. 수소가 n-형 III-질화물 재료들을 통해 확산할 수 없고, 수소가 전형적 디바이스 웨이퍼의 직경의 절반에 대응하는 거리들에 걸쳐 반도체 재료를 통해 측방으로 용이하게 확산하지 않는 것이 실험적으로 증명되었다. 그 결과, 활성화 어닐이 효과적인 것으로 하기 위해, p-형 층들은 임의의 다른 층에 의해 커버될 수 없다. 효과적인 어닐 없이, 디바이스는 p-형 층 없이, 또는 극히 낮은 도펀트 농도를 가진 p-형 층을 가지고 남아 있어, 그것을 쓸모없게 한다. 따라서, 터널 접합을 가진 디바이스 또는 p-형 층들이 n-형 층들 전에 성장되는 디바이스와 같은, 매립된 p-형 층을 가진 디바이스는 MOCVD에 의한 성장을 포함하는 종래의 공정 후에 어닐링에 의해 형성될 수 없다.
- [0007] 발명의 실시예들에서, 디바이스 구조체는 매립된 p-형 층을 가지고 성장된다. 트렌치들은 매립된 p-형 층의 부분들을 노출시키는 디바이스 구조체에 형성된다. 그 다음, 구조체는 어닐링되어, 수소는 매립된 p-형 층으로부터 트렌치들로 측방으로 확산할 수 있으며, 수소는 주위에 탈출할 수 있다.
- [0008] 도 1은 반도체 디바이스 구조체의 일부를 예시한다. 도 1의 구조체는 성장 기판(30) 상에 성장되며, 성장 기판은 예를 들어, 사파이어, SiC, Si, 비-III-질화물 재료, GaN, 복합 기판, 또는 임의의 다른 적절한 기판일 수 있다. 임의적 III-질화물 필름(102)은 p-형 영역(100) 전에 성장될 수 있지만, III-질화물 필름(102)은 요구되지 않는다. III-질화물 필름(102)은 예를 들어, 핵형성 또는 버퍼 층들, GaN 또는 임의의 다른 III-질화물 재료일 수 있는 평활 층들, n-형 층들, 발광 또는 활성 층들, 언도핑된 층들, 디바이스의 활성 영역, 및/또는 임의의 다른 적절한 층들 또는 재료들을 포함할 수 있다.
- [0009] p-형 영역(100)은 예를 들어, Mg 또는 임의의 다른 적절한 재료와 같은 p-형 도펀트로 도핑되는 적어도 하나의 2원, 3원, 4원, 또는 5원 III-질화물 층을 포함한다.
- [0010] III-질화물 필름(104)은 p-형 층(100)이 III-질화물 필름(104)에 의해 매립되도록 p-형 층(100) 후에 성장된다. III-질화물 필름(104)은 n-형 층들, p-형 층들, 디바이스의 활성 영역, 발광 층들, 언도핑된 층들, 및/또는 임의의 다른 적절한 층들 또는 재료들을 포함할 수 있다.
- [0011] 성장 후에 또는 성장 동안에, 트렌치들(106)은 반도체 구조체에 형성된다. 트렌치들(106)은 도 1에 예시된 바와 같이, 트렌치들(106)의 하단들이 p-형 영역(100)에 있도록 III-질화물 필름(104)의 전체 두께를 통해 연장될 수 있다. 대안적으로, 트렌치들(106)은 트렌치들(106)의 하단들이 III-질화물 필름(102)에 있거나, 성장 기판(30)의 표면이거나, 성장 기판(30)으로 연장되도록 III-질화물 필름(104) 및 p-형 영역(100) 둘 다의 전체 두께들을 통해 연장될 수 있다.
- [0012] 트렌치들(106)의 폭(108)은 예를 들어, 일부 실시예들에서 적어도 0.05  $\mu\text{m}$ , 일부 실시예들에서 50  $\mu\text{m}$  이하, 일부 실시예들에서 적어도 0.5  $\mu\text{m}$ , 및 일부 실시예들에서 15  $\mu\text{m}$  이하일 수 있다. 일부 실시예들에서, 트렌치들은 발광 면적을 손실하는 것을 회피하기 위해 가능한 한 작게 유지된다.

- [0013] 트랜치들(106)은 p-형 영역(100)의 전부가 나중의 어닐 동안 수소의 최대 확산 길이 이하인 트랜치로부터의 거리에 이격되도록 이격된다. 트랜치들(106) 사이의 최대 간격(110)은 어닐 동안 수소의 평균 또는 최대 확산 길이의 2배일 수 있다. 간격(110)은 어닐의 조건들에 의해 결정될 수 있으며, 그것은 어닐 동안 수소의 최대 측방 확산 길이를 결정할 수 있다 - 상이한 어닐들은 상이한 최대 측방 확산 길이들을 가질 수 있다. 가장 가까운 이웃 트랜치들 사이의 최대 간격(110)은 일부 실시예들에서 적어도 1  $\mu\text{m}$ , 일부 실시예들에서 500  $\mu\text{m}$  이하, 일부 실시예들에서 적어도 5  $\mu\text{m}$ , 및 일부 실시예들에서 250  $\mu\text{m}$  이하일 수 있다.
- [0014] 도 1에 예시된 반도체 구조체는 트랜치들(106)을 형성한 후에 어닐링될 수 있다. 어닐 동안, 수소는 p-형 영역(100)으로부터 트랜치들(106)로 밀어 넣어지며, 그것은 반도체 구조체로부터 주위로 탈출할 수 있다.
- [0015] 일부 실시예들에서, 어닐링 후에, 트랜치들(106)은 절연 재료(114)로 충전될 수 있다. 절연 재료(114)는 금속 콘택트가, 쇼트를 우연히 야기하는 것 없이, 트랜치들을 가진 표면 상에 형성되는 것을 허가한다. 절연 재료(114)는 어닐 후에 처리의 임의의 단계에서 형성될 수 있다 - 예를 들어, 트랜치들(106)은 성장 기판이 제거되는 실시예들에서, 성장 기판을 제거하기 전에 또는 제거한 후에, 또는 에칭이 수행되는 실시예들에서, 매립된 층을 노출시키는 에칭 전에 또는 후에 절연 재료(114)로 충전될 수 있다.
- [0016] 일부 실시예들에서, 트랜치들(106)은 도 9에 예시된 바와 같이, p-층 아래 디바이스 내의 p-형 영역과 접촉하기 위해, 금속 콘택트들이 형성되는 비아들로서 사용된다. 금속 콘택트들(134)이 p-형 영역(100)과 접촉하는 트랜치들(106)에 형성되는 실시예들에서, 일련의 금속들 및 절연체들은 금속 콘택트가 (도 9에 예시된 바와 같은 트랜치(132)의 하단 내의) 매립된 p-형 영역(100) 또는 다른 원하는 층에만 직접 접촉하고, 상기 층들(III-질화물 필름(104))과 직접 접촉하지 않도록 증착되고 패터닝된다. 예를 들어, 절연 재료(130)는 콘택트 금속(134)과 금속 콘택트와 직접 접촉하지 않는 반도체 층들 사이의 트랜치의 측벽들 상에 배치될 수 있다.
- [0017] 일부 실시예들에서, 트랜치들(106)은 공기 또는 주위 가스에 노출된 채로 남겨지거나, 충전되는 것보다 오히려 얇은 패시베이션 층(예를 들어,  $\text{SiO}_2$ )으로 코팅된다. 따라서, 일부 실시예들에서, 트랜치들(106)은 절연 또는 패시베이션 재료로 부분적으로 또는 전적으로 충전될 수 있다.
- [0018] 도 2는 도 1의 구조체의 상단 표면(112)의 일부의 평면도이다. 도 2에 예시된 바와 같이, 일부 실시예들에서, 트랜치들(106)은 서로 절연되고, 트랜치에 의해 중단되지 않은 반도체 구조체의 일부에 의해 둘러싸여질 수 있다. 따라서, 일부 실시예들에서, 반도체 재료는 모두 전기적으로 연결되고, 반도체 재료의 어떠한 전기적으로 절연된 아일랜드들은 트랜치들(106)에 의해 형성되지 않는다. 일부 실시예들에서, 일부 또는 모든 트랜치들은 반도체 재료의 절연된 아일랜드들을 형성하기 위해 서로 연결될 수 있다 - 예를 들어, 일부 실시예들에서, 트랜치들(106)은 반도체 재료의 웨이퍼로부터 나중에 분리되는 단일 디바이스의 경계들을 정의할 수 있다. 디바이스들의 웨이퍼 상에 형성되는 단일 디바이스는 디바이스의 경계들 또는 디바이스 내의 반도체 재료의 절연된 아일랜드를 정의하기 위해 서로 연결되는 일부 트랜치들, 및 서로 절연되고 반도체 재료의 절연된 아일랜드 내에 형성되는 하나 이상의 다른 트랜치를 가질 수 있다.
- [0019] 도 3은 디바이스를 형성하는 방법을 예시한다. 블록(120)에서, 매립된 p-형 영역을 가진 III-질화물 구조체는 성장 기판 상에 성장된다.
- [0020] 블록(122)에서, 트랜치들(106)은 성장된 III-질화물 구조체에 형성된다. 트랜치들(106)은 도 1 및 도 2에 예시된다. 트랜치들(106)은 예를 들어, 건식 에칭, 습식 에칭, 또는 건식 및 습식 에칭의 조합을 포함하는, 임의의 적절한 기술에 의해 형성될 수 있다. 일부 실시예들에서, 트랜치를 형성하는 방법은 트랜치를 에칭함으로써 형성되는 반도체 재료의 노출된 표면으로부터의 수소의 확산에 영향을 미칠 수 있다. 예를 들어, p-형 GaN은 건식 에칭 동안 n-형 GaN으로 변환되는 것으로 공지되어 있다. n-형으로 변환되는 p-형의 표면의 두께가 너무 크면, 수소의 확산은 수소가 형-변환된 표면에서 축적되고 탈출할 수 없도록 차단될 수 있다. 따라서, 일부 실시예들에서, 트랜치들(106)을 형성하는 건식 에칭 후에, 트랜치들의 표면은 n-형 변환된 층을 제거하거나 n-형 변환된 층의 두께를 수소가 용이하게 확산하는 두께까지 감소시키기 위해 습식 에칭으로 클리닝될 수 있다.
- [0021] 일부 실시예들에서, 반도체 구조체는 도 7 및 도 8에 예시된 바와 같이, 성장 동안 트랜치들을 형성하기 위해 선택적으로 성장될 수 있다. 예를 들어, 도 7에 예시된 바와 같이, 임의적 III-질화물 필름(102) 및 p-형 영역(100)은 기판(30) 위에 성장된다.  $\text{SiO}_2$ 와 같은 마스크 재료(120)는 p-형 영역(100) 상에 배치된 다음, 패터닝될 수 있어 마스크 재료는 트랜치들이 형성되는 면적들에 남겨진다. 마스크 재료는 도 7에 예시된 위치에 제한되지 않는다. 예를 들어, 다양한 실시예들에서, 마스크 재료는 예시된 바와 같이, 직접 성장 기판 상에, 부분적으로 성장된 III-질화물 필름(102)의 표면 상에, 완전히 성장된 III-질화물 필름(102)의 표면 상에, 부분적으로

로 성장된 p-형 영역(100)의 표면 상에, 또는 완전히 성장된 p-형 영역(100)의 표면 상에 형성된다. 마스크 재료가 p-형 영역(100)의 적어도 일부와 직접 접촉하는 한, 마스크 재료는 디바이스의 임의의 층 내에, 임의의 표면(성장 기관(30) 상에 직접 포함함) 상에, 임의의 두께를 가지고 형성될 수 있고, 다수의 층을 통해 연장될 수 있다.

- [0022] III-질화물 필름(104)은 마스크 재료(120) 위에 성장된다. 성장은 도 8에 예시된 바와 같이, 결국 측방 과성장을 통해 마스크 재료를 커버하여, 이웃 마스크 영역들 사이의 면적들(122)은 III-질화물 재료로 충전된다. 다이가 성장 후에 싱글레이트(singulate)될 때, 습식 에치 또는 다른 적절한 기술은 마스크 재료를 제거하기 위해 사용될 수 있어, 수소가 활성화 어닐 동안 탈출할 수 있는 내장된 트렌치(124)를 생성한다. 활성화 어닐 동안, 수소는 내장된 트렌치들로부터 웨이퍼의 측면들을 통해 탈출하며, 내장된 트렌치들은 주위에 노출된다.
- [0023] 도 3으로 돌아가면, 블록(124)에서, 트렌치들을 가진 III-질화물 구조체는 예를 들어 p-형 영역 내의 p-형 도펀트와 복합체를 형성했던 수소를 막아냄으로써, 매립된 p-형 영역을 활성화시키기 위해, 어닐링된다.
- [0024] 도 4, 도 5, 및 도 6은 도 1, 도 2, 및 도 3에 예시된 바와 같이, 트렌치들을 형성함으로써 그리고 어닐링에 의해 활성화될 수 있는 매립된 p-형 영역을 포함하는 디바이스들을 예시한다. 도 4는 p-형 영역이 n-형 영역 전에 성장되는 디바이스를 예시한다. 도 5 및 도 6은 터널 접합들을 포함하는 디바이스들을 예시한다. 트렌치들은 명료성을 위해 도 4, 도 5, 및 도 6으로부터 생략된다. 특히, 도 4, 도 5, 및 도 6에 예시된 디바이스들은 예를 들어, 측면 상에서 대략 1 mm일 수 있으며, 그것은 수십 또는 심지어 수백의 트렌치들이 단일 디바이스에 형성될 수 있는 것을 의미한다. 도 4, 도 5, 및 도 6에 예시된 디바이스들 중 어느 것에서, 트렌치들 중 하나 이상은 위에 설명된 바와 같이, 디바이스의 매립된 층들에 대한 금속 컨택트들이 배치되는 비아들로서 사용될 수 있다.
- [0025] 일부 실시예들에서, III-질화물 디바이스의 p-형 영역은 발광 층 및 n-형 영역 전에 성장된다.
- [0026] 종래의 III-질화물 LED들에서, n-형 영역이 우선 기관 상에 성장된 후에, 발광 층들 및 p-형 반도체가 계속된다. n-측 아래에 성장되는 III-질화물 LED의 내부 필드는 순방향 바이어스를 증가시킴에 따라 증가한다. 그 결과, 디바이스 바이어스(전류)가 증가됨에 따라, 내부 전계가 증가하여, 전자-정공 오버랩을 감소시키고 그것에 의해 방사 효율을 감소시킨다. 디바이스를 역방향 순서로 성장시키는 것은 p-형 영역이 우선 기관 상에 성장된 상태에서, 내부 필드를 반전시킨다. p-측 아래에 성장된 III-질화물 LED에서, 내부 필드는 내장된 편광 필드와 반대이다. 그 결과, 순방향 바이어스(전류)가 증가함에 따라, 그러한 디바이스의 방사 효율이 증가할 수 있다.
- [0027] 도 4는 p-형 영역이 발광 층 및 n-형 영역 전에 성장되는 디바이스의 일 예를 예시한다. 그러한 반도체 구조체는 임의의 적절한 디바이스에 포함될 수 있으며; 발명의 실시예들은 예시되는 수직 디바이스에 제한되지 않는다. 예를 들어, 플립 칩 디바이스와 같은, 원래의 성장 기관이 제거되는 실시예들에서, 구조체(102)는 p-형 영역에 전기 컨택트를 형성하기 위해 전적으로 제거될 수 있거나, 홀/트렌치는 금속 컨택트가 형성될 수 있는 p-형 영역의 일부를 노출시키기 위해 구조체(102)를 통해 에칭될 수 있다. 예를 들어, 측방 다이 디바이스와 같은, 기관이 남아 있는 실시예들에서, 하나의 컨택트는 반도체 구조체의 상단 표면 상에 배치될 수 있고, 다른 컨택트는 p-형 영역을 노출시키는 에칭에 의해 노출되는 표면 상에 배치될 수 있다.
- [0028] 도 4에 예시된 디바이스는 성장 기관(도시되지 않음) 상에 성장되는 반도체 구조체(10)를 포함한다. p-형 영역(12)이 우선 성장된 후에, 적어도 하나의 발광 층(14)을 포함하는 활성 또는 발광 영역이 계속된 후에, n-형 영역(16)이 계속된다.
- [0029] P-형 영역(12)은 도 1의 매립된 p-형 영역(100)에 대응하고; 활성 영역(14) 및 n-형 영역(16)은 도 1의 III-질화물 필름(104)에 대응하고; 도 1의 III-질화물 필름(102)은 핵형성 또는 버퍼 구조체(도시되지 않음)일 수 있거나 생략될 수 있다.
- [0030] 금속 p-컨택트(18)는 p-형 영역(12) 상에 배치되고; 금속 n-컨택트(20)는 n-형 영역(16) 상에 배치된다.
- [0031] 반도체 구조체(10)는 n-형 영역과 p-형 영역 사이에 샌드위치되는 발광 또는 활성 영역을 포함한다. n-형 영역(16)은 예를 들어, 광을 효율적으로 방출하기 위해 발광 영역에 바람직한 특정 광학, 재료, 또는 전기적 성질들을 위해 디자인되는 n- 또는 심지어 p-형 디바이스 층들을 포함하는 상이한 조성물들 및 도펀트 농도의 다수의 층을 포함할 수 있다. 발광 층(14)은 발광 또는 활성 영역에 포함될 수 있다. 적절한 발광 영역들의 예들은 단일의 두껍거나 얇은 발광 층, 또는 장벽 층들에 의해 분리되는 다수의 얇거나 두꺼운 발광 층들을 포함하는 다수의 양자 우물 발광 영역을 포함한다. p-형 영역(12)은 준비 층들 예컨대 버퍼 층들 또는 핵형성 층들, 및/

또는 p-형, n-형, 또는 의도적으로 도핑되지 않을 수 있는, 성장 기관의 제거를 용이하게 하도록 디자인되는 층들, 및 의도적으로 도핑되지 않는 층들, 또는 n-형 층들을 포함하는, 상이한 조성물, 두께, 및 도펀트 농도의 다수의 층을 포함할 수 있다.

- [0032] 성장 후에, 반도체 구조체는 임의의 적절한 디바이스로 처리될 수 있다.
- [0033] 일부 실시예들에서, III-질화물 디바이스는 터널 접합을 포함한다. 터널 접합(tunnel junction)(TJ)은 전자들이 역방향 바이어스에서 p-형 층의 가전자 대역으로부터 n-형 층의 전도 대역으로 터널링되는 것을 허용하는 구조체이다. 전자가 터널링될 때, 정공은 p-형 층 뒤에 남아 있어, 캐리어들은 양 층들에서 발생된다. 따라서, 다이오드와 같은 전자 디바이스에, 작은 누설 전류만이 역방향 바이어스에서 흐를 때, 큰 전류는 역방향 바이어스에서 터널 접합에 걸쳐 운반될 수 있다. 터널 접합은 전형적으로 매우 높은 도핑을 사용하는 다른 재료 시스템들(예를 들어, (Al)GaAs 재료 시스템 내의 p<sup>++</sup>/n<sup>++</sup> 접합)에서 달성되었던, p/n 터널 접합에서 전도 및 가전자 대역들의 특정 정렬을 필요로 한다. III-질화물 재료들은 상이한 합금 조성물들 사이의 헤테로인터페이스들에서 전계를 생성하는 고유 편광을 갖는다. 이러한 편광 필드는 터널링을 위한 요구된 대역 정렬을 달성하기 위해 이용될 수 있다.
- [0034] 도 5 및 도 6은 터널 접합들을 포함하는 2개의 디바이스를 예시한다.
- [0035] 도 5의 디바이스에서, 터널 접합은 p-형 영역과 p-형 영역으로 전류를 주입하는 금속 콘택트 사이에 배치된다. 콘택트는 n-형 층 상에 형성될 수 있으며, 그것은 p-형 층들과 비교하여 훨씬 더 좋은 시트 저항 및 따라서 더 좋은 전류 확산을 가질 수 있다. 도 5에 예시된 디바이스에서, n-형 층들은 p-형 영역으로부터의 정공들을 터널 접합을 통해 n-형 콘택트 층 내의 전자들로 변환함으로써, LED의 양 단자 및 음 단자 둘 다에 대한 콘택트 층들로서 사용된다.
- [0036] 도 5의 디바이스는 성장 기관 상에 성장되는 n-형 영역(32), 그 후에 발광 영역에 배치될 수 있는 발광 층(34), 및 p-형 영역(36)을 포함한다. n-형 영역(32), 발광 층(34), 및 p-형 영역(36)은 도 4를 수반하는 본문에 상술되어 있다. 터널 접합(38)은 p-형 영역(36) 위에 형성된다.
- [0037] 일부 실시예들에서, 터널 접합(38)은 또한 p<sup>++</sup> 층으로 언급되고, p-형 영역(36)과 직접 접촉하는 높게 도핑된 p-형 층, 및 또한 n<sup>++</sup> 층으로 언급되고, p<sup>++</sup> 층과 직접 접촉하는 높게 도핑된 n-형 층을 포함한다. (일부 실시예들에서, 터널 접합(38)의 p<sup>++</sup> 층은 디바이스 내의 p-형 영역의 역할을 할 수 있어, 개별 p-형 영역은 요구되지 않는다.) 일부 실시예들에서, 터널 접합(38)은 p<sup>++</sup> 층과 n<sup>++</sup> 층 사이에 샌드위치되는 p<sup>++</sup> 층 및 n<sup>++</sup> 층과 상이한 조성물의 층을 포함한다. 일부 실시예들에서, 터널 접합(38)은 p<sup>++</sup> 층과 n<sup>++</sup> 층 사이에 샌드위치되는 InGaN 층을 포함한다. 일부 실시예들에서, 터널 접합(38)은 p<sup>++</sup> 층과 n<sup>++</sup> 층 사이에 샌드위치되는 AlN 층을 포함한다. 터널 접합(38)은 아래에 설명되는 n-형 층(40)과 직접 접촉한다.
- [0038] p<sup>++</sup> 층은 예를 들어, 약  $10^{18} \text{ cm}^{-3}$  내지 약  $5 \times 10^{20} \text{ cm}^{-3}$ 의 농도까지 Mg 또는 Zn과 같은 어셉터로 도핑되는 InGaN 또는 GaN일 수 있다. 일부 실시예들에서, p<sup>++</sup> 층은 약  $2 \times 10^{20} \text{ cm}^{-3}$  내지 약  $4 \times 10^{20} \text{ cm}^{-3}$ 의 농도까지 도핑된다. n<sup>++</sup> 층은 예를 들어, 약  $10^{18} \text{ cm}^{-3}$  내지 약  $5 \times 10^{20} \text{ cm}^{-3}$ 의 농도까지 Si 또는 Ge와 같은 어셉터로 도핑되는 InGaN 또는 GaN일 수 있다. 일부 실시예들에서, n<sup>++</sup> 층은 약  $7 \times 10^{19} \text{ cm}^{-3}$  내지 약  $9 \times 10^{19} \text{ cm}^{-3}$ 의 농도까지 도핑된다. 터널 접합(38)은 통상 매우 얇으며, 예를 들어 터널 접합(38)은 범위가 약 2 nm에서 약 100 nm에 이르는 전체 두께를 가질 수 있고, p<sup>++</sup> 층 및 n<sup>++</sup> 층 각각은 범위가 약 1 nm에서 약 50 nm에 이르는 두께를 가질 수 있다. 일부 실시예들에서, p<sup>++</sup> 층 및 n<sup>++</sup> 층 각각은 범위가 약 25 nm에서 약 35 nm에 이르는 두께를 가질 수 있다. p<sup>++</sup> 층 및 n<sup>++</sup> 층은 반드시 동일한 두께인 것은 아닐 수 있다. 일 실시예에서, p<sup>++</sup> 층은 15 nm의 Mg-도핑된 InGaN이고 n<sup>++</sup> 층은 30 nm의 Si-도핑된 GaN이다. p<sup>++</sup> 층 및 n<sup>++</sup> 층은 경사진 도펀트 농도를 가질 수 있다. 예를 들어, 기본 p-형 영역(36)에 인접한 p<sup>++</sup> 층의 일부는 p<sup>++</sup> 층에서 기본 p-형 영역의 도펀트 농도로부터 원하는 도펀트 농도로 경사지는 도펀트 농도를 가질 수 있다. 유사하게, n<sup>++</sup> 층은 p<sup>++</sup> 층에 인접한 최대치로부터 터널 접합(38) 위에 형성되는 n-형 층(40)에 인접한 최소치로 경사지는 도펀트 농도를 가질 수 있다. 터널 접합(38)은 전도 전류가 역방향 바이어스 모드에 있을 때 터널 접합(38)이 낮은 일련의 전압 강하를 디스플레이하도록 충분히 얇게 제조되고 충분히 도핑된다. 일부 실시예들에서, 터널 접합(38)에 걸친 전압 강하는 약 0.1V 내지 약 1V이다.
- [0039] p<sup>++</sup> 층과 n<sup>++</sup> 층 사이의 InGaN 또는 AlN 또는 다른 적절한 층을 포함하는 실시예들은 터널링을 위한 대역들을 정렬하는 것을 돕기 위해 III-질화물들에서 편광 필드를 강화할 수 있다. 이러한 편광 효과는 n<sup>++</sup> 및 p<sup>++</sup> 층들



에서 도핑 요건을 감소시키고 요구되는 터널링 거리를 감소시킬 수 있다(더 높은 전류 흐름을 잠재적으로 허용함). p++ 층과 n++ 층 사이의 층의 조성물은 p++ 층 및 n++ 층의 조성물과 상이할 수 있고, 그리고/또는 III-질화물 재료 시스템 내의 다른 재료들 사이에 존재하는 편극 전하로 인해 재정렬을 야기하기 위해 선택될 수 있다.

- [0040] 적절한 터널 접합들의 예들은 US8039352 B2에 설명되며, 이 특허는 본원에 참조로 포함된다.
- [0041] n-형 콘택트 층(40)은 n++ 층과 직접 접촉하는, 터널 접합(38) 위에 형성된다.
- [0042] 도 5의 디바이스에서, p-형 영역(36) 및 터널 접합(38)의 p++ 층은 도 1의 p-형 영역(100)에 대응하고; 터널 접합(38)의 n++ 층 및 n-형 콘택트 층(40)은 도 1의 III-질화물 필름(104)에 대응하고; n-형 영역(32) 및 활성 영역(34)은 도 1의 III-질화물 필름(102)에 대응한다.
- [0043] 제1 및 제2 금속 콘택트들(44 및 42)은 n-형 콘택트 층(40), 및 n-형 영역(32) 상에 각각 형성된다. 메사(mesa)는 도 5에 예시된 바와 같이, 플립 칩 디바이스를 형성하기 위해 예칭될 수 있거나, 임의의 다른 적절한 디바이스 구조체가 사용될 수 있다. 제1 및 제2 금속 콘택트들(44 및 42)은 알루미늄과 같은, 동일한 재료일 수 있지만, 이것은 요구되지 않으며; 임의의 적절한 콘택트 금속 또는 금속들이 사용될 수 있다.
- [0044] 도 6의 디바이스에서, 다수의 LED는 겹쳐서 성장되고 터널 접합을 통해 직렬로 연결된다. 도 6의 디바이스에서, 다수의 LED는 단일 LED의 포토레지스트 내에 생성되며, 그것은 단위 면적 당 발생하는 광학 플럭스를 극적으로 증가시킬 수 있다. 게다가, 터널 접합에 의해 연결되는 LED들을 더 낮은 구동 전류로 구동함으로써, 각각의 LED는 그것의 피크 효율에서 동작할 수 있다. 단일 LED에서, 이것은 광 출력의 강화를 야기할 것이지만, 주어진 칩 면적에서 직렬로 연결되는 2개 이상의 LED를 가짐으로써, 광 출력은 효율이 극적으로 개선되면서 유지될 수 있다. 따라서, 도 6에 예시된 터널 접합 디바이스는 높은 효율을 필요로 하는 응용들 및/또는 단위 면적 당 높은 플럭스를 필요로 하는 응용들에 사용될 수 있다.
- [0045] 도 6의 디바이스는 성장 기관 상에 성장되는 n-형 영역(32) 그 후에, 발광 영역에 배치될 수 있는 발광 층(34), 및 p-형 영역(36)을 포함한다(위에 설명된 바와 같이, 터널 접합의 p++ 층은 p-형 영역(36)으로서의 기능을 할 수 있어, 개별 p-형 영역은 요구되지 않음). n-형 영역(32), 발광 층(34), 및 p-형 영역(36)은 도 4를 수반하는 본문에 상술되어 있다. 터널 접합(38)은 위에 설명된 바와 같이, p-형 영역(36) 위에 형성된다. 제2 n-형 영역(46), 제2 발광 층(48), 및 제2 p-형 영역(50)을 포함하는 제2 디바이스 구조체는 터널 접합(38) 위에 형성된다. 터널 접합(38)은 p++ 층이 제1 LED의 p-형 영역(36)과 직접 접촉하고, n++ 층이 제2 LED의 n-형 영역(46)과 직접 접촉하도록 배향된다.
- [0046] 도 6의 디바이스에서, p-형 영역(36) 및 터널 접합(38)의 p++ 층은 도 1의 p-형 영역(100)에 대응하고; 터널 접합(38)의 n++ 층, n-형 층(46), 활성 영역(48), 및 p-형 영역(50)은 도 1의 III-질화물 필름(104)에 대응하고 (트렌치들이 p-형 영역(50)과 직접 접촉하면, 트렌치들은 또한 p-형 영역(50)을 통해, p-형 영역(50)을 활성화시킬 것이고, 그것이 마지막 성장된 층이면, 또한 종래의 어닐에 의해 활성화될 수 있음); n-형 영역(32) 및 활성 영역(34)은 도 1의 III-질화물 필름(102)에 대응한다.
- [0047] 제1 및 제2 금속 콘택트들(54 및 52)은 제1 LED의 n-형 영역(32), 및 제2 LED의 p-형 영역(50) 상에 각각 형성된다. 메사는 도 6에 예시된 바와 같이, 플립 칩 디바이스를 형성하기 위해 예칭될 수 있거나, 임의의 다른 적절한 디바이스 구조체가 사용될 수 있다. 일부 실시예들에서, 부가 터널 접합 및 n-형 층은 도 5의 디바이스에 예시된 바와 같이, n-형 층 상에 제2 금속 콘택트(52)를 형성하기 위해, 제2 LED의 p-형 영역(50) 위에 형성될 수 있다.
- [0048] 2개의 활성 영역이 도 6에 예시되지만, 임의의 수의 활성 영역들은 각각의 활성 영역에 인접한 p-형 영역이 터널 접합에 의해 다음 활성 영역에 인접한 n-형 영역으로부터 분리되면, 예시되는 2개의 금속 콘택트 사이에 포함될 수 있다. 도 6의 디바이스가 2개의 콘택트만을 가지므로, 양 발광 층들은 동시에 광을 방출하고 개별적으로 그리고 별도로 활성화될 수 없다. 다른 실시예들에서, 스택 내의 개별 LED들은 부가 콘택트들을 형성함으로써 별도로 활성화될 수 있다. 일부 실시예들에서, 디바이스는 디바이스가 예를 들어, 110 볼트, 220 볼트 등과 같은 전형적 라인 전압에서 동작할 수 있도록 충분한 접합들을 가질 수 있다.
- [0049] 2개의 발광 층은 동일한 조성물로 제조될 수 있어, 그들은 동일한 컬러 광을 방출하거나, 상이한 조성물들로 제조될 수 있어, 그들은 상이한 컬러들(즉, 상이한 피크 파장들)의 광을 방출한다. 예를 들어, 2개의 콘택트들 가진 3개의 활성 영역 디바이스는 제1 활성 영역이 적색 광을 방출하고, 제2 활성 영역이 청색 광을 방출하고, 제3 활성 영역이 녹색 광을 방출하도록 제조될 수 있다. 활성화될 때, 디바이스는 백색 광을 생성할 수 있다.

활성 영역들은 동일한 면적으로부터 광을 방출하는 것으로 나타나도록 스테킹되므로, 그러한 디바이스들은 스테킹된 것보다는 오히려 인접한 활성 영역들로부터 적색, 청색, 및 녹색 광을 조합하는 디바이스에 존재하는 컬러 혼합을 가진 문제들을 회피할 수 있다. 상이한 파장들의 광을 방출하는 활성 영역들을 가진 디바이스에서, 최단 파장의 광을 발생시키는 활성 영역은 LED에서 광이 추출되는 표면, 일반적으로 사파이어, SiC, 또는 GaN 성장 기판에 가장 가깝게 위치될 수 있다. 출력 표면에 가까운 최단 파장 활성 영역의 배치는 다른 활성 영역들의 양자 우물들 내의 흡수로 인해 손실을 최소화할 수 있고 컨택트들에 의해 형성되는 히트 싱크에 더 가까운 더 긴 파장 활성 영역들을 위치시킴으로써 보다 민감한 더 긴 파장 양자 우물들 상에서 열 충격을 감소시킬 수 있다. 양자 우물 층들은 또한 양자 우물 층들 내의 광의 흡수가 낮도록 충분히 얇게 제조될 수 있다. 디바이스로부터 방출되는 혼합된 광의 컬러는 각각의 컬러의 광을 방출하는 활성 영역들의 수를 선택함으로써 제어될 수 있다. 예를 들어, 인간 눈은 녹색 광자들에 매우 민감하고 적색 광자들 및 청색 광자들에 민감하지 않다. 백린성된 백색 광을 생성하기 위해, 스테킹된 활성 영역 디바이스는 단일 녹색 활성 영역 및 다수의 청색 및 적색 활성 영역들을 가질 수 있다.

- [0050] 도 4, 도 5, 및 도 6의 디바이스들은 본 기술분야에 공지되어 있는 바와 같이 성장 기판(30) 상에 III-질화물 반도체 구조체를 성장시킴으로써 형성된다. 성장 기판은 종종 사파이어이지만 예를 들어, SiC, Si, GaN, 또는 복합 기판(예를 들어, 사파이어 템플릿 상의 GaN과 같음)과 같은 임의의 적절한 기판일 수 있다. III-질화물 반도체 구조체가 성장되는 성장 기판의 표면은 성장 전에 패터닝되거나, 거칠게 되거나, 텍스처화될 수 있으며, 그것은 디바이스로부터 광 추출을 개선할 수 있다. 성장 표면과 반대인 성장 기판의 표면(즉, 다수의 광이 플립 칩 구성에서 추출되는 표면)은 성장 전 또는 후에 패터닝되거나, 거칠게 되거나 텍스처화될 수 있으며, 그것은 디바이스로부터 광 추출을 개선할 수 있다.
- [0051] 금속 컨택트들은 종종 반사 금속 및 반사 금속의 전자 이동을 방지하거나 감소시킬 수 있는 가드 금속과 같은 다수의 전도성 층을 포함한다. 반사 금속은 종종 은이지만 임의의 적절한 재료 또는 재료들이 사용될 수 있다. 금속 컨택트들은 실리콘 또는 임의의 다른 적절한 재료의 산화물과 같은 유전체로 충전될 수 있는 갭만큼 서로 전기적으로 절연된다. n-형 영역(32)의 부분들을 노출시키는 다수의 비아가 형성될 수 있으며; 금속 컨택트들은 도 4, 도 5, 및 도 6에 예시된 배열들에 제한되지 않는다. 금속 컨택트들은 본 기술분야에 있는 바와 같이, 유전체/금속 스택을 가진 본드 패드들을 형성하기 위해 재분배될 수 있다.
- [0052] LED에 전기적 연결들을 형성하기 위해, 하나 이상의 인터커넥트는 예시되는 2개의 금속 컨택트 상에 형성되거나 이 금속 컨택트에 전기적으로 연결된다. 인터커넥트들은 예를 들어, 뿔납, 스테드 범프들(stud bumps), 금 층들, 또는 임의의 다른 적절한 구조체일 수 있다.
- [0053] 기판(30)은 박형화되거나 전적으로 제거될 수 있다. 일부 실시예들에서, 박형화에 의해 노출되는 기판(30)의 표면은 광 추출을 개선하기 위해 패터닝되거나, 텍스처화되거나, 거칠게 된다.
- [0054] 본원에 설명되는 디바이스들 중 어느 것은 파장 변환 구조체와 조합될 수 있다. 파장 변환 구조체는 하나 이상의 파장 변환 재료를 포함할 수 있다. 파장 변환 구조체는 LED에 직접 연결되거나, LED에 아주 근접하여 배치되지만 LED에 직접 연결되지 않거나, LED로부터 이격될 수 있다. 파장 변환 구조체는 임의의 적절한 구조체일 수 있다. 파장 변환 구조체는 LED로부터 개별적으로 형성되거나, LED와 원위치에 형성될 수 있다.
- [0055] LED로부터 개별적으로 형성되는 파장 변환 구조체들의 예들은 소결 또는 임의의 다른 적절한 공정에 의해 형성될 수 있는 세라믹 파장 변환 구조체들, 롤링되거나, 캐스팅되거나, 다른 방법으로 시트로 형성되며, 그 다음 개별 파장 변환 구조체들로 싱글레이트되는 실리콘 또는 글래스와 같은 투명 재료에 배치되는 분말 인광체들과 같은 파장 변환 재료들, 및 LED 위에 적층되거나 다른 방법으로 배치될 수 있는, 가요성 시트로 형성되는 실리콘과 같은 투명 재료에 배치되는 분말 인광체들과 같은 파장 변환 재료들을 포함한다.
- [0056] 원위치에서 형성되는 파장 변환 구조체들의 예들은 실리콘과 같은 투명 재료와 혼합되고 분배되거나, 스크린 인쇄되거나, 스텐실되거나, 몰딩되거나, 다른 방법으로 LED 위에 배치되는 분말 인광체들과 같은 파장 변환 재료들; 및 전기영동, 기상, 또는 임의의 다른 적절한 타입의 증착에 의해 LED 상에 코팅되는 파장 변환 재료들을 포함한다.
- [0057] 다수의 형태의 파장 변환 구조체는 단일 디바이스에 사용될 수 있다. 단지 일 예로서, 세라믹 파장 변환 부재는 동일한 또는 상이한 파장 변환 재료들이 세라믹 및 몰딩된 부재들에 있는 상태에서, 몰딩된 파장 변환 부재와 조합될 수 있다.
- [0058] 파장 변환 구조체는 예를 들어, 종래의 인광체들, 유기 인광체들, 양자점들, 유기 반도체들, II-VI 또는 III-V

반도체들, II-VI 또는 III-V 반도체 양자점들 또는 나노 결정들, 염료들, 폴리머들, 또는 빛을 발하는 다른 재료들을 포함할 수 있다.

[0059] 파장 변환 재료는 LED에 의해 방출되는 광을 흡수하고 하나 이상의 상이한 파장의 광을 방출한다. LED에 의해 방출되는 비변환된 광은 종종 구조체로부터 추출되는 최종 스펙트럼의 일부이지만, 그것은 필요하지 않다. 공통 조합들의 예들은 황색 방출 파장 변환 재료와 조합되는 청색 방출 LED, 녹색 및 적색 방출 파장 변환 재료들과 조합되는 청색 방출 LED, 청색 및 황색 방출 파장 변환 재료들과 조합되는 UV 방출 LED, 및 청색, 녹색, 및 적색 방출 파장 변환 재료들과 조합되는 UV 방출 LED를 포함한다. 광의 다른 컬러들을 방출하는 파장 변환 재료들은 구조체로부터 추출되는 광의 스펙트럼을 조정하기 위해 추가될 수 있다.

[0060] 본원에 설명되는 실시예들은 임의의 적절한 발광 디바이스로 포함될 수 있다. 발명의 실시예들은 예시되는 특정 구조체들에 제한되지 않는다.

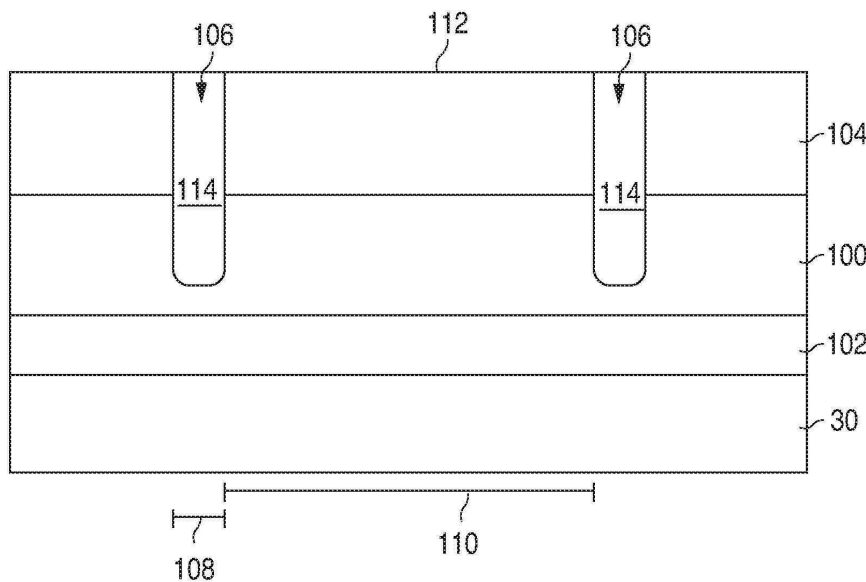
[0061] 일부 실시예들의 일부 특징들은 생략되거나 다른 실시예들로 구현될 수 있다. 본원에 설명되는 디바이스 요소들 및 방법 요소들은 교환가능하고 본원에 설명되는 예들 또는 실시예들 중 어느 것에 사용되거나 생략될 수 있다.

[0062] 위에 설명된 예들 및 실시예들에서, 반도체 발광 디바이스는 청색 또는 UV 광을 방출하는 III-질화물 LED이지만, 레이저 다이오드들과 같은, LED들 외의 반도체 발광 디바이스들은 발명의 범위 내에 있다. 게다가, 본원에 설명되는 원리들은 다른 III-V 재료들, III-인화물, III-비화물, II-VI 재료들, ZnO, 또는 Si-계 재료들과 같은 다른 재료 시스템들로부터 제조되는 반도체 발광 또는 다른 디바이스들에 적용가능할 수 있다.

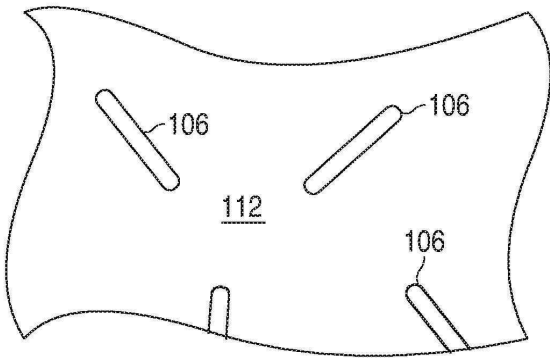
[0063] 발명을 상세히 설명했으면, 본 기술분야의 통상의 기술자들은 본 개시를 고려하면, 수정들이 본원에 설명되는 창의적 개념의 사상으로부터 벗어나는 것 없이 발명에 이루어질 수 있는 것을 이해할 것이다. 따라서, 발명의 범위가 예시되고 설명되는 구체적 실시예에 제한되는 것으로 의도되지 않는다.

**도면**

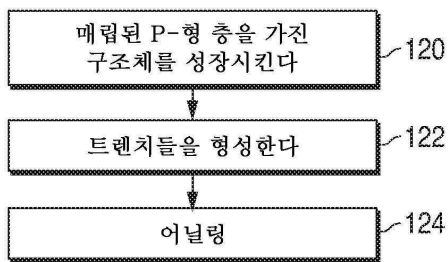
**도면1**



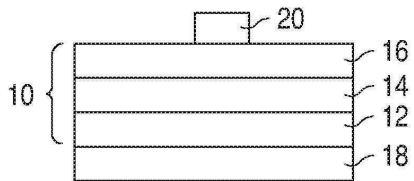
도면2



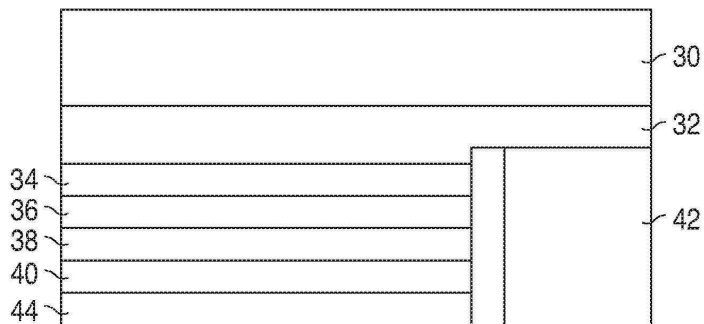
도면3



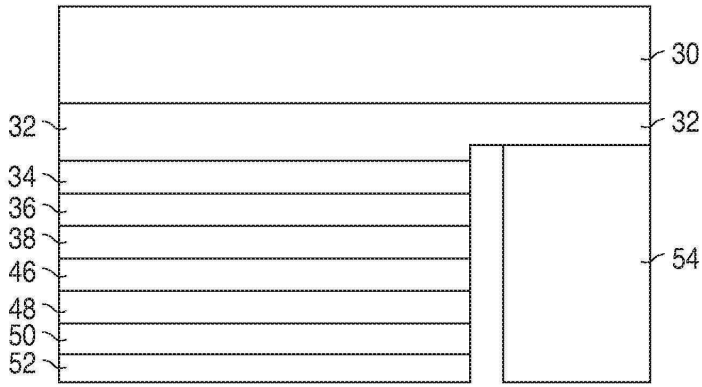
도면4



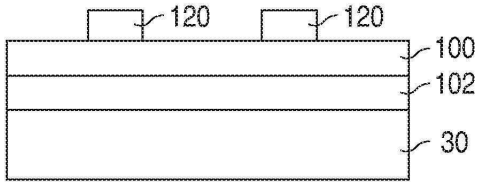
도면5



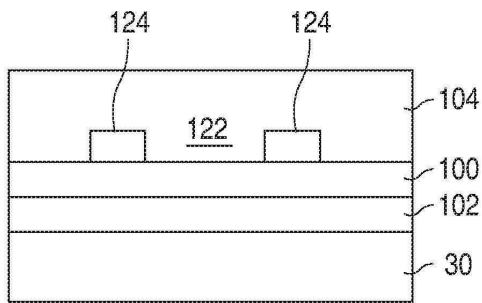
도면6



도면7



도면8



도면9

