



(12)发明专利

(10)授权公告号 CN 105048978 B

(45)授权公告日 2018.07.31

(21)申请号 201510201224.3

(51)Int.Cl.

(22)申请日 2015.04.24

H03F 1/52(2006.01)

(65)同一申请的已公布的文献号

(56)对比文件

申请公布号 CN 105048978 A

CN 102457239 A, 2012.05.16,

CN 102857182 A, 2013.01.02,

(43)申请公布日 2015.11.11

审查员 冉凡坤

(30)优先权数据

14/262,255 2014.04.25 US

(73)专利权人 美国亚德诺半导体公司

地址 美国马萨诸塞州

(72)发明人 M·格斯滕哈伯 R·詹森

(74)专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 刘倜

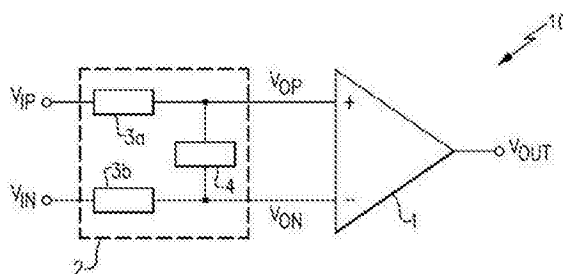
权利要求书3页 说明书9页 附图4页

(54)发明名称

放大器输入保护的装置和方法

(57)摘要

提供和放大器输入保护的装置和方法。在某些实施方式中,放大器输入保护电路包括在第一输入和第一输出之间电连接的第一JFET,和在第二输入和第二输出之间电连接的第二JFET。另外,第一夹钳被电连接到第一输出端,以及第二夹钳电连接到第二输出。第一电流镜镜像通过第一夹钳的电流,并提供镜像电流给第三JFET,所述第三JFET电连接在第一JFET的源极和栅极之间。另外,第二电流镜镜像通过该第二夹钳的电流,并提供镜像电流到第四JFET,所述第四JFET电连接在所述第二JFET的源极和栅极之间。以这种方式配置所述保护电路可以同时提供低噪声和低故障电流的优点。



1. 一种放大器输入保护电路,包括:

第一场效应晶体管(FET),包括电连接到第一输入的源极,以及电连接到第一输出的漏极;

第二FET,包括电连接到第二输入的源极,以及电连接到第二输出的漏极;

第三FET,包括电连接到所述第一FET的栅极的栅极和源极以及电连接到所述第一输入的漏极;

第四FET,包括电连接到所述第二FET的栅极的栅极和源极以及电连接到所述第二输入的漏极;

第一夹钳,电连接到所述第一输出,其中所述第一夹钳被配置为响应于第一过电压状态而激活,以产生第一钳位电流;

第一电流镜,配置成镜像第一钳位电流以产生第一镜像电流,其中第一电流镜被配置成提供所述第一镜像电流到所述第三FET的源极;

第二夹钳,电连接到所述第二输出,其中所述第二夹钳被配置为响应于第二过电压状态而激活,以产生第二钳位电流;和

第二电流镜,配置成镜像所述第二钳位电流,以产生第二镜像电流,其中第二电流镜被配置成提供所述第二镜像电流到第四FET的源极。

2. 根据权利要求1所述的放大器输入保护电路,其中,所述第三FET被配置为响应于所述第一镜像电流而增加第一FET的沟道阻抗,并且其中,所述第四FET被配置为响应于所述第二镜像电流而增加第二FET的沟道阻抗。

3. 根据权利要求1所述的放大器输入保护电路,其中,所述第一FET、所述第二FET、所述第三FET和第四FET包括n沟道结型场效应晶体管(JFET)。

4. 根据权利要求1所述的放大器输入保护电路,其中,所述第一FET、所述第二FET、所述第三FET和第四FET包括P沟道结型场效应晶体管。

5. 根据权利要求1所述的放大器输入保护电路,其中,所述第一和第二FET具有第一宽长比,其中所述第三和第四FET具有第二宽长比,其中,第一宽长比大于第二宽长比。

6. 根据权利要求1所述的放大器输入保护电路,其中,所述第一夹钳包括至少一个二极管连接的双极晶体管,并且其中所述第二夹钳包括至少一个二极管连接的双极晶体管。

7. 根据权利要求1所述的放大器输入保护电路,其中,所述第一电流镜包括第一双极电流镜晶体管,其中,第一双极电流镜晶体管包括电连接到第一夹钳的第一二极管连接的双极晶体管的基极的基极,其中所述第二电流镜包括第二双极电流镜晶体管,其中,第二双极电流镜晶体管包括电连接到第二夹钳的第二二极管连接的双极晶体管的基极的基极。

8. 根据权利要求1所述的放大器输入保护电路,其中,所述第一夹钳电连接在所述第一和第二输出之间,其中所述第一过电压状态包括第一输入相对于第二输入的过电压,其中第二夹钳电连接在所述第一和第二输出之间,其中所述第二过电压状态包括所述第二输入相对于第一输入的过电压。

9. 根据权利要求1所述的放大器输入保护电路,其中,所述第一夹钳电连接在所述第一输出和第一电压之间,其中所述第一过电压状态包括第一输入相对于第二电压的过电压,其中第二夹钳电连接在所述第二输出和第一电压之间,其中,第二过电压状态包括所述第二输入相对于第二电压的过电压。

10. 根据权利要求9所述的放大器输入保护电路,

其中,第一夹钳包括:

第一双极晶体管,包括被配置为接收第一偏置电流的发射极,其中,所述第一双极晶体管的发射极被进一步配置为当所述第一夹钳被激活时接收第一钳位电流;和

第一电阻器,电连接在第一双极晶体管的集电极和所述第一电压之间;

其中,所述第二夹钳包括:

第二双极晶体管,包括被配置为接收第二偏置电流的发射极,其中所述第二双极晶体管的发射极被进一步配置为当所述第二夹钳被激活时接收所述第二钳位电流;和

第二电阻器,电连接在第二双极晶体管的集电极和所述第一电压之间。

11. 根据权利要求10所述的放大器输入保护电路,

其中,第一夹钳还包括:

第一二极管,包括电连接到所述第一双极晶体管的集电极的阳极和电连接到第一电压的阴极;

第一电压源,包括电连接到第二电压的第一端,以及电连接到所述第一双极晶体管的基极的第二端;

其中,所述第二夹钳包括:

第二二极管,包括电连接到所述第二双极晶体管的集电极的阳极,和电连接到第一电压的阴极;

第二电压源,包括电连接到第二电压的第一端,和电连接到第二双极晶体管的基极的第二端,

其中,所述第一电流镜包括第三双极晶体管,所述第三双极晶体管具有:电连接到所述第一二极管的阳极的基极、电连接到所述第一电压的发射极以及配置为生成所述第一镜像电流的集电极,

其中,所述第二电流镜包括第四双极晶体管,所述第四双极晶体管具有:电连接到所述第二二极管的阳极的基极、电连接到所述第一电压的发射极以及配置为生成所述第二镜像电流的集电极。

12. 一种放大器,包括:

非反相输入端和反相输入端;

放大电路,包括非反相输入和反相输入;

输入保护电路,包括电连接到所述非反相输入端的第一输入,电连接到反相输入端的第二输入,电连接到所述放大电路的非反相输入的第一输出,以及电连接到放大电路的反相输入的第二输出,其中所述输入保护电路包含:

第一场效应晶体管(FET),包括电连接到第一输入的源极,以及电连接到第一输出的漏极;

第二FET,包括电连接到第二输入的源极,以及电连接到第二输出的漏极;

第一夹钳,电连接到所述第一输出,其中所述第一夹钳被配置为响应于第一过压状态而激活,以产生第一钳位电流;

第一电流镜,配置成镜像第一钳位电流以产生第一镜像电流,其中第一电流镜被配置成提供所述第一镜像电流到第三FET的源极;

所述第三FET,电连接在所述第一FET的栅极和源极之间;

第二夹钳,电连接到所述第二输出,其中所述第二夹钳被配置为响应于第二过电压状态而激活,以产生第二钳位电流;

第二电流镜,配置成镜像所述第二钳位电流,以产生第二镜像电流;和

第四FET,电连接在所述第二FET的栅极和源极之间,其中,所述第四FET被配置为接收第二镜像电流。

13. 根据权利要求12所述的放大器,其中,所述第三FET被配置为响应于所述第一镜像电流而增加第一FET的沟道阻抗,并且其中,所述第四FET被配置为响应于第二镜像电流增加第二FET的沟道阻抗。

14. 根据权利要求12所述的放大器,其中所述第一FET、第二FET、所述第三FET和第四FET包括n沟道结型场效应晶体管。

15. 根据权利要求12所述的放大器,其中所述第一FET、第二FET、第三FET和第四FET包括P沟道结型场效应晶体管。

16. 根据权利要求12所述的放大器,其中所述第一和第二FET具有第一宽长比,其中所述第三和第四FET具有第二宽长比,其中,第一宽长比大于第二宽长比。

17. 根据权利要求12所述的放大器,其中,所述放大电路还包括经由反馈电连接到反相输入端的输出,其中,当所述第一夹钳被激活时,第三FET响应于所述第一镜像电流而增加第一FET的沟道阻抗,以降低从所述非反相输入端到放大电路的输出的电流。

18. 根据权利要求12所述的放大器,其中,所述第一夹钳包括至少一个二极管连接的双极晶体管,以及其中所述第二夹钳包括至少一个二极管连接的双极晶体管。

19. 根据权利要求12所述的放大器,其中,所述第三FET包括电连接到第一FET的栅极的栅极和源极以及电连接到所述第一输入的漏极,所述第四FET包括电连接到第二FET的栅极的栅极和源极和电连接到第二输入的漏极。

20. 一种保护放大电路的方法,所述放大电路具有经由第一FET的沟道电连接到第一输入端的第一输入,并具有经由第二FET的沟道电连接到第二输入端的第二输入,该方法包括:

响应于第一过电压状态激活第一夹钳;

利用第一电流镜镜像通过第一夹钳的第一钳位电流,以产生第一镜像电流;

使用第三FET,响应于所述第一镜像电流,增加第一FET的沟道阻抗;

响应于第二过电压状态激活第二夹钳;

利用第二电流镜镜像通过所述第二夹钳的第二钳位电流,以产生第二镜像电流;和

使用第四FET,响应于所述第二镜像电流,增加第二FET的沟道阻抗。

放大器输入保护的装置和方法

技术领域

[0001] 本发明的实施例涉及电子系统,更具体地涉及用于放大器的输入保护电路。

背景技术

[0002] 放大器(诸如,运算放大器或仪表放大器)可以包括输入保护电路,用于保护所述放大器避免较大的输入信号。如果缺少保护,较大的输入信号可导致过电压条件和/或高水平的功耗,这可导致放大器的损坏,诸如金属线中的半导体结和/或电迁移的损害。

[0003] 当输入电压信号是一种安全的电压范围内时,输入保护电路可用于提供输入信号到放大器的放大电路,使得该放大器能够放大输入信号。例如,在一个示例中,当放大器输入的电压电平是在放大器的电源轨的一定电压范围内时,该输入保护电路可以向放大电路提供输入信号。然而,当输入信号较大并落在安全范围之外时,输入保护电路可用于阻止或以其他方式阻止输入信号到达放大器的放大电路,从而保护放大器免受损坏。

发明内容

[0004] 在一个方面,公开一种放大器的输入保护电路。放大器的输入保护电路包括:第一场效应晶体管(FET),其包括电气地连接到第一输入端的源极,以及电连接到第一输出的漏极;第二FET,包括电气地连接到第二输入端的源极和电连接到第二输出端的漏极;第三FET,包括电连接到第一FET的栅极的栅极和源极,以及电连接到第一输入的漏极;和第四FET,包括电连接到第二FET的栅极的栅极和源极,以及电连接到第二输入的漏极。放大器输入保护电路进一步包括第一夹钳,电连接到所述第一输出并且被配置为激活以响应于第一过压状态而产生第一钳位电流。放大器输入保护电路进一步包括第一电流镜,被配置为镜像第一钳位电流以产生第一镜像电流,并向第三FET的源极提供所述第一镜像电流。放大器输入保护电路进一步包括第二夹钳,电连接到所述第二输出,并配置为激活以响应于第二过压状态而产生第二钳位电流。放大器输入保护电路进一步包括第二电流镜,被配置为镜像所述第二钳位电流,以产生第二镜像电流并向第四FET的源极提供第二电流镜像。

[0005] 在另一个方面,提供一种放大器。该放大器包括非反相输入端和反相输入端,包括非反相输入端和反相输入端的放大电路,以及输入保护电路。输入保护电路包括:电连接到非反相输入端的第一输入端,电连接到反相输入端的第二输入端,电连接到所述放大电路的非反相输入端的第一输出,以及电连接到所述放大电路的反相输入端的第二输出。输入保护电路进一步包括:第一FET,包括电连接到第一输入端的源极和电连接到第一输出的漏极;第二FET,包括电连接到第二输入端的源极和电连接到第二输出的漏极;第一夹钳,电连接到所述第一输出并且被配置来激活以响应于第一过电压状态而产生第一钳位电流;第一电流镜,配置成镜像第一钳位电流以产生第一镜像电流;第三FET,电连接在第一FET的栅极和源极之间和配置为接收所述第一镜像电流;第二夹钳,电连接到所述第二输出,并配置为激活以响应第二过压状态而产生第二钳位电流;第二电流镜,被配置为镜像第二钳位电流以产生第二镜像电流;和第四FET,电连接在第二FET的栅极和源极之间,并配置成接收所述

第二镜像电流。

[0006] 在另一个方面,提供一种保护放大电路的方法。所述放大电路包括:第一输入,经由第一FET的沟道电连接到第一输入端;以及第二输入,并通过第二FET的沟道电连接到第二输入端。该方法包括:响应于第一过电压状态,激活第一夹钳,通过第一电流镜镜像通过第一夹钳的第一钳位电流,以产生第一镜像电流;使用第三FET响应于所述第一镜像电流增加第一FET的沟道阻抗;响应于第二过电压状态激活第二夹钳;利用第二电流镜镜像通过第二夹钳的第二钳位电流,以产生第二镜像电流;并使用第四FET,响应于第二镜像电流,增加所述第二FET的沟道阻抗。

附图说明

- [0007] 图1A示出放大器的一个例子。
[0008] 图1B示出连接在缓冲器构造中的图1A的放大器。
[0009] 图2示出输入保护电路的实施例。
[0010] 图3A示出输入保护电路的另一个实施例。
[0011] 图3B示出输入保护电路的另一个实施例。
[0012] 图4示出输入保护电路的另一个实施例。
[0013] 图5示出输入保护电路的另一个实施例。

具体实施方式

[0014] 某些实施例的以下详细描述提出了本发明的具体实施例的各种描述。然而,本发明可以体现在许多不同的方式,例如,如权利要求书所定义和涵盖的。在本说明书中,参考附图,其中类似的附图标记可以指示相同或功能相似的元件。

[0015] 图1A示出放大器10的一个例子。图1B示出连接在缓冲器20的配置中的图1A的放大器10。

[0016] 该放大器10包括第一或非反相输入电压端的VIP,第二或反相输入电压端子VIN,输出电压端VOUT,放大电路1,以及输入保护电路2。放大电路1包括第一或非反相输入端、第二或反相输入和输出。输入保护电路2包括第一输入保护构件3a、第二输入保护部件3b和夹钳部件4。

[0017] 如图1A所示,第一输入保护部件3a电连接在放大电路1的非反相输入端电压VIP和非反相输入端之间,而第二输入保护构件3b电连接在放大电路1的反相输入电压端子VIN和反相输入之间。另外,夹钳部件4电连接在放大电路1的非反相和反相输入之间。此外,放大电路1的输出电连接到输出端子VOUT。在图1B所示的结构中,输出端VOUT已电连接到反相输入端子VIN以操作放大器10作为单位增益缓冲器。

[0018] 该输入保护电路2可用于避免放大电路1从非反相和反相输入电压端子的VIP、VIN接收的较大输入信号。例如,第一输入保护构件3a可以限制电流从非反相输入端子VIP流向放大电路1的非反相输入端,和第二输入保护部件3b可以限制电流从反相输入端子VIN流向放大电路1的反相输入端。另外,当放大电路的非反相和反相输入端之间的电压差足够大时,夹钳部件4可以激活,从而限制放大电路1的非反相和反相输入端之间的最大电压差。

[0019] 输入保护电路2的某些实施方式可以受到噪声和故障电流之间的权衡,这两者是

不希望的。例如，噪声可以通过降低放大器的信噪比 (SNR) 而影响放大器10的性能，同时故障电流可导致响应于触发故障状态的比较快的步骤输入而增加放大器的稳定时间。如本领域的普通技术人员将理解的，当放大器的输入保护电路响应于过压或故障条件激活时，故障电流可以指放大器的输入电流。

[0020] 例如，在一个输入保护方案中，第一和第二输入保护元件3a、3b可以被实施为电阻器，以及夹钳部件4可使用二极管钳位来实现。为了防止电阻过度影响放大器10的噪声性能，电阻器的电阻应该比较小，以提供比较小的输入参考噪声。然而，在输入保护元件3a、3b中使用小的电阻会导致相对大的故障电流，它可以具有随着差分输入信号的幅度改变的幅度。当放大器使用负反馈操作时，诸如图1B所示的缓冲器结构20，电流可从非反相输入端子VIP通过输入保护电路2流到放大电路1的输出，从而响应于触发故障状态的相对快步输入而增加放大器的建立安置。

[0021] 在另一个输入保护方案中，第一和第二输入保护元件3A、3B被实现为结型场效应晶体管 (JFET的)。在这样的配置中，当差分输入信号足够大时，故障电流可以基本上独立于差分输入信号的幅度。为了对放大器的噪声性能提供相对较小的影响，该方案可以使用相对大的宽度JFET，以提供低沟道电阻，以及从而低噪声。然而，当夹钳元件4是有源和夹紧时，大宽度JFET可导通大故障电流。

[0022] 本文中提供的是放大器输入保护的装置和方法。在本文的某些实施方式中，输入保护电路包括：第一JFET，电连接在输入保护电路的第一输入和第一输出之间，和第二JFET，电连接在输入保护电路的第二输入和第二输出之间。输入保护电路进一步包括：第一夹钳，电连接到第一输出用于提供避免第一过压条件，以及第二夹钳，电连接到第二输出用于提供避免第二过压情况。此外，该保护电路可包括第一电流镜，其镜像通过所述第一夹钳的电流，并向第三JFET提供镜像电流，第三JFET电连接到第一JFET的源极和栅极之间。类似地，保护电路可以包括第二电流镜像，其镜像通过第二夹钳的电流，并向第四JFET提供镜像电流，所述第四JFET电连接在第二JFET的源极和栅极之间。

[0023] 以这种方式配置保护电路可以同时提供低噪声和低故障电流的优点。例如，当包括保护电路的放大器在正常信令条件下操作时，输入信号可以从保护电路的输入通过第一和第二JFET传递到输出，其可使用相对大的宽度来实现以提供低电阻和低噪音。然而，当第一夹钳响应于过电压条件激活时，第一电流镜和第三JFET可以操作来动态地增加第一JFET的沟道阻抗，以响应于第一夹钳的激活而防止大的故障电流流过第一JFET的通道。例如，当第一夹钳响应于过电压条件激活时，第一电流镜可以产生打开第三JFET的镜像电流，其可有效地夹断第一JFET的沟道，并降低它的最大电流。同样地，当第二夹钳响应于过电压条件激活时，第二电流镜和第四JFET可以操作来动态地增加第二JFET的沟道阻抗，以响应于第二夹钳的激活而防止大的故障电流流经第二JFET的通道。

[0024] 因此，该输入保护电路可向输入保护提供具有相对小的噪声和/或相对少量的故障电流。相对于单独利用一对电阻器或一对JFET的方案，本文的教导可以用于提供例如改进的输入保护性能。因此，该输入保护电路可用于提供相对低的噪声和相对小的故障电流。输入保护电路不仅可以减少故障电流和噪声，而且，当放大器与反馈连接时，诸如当放大器作为缓冲操作时，可降低故障恢复时间。

[0025] 在某些实施方式中，第一JFET包括电连接到输入保护电路的第一输入的源极和连

接到输入保护电路的第一输出的漏极,以及第二JFET包括连接到输入保护电路的第二输入的源极和连接到输入保护电路的第二输出的漏极。因此,提供到输入保护电路的输入信号可被配置为穿过第一和第二JFET的的通道。另外,在某些配置中,第三JFET可包括连接到第一JFET的栅极的源极和栅极和连接到第一输入的漏极,以及第四JFET具有连接到第二JFET的栅极的源极和栅极和连接到所述第二输入的漏极。因此,当第三JFET响应于通过第一电流镜产生的第一镜像电流激活,第三JFET可以动态增加第一JFET的沟道阻抗。同样,当第四JFET响应于由第二电流镜产生的第二镜像电流激活时,第四JFET可动态地增加第二JFET的沟道阻抗。

[0026] 虽然结合JFET描述,在替代实施例中,耗尽型绝缘栅晶体管(诸如,耗尽型金属氧化物半导体场效应晶体管(MOSFET))可以代替本文所述的JFET。应该理解,这些MOSFET可以具有由除了金属以外的材料制成的栅极,诸如多晶硅等,并且可具有由除了氧化硅以外的电介质制成的电介质“氧化物”的区域,诸如氮化硅或高k电介质。

[0027] 第一和第二夹钳可以以各种方式来配置。例如,在某些实施方式中,第一和第二夹钳可连接在输入保护电路的第一和第二输出之间,并且所述第一夹钳可以响应于大的正电压差激活,而第二夹钳可以响应于大的负电压差激活。在其他实施方式中,第一夹钳可连接在第一输出和第一电压之间,和第二夹钳可连接在第二输出和第一电压之间。另外,第一和第二夹钳可被配置为响应于相对于所引用的第二电压的过压条件下激活,它可以不同于第一电压。

[0028] 图2示出了输入保护电路30的一个实施例。输入保护电路30包括第一p沟道JFET 31、第二p沟道JFET 32、第三p沟道JFET 33、第四p沟道JFET 34、第一电流镜41、第二电流镜42、第一夹钳43和第二夹钳44。输入保护电路30还包括第一输入VIP、第二输入VIN端子、第一输出VOP和第二输出VON。

[0029] 该第一p沟道JFET 31包括电连接到第一输入VIP的源极和电连接到所述第一输出VOP的漏极。第三p沟道JFET 33包括电连接到第一输入VIP的漏极和电连接到第一p沟道JFET 31的栅极的源极。第二p沟道JFET32包括电连接到第二输入VIN的源极和电连接到第二输出VON的漏极。第四p沟道JFET 34包括电连接到第二输入VIN的漏极和电连接到第二p沟道JFET 32的栅极的栅极和源极。第一夹钳43电连接在第一和第二输出VOP、VON之间。第一电流镜41耦合到第一夹钳43,并且被配置为镜像通过第一夹钳43的第一钳位电流IIN1,以从第二输出VON到第三p沟道JFET 33的栅极和源极产生第一镜像电流IOUT1。第二夹钳44电连接在第一和第二输出的VOP、VON之间。第二电流镜42耦合到第二夹钳44,并且被配置为镜像通过所述第二夹钳44的第二钳位电流IIN2,以从第一输出VOP到第四p沟道JFET 34的栅极和源极产生第二镜像电流IOUT2。

[0030] 所说明的输入保护电路30可以同时提供低噪声和小故障电流的优点。

[0031] 例如,在第一和第二p沟道JFET 31、32能够被实现为相对大的宽度的设备,使得第一和第二p沟道JFET 31、32在输入保护电路的正常操作期间具有相对低的电阻时30。如本领域的普通技术人员将会理解,放大器的噪声通常在放大器的输入端没有输入信号存在的情况下测量,并且可以相对于放大器的输入电阻发生变化。由于第一和第二p沟道JFET 31、32可以具有相对大的宽度和小的阻力,第一和第二p沟道JFET 31、32可以使用输入保护电路30向放大器提供给相对小的噪声贡献。当在第一和第二输入端VIP、VIN之间的接收差分

输入信号是比较小时,输入保护电路30可向第一和第二输出VOP、VON提供差分输入信号,第一和第二p沟道JFET 31、32在操作的线性模式下操作。例如,第一和第二p沟道JFET31、32可以是耗尽型晶体管,其通常在零栅极到源极电压上,从而可以通过相对小的差分输入信号。

[0032] 然而,响应于正或负极性大的差分输入信号,第一和/或第二夹钳43、44可以激活以限制第一和第二输出VOP、VON之间的最大电压差。

[0033] 此外,当第一夹钳43响应于大输入信号激活时,其相对于第一输入VIP的电压增加第二输入VIN的电压,第一电流镜41可以镜像通过第一夹钳43的第一钳位电流IIN1,以产生第一镜像电流IOUT1,并且提供所述第一镜像电流IOUT1到第三p沟道JFET 33的栅极和源极。以这种方式配置输入保护电路30可以响应于所述第一夹钳43的激活而动态地增加第一p沟道JFET 31的阻抗。具体地,当第一夹钳43致动时,第一镜像电流IOUT1可以流经第三p沟道JFET 33,并相对于第一p沟道JFET 31的源极电压增加第一p沟道JFET31的栅极电压。因此,当第一夹钳43被激活时,第一电流镜41和第三p沟道JFET 33可以操作以有效地夹断第一p沟道JFET 31的信道,以减少故障电流。

[0034] 类似地,当第二夹钳44将响应于大输入信号激活时,其相对于所述第二输入VIN的电压增加第一输入VIP的电压,第二电流镜42可以镜像通过第二夹钳44的第二钳位电流IIN2,以产生第二镜像电流IOUT2。另外,第二电流镜42可以向第四p沟道JFET 34的栅极和源极提供第二镜像电流IOUT2,从而增加第二p沟道JFET32的阻抗。特别是,当第二夹钳44激活时,第二镜像电流IOUT2可以流过第四p沟道JFET 34,并相对于第二p沟道JFET 32的源电压增加第二p沟道JFET 32的栅电压。因此,当第二夹钳44被激活时,第二电流镜42和第四p沟道JFET 34可以操作以有效地夹断第二p沟道JFET 32的信道,以减少故障电流。

[0035] 因此,所示输入保护电路30可提供低噪音和较小故障电流的优点。例如,当输入保护电路30用于以负反馈连接的放大器中时,放大器可以具有相对小的故障电流,其响应于触发故障条件的步骤输入可从第一输入VIP流到第二输入VIN。因此,包括输入保护电路30可以帮助减少故障恢复时间。此外,由于第一和第二p沟道JFET 31、32可以具有相对大的宽度和小的阻力,包括输入保护电路30的放大器可以具有相对低的噪声。

[0036] 在某些配置中,第一和第二p沟道JFET 31、32可以具有大于第三和第四p沟道JFET 33、34的W/L比的宽长(W/L)比。例如,在一个实施例中,第一和第二p沟道JFET 31、32的W/L比是在大于第三和第四p沟道JFET33、34的W/L比约50至约250的范围内的因子。但是,其它的W/L比是可能的,诸如W/L比依赖于特定的噪声规范或约束。

[0037] 尽管图2示出使用P沟道JFET的输入保护电路的结构,在此的教导也适用于其他类型的晶体管,包括例如n沟道JFET和耗尽型MOSFET。

[0038] 图3A示出了输入保护电路50的另一个实施例。图3A的输入保护电路50类似于图2的输入保护电路30,除了输入保护电路50示出图2所示的电流镜和夹钳的具体实施方式。例如,输入保护电路50包括第一和第二电流镜51、52与第一和第二夹钳53、54。

[0039] 在图示的配置中,第一夹钳53包括第一PNP型钳位晶体管61和第二PNP型钳位晶体管62,以及第一电流镜51包括第一PNP型电流镜晶体管65。如图3A所示,第二PNP型钳位晶体管62的基极和集电极电连接到第一输出VOP,以及第二PNP型钳位晶体管62的发射极电连接到第一PNP钳位晶体管61的基极和集电极以及第一PNP电流镜晶体管65的基极。此外,第一PNP型钳位晶体管61的发射极和第一PNP型电流镜晶体管65的发射极电连接到第二输出

VON。另外，第一PNP型电流镜晶体管65的集电极电连接到所述第三p沟道JFET 33的源极和栅极。

[0040] 另外，在图示的结构中，第二夹钳54包括第三PNP钳位晶体管63和第四PNP钳位晶体管64，以及第二电流镜52包括第二PNP型电流镜晶体管66。如图3A所示，第四PNP钳位晶体管64的基极和集电极电连接到第二输出VON，以及第四PNP钳位晶体管64的发射极电连接到第三PNP钳位晶体管63的基极和集电极和第二PNP型电流镜晶体管66的基极。此外，第三PNP钳位晶体管63的发射极和第二PNP型电流镜晶体管66的发射极电连接到第一输出VOP。另外，第二PNP型电流镜晶体管66的集电极电连接到第四p沟道JFET 34的源极和栅极。

[0041] 在图示的配置中，第一夹钳53包括两个二极管连接的PNP双极型晶体管，当第二输入VIN的电压电平比第一输入VIP的电压电平大大约2倍的二极管正向电压时，其可以激活。第一PNP型电流镜晶体管65可用于镜像通过第一PNP型钳位晶体管61的第一钳位电流IIN1，并提供所述第一镜像电流IOUT1到所述第三p沟道JFET 33。第一镜像电流IOUT1可以流经第三p沟道JFET 33，从而通过相对于源电压增加p沟道JFET 31的栅电压而增加第一p沟道JFET 31的阻抗。同样地，在示出的配置中，第二夹钳54包括两个二极管连接的PNP双极型晶体管，其当第一输入VIP的电压电平比第二输入VIN的电压电平大大约2个二极管正向电压时可以激活。

[0042] 尽管第一和第二夹钳53、54分别示出为包括两个二极管连接的双极晶体管，其他配置也是可能的。例如，本文的教导也适用于使用更多或更少的二极管连接的双极晶体管的配置，和/或使用夹钳的其他实现的配置。另外，虽然第一和第二电流镜的一个示例实现已被示出，本文的教导也适用于其他的安排。

[0043] 图3B示出输入保护电路70的另一个实施例。输入保护电路70包括第一n沟道JFET 71、第二n沟道JFET 72、第三n沟道JFET 73、第四n沟道JFET 74、第一电流镜81、第二电流镜82、第一夹钳83和第二夹钳84。输入保护电路70还包括第一和第二输入端的VIP、VIN和第一和第二输出的VOP、VON。第一夹钳83包括第一和第二NPN型钳位晶体管91、92，以及第一电流镜81包括第一NPN型电流镜晶体管95。第二夹钳84包括第三和第四NPN钳位晶体管93、94，以及第二电流镜82包括第二NPN型电流镜晶体管96。

[0044] 图3B的输入保护电路70类似于图3A的输入保护电路50，除了输入保护电路70使用n型配置而不是p型配置实现。尽管图3A示出使用所有P型晶体管的结构，图3B示出使用所有n型晶体管的结构，这里的教导还适用于使用p型和n型晶体管的组合配置。

[0045] 当较大的输入信号使得第一输入VIP的电压电平相对于第二输入VIN的电压电平增加时，第一夹钳83可以激活。另外，第一电流镜81可镜像通过第一夹钳83的第一钳位电流IIN1，并提供所述第一镜像电流IOUT1至第三n沟道JFET 73。第一镜像电流IOUT1可以穿过第三n沟道JFET 73，从而通过相对于栅极电压增加第一n沟道JFET的源极电压而增加第一n沟道JFET 71的阻抗。同样，当较大的输入信号使得第二输入VIN的电压电平相对于第一输入VIP的电压电平增加时，第二夹钳84可以激活。另外，第二电流镜82可镜像通过第二夹钳84的第二钳位电流IIN2，并提供第二镜像电流IOUT2到所述第四n沟道JFET 74。第二镜像电流IOUT2可以穿过该第四n沟道JFET 74，从而通过相对于栅极电压增加第二n沟道JFET的源极电压而增加第二n沟道JFET 72的阻抗。图3B的输入保护电路70的另外细节可以类似于之前所描述的那些。

[0046] 图4示出输入保护电路100的另一个实施例。所示出的输入保护电路100包括第一和第二n沟道JFET 71、72,第三和第四N沟道JFET 73、74,第一和第二电流镜41和42以及第一和第二钳位43、44。输入保护电路100还包括第一和第二输入端VIP、VIN和第一和第二输出VOP、VON。

[0047] 与图2的使用P沟道JFET的输入保护电路30相反,图4的所示输入保护电路100示出使用n沟道JFET的保护方案。然而,其它构造是可能的,包括例如其中示出的输入保护电路100适于使用p沟道JFET或n沟道和p沟道JFET的组合来操作的配置。

[0048] 另外,与图2的输入保护电路30相反,其中,第一和第二钳位43、44被差分连接在第一和第二输出VOP、VON之间,在图示的结构中,第一钳位43电连接在第一输出VOP和第一电压V1之间,和第二钳位44电连接在第二输出VON和第一电压V1之间。因此,图示的输入保护电路100被示出在共同模式配置中,而不是差配置中。

[0049] 在图示的配置中,输入保护电路100可用于避免相对于第二电压V2参考的过压条件的放大器。例如,第一钳位43可以被配置成响应于过电压状态来激活,其相对于第二电压V2而增加第一输入VIP的电压,以及第二钳位44可以被配置成响应于过压条件激活,即相对于第二电压V2增大第二输入VIN的电压。在某些配置中,第一和第二电压V1、V2可以分别对应于电源低和高电源电压。然而,其他配置也是可能的。

[0050] 当第一钳位43致动时,第一钳位电流IIN1可通过第一钳位43从第一输出的VOP流向第一电压V1。另外,第一电流镜41可以镜像第一钳位电流IIN1,并提供所述第一镜像电流IOUT1至第三N沟道JFET 73。此外,当第二钳位44致动时,第二钳位电流IIN2可以通过从第二输出VON从第二钳位44流向第一电压V1。另外,第二电流镜42可以镜像第二钳位电流IIN2,并提供所述第二镜像电流IOUT2到第四N沟道JFET 74。

[0051] 输入保护电路100的另外细节可以类似于之前所描述那些。

[0052] 图5示出了的输入保护电路150的另一个实施例。所示出的输入保护电路150包括第一和第二n沟道JFET 71、72,第三和第四N沟道JFET 73、74,第一和第二电流镜151、152以及第一和第二钳位153、154。输入保护电路150还包括第一和第二输入VIP、VIN和第一和第二输出VOP、VON。

[0053] 第一钳位153包括第一NPN双极晶体管161、第一PNP双极晶体管163、第一电流源165、第一电压源167、第一二极管171和第一电阻器173。第二钳位154包括第二NPN双极晶体管162、第二PNP型双极晶体管164、第二电流源166、第二电压源168、第二二极管172和第二电阻器174。第一电流镜151包括第三NPN双极晶体管157,以及第二电流镜152包括第四NPN双极晶体管158。

[0054] 第一电压源167包括电连接到第二电压V2的第一端,和电连接到第一PNP双极型晶体管163的第二端。第一电流源165包括电连接到所述的基第二电压V2的第一端和电连接到第一PNP双极晶体管163的发射极和第一NPN双极晶体管161的集电极的第二端。第一NPN双极晶体管161进一步包括电连接到第一输出VOP的基极和发射极。第一PNP双极晶体管163还包括电连接到所述第一电阻器173的第一端,与第一二极管171的阳极,以及所述第三NPN双极晶体管157的基极的集电极。第一电阻器173还包括电连接到第一电压V1的第二端,并且第一二极管171还包括电连接到第一电压V1的阴极。第三NPN型双极晶体管157进一步包含电连接到第一电压V1的发射极,以及被配置为产生第一镜像电流IOUT1的集电极。

[0055] 第二电压源168包括电连接到第二电压V2的第一端,和电连接到第二PNP双极型晶体管164的基极的第二端。第二电流源166包括电连接到第二电压V2的第一端和电连接到第二PNP双极型晶体管164的发射极和第二NPN型双极晶体管162的集电极的第二端。第二NPN双极晶体管162进一步包括电连接到所述第二输出VON的基极和发射极。第二PNP型双极晶体管164还包括一个电连接到所述第二电阻器174的第一端,与第二二极管172的阳极,和与第四NPN双极晶体管158的基极的集电极。第二电阻器174还包括电连接到第一电压V1的第二端,以及第二二极管172还包括电连接到第一电压V1的阴极。第四NPN双极晶体管158进一步包含电连接到第一电压V1的发射极,以及被配置为产生第二镜像电流IOUT2的集电极。

[0056] 在第一和第二输出VOP、VON的正常信令条件下,第一和第二钳位153、154可以保持关闭状态。然而,在相对于第二电压V2增加第一输入VIP的电压过压条件下,第一NPN双极晶体管161(其操作为集电极-基极二极管)可以激活。另外,第一钳位电流IIN1可以流过第一PNP双极晶体管163,并通过第一二极管171,并且可以通过第三NPN型双极晶体管157镜像以产生第一镜像电流IOUT1。同样,在相对于第二电压V2增加第二输入VIN的电压的过压条件下,第二NPN双极晶体管162(其作为集电极-基极二极管)可以激活。另外,第二钳位电流IIN2可以流通第二PNP双极型晶体管164,并通过第二二极管172,并且可以通过第四NPN双极晶体管158镜像,以产生第二镜像电流IOUT2。

[0057] 第一和第二电压源VB1、VB2可用于相对于第二电压V2分别控制第一激活电压及第二钳位153、154。例如,第一和第二电压源VB1、VB2可用于控制第一和第二PNP型双极晶体管163、164的基极电压,从而对应于激活第一和第二PNP型双极晶体管163、164而控制第一和第二输出VOP、VON的电压电平。

[0058] 在图示的配置中,第一和第二PNP型双极晶体管163、164的发射器,分别使用来自第一和第二电流源165、166产生的电流偏置。以这种方式偏压所述第一和第二PNP型双极晶体管163、164可以在第一和第二输出节点VOP、VON的正常信号条件下辅助建立第一和第二PNP型双极晶体管163、164的发射极电压。

[0059] 所示出的输入保护电路150还包括第一和第二电阻器173、174,这分别并行电连接第一和第二二极管171、172。在第一和第二输出节点VOP、VON正常的信号条件期间,由第一和第二电流源165所产生的偏置电流166可流过第一和第二电阻器173、174。包括第一和第二电阻器173、174可以在正常操作期间帮助防止通过第一和第二电流源165、166所产生的偏置电流通过第一和第二电流镜151、152镜像。然而,当第一钳位153响应于过电压状态激活时,第一钳位电流IIN1可以流过第一二极管171,并且可以通过第一电流镜151镜像。同样地,当第二钳位154响应过压条件激活时,第二钳位电流IIN2可以流过第二二极管172,并且可以通过第二电流镜152进行镜像。

[0060] 图5的输入保护电路150示出图4的输入保护电路100的一个实施方式。然而图4的输入保护电路100可以以其他方式来实现。

[0061] 图5的输入保护电路150的另外细节可以如前面所述。

[0062] 上面描述的方法、系统和/或装置可以在集成电路和各种电子设备中实现。电子设备的示例可以包括(但不限于)消费电子产品、消费者电子产品、电子测试设备等。消费电子产品的部件的示例可以包括放大器、整流器、可编程滤波器、衰减器,可变频电路等。电子设备的例子还可以包括存储器芯片、存储器模块、光网络或其它通信网络的电路和磁盘驱动

器电路。所述消费类电子产品可包括(但不限于)无线设备、移动电话(例如,智能电话)、蜂窝基站、电话、电视机、计算机监视器、计算机、手持式计算机、平板计算机、个人数字助理(PDA)、微波炉、冰箱、立体声系统、盒式磁带录音机或播放器、DVD播放器、CD播放器、数字视频录像机(DVR)、录像机、MP3播放机、收音机、摄像机、照相机、数码相机、便携式存储器芯片、洗衣机、烘干机、洗衣机/干衣机、复印机、传真机、扫描仪、多功能外围装置、手表、时钟等。另外,电子装置可包括未完成的产品。

[0063] 除非上下文清楚地要求,否则遍及说明书和权利要求中,词语“包括”、“正包括”、“包含”、“正包含”等将被解释为包含的意义,而不是排他性或穷尽感;也就是说,“包括但不限于”的意义。本文所用的词语“耦合”或“连接”指的是可直接连接,或通过一个或多个中间元件方式连接的两个或更多个元件。另外,在本申请中使用,词语“本文中”、“以上”、“以下”等应指本申请的整体而不是此申请的任何特定部分。只要情况允许,使用单数或复数数量也可以分别包括复数或单数。词语“或”在提到的两个或更多个项目的列表,意在覆盖所有单词的以下解释:列表中的任何项目,列表中的所有项目,和列表中的项目的任何组合。

[0064] 此外,本文中条件性语言,如,除其他外,“可以”、“可能”、“可能”、“可能”、“例如”、“诸如”、“如”之类的,除非特别指出或者所使用的上下文中理解,否则一般旨在传达某些实施例包括,而其它实施例不包括某些特征、元件和/或状态。因此,这样的条件语言一般不旨在暗示特征、元件和/或状态是任何方式一个或一个以上实施例所需的,或一个或一个以上的实施例必然包括逻辑决定,有或没有作者输入或提醒,是否这些特征、元件和/或状态被包括或将会在任何特定实施例来执行。

[0065] 所提供的本发明教导可以应用于其它系统,而不一定上述系统。上述的各种实施例的元件和操作可以被组合以提供进一步的实施方式。

[0066] 虽然本发明的某些实施例已被描述,这些实施例已提出了通过举例的方式而已,而不是为了限制本公开的范围。的确,这里所描述的新颖的方法和系统可以体现在其他各种形式。此外,可以本文中所描述的系统和方法的形式做出各种省略、替代和改变,而不脱离本公开的精神。所附权利要求及其等同物旨在覆盖这些形式或修改将落入本公开的范围和精神内。因此,本发明的范围仅通过参考所附权利要求书限定。

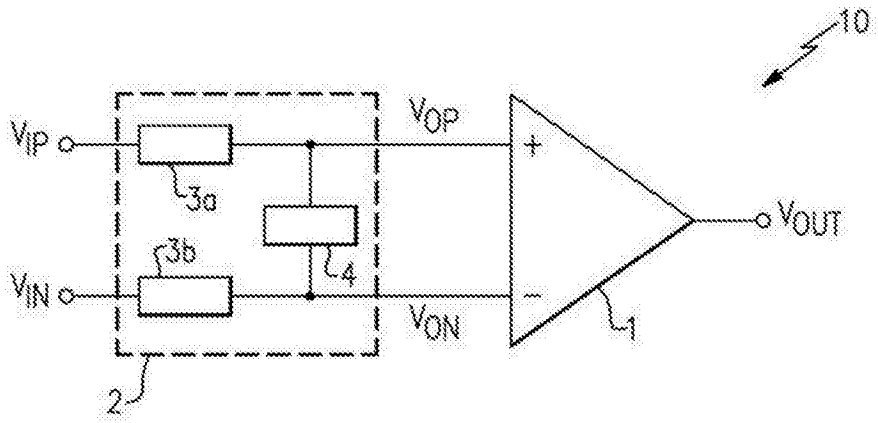


图1A

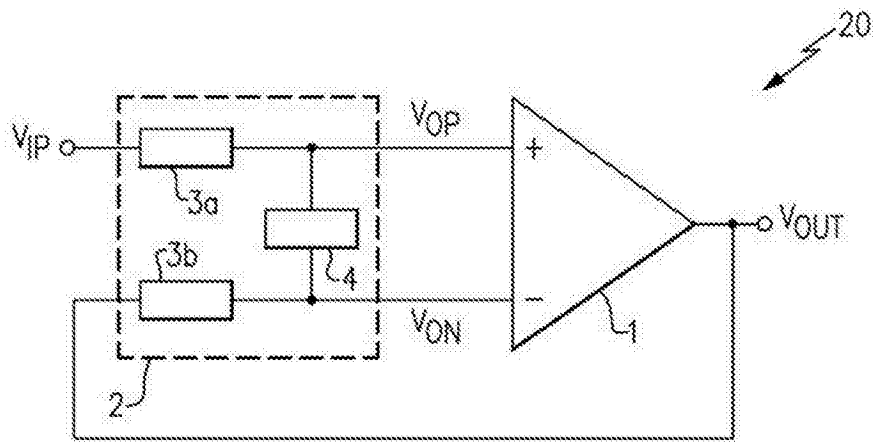


图1B

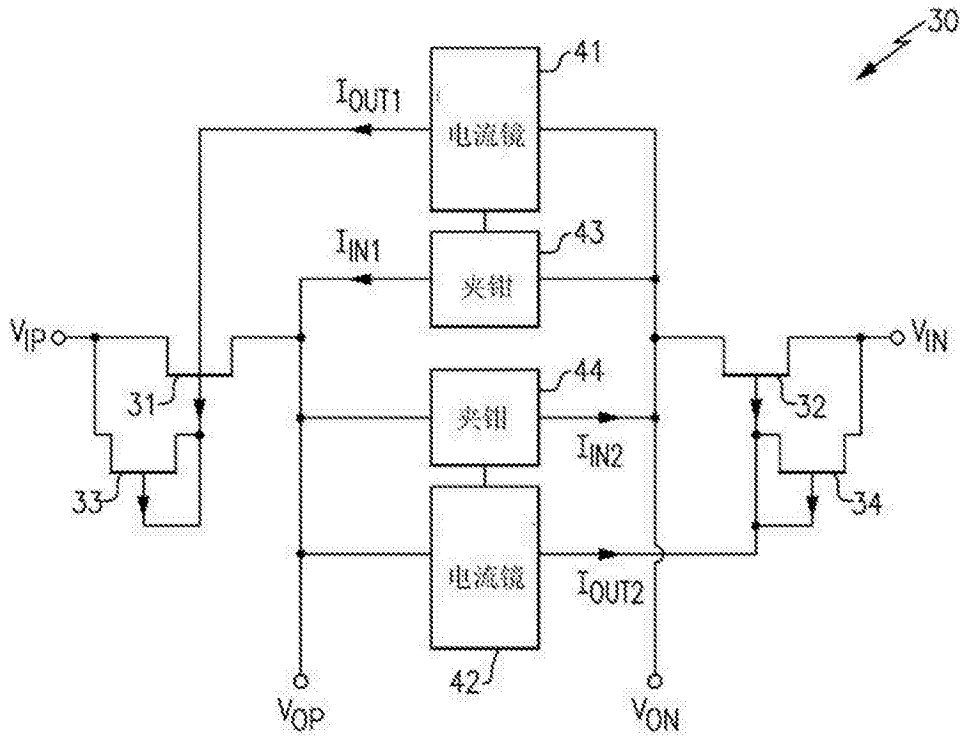


图2

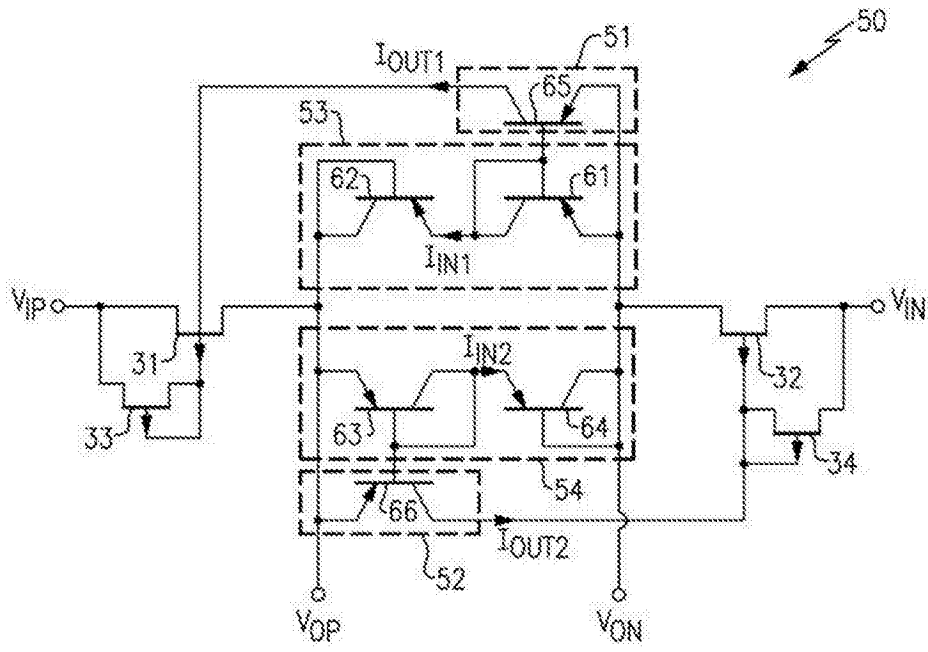


图3A

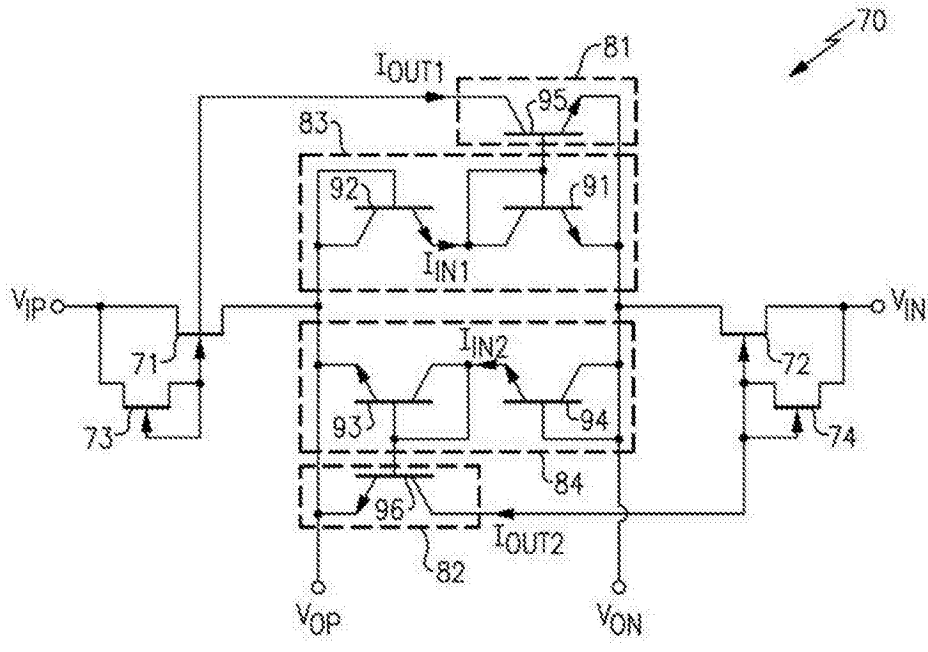


图3B

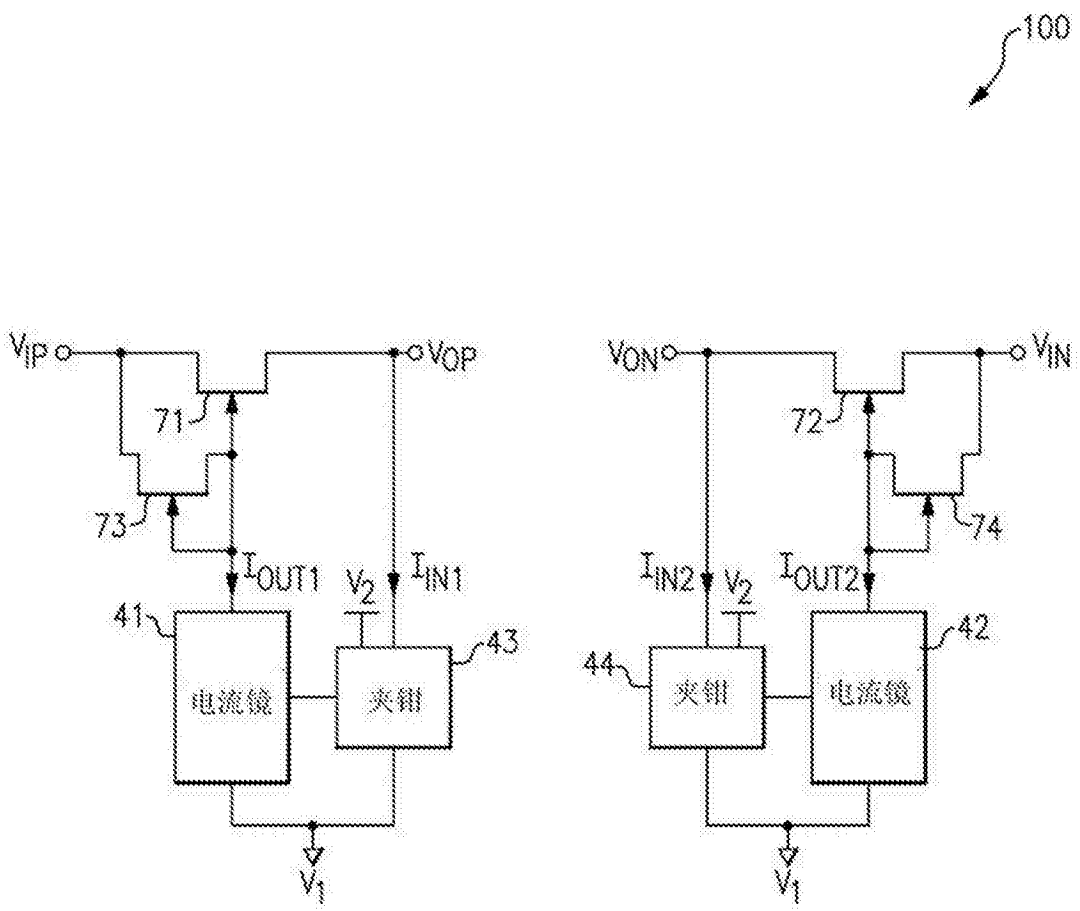


图4

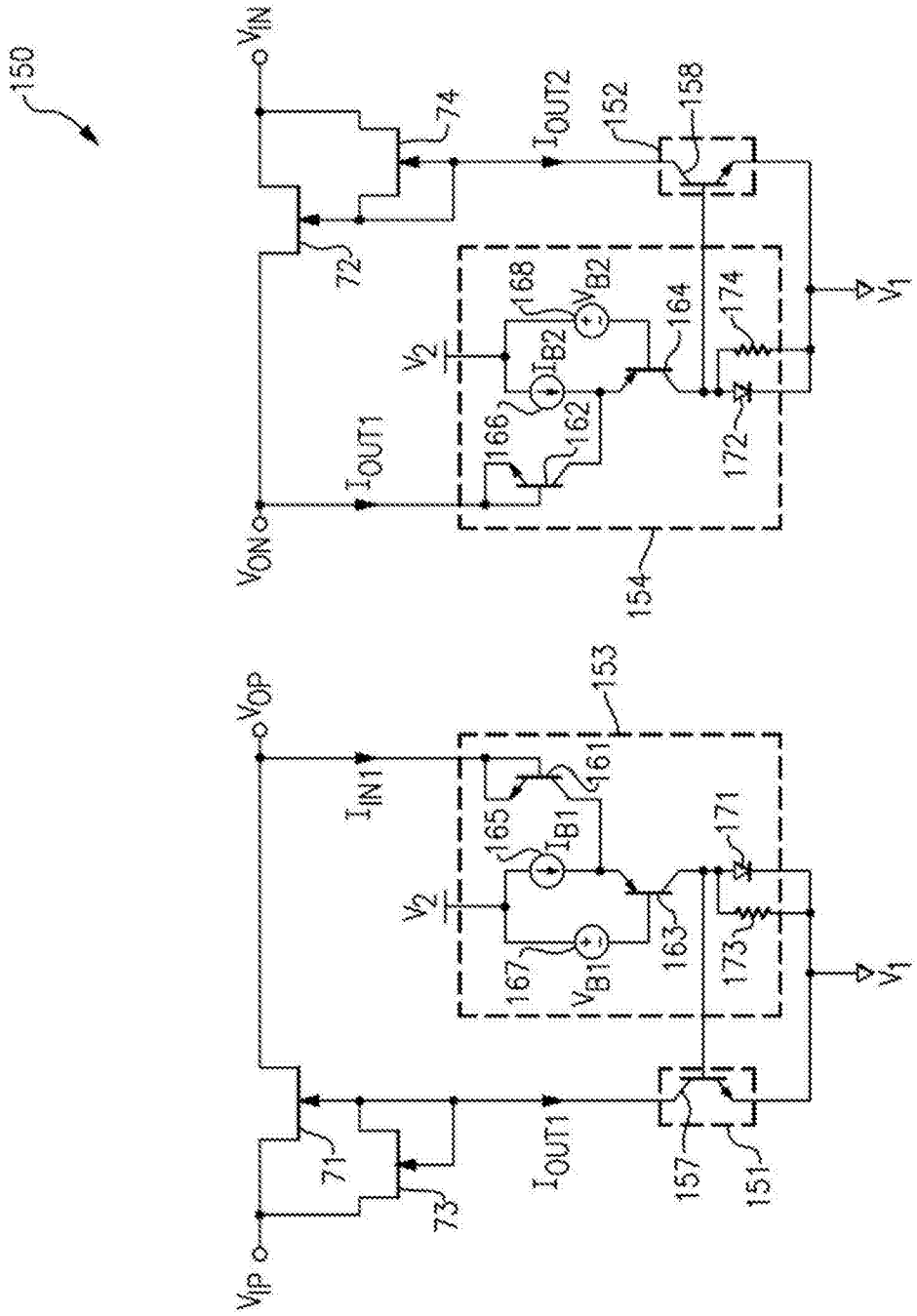


图5