



(12)发明专利

(10)授权公告号 CN 109244074 B

(45)授权公告日 2020.10.16

(21)申请号 201710558125.X

(22)申请日 2017.07.10

(65)同一申请的已公布的文献号
申请公布号 CN 109244074 A

(43)申请公布日 2019.01.18

(73)专利权人 中芯国际集成电路制造(北京)有限公司

地址 100176 北京市大兴区北京经济技术开发区文昌大道18号

专利权人 中芯国际集成电路制造(上海)有限公司

(72)发明人 廖淼

(74)专利代理机构 北京市磐华律师事务所
11336

代理人 高伟 张建

(51)Int.Cl.

H01L 27/11(2006.01)

H01L 21/8244(2006.01)

(56)对比文件

US 5523598 A,1996.06.04

CN 105551518 A,2016.05.04

US 5691561 A,1997.11.25

CN 103915112 A,2014.07.09

TW 200541059 A,2005.12.16

CN 1477713 A,2004.02.25

CN 1223472 A,1999.07.21

审查员 王欣

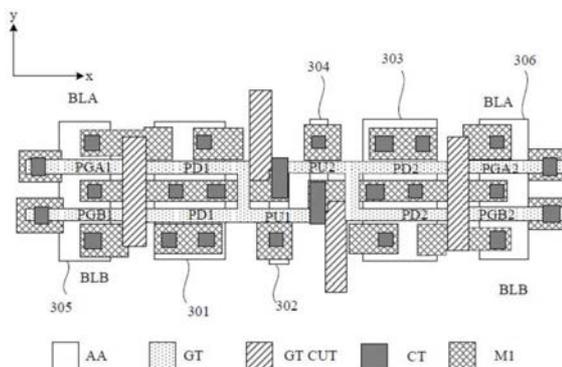
权利要求书2页 说明书7页 附图3页

(54)发明名称

一种双端口SRAM器件及其制作方法、电子装置

(57)摘要

本发明提供一种双端口SRAM器件及其制作方法、电子装置,该双端口SRAM器件包括:第一反相器和第二反相器;所述第一反相器包括第一上拉晶体管和第一下拉晶体管,所述第一上拉晶体管和所述第一下拉晶体管的栅极彼此连接并形成h形结构;所述第二反相器包括第二上拉晶体管和第二下拉晶体管,所述第二上拉晶体管和所述第二下拉晶体管的栅极彼此连接并形成h形结构。该双端口SRAM器件增加了上拉晶体管和下拉晶体管之间的距离,降低了上拉晶体管和下拉晶体管之间的相互作用,以及降低了制作工艺的难度。该制作方法和电子装置具有类似的优点。



1. 一种双端口SRAM器件,其特征在于,包括第一反相器和第二反相器;

所述第一反相器包括第一上拉晶体管和第一下拉晶体管,所述第一上拉晶体管和所述第一下拉晶体管的栅极彼此连接并形成h形结构;

所述第二反相器包括第二上拉晶体管和第二下拉晶体管,所述第二上拉晶体管和所述第二下拉晶体管的栅极彼此连接并形成h形结构,所述第一反相器和所述第二反相器的h形结构包括:沿第一方向延伸的第一栅极线 and 第二栅极线,所述第一栅极线和第二栅极线沿第二方向间隔排列,所述第二方向垂直于所述第一方向;沿所述第二方向延伸的栅极连线,所述栅极连线与所述第一栅极线、第二栅极线均连接;

所述第一下拉晶体管位于第一有源区,所述第一上拉晶体管位于第二有源区,所述第二下拉晶体管位于第三有源区,所述第二上拉晶体管位于第四有源区,所述第一、二、四、三有源区沿第一方向依次间隔排布;

所述第一反相器的栅极连线设置在所述第一有源区和所述第二有源区之间、第一栅极线横跨所述第一有源区、第二栅极线横跨所述第一有源区和第二有源区;

所述第二反相器的栅极连线设置在所述第三有源区和所述第四有源区之间、第一栅极线横跨所述第三有源区、第二栅极线横跨所述第三有源区和第四有源区。

2. 根据权利要求1所述的双端口SRAM器件,其特征在于,所述第一反相器和所述第二反相器的栅极连线的两端分别沿所述第二方向突出于所述第一栅极线、第二栅极线。

3. 根据权利要求1所述的双端口SRAM器件,其特征在于,所述第一反相器和所述第二反相器呈中心对称分布。

4. 一种双端口SRAM器件的制作方法,其特征在于,包括:

提供半导体衬底,在所述半导体衬底上形成第一反相器和第二反相器;

所述第一反相器包括第一上拉晶体管和第一下拉晶体管,所述第一上拉晶体管和所述第一下拉晶体管的栅极彼此连接并形成h形结构;

所述第二反相器包括第二上拉晶体管和第二下拉晶体管,所述第二上拉晶体管和所述第二下拉晶体管的栅极彼此连接并形成h形结构;

所述第一反相器和所述第二反相器的h形结构包括:沿第一方向延伸的第一栅极线 and 第二栅极线,所述第一栅极线和第二栅极线沿第二方向间隔排列,所述第二方向垂直于所述第一方向;沿所述第二方向延伸的栅极连线,所述栅极连线与所述第一栅极线、第二栅极线均连接;

所述第一下拉晶体管位于第一有源区,所述第一上拉晶体管位于第二有源区,所述第二下拉晶体管位于第三有源区,所述第二上拉晶体管位于第四有源区,所述第一、二、四、三有源区沿第一方向依次间隔排布;

所述第一反相器的栅极连线设置在所述第一有源区和所述第二有源区之间、第一栅极线横跨所述第一有源区、第二栅极线横跨所述第一有源区和第二有源区;

所述第二反相器的栅极连线设置在所述第三有源区和所述第四有源区之间、第一栅极线横跨所述第三有源区、第二栅极线横跨所述第三有源区和第四有源区。

5. 根据权利要求4所述的制作方法,其特征在于,所述第一反相器和所述第二反相器的栅极连线的两端分别沿所述第二方向突出于所述第一栅极线、第二栅极线。

6. 根据权利要求4所述的制作方法,其特征在于,所述第一反相器和所述第二反相器呈

中心对称分布。

7. 一种电子装置,其特征在於,包括如权利要求1-3中的任意一项所述的双端口SRAM以及与所述双端口SRAM连接的电子组件。

一种双端口SRAM器件及其制作方法、电子装置

技术领域

[0001] 本发明涉及半导体技术领域,具体而言涉及一种双端口SRAM器件及其制作方法、电子装置。

背景技术

[0002] SRAM(静态随机存储器)在要求高速度、低功耗等的集成电路中得到了广泛应用,对于各种不同的应用要求,人们开发出了各种结构的SRAM,比如常规的6T SRAM(即,一个SRAM存储单元包括六个金属氧化物半导体MOS晶体管,被称为6T SRAM),其为单端口读写混用的SRAM结构,对于这种结构的SRAM,由于读写共用一个端口,因此进行读操作时可能会对内部存储数据造成干扰,比如产生误翻转,并且读写裕度(margin)无法单独增加,因而需要读写裕度之间取舍。

[0003] 为了克服上述问题,现有技术提出了读写分离的双端口SRAM结构单元。图1示出一种双端口8T SRAM,其包括8个MOS晶体管,其中第一上拉晶体管PU1和第一下拉晶体管PD1形成第一反相器101,第二上拉晶体管102和第二下拉晶体管PD2形成第二反相器102,两反相器耦接形成接在电源和地之间的锁存电路,即一个反相器的输入与另一个反相器的输出相连。第一反相器的输出作为第一存储节点A,第二反相器的输出作为第二存储节点B,当下拉一个存储节点至低电平时,则另一个存储节点被上拉至高电平。第一位线对BLA分别通过第一组传输晶体管PGA1和PGA2耦合至第一存储节点A和第二存储节点B。第二位线对BLB分别通过第二组传输晶体管PGB1和PGB2耦合至第一存储节点A和第二存储节点B。字线WLA与第一组传输晶体管PGA1和PGA2的栅极相连。字线WLB与第二组传输晶体管PGB1和PGB2的栅极相连。当将字线WLA或WLB电平切换到系统高电平或V_{dd}时,第一组传输晶体管PGA1和PGA2或第二组传输晶体管PGB1和PGB2被开启以允许分别通过位线对BLA和BLB对第一存储节点A和第二存储节点B进行读取或写入。这种8T SRAM可以使写操作和读操作路径分开,可以同时得到较高的β比和γ比,而且能够提高静态噪声容限,提高存储单元的稳定性。

[0004] 上述8T SRAM虽然克服了前述问题,但由于使用两组传输晶体管,为了减小面积并且大致中心对称,下拉晶体管和上拉晶体管的栅极呈一体结构且大致呈U型。如图2所示,其为图1所示8T SRAM的示意性版图,下拉晶体管(PD1、PD2)和上拉晶体管(PU1、PU2)的栅极彼此连接呈一体结构,并且大致呈U型结构,但是这种形状给SRAM制造带来了困难。

[0005] 因此,有必要提出一种双端口SRAM及制作方法,以至少部分解决该技术问题。

发明内容

[0006] 在发明内容部分中引入了一系列简化形式的概念,这将在具体实施方式部分中进一步详细说明。本发明的发明内容部分并不意味着要试图限定出所要求保护的技术方案的关键特征和必要技术特征,更并不意味着试图确定所要求保护的技术方案的保护范围。

[0007] 为了克服目前存在的问题,本发明一方面提供一种双端口SRAM器件,包括第一反相器和第二反相器;

[0008] 所述第一反相器包括第一上拉晶体管 and 第一下拉晶体管,所述第一上拉晶体管和所述第一下拉晶体管的栅极彼此连接并形成h形结构;

[0009] 所述第二反相器包括第二上拉晶体管和第二下拉晶体管,所述第二上拉晶体管和所述第二下拉晶体管的栅极彼此连接并形成h形结构。

[0010] 可选地,所述h形结构包括:沿第一方向延伸的第一栅极线 and 第二栅极线,所述第一栅极线 and 第二栅极线沿第二方向间隔排列,所述第二方向垂直于所述第一方向;沿所述第二方向延伸的栅极连线,所述栅极连线与所述第一栅极线、第二栅极线均连接。

[0011] 可选地,所述栅极连线的两端分别沿所述第二方向突出于所述第一栅极线、第二栅极线。

[0012] 可选地,所述第一下拉晶体管位于第一有源区,所述第一上拉晶体管位于第二有源区,所述第二下拉晶体管位于第三有源区,所述第二上拉晶体管位于第四有源区,所述第一、二、四、三有源区沿第一方向依次间隔排布;

[0013] 所述第一反相器的栅极连线设置在所述第一有源区 and 所述第二有源区之间、第一栅极线横跨所述第一有源区、第二栅极线横跨所述第一有源区 and 第二有源区;

[0014] 所述第二反相器的栅极连线设置在所述第三有源区 and 所述第四有源区之间、第一栅极线横跨所述第三有源区、第二栅极线横跨所述第三有源区 and 第四有源区。

[0015] 可选地,所述第一反相器 and 所述第二反相器呈中心对称分布。

[0016] 根据本发明的双端口SRAM器件,由于所述第一上拉晶体管和所述第一下拉晶体管的栅极彼此连接并形成h形结构,所述第二上拉晶体管和所述第二下拉晶体管的栅极彼此连接并形成h形结构,这样所述第一上拉晶体管和所述第一下拉晶体管之间的距离,以及所述第二上拉晶体管和所述第二下拉晶体管之间的距离增加,降低了上拉晶体管 and 下拉晶体管之间的相互作用,以及降低了制作工艺的难度。并且根据本发明的双端口SRAM器件通过改变器件的布图即可实现,无需增加额外的制作步骤。

[0017] 本发明另一方面提供一种双端口SRAM器件的制作方法,包括:

[0018] 提供半导体衬底,在所述半导体衬底上形成第一反相器 and 第二反相器;

[0019] 所述第一反相器包括第一上拉晶体管 and 第一下拉晶体管,所述第一上拉晶体管和所述第一下拉晶体管的栅极彼此连接并形成h形结构;

[0020] 所述第二反相器包括第二上拉晶体管 and 第二下拉晶体管,所述第二上拉晶体管和所述第二下拉晶体管的栅极彼此连接并形成h形结构。

[0021] 可选地,所述h形结构包括:沿第一方向延伸的第一栅极线 and 第二栅极线,所述第一栅极线 and 第二栅极线沿第二方向间隔排列,所述第二方向垂直于所述第一方向;沿所述第二方向延伸的栅极连线,所述栅极连线与所述第一栅极线、第二栅极线均连接。

[0022] 可选地,所述栅极连线的两端分别沿所述第二方向突出于所述第一栅极线、第二栅极线。

[0023] 可选地,所述第一下拉晶体管位于第一有源区,所述第一上拉晶体管位于第二有源区,所述第二下拉晶体管位于第三有源区,所述第二上拉晶体管位于第四有源区,所述第一、二、四、三有源区沿第一方向依次间隔排布;

[0024] 所述第一反相器的栅极连线设置在所述第一有源区 and 所述第二有源区之间、第一栅极线横跨所述第一有源区、第二栅极线横跨所述第一有源区 and 第二有源区;

[0025] 所述第二反相器的栅极连线设置在所述第三有源区和所述第四有源区之间、第一栅极线横跨所述第三有源区、第二栅极线横跨所述第三有源区和第四有源区。

[0026] 可选地,所述第一反相器和所述第二反相器呈中心对称分布。

[0027] 根据本发明的双端口SRAM器件的制作方法,由于所述第一上拉晶体管和所述第一下拉晶体管的栅极彼此连接并形成h形结构,所述第二上拉晶体管和所述第二下拉晶体管的栅极彼此连接并形成h形结构,这样所述第一上拉晶体管和所述第一下拉晶体管之间的距离,以及所述第二上拉晶体管和所述第二下拉晶体管之间的距离增加,降低了上拉晶体管和下拉晶体管之间的相互作用,以及降低了制作工艺的难度。并且根据本发明的双端口SRAM器件的制作方法仅需改变器件的布图即可,而无需增加额外的制作步骤。

[0028] 本发明再一方面提供一种电子装置,其包括如上所述的双端口SRAM器件以及与所述双端口SRAM器件相连接电子组件。

[0029] 本发明提出的电子装置,由于具有上述双端口SRAM器件,因而具有类似的优点。

附图说明

[0030] 本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述,用来解释本发明的原理。

[0031] 附图中:

[0032] 图1示出目前一种8T SRAM的电路结构示意图;

[0033] 图2示出图1所示8T SRAM的示意性版图;

[0034] 图3示出根据本发明一实施方式的8T SRAM的示意性版图;

[0035] 图4示出根据本发明另一实施方式的8T SRAM的示意性版图;

[0036] 图5示出了根据本发明一实施方式的电子装置的示意图。

具体实施方式

[0037] 在下文的描述中,给出了大量具体的细节以便提供对本发明更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本发明可以无需一个或多个这些细节而得以实施。在其他的例子中,为了避免与本发明发生混淆,对于本领域公知的一些技术特征未进行描述。

[0038] 应当理解的是,本发明能够以不同形式实施,而不应当解释为局限于这里提出的实施例。相反地,提供这些实施例将使公开彻底和完全,并且将本发明的范围完全地传递给本领域技术人员。在附图中,为了清楚,层和区的尺寸以及相对尺寸可能被夸大自始至终相同附图标记表示相同的元件。

[0039] 应当明白,当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时,其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层,或者可以存在居间的元件或层。相反,当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时,则不存在居间的元件或层。应当明白,尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分,这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此,在不脱离本发明教导之下,下面讨论的第一元件、部件、区、

层或部分可表示为第二元件、部件、区、层或部分。

[0040] 空间关系术语例如“在…下”、“在…下面”、“下面的”、“在…之下”、“在…之上”、“上面的”等,在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白,除了图中所示的取向以外,空间关系术语意图还包括使用和操作中的器件的不同取向。例如,如果附图中的器件翻转,然后,描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此,示例性术语“在…下面”和“在…下”可包括上和下两个取向。器件可以另外地取向(旋转90度或其它取向)并且在此使用的空间描述语相应地被解释。

[0041] 在此使用的术语的目的仅在于描述具体实施例并且不作为本发明的限制。在此使用时,单数形式的“一”、“一个”和“所述/该”也意图包括复数形式,除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”,当在该说明书中使用,确定所述特征、整数、步骤、操作、元件和/或部件的存在,但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时,术语“和/或”包括相关所列项目的任何及所有组合。

[0042] 为了彻底理解本发明,将在下列的描述中提出详细的结构及步骤,以便阐释本发明提出的技术方案。本发明的较佳实施例详细描述如下,然而除了这些详细描述外,本发明还可以具有其他实施方式。

[0043] 实施例一

[0044] 下面将参照图1以及图3和图4对本发明一实施方式的双端口SRAM器件做详细描述。图1示出目前一种8T SRAM的电路结构示意图;图3示出根据本发明一实施方式的8T SRAM的示意性版图;图4示出根据本发明另一实施方式的8T SRAM的示意性版图;其中AA表示有源区、GT表示栅极、GT CUT表示栅极切断线、CT表示接触孔、M1表示第一金属层。

[0045] 需要说明的是本发明的双端口SRAM器件的改进在于其布图设计,因此在本实施中双端口SRAM器件的电路连接关系如图1所示,与目前的双端口SRAM器件一致没做改变。

[0046] 如图1、图3和图4所示,根据本实施例的双端口SRAM器件包括第一反相器101和第二反相器102,其中第一反相器101包括第一上拉晶体管PU1和第一下拉晶体管PD1,所述第一上拉晶体管PU1和所述第一下拉晶体管PD1的栅极彼此连接用作所述第一反相器的输入端,所述第一上拉晶体管PU1和所述第一下拉晶体管PD1的漏极彼此连接用作所述第一反相器的输出端,所述第一上拉晶体管PU1的源极用于与高电平(例如电源电压VDD)连接,所述第一下拉晶体管PD1的源极用于与低电平(例如地电平VSS)连接。所述第二反相器102包括第二上拉晶体管PU2和第二下拉晶体管PD2,所述第二上拉晶体管PU2和所述第二下拉晶体管PD2的栅极彼此连接用作所述第二反相器的输入端,所述第二上拉晶体管PU2和所述第二下拉晶体管PD2的漏极彼此连接用作所述第二反相器的输出端,所述第二上拉晶体管PU2的源极用于与高电平(例如电源电压VDD)连接,所述第二下拉晶体管PD2的源极用于与低电平(例如地电平VSS)连接。所述第一反相器101的输出端与所述第二反相器102的输入端连接用作第一存储节点A,所述第一反相器101的输入端与第二反相器102的输出端连接用作第二存储节点B。第一反相器101和第二反相器102耦接形成接在电源和地之间的锁存电路,且当下拉一个存储节点至低电平时,则另一个存储节点被上拉至高电平。

[0047] 在本实施例中,为了降低上拉晶体管和下拉晶体管(例如第一上拉晶体管PU1和第

一下拉晶体管PD1,或者二上拉晶体管PU2和第二下拉晶体管PD2)之间的相互作用,降低上拉晶体管和下拉晶体管栅极的制作难度,对上拉晶体管和下拉晶体管栅极的布图进行了改进。如图3所示,在本实施例中,第一上拉晶体管PU1和第一下拉晶体管PD1的栅极彼此连接并形成h形结构,第二上拉晶体管PU2和第二下拉晶体管PD2的栅极彼此连接并形成h形结构,且所述第一反相器和所述第二反相器呈中心对称分布。所述h形结构包括:沿第一方向(例如图3中x方向)延伸的第一栅极线 and 第二栅极线,所述第一栅极线和第二栅极线沿第二方向(例如图3中y方向)间隔排列,所述第二方向垂直于所述第一方向;沿所述第二方向延伸的栅极连线,所述栅极连线与所述第一栅极线、第二栅极线均连接。

[0048] 如图3所示,在本实施例中,第一下拉晶体管PD1形成在第一有源区301上,第一上拉晶体管PU1形成在第二有源区302上,第一下拉晶体管PD1的栅极和第一上拉晶体管PU1的栅极形成h形的第一栅极图案,在图3的示例中,为水平放置的h形栅极图案。该第一栅极图案的第一栅极线横跨第一有源区301,第二栅极线横跨第一有源区301和第二有源区302,与第一栅极线和第二栅极线连接的栅极连线设置在第一有源区301和第二有源区302之间,使得在保持相同的SRAM器件尺寸(或面积)的前提下可以使第一上拉晶体管PU1和第一下拉晶体管PD1之间的距离增加,从而降低第一上拉晶体管PU1和第一下拉晶体管PD1之间的相互作用,且降低第一栅极图案的制作难度。

[0049] 如图3所示,在本实施例中,第二下拉晶体管PD2形成在第三有源区303上,第二上拉晶体管PU2形成在第四有源区304上,第二下拉晶体管PD2的栅极和第二上拉晶体管PU2的栅极形成h形的第二栅极图案,在图3的示例中,为水平放置的h形栅极图案。该第二栅极图案的第一栅极线横跨第三有源区303,第二栅极线横跨第三有源区303和第四有源区304,与第一栅极线和第二栅极线连接的栅极连线设置在第三有源区303和第四有源区304之间,使得在保持相同的SRAM器件尺寸(或面积)的前提下可以使第二上拉晶体管PU2和第二下拉晶体管PD2之间的距离增加,从而降低第二上拉晶体管PU2和第二下拉晶体管PD2之间的相互作用,且降低第二栅极图案的制作难度。

[0050] 在其它实施例中,为了进一步降低制作工艺难度,如图4所示,优选地,所述栅极连线的两端分别沿所述第二方向突出于所述第一栅极线、第二栅极线,也即所述栅极连线的尺寸大于所述第一栅极线和所述第二栅极线之间的距离,即所述栅极连线的两端延伸至所述第一栅极线和所述第二栅极线的外侧,这样在制作下拉晶体管和上拉晶体管的栅极时不仅可以进一步降低制作难度,而且可以避免制作中由于工艺误差造成断线。

[0051] 进一步地,如图3和图4所示,所述第一下拉晶体管PD1和所述第二下拉晶体管PD2均包括位于所述第一栅极线和所述第二栅极线之间的漏极,以及位于所述第一栅极线和所述第二栅极线外侧的源极。也即,所述第一下拉晶体管PD1和所述第二下拉晶体管PD2均包括两个晶体管,且该两个晶体管共用漏极。

[0052] 此外,根据本实施例的双端口SRAM器件与图2所示双端口SRAM器件一样包括:第一位线对BLA和第二位线对BLB,所述第一位线对BLA通过第一组传输晶体管(传输晶体管PGA1和PGA2)耦合至所述第一存储节点A和所述第二存储节点B。所述第二位线对BLB通过第二组传输晶体管(传输晶体管PGB1和PGB2)耦合至所述第一存储节点A和所述第二存储节点B。所述第一组传输晶体管包括第一传输晶体管PGA1和第二传输晶体管PGA2,所述第二组传输晶体管包括第三传输晶体管PGB1和第四传输晶体管PGB2。所述第一传输晶体管PGA1和所述第

三传输晶体管PGB1共用漏极,并且第一传输晶体管PGA1和所述第三传输晶体管PGB1共用的所述漏极与所述第一下拉晶体管PD1的漏极和所述第一上拉晶体管PU1的栅极连接。所述第二传输晶体管PGA2和所述第四传输晶体管PGB2共用漏极,并且第二传输晶体管PGA2和所述第四传输晶体管PGB2共用的所述漏极与所述第二下拉晶体管PD2的漏极和所述第一上拉晶体管PU1的栅极连接。

[0053] 此外,如图3和图4所示,所述第一传输晶体管PGA1和所述第三传输晶体管PGB1形成在同一个有源区之上,例如形成在第五有源区305之上;所述第二传输晶体管PGA2和所述第四传输晶体管PGB2形成在同一个有源区之上,例如形成在第六有源区306之上。

[0054] 此外,示例性地,在本实施例中,所述第五、一、二、四、三、六有源区沿第一方向(例如x方向)依次间隔排布。

[0055] 进一步地,根据本实施例的双端口SRAM包括第一字线WLA和第二字线WLB,所述第一字线WLA与所述第一组传输晶体管的栅极连接,所述第二字线WLB与所述第二组传输晶体管的栅极连接。当将字线WLA或WLB电平切换到系统高电平或Vdd时,第一组传输晶体管PGA1和PGA2或第二组传输晶体管PGB1和PGB2被开启以允许分别通过位线对BLA和BLB对第一存储节点A和第二存储节点B进行读取或写入。这种8T SRAM可以使写操作和读操作路径分开,可以同时得到较高的 β 比和 γ 比,而且能够提高静态噪声容限,提高存储单元的稳定性。

[0056] 实施例二

[0057] 本发明还提供一种双端口SRAM器件的制作方法,该制作方法包括:

[0058] 提供半导体衬底,所述半导体衬底上形成第一反相器和第二反相器;

[0059] 所述第一反相器包括第一上拉晶体管和第一下拉晶体管,所述第一上拉晶体管和所述第一下拉晶体管的栅极彼此连接并形成h形结构;

[0060] 所述第二反相器包括第二上拉晶体管和第二下拉晶体管,所述第二上拉晶体管和所述第二下拉晶体管的栅极彼此连接并形成h形结构。

[0061] 其中,半导体衬底可以是以下所提到的材料中的至少一种:Si、Ge、SiGe、SiC、SiGeC、InAs、GaAs、InP或者其它III/V化合物半导体,还包括这些半导体构成的多层结构等或者为绝缘体上硅(SOI)、绝缘体上层叠硅(SSOI)、绝缘体上层叠锗化硅(S-SiGeOI)、绝缘体上锗化硅(SiGeOI)以及绝缘体上锗(GeOI)等。隔离结构可以为诸如STI(浅沟槽)隔离的隔离结构。

[0062] 示例性地,在所述半导体衬底中形成第一有源区、第二有源区、第三有源区和第四有源区,各个有源区之间通过隔离结构隔离。所述第一下拉晶体管位于第一有源区,所述第一上拉晶体管位于第二有源区,所述第二下拉晶体管位于第三有源区,所述第二上拉晶体管位于第四有源区,所述第一、二、四、三有源区沿第一方向依次间隔排布。

[0063] 示例性地,所述h形结构包括:沿第一方向延伸的第一栅极线和第二栅极线,所述第一栅极线和第二栅极线沿第二方向间隔排列,所述第二方向垂直于所述第一方向;沿所述第二方向延伸的栅极连线,所述栅极连线与所述第一栅极线、第二栅极线均连接。示例性地,所述第一反相器的栅极连线设置在所述第一有源区和所述第二有源区之间、第一栅极线横跨所述第一有源区、第二栅极线横跨所述第一有源区和第二有源区;所述第二反相器的栅极连线设置在所述第三有源区和所述第四有源区之间、第一栅极线横跨所述第三有源区、第二栅极线横跨所述第三有源区和第四有源区。

[0064] 示例性地,所述栅极连线的两端分别沿所述第二方向突出于所述第一栅极线、第二栅极线。

[0065] 示例性地,所述第一反相器和所述第二反相器呈中心对称分布。

[0066] 可以理解的是,根据本实施例的制作方法同样可以包括形成用于制作传输晶体管的有源区,以及形成传输晶体管,其制作方法和布图2中所使用工艺一致,在此不再赘述。

[0067] 根据本实施例的双端口SRAM器件的制作方法,由于所述第一上拉晶体管和所述第一下拉晶体管的栅极彼此连接并形成h形结构,且h形结构的栅极连线设置在第一有源区和第二有源区之间,这样所述第一上拉晶体管和所述第一下拉晶体管之间的距离增加;所述第二上拉晶体管和所述第二下拉晶体管的栅极彼此连接并形成h形结构,且h形结构的栅极连线设置在第三有源区和第四有源区之间,这样所述第二上拉晶体管和所述第二下拉晶体管之间的距离增加,因此降低了上拉晶体管和下拉晶体管之间的相互作用,以及降低了制作工艺的难度。并且根据本发明的双端口SRAM器件的制作方法仅需改变器件的布图即可,而无需增加额外的制作步骤。

[0068] 实施例三

[0069] 本发明的再一个实施例提供一种电子装置,包括双端口SRAM器件以及与所述双端口SRAM器件相连的电子组件。其中,该双端口SRAM器件包括:第一反相器和第二反相器;所述第一反相器包括第一上拉晶体管和第一下拉晶体管,所述第一上拉晶体管和所述第一下拉晶体管的栅极彼此连接并形成h形结构;所述第二反相器包括第二上拉晶体管和第二下拉晶体管,所述第二上拉晶体管和所述第二下拉晶体管的栅极彼此连接并形成h形结构。

[0070] 其中,该电子组件,可以为分立器件、集成电路等任何电子组件。

[0071] 本实施例的电子装置,可以是手机、平板电脑、笔记本电脑、上网本、游戏机、电视机、VCD、DVD、导航仪、照相机、摄像机、录音笔、MP3、MP4、PSP等任何电子产品或设备,也可可为任何包括该半导体器件的中间产品。

[0072] 其中,图5示出手机的示例。手机500的外部设置有包括在外壳501中的显示部分502、操作按钮503、外部连接端口504、扬声器505、话筒506等。

[0073] 本发明实施例的电子装置,由于所包含的双端口SRAM器件的上拉晶体管和下拉晶体管之间的相互作用降低,制作工艺的难度降低。因此该电子装置同样具有类似的优点。

[0074] 本发明已经通过上述实施例进行了说明,但应当理解的是,上述实施例只是用于举例和说明的目的,而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人员可以理解的是,本发明并不局限于上述实施例,根据本发明的教导还可以做出更多种的变型和修改,这些变型和修改均落在本发明所要求保护的范围内。本发明的保护范围由附属的权利要求书及其等效范围所界定。

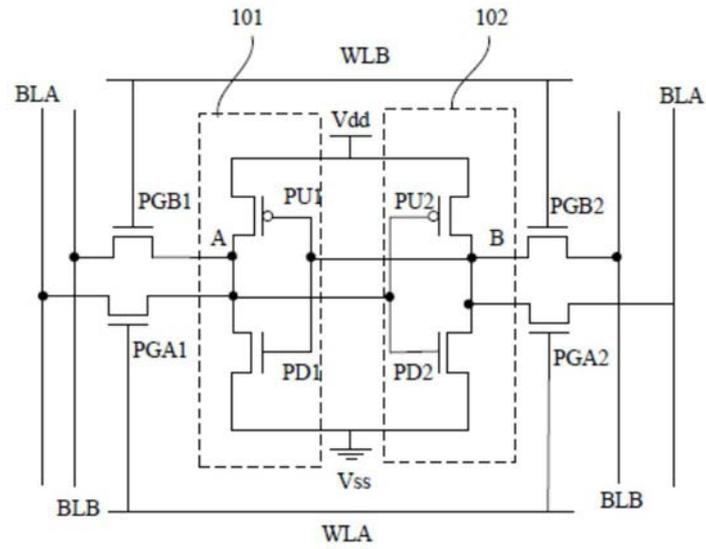


图1

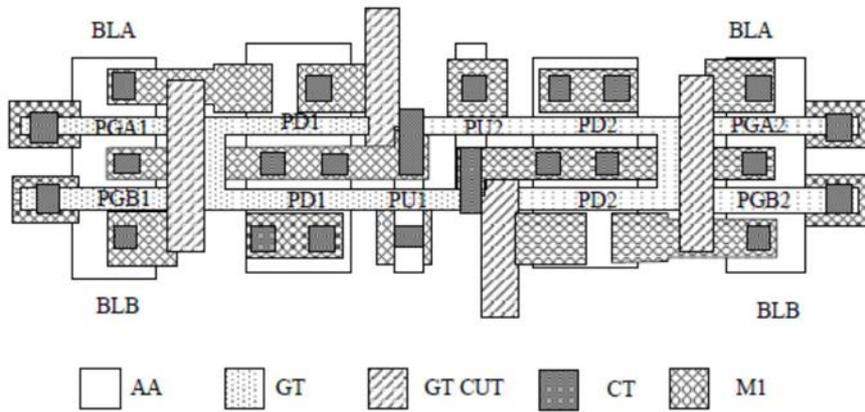


图2

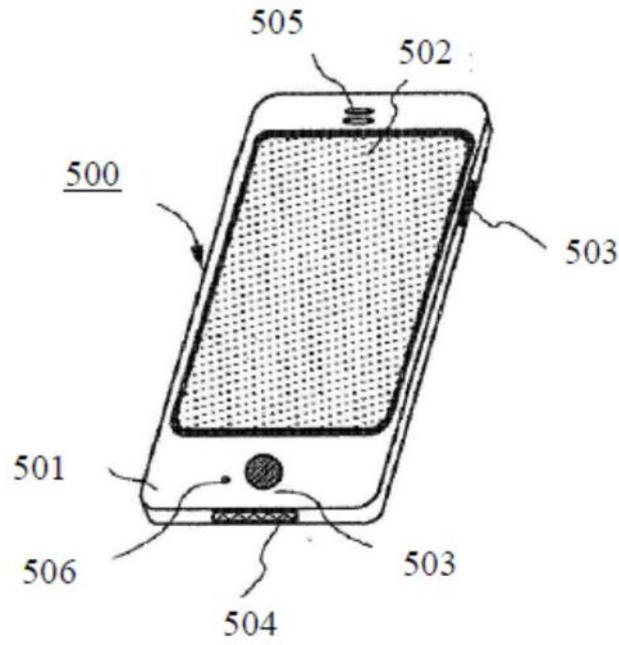


图5