



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0058916  
(43) 공개일자 2017년05월29일

- (51) 국제특허분류(Int. Cl.)  
G11C 11/16 (2006.01) HO1L 27/22 (2006.01)  
HO1L 43/02 (2006.01) HO1L 43/08 (2006.01)
- (52) CPC특허분류  
G11C 11/161 (2013.01)  
G11C 11/1659 (2013.01)
- (21) 출원번호 10-2017-7004732
- (22) 출원일자(국제) 2014년09월25일  
심사청구일자 없음
- (85) 번역문제출일자 2017년02월20일
- (86) 국제출원번호 PCT/US2014/057356
- (87) 국제공개번호 WO 2016/048317  
국제공개일자 2016년03월31일

- (71) 출원인  
인텔 코퍼레이션  
미합중국 캘리포니아 95054 산타클라라 미션 칼리지 블러바드 2200
- (72) 발명자  
마니파트루니, 사시칸스  
미국 97124 오리건주 힐스보로 넘버1817 노스이스트 론러 웨이 6993  
니코노브, 드미트리 이.  
미국 97007 오리건주 비버튼 사우스웨스트 화이트 테일 레인 16569  
(뒷면에 계속)
- (74) 대리인  
양영준, 김연송, 백만기

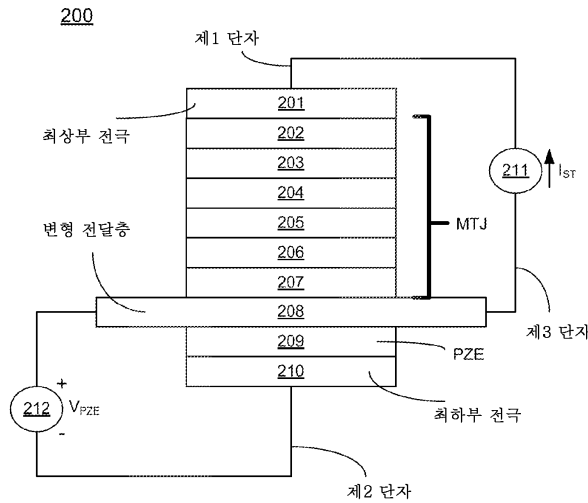
전체 청구항 수 : 총 25 항

(54) 발명의 명칭 변형 보조형 스핀 토크 스위칭 스핀 전달 토크 메모리

(57) 요약

자유 자기층을 가지는 자기 터널링 접합(MTJ); 압전층; 및 자유 자기층 및 압전층에 커플링되는 전도 변형 전달층을 포함하는 장치가 기술된다. 전압 구동형 용량성 자극으로 압전층을 여기시키는 단계; 및 변형 보조층을 통해 압전층에 커플링되는 MTJ에 기록하는 단계를 포함하는 방법이 기술된다. 트랜지스터; 트랜지스터에 커플링되는 전도성 변형 전달층; 및 전도성 변형 전달층에 커플링되는 자유 자기층을 가지는 MTJ 디바이스를 포함하는 장치가 또한 기술된다.

대표도 - 도2a



(52) CPC특허분류

*H01L 27/228* (2013.01)

*H01L 43/02* (2013.01)

*H01L 43/08* (2013.01)

(72) 발명자

**칸, 아시프**

미국 씨에이 94720 캘리포니아주 버클리 허스트 애  
비뉴 수타르자 다이 홀 550

**김, 라성**

미국 97124 오리건주 힐스보로 아파트먼트 1523 노  
스이스트 비닝스 웨이 6861

**가니, 타히르**

미국 97229 오리건주 포틀랜드 노스웨스트 스톤브  
리지 드라이브 14191

**영, 이안 에이.**

미국 97229 오리건주 포틀랜드 노스웨스트 114번  
테라스 3181

## 명세서

### 청구범위

#### 청구항 1

장치로서,

자유 자기층(free magnetic layer)을 가지는 자기 터널링 접합(magnetic tunneling junction)(MTJ);

압전층; 및

상기 자유 자기층과 상기 압전층에 커플링되는 전도 변형 전달층(conducting strain transfer layer)

을 포함하는 장치.

#### 청구항 2

제1항에 있어서,

상기 MTJ에 커플링되는 제1 전극;

상기 전도 변형 전달층에 커플링되는 제2 전극; 및

상기 압전층에 커플링되는 제3 전극

을 포함하는 장치.

#### 청구항 3

제2항에 있어서,

상기 제1 전극에 커플링하기 위한 제1 비트-라인;

상기 제2 전극에 커플링하기 위한 소스 라인; 및

상기 제3 전극에 커플링하기 위한 제2 비트-라인

을 포함하는 장치.

#### 청구항 4

제3항에 있어서,

상기 제1 비트-라인은 제4 금속 라인 층 상에 배치되고,

상기 제2 비트-라인은 제2 금속 라인 층 상에 배치되고, 그리고

상기 소스 라인은 제0 금속 라인 층(zero metal line layer) 상에 배치되는 장치.

#### 청구항 5

제4항에 있어서, 상기 MTJ는 상기 제2 금속 라인 층에 전용되는 영역 내에 형성되는 장치.

#### 청구항 6

제3항에 있어서,

상기 제1 비트-라인은 제4 금속 라인 층 상에 배치되고,

상기 제2 비트-라인은 제6 금속 라인 층 상에 배치되고, 그리고

상기 소스 라인은 제2 금속 라인 층 상에 배치되는 장치.

#### 청구항 7

제3항에 있어서,

상기 소스 라인과 상기 제2 전극에 커플링되는 제1 트랜지스터

를 포함하고, 상기 제1 트랜지스터는 선택 라인의 전압 전위(voltage potential)에 따라 상기 제2 전극에 상기 소스 라인을 커플링시키는 장치.

**청구항 8**

제7항에 있어서,

상기 제3 전극과 상기 제2 비트-라인에 커플링되는 제2 트랜지스터

를 포함하고, 상기 제2 트랜지스터는 상기 선택 라인의 전압 전위에 따라 상기 제3 전극에 상기 제2 비트-라인을 커플링시키는 장치.

**청구항 9**

제1항에 있어서,

제1 전극; 역-강자성층(anti-ferromagnetic layer); 고정 자석층; 교환 커플링층(exchange coupling layer); 고정 자석층; 터널 산화물; 자기-변형을 가지는 자유 자기층(free magnetic layer with magnetostriction); 전도 변형 전달층; 압전층; 및 제2 전극

의 층들을 포함하는 장치.

**청구항 10**

제1항에 있어서, 상기 MTJ는 IrMn; CoFe; Ru; CoFeB; MgO; 및 CoFeB의 층들로 형성되는 장치.

**청구항 11**

제1항에 있어서, 상기 전도 변형 전달층은 W, Ta, Cu, Nb, 또는 STO 중 하나로 형성되고, 상기 자기 변형을 가지는 자유 자기층은 CoFeB, FeGa, MnGa, 또는 터피놀(Terfenol) 중 하나로부터 형성되는 장치.

**청구항 12**

제1항에 있어서, 상기 압전층은 복합층인 장치.

**청구항 13**

시스템으로서,

프로세서;

상기 프로세서에 커플링되고, 제1항 내지 제12항 중 어느 한 항의 장치에 따른 비트-셀(bit-cell)을 갖는 자기 랜덤 액세스 메모리(magnetic random access memory)(MRAM); 및

상기 프로세서가 다른 디바이스에 커플링할 수 있게 하는 무선 인터페이스

를 포함하는 시스템.

**청구항 14**

장치로서,

트랜지스터;

상기 트랜지스터에 커플링되는 전도성 변형 전달층; 및

상기 전도성 변형 전달층에 커플링되는 자유 자기층을 가지는 자기 터널 접합(MTJ) 디바이스

를 포함하는 장치.

**청구항 15**

제14항에 있어서, 상기 트랜지스터는 선택 라인에 커플링되는 게이트 단자를 가지는 장치.

**청구항 16**

제14항에 있어서,

상기 전도성 변형 전달층에 커플링되는 압전층을 포함하는 장치.

**청구항 17**

제16항에 있어서,

상기 MTJ에 커플링되는 제1 전극;

상기 전도성 변형 전달층에 커플링되는 제2 전극; 및

상기 압전층에 커플링되는 제3 전극

을 포함하는 장치.

**청구항 18**

제17항에 있어서, 상기 트랜지스터는 상기 제2 전극에 커플링되고, 상기 트랜지스터는 상기 선택 라인의 전압 전위에 따라 상기 제2 전극에 상기 소스 라인을 전기적으로 커플링시키도록 동작가능한 장치.

**청구항 19**

제18항에 있어서, 상기 제3 전극 및 상기 선택 라인에 커플링되는 다른 트랜지스터를 포함하는 장치.

**청구항 20**

제14항에 있어서, 상기 MTJ는

제1 전극; 역-강자성층; 고정 자석층; 교환 커플링층; 고정 자석층; 터널 산화물; 자기-변형을 가지는 자유 자기층; 전도 변형 전달층; 압전층; 및 제2 전극

의 층들을 포함하는 장치.

**청구항 21**

제14항에 있어서, 상기 MTJ는 IrMn; CoFe; Ru; CoFeB; MgO; 및 CoFeB의 층들로 형성되는 장치.

**청구항 22**

제14항에 있어서, 상기 전도성 변형 전달층은 W, Ta, Cu, Nb, 또는 STO 중 하나로 형성되고, 상기 자기-변형을 가지는 자유 자기층은 CoFeB, FeGa, MnGa, 또는 터피놀 중 하나로부터 형성되는 장치.

**청구항 23**

시스템으로서,

프로세서;

상기 프로세서에 커플링되고, 제14항 내지 제22항 중 어느 한 항의 장치에 따른 비트-셀을 갖는 자기 랜덤 액세스 메모리(MRAM); 및

상기 프로세서가 다른 디바이스에 커플링할 수 있게 하는 무선 인터페이스

를 포함하는 시스템.

**청구항 24**

방법으로서,

전압 구동형 용량성 자극(voltage driven capacitive stimulus)으로 압전층을 여기(exciting)시키는 단계; 및

변형 보조층(strain assist layer)을 통해 상기 압전층에 커플링되는 자기 터널링 접합(MTJ)에 기록하는 단계를 포함하는 방법.

**청구항 25**

제24항에 있어서, 전도성 변형 전달층 및 소스 라인에 커플링되는 트랜지스터를 턴온(turn on)시키는 단계를 포함하는 방법.

**발명의 설명**

**배경 기술**

[0001] 비휘발성을 가지는 칩 내장 메모리는 에너지 및 계산상 효율성을 가능하게 할 수 있다. 그러나, 스핀-전달 토크 자기 랜덤 액세스 메모리(Spin-Transfer Torque Magnetic Random Access Memory)(STT-MRAM)와 같은 선두적인 내장형 메모리 옵션들은 비트-셀의 프로그래밍(즉, 기록) 동안 높은 전압 및 높은 전류-밀도 문제점들을 겪는다.

[0002] 예를 들어, 큰 기록 전류(예를 들어, 100 $\mu$ A 초과) 및 전압(예를 들어, 0.7V 초과)은, 기록 동작이 터널 산화물들을 통한 기록을 요구할 수 있기 때문에, 터널 접합 기반 자기 터널 접합(Magnetic Tunnel Junction)(MTJ)이 MTJ 기반 STT-MRAM 비트-셀에서의 기록 동작을 수행하는 것이 요구될 수 있다. STT 기반 비트-셀들이 가지는 또다른 문제점은 MTJ들에서의 높은 터널링 전류로 인해 신뢰성 이슈들을 겪는다는 것이다. 또한, 스위칭 동안 극복할 에너지 장벽(즉, kT, 여기서 'k'는 볼츠만 상수이고, 'T'는 온도임)은 몇몇 바람직한 설계 트레이드오프(tradeoff)들을 초래하는 고정된 양이다.

[0003] 예를 들어, 고속 STT 기반 비트-셀들에 대해, 더 낮은 kT가 요구된다. 그러나, kT를 낮추는 것은 STT 비트-셀들 상에서의 더 많은 리프래시 동작들을 요구할 수 있다. 마찬가지로, 더 높은 kT는 STT 비트-셀 내의 자기 메모리 보유(magnet memory retention)를 개선시킨다. 그러나, 더 높은 kT는 STT 기반 비트-셀들의 동작들을 늦춘다.

**도면의 간단한 설명**

[0004] 개시내용의 실시예들은 하기에 주어지는 상세한 설명으로부터, 그리고 개시내용의 다양한 실시예들의 첨부 도면들로부터 더욱 완전하게 이해될 것이지만, 이는 발명을 특정 실시예들로 제한하기 위해 취해지는 것이 아니라, 단지 설명 및 이해를 위한 것이다.

도 1은 스핀 전달 토크 자기 랜덤 액세스 메모리(Spin Transfer Torque Magnetic Random Access Memory)(STT-MRAM)에 대한 전통적인 1-트랜지스터(1T) 비트-셀을 예시한다.

도 2a는 개시내용의 일부 실시예들에 따른 3 단자 변형 보조형 STT 디바이스를 예시한다.

도 2b-c는 개시내용의 일부 실시예들에 따른, 압전(PZE) 여기를 통한, 도 2 a에서 STT 디바이스의 자유 자기층 내의 응력의 생성 및 변형 보조형 STT 효과를 스위칭하는 자화를 통한 변형 전달을 도시하는 3D(3차원) 도해들을 예시한다.

도 2d-e는 개시내용의 일부 실시예들에 따른, 균일한 2-축(bi-axial) 여기 및 불균일한 2-축 여기를 사용하여 변형 보조형 STT를 가지는 자화 스위칭을 도시하는 도해들이다.

도 2f-i는 개시내용의 일부 실시예들에 따른, 균일한 2-축 응력의 효과들을 도시하는 도해들이다.

도 2j-m은 개시내용의 일부 실시예들에 따른, 불균일한 2-축 응력의 효과들을 도시하는 도해들이다.

도 3은 개시내용의 일부 실시예들에 따른, 3 단자 2T-PZ-MTJ 비트-셀을 예시한다.

도 4는 개시내용의 일부 실시예들에 따른, 3 단자 1T-PZ-MTJ 비트-셀을 예시한다.

도 5a는 개시내용의 일부 실시예들에 따른, 3 단자 1T-PZ-MTJ 비트-셀의 개략도를 예시한다.

도 5b는 개시내용의 일부 실시예들에 따른, 도 5a의 3단자 1T-PZ-MTJ 비트-셀의 레이아웃을 예시한다.

도 5c-d는 개시내용의 일부 실시예들에 따른, 도 5b의 디바이스의 레이아웃의 단면들을 예시한다.

도 6a는 개시내용의 일부 실시예들에 따른, 3단자 1T-PZ-MTJ 비트-셀의 개략도를 예시한다.

도 6b는 개시내용의 일부 실시예들에 따른, 도 6a의 3단자 1T-PZ-MTJ 비트-셀의 레이아웃을 예시한다.

도 6c-d는 개시내용의 일부 실시예들에 따른, 도 6b의 디바이스의 레이아웃의 단면들을 예시한다.

도 7a는 개시내용의 일부 실시예들에 따른, 3단자 1T-PZ-MTJ 비트-셀들을 가지는 MRAM의 행 또는 열을 예시한다.

도 7b는 개시내용의 일부 실시예들에 따른, 3단자 2T-PZ-MTJ 비트-셀들을 가지는 MRAM의 행 또는 열을 예시한다.

도 8은 개시내용의 일부 실시예들에 따른, 3 단자 1T 또는 2T-PZ-MTJ 비트-셀을 동작시키는 방법의 플로우차트를 예시한다.

도 9는 개시내용의 일부 실시예들에 따른, 3 단자 1T 또는 2T-PZ-MTJ 비트-셀을 형성하는 방법의 플로우차트를 예시한다.

도 10은 일부 실시예들에 따른, 3 단자 1T 또는 2T-PZ-MTJ 비트-셀을 가지는 스마트 디바이스 또는 컴퓨터 시스템 또는 SoC(시스템-온-칩)을 예시한다.

### 발명을 실시하기 위한 구체적인 내용

- [0005] 다강체 강자성/압전 이중-구조체들에서의 자기 순서(magnetic order)와 전기장 사이의 커플링을 위한 몇몇 메커니즘이 사용될 수 있다. 예를 들어, 전하 변조(예컨대, Fe-BaTiO<sub>3</sub>에서), 교환 상호작용들(예컨대, CoFeB-BiFeO<sub>3</sub>에서), 및 자기-변형(예컨대, La<sub>0.7</sub>Sr<sub>0.3</sub>MnO<sub>3</sub>/PMN-PT, CoFe-BaTiO<sub>3</sub>, 또는 FeRh-BaTiO<sub>3</sub>에서). 로직 및 메모리 응용예들은 동작을 위한 자화의 180° 반전을 요구한다. 자기 상태의 관독을 위해, MTJ가 다강체 이중-구조체의 나노자석들의 최상부 상에 형성된다. 제조 관점에서, 강/압전층 상에 면-외부(out-plane) 전기장을 인가함으로써 180° 스위칭을 달성하는 것이 바람직하다.
- [0006] 자화 반전을 위해, LLG(Landau-Lifshitz-Gilbert) 방정식에 의해 관리되는 자화 회전 역학은 특정 스핀 분극화의 최소 전류가 나노 자석을 통해 흐를 것을 요구한다. 이러한 최소 전류는 자화가 그것의 초기의 용이한 축 방향으로부터 벗어나도록 하여, 하드 축(hard axis)을 따라 에너지 장벽(즉, kT) 위로 그것을 뒤집어서(roll over) 길버트 댐핑 효과를 극복하고, 따라서, 자화의 방향을 그것의 초기 방향에 대해 180° 만큼 스위칭한다.
- [0007] (자화의 방향의 스위칭을 야기하는) 임계 전류의 값은 통상적으로 열 진동들에 의존하는, 용이한 축에 대한 자화의 초기 각( $\theta_0$ )에 종속적이다.  $\theta_0(<90^\circ)$ 가 큰 경우, 자화 역전을 위한 임계 전류는 작을 수 있다. 따라서, 일부 실시예들에 따르면, STT-RAM 내의 자유 자기층의 자화가 외부 메커니즘에 의해 90° 에 가까운 각 만큼 이미 회전된 경우, 임계 전류보다 훨씬 더 작은 스핀 분극 전류는 또다른 90° 만큼 자화를 스위칭하여 완벽한 자화 역전을 초래하고, 따라서, 에너지 소모를 감소시킨다. 이에 기초하여, 일부 실시예들은 자기-제한적 및 STT 기반 스위칭을 결합시키는 스핀트로닉(spintronic) 디바이스이며, 여기서, 2개의 메커니즘들 각각은 90° 자화 스위칭을 제공하여 완벽한 180° 스위칭을 초래한다.
- [0008] 일부 실시예들은 변형 보조형 메커니즘을 사용하여 유효 스위칭 장벽(즉, kT)을 낮춤으로써 스위칭 구동 전류를 감소시키는 스핀트로닉 디바이스를 기술한다. 일부 실시예들은 변형 보조형 스위칭을 이용하여 동작한다. 일부 실시예들에서, 전압 구동형 용량성 자극이 인가되어 압전층(PZE)을 여기시켜서 자기 레코딩층(즉, MTJ의 자유 자기층) 내에 변형을 생성한다. 일부 실시예들에서, 자석에 커플링되는 변형은 그것의 정상 상태 위치로부터 대략 90° 로 자석을 정렬시키는 자석의 자기-제한적 스위칭을 생성한다. 일부 실시예들에서, 적합한 극성을 가지는 스핀 토크 전류는 프로그래밍 전압들에 기초하여 0° 또는 180° 로 디바이스를 스위칭시킨다. 스핀트로닉 디바이스는 또한 본원에서 변형 보조형 STT RAM이라 지칭된다.
- [0009] 일부 실시예들에서, 자기-제한 효과 및 STT 효과는 결합되어 종래의 STT-RAM에 비해 에너지 소모를 개선시킨다. 일부 실시예들에서, 스핀트로닉 디바이스에서의 자화 스위칭은 결합된 자기-제한을 통해 압전-강자성 이중-구조체에 의해 야기된다. SIT 효과는 열 잡음의 영향을 포함하는 LLG 방정식을 풀어냄으로써 시뮬레이션될 수 있다. 시뮬레이션들은, 스핀트로닉 디바이스의 다양한 실시예들에서, 이러한 2개 메커니즘들(즉, 자기-제한 및 STT) 각각은 90° 자화 회전을 제공하여 오직 스핀 토크에 대해 요구되는 것보다 훨씬 더 작은 임계전류를 가지는 결정론적 180° 스위칭을 초래한다.

- [0010] 실시예들의 많은 기술적 효과들이 존재한다. 일부 비-제한적인 기술적 효과들은 훨씬 더 작은 기록 전류(예를 들어, 공칭 기록 동작을 위한 100 $\mu$ A에 비해 20 $\mu$ A 더 작음)가 MTJ를 통해 사용되어 MTJ 기반 비트-셀에 기록한다는 것이다. 일부 실시예들의 디바이스는 MTJ에서 터널 산화물의 신뢰성을 개선시킨다. 일부 실시예들의 디바이스는, 트랜스덕션(transduction)이 전류 보조를 통해 용량성이기 때문에 스위칭 에너지를 개선시킨다. 다른 기술적 효과들은 본원에 기술된 다양한 실시예들로부터 명백할 것이다.
- [0011] 후속하는 기재에서, 다수의 상세항목들이 본 개시내용의 실시예들의 보다 철저한 설명을 제공하도록 논의되지만, 본 개시내용의 실시예들이 이러한 특정 상세항목들 없이도 구현될 수 있지만, 다른 경우들에서, 본 개시내용의 실시예들을 모호하게 하는 것을 회피하기 위해, 널리-알려진 구조체들 및 디바이스들이 상세하게 보다는 블록도 형태로 도시된다는 것이 본 기술분야의 통상의 기술자에게 명백할 것이다.
- [0012] 실시예들의 대응하는 도면들에서, 신호들이 라인들로 표현된다는 것에 유의한다. 일부 라인들은, 더 많은 구성 신호 경로들을 나타내기 위해 더 두꺼울 수 있고 그리고/또는 주요 정보 흐름 방향을 나타내기 위해 하나 이상의 중단들에서 화살표들을 가진다. 이러한 표시들은 제한적인 것으로 의도되지 않는다. 오히려, 라인들은 회로 또는 논리 유닛의 더욱 쉬운 이해를 용이하게 하기 위해 하나 이상의 예시적인 실시예들과 관련하여 사용된다. 임의의 표현된 신호는, 설계 요구들 또는 선호도들에 의해 지시되는 바와 같이, 어느 한 방향으로 이동할 수 있는 하나 이상의 신호들을 실제로 포함할 수 있고, 임의의 적절한 타입의 신호 방식을 이용하여 구현될 수 있다.
- [0013] 명세서 전반에 걸쳐, 그리고 청구항들에서, 용어 "접속되는"은 임의의 중간 디바이스들 없이, 접속되는 것들 사이의 직접적인 전기적 접속을 의미한다. 용어 "커플링되는"은 접속되는 것들 사이의 직접적인 전기적 접속 또는 하나 이상의 수동 또는 능동 중간 디바이스들을 통한 간접 접속을 의미한다. 용어 "회로"는 원하는 기능을 제공하기 위해 서로 협력하도록 배열되는 하나 이상의 수동 및/또는 능동 컴포넌트들을 의미한다. 용어 "신호"는 적어도 하나의 전류 신호, 전압 신호 또는 데이터/클록 신호를 의미한다. 단수표기("a," "an," 및 "the")의 의미는 복수 참조들을 포함한다. "~내에"의 의미는 "~내에" 및 "~상에"를 포함한다.
- [0014] 용어 "스케일링"은 일반적으로 하나의 프로세스 기술에서 다른 프로세스 기술로 설계(개략도 및 레이아웃)를 전환시키고, 후속적으로 레이아웃 영역에서 축소되는 것을 지칭한다. 용어 "스케일링"은 또한 동일한 기술 노드 내에서 레이아웃 및 디바이스들을 다운사이즈시키는 것을 지칭한다. 용어 "스케일링"은 또한 또다른 파라미터, 예를 들어, 전력 서플라이 레벨에 대해 신호 주파수를 조정하는 것(예를 들어, 늦추거나 빠르게 하는 것 - 즉, 각자 하향 스케일링 또는 상향 스케일링하는 것)을 지칭할 수 있다. 용어들 "실질적으로", "가까운", "대략", "근접한" 및 "약"은 일반적으로 타겟 값의 +/- 20% 내에 있는 것을 지칭한다.
- [0015] 다른 방식으로 특정되지 않는 한, 공통 오브젝트를 기술하기 위한 서수 형용사들 "제1", "제2", 및 "제3" 등의 사용은 단지 유사한 오브젝트들의 상이한 경우들이 지칭됨을 나타내며, 그렇게 기술되는 오브젝트들이 시간적으로, 공간적으로, 순위대로 또는 임의의 다른 방식으로 주어진 순서대로이어야 함을 내포하도록 의도되지 않는다.
- [0016] 실시예들의 목적으로, 다양한 회로들 및 논리 블록들 내의 트랜지스터들은 금속 산화물 반도체(MOS) 트랜지스터들인데, 이는 드레인, 소스, 게이트 및 벌크 단자들을 포함한다. 트랜지스터들은 트라이-게이트 및 FinFET 트랜지스터들, 게이트 올 어라운드 원통형 트랜지스터들, 터널링 FET(TFET), 정사각 와이어, 또는 직사각 리본 트랜지스터들, 또는 탄소 나노 튜브들 또는 스핀트로닉 디바이스들과 같은 트랜지스터 기능성을 구현하는 다른 디바이스들을 또한 포함한다. MOSFET 대칭형 소스 및 드레인 단자들은, 즉, 동일한 단자들이며, 본원에서 상호교환가능하게 사용된다. 반면, TFET 디바이스는 비대칭 소스 및 드레인 단자들을 가진다. 본 기술분야의 통상의 기술자는, 다른 트랜지스터들, 예를 들어, 바이폴라 접합 트랜지스터들 - BJT PNP/NPN, BiCMOS, CMOS, eFET, 등이 개시내용의 범위로부터 벗어나지 않고 사용될 수 있음을 인지할 것이다. 용어 "MN"은 n-타입 트랜지스터(예를 들어, NMOS, NPN BJT 등)를 나타내고, 용어 "MP"는 p-타입 트랜지스터(예를 들어, PMOS, PNP BJT 등)를 나타낸다.
- [0017] 도 1은 STT-MRAM에 대한 전통적인 IT 비트-셀을 예시한다. 여기서, MTJ 디바이스는 n-타입 선택 트랜지스터(MN)에 직렬로 커플링된다. n-타입 선택 트랜지스터(MN)의 게이트 단자는 워드-라인(WL)에 커플링된다. n-타입 트랜지스터(MN)의 소스/드레인 단자는 소스 라인(SL)에 커플링되고 n-타입 트랜지스터(MN)의 드레인 소스 단자는 MTJ의 하나의 단자에 커플링된다. MTJ의 또다른 단자는 비트-라인(BL)에 커플링된다.
- [0018] 비트-셀(100)에 대한 관독 및 기록 경로들은 동일하며, 많은 설계 트레이드-오프들을 초래한다. 예를 들어, 기



록 동작 동안보다는, 판독 동작 동안, MTJ 디바이스의 더 높은 저항이 요구된다. 그러나, 판독 및 기록 전류들을 통과시키기 위한 동일한 전류 경로들은 판독 및 기록 동작들에 대한 상이한 저항들을 가지는 것을 막는다. 비트-셀(100)에 논리 하이(logical high)를 기록하기 위해, BL은 SL에 비해 상승하고, 비트-셀(100)에 논리 로우(logical low)를 기록하기 위해, BL은 SL에 비해 낮아진다. 비트-셀(100)로부터 판독하기 위해, SL은 논리 로우로 설정되고, MTJ 저항은 약한 전류(예를 들어, 기록 전류의 1/8)를 사용하여 감지된다.

- [0019] 1T-1MTJ 비트-셀(100)은 터널 접합의 큰 기록 전류(예를 들어, 100 $\mu$ A 초과) 및 큰 전압(예를 들어, 0.7V 초과) 요건들을 가질 수 있다. 1T-1MTJ 비트-셀(100)은 MTJ 기반 MRAM 내의 높은 기록 에러 레이트들 또는 저속 스위칭(예를 들어, 20ns 초과)을 가질 수 있다. 1T-1MTJ 비트-셀(100)은 또한 자기 터널 접합들에서의 터널링 전류로 인해 신뢰성 이슈들을 가질 수 있다. 예를 들어, MTJ 디바이스 내의 절연층은 대전류의 흐름에 저항하는(resist) 장벽(예를 들어, 1K $\Omega$  내지 10K $\Omega$ )이며, 더 낮은 전류 흐름은 더 높은 기록 에러들을 야기한다. 1T-1MTJ 비트-셀(100)에 대한 프로그래밍 전류는 자석(예를 들어, 40kT-60kT)의 고정된 열 안정성 장벽(즉, kT)에 의해 설정된다. 구동 전류 제한들과 조합되는 높은 프로그래밍 전류(예를 들어, 100 $\mu$ A)는 전통적인 1T-1MTJ 비트-셀(100)의 설계를 제한한다.
- [0020] 개시내용의 일부 실시예들에 따르면, 도 2a는 3단자(3T) 변형 보조형 STT 디바이스(200)를 예시한다. 임의의 다른 도면의 엘리먼트들과 동일한 참조번호들(또는 명칭들)을 가지는 도 2a의 해당 엘리먼트들이 기술된 것과 유사한 임의의 방식으로 동작하거나 기능할 수 있지만, 이에 제한되지 않는다는 것이 지적된다.
- [0021] 일부 실시예들에서, 디바이스(200)는 제1 전극(201)(또한 최상부 전극이라고 본원에 지칭됨), MTJ(층들(202 내지 207)을 가짐), 전도 변형 전달층(208), 압전층(PZE)(209), 제2 전극(210)(또한 최하부 전극이라고 본원에 지칭됨); 및 제3 전극을 포함한다. 일부 실시예들에서, MTJ는 역-강자성층(202); 고정 자기층(203); 교환 커플링 층(204); 고정 자기층(205); 터널 산화물(206); 및 자기-변형을 가지는 자유 자기층(207)을 포함하는 층들을 포함한다. 일부 실시예들에서, 제1 전극(201)은 제1 단자에 커플링되고, 최하부 전극(210)은 제2 단자에 커플링되고, 변형 전달층(208)은 제3 단자에 커플링된다.
- [0022] 일부 실시예들에서, 전압 구동형 용량성 자극(212)(즉,  $V_{PZE}$ )이 인가되어 MTJ의 자유 자기층(207)(또한 자기 레코딩층이라고 본원에 지칭됨) 내에 변형을 생성하는 PZE 층(PZE) 층(209)을 여기시킨다. 일부 실시예들에서, 자유 자기층(207)에 커플링되는 변형 전달층(208)은 자유 자기층(207)의 자기-제한적 스위칭을 생성하여 그것을 그것의 정상 상태 자기 방향으로부터 대략 90° 로 정렬시킨다. 일부 실시예들에서, 소스(211)로부터 적절한 극성을 가지는 스핀 토크 전류(1ST)가 제공되어 프로그래밍 전압들에 기초하여 자유 자기층(207)의 자기 방향을 0° 또는 180° 로 스위칭한다.
- [0023] 일부 실시예들에서, 역-강자성층(202)은 IrMn로 형성되고, 2 nm 내지 20 nm의 범위 내의 두께를 가진다. 일부 실시예들에서, 고정 자기층(203)은 CoFe로 형성되고, 1 nm 내지 20 nm의 범위 내의 두께를 가진다. 일부 실시예들에서, 교환 커플링 층(204)은 Ru로 형성되고, 0.5 nm 내지 2 nm의 범위 내의 두께를 가진다. 일부 실시예들에서, 고정 자기층(205)은 CoFeB로 형성되고, 1 nm 내지 20 nm의 범위 내의 두께를 가진다. 일부 실시예들에서, 터널 산화물(206)은 MgO로 형성되고, 1 nm 내지 3 nm의 범위 내의 두께를 가진다. 일부 실시예들에서, 자기-변형을 가지는 자유 자기층(207)은 CoFeB, FeGa, MnGa, 또는 터피놀로 형성되고, 2 nm 내지 5 nm의 범위 내의 두께를 가진다. 다른 실시예들에서, 주기율표에서 동일한 그룹들에 대한 다른 재료들 또는 그룹들의 조합들이 사용되어 MTJ의 층들을 형성할 수 있다. 일부 실시예들에서, 전도 변형 전달층(208)은 W, Ta, Cu, Nb, 또는 STO 중 하나로 형성되고, 3 nm 내지 60 nm의 범위 내의 두께를 가진다. 일부 실시예들에서, 변형 전달층(209)은 변형 전달을 허용하지만 100  $\mu$ Ohm.cm 미만의 전도성으로도 구성된다. 일부 실시예들에서, PZE 층(210)은 4 nm 내지 50 nm의 범위 내의 두께를 가진다.
- [0024] 본원에서 언급된 바와 같이, 스핀 토크로 인한 자화 역전은 LLG 방정식에 의해 좌우된다. STT 스위칭은 스위칭을 위한 임계 스핀 토크 전류를 요구하는데, 이는 그것의 초기의 용이한 축 방향으로부터 자화를 프로세싱하고, 하드 축을 따라 에너지 장벽 위로 그것을 뒤집어서 길버트 댐핑 효과를 극복하고, 따라서, 자화의 방향을 그것의 초기 방향에 대해 180° 만큼 스위칭한다. 임계 전류의 값은 스핀 토크에 의해 극복될 유효 자기 장벽에 의존한다.
- [0025] 이 개시내용의 다양한 실시예들에 기술되는 STT 구조체는 자기 스위칭을 위한 훨씬 더 낮은 장벽에서 자석을 스위칭시키는 자기-제한 프리-스위칭에 의해 스핀 토크 스위칭에 대한 유효 자기 장벽을 낮춘다(즉, 그것은 하드 축을 쉬운 축으로, 그리고 쉬운 축을 하드 축으로 변경한다). 일부 실시예들에서, 변형 보조형 STT(200)는 전압 중재형 자기-제한 효과를 사용하여 스핀 토크 스위칭을 위한 스위칭 전류를 낮춘다. MTJ를 통해 스위칭 전

류를 감소시킴으로써, 스위칭 당 에너지가 감소된다. 감소된 스위칭 전류는 터널 접합 디바이스의 신뢰성을 개선한다.

[0026] 일부 실시예들에서, 하이브리드 압전-강자성 이중-구조체(200)가 기술되며, 여기서 정방형 모노-도메인 강자성의,  $Pb(Zr_{0.2}Ti_{0.8})O_3$ (PZT) 필름은 그 최상부에서 나노자석들(즉, 자유 자기층(207))이 리소그래픽방식으로 패터닝되는 PZE 층(209)에 커플링되는 전도 최하부 전극(210) 상에 성장된다. 일부 실시예들에 따르면, PZE 층(210)의 재료 파라미터들 및 두께가 표 1에 열거된다.

표 1

PZE 층(209)의 재료 파라미터들 및 두께의 예들

파라미터	값
압전 계수, $d_{31}$	180 pm/V
압전 계수, $d_{33}$	60 pm/V
유전 상수, $\epsilon_r$	500
두께, $d_{PE}$	30 nm

[0027]

[0028] 일부 실시예들에서, 변형 전달층(208)을 통한 자석들과 최하부 전극(210) 사이의 소스(212)에 의한 전압  $V_{PZE}$ 의 인가는 PZE 층(209)에서 면-내 2-축 변형을 생성하며, 이는 변형 전달층(208)을 통해 자유 자기층(207)에 전달된다.  $(xyz=001)$  표면 배향(즉,  $\pm z$ -축을 따른 강유전성 분극)을 가지는 PZE 층(209)에 대해, 2-축 변형은 면-내 결정학적 방향들인  $(xyz=010)$  및  $(xyz=100)$ 을 따르는 크기 및 부호에 있어서 동일하다. 일부 실시예들에서,  $(xyz=010)$  및  $(xyz=100)$  방향들을 따르는 변형 컴포넌트는  $\epsilon_{xx} = \epsilon_{yy} = d_{31}E_z$ 에 의해 주어지고,  $d_{31}$ 은 PZE 층(209)의 압전 계수이다.

[0029] 일부 실시예들에서,  $(xyz=110)$  표면 배향을 가지는 PZE 층(209)에 대해, 면-외(out-of-plane) 전기장의 인가는 2개의 면-내 결정학적 방향들인  $(xyz=001)$  및  $(xyz=101)$ 를 따라 2개의 상이한 변형을 생성한다. 이러한 실시예들에서,  $(xyz=001)$  및  $(xyz=101)$ 를 따르는 변형 컴포넌트들은 각자  $\epsilon_{xx} = (d_{31} + d_{33})E_z / 2\sqrt{2}$  및  $\epsilon_{yy} = d_{31}E_z / \sqrt{2}$ 에 의해 주어진다.

[0030] 일부 실시예들에서, 2-축 응력의 존재 시, 나노자석들의 자기 이방성은 역 자기-변형 효과로 인해 변경된다. 응력들  $\{\sigma_i\}$ , 각들을 만드는  $(i \equiv xx, yy)$ , 자화 방향을 따르는 단위 벡터  $\vec{m}$ 를 가지는  $\{\delta_i\}$ 로 인한 에너지 기여는:

수학식 1

[0031] 
$$E_{strain} = \frac{3}{2}\lambda \sum_i \sigma_i \cos^2 \delta_i$$

[0032] 에 의해 주어지고, 여기서,  $\lambda$ 는 자기 재료의 자기-변형 계수이다.

[0033] 일부 실시예들에서,  $Co_{0.6}Fe_{0.4}$ 가 나노자석들에 대한(예를 들어, 자유 자기층(207)에 대한) 재료로서 사용된다.  $Co_{0.6}Fe_{0.4}$ 는 큰 자기-변형 계수를 나타낸다.  $\lambda$ 가  $Co_{0.6}Fe_{0.4}$ 에 대해 양이므로, 인장 변형은 하드 축을 따르는 자화의 정렬을 선호한다. PZE 층(209)으로부터 자유 자기층(207)의 나노자석들로의 완전한 전달을 가정하면, 자유 자기층(207)의 나노 자석들에서의 응력 및 변형은  $\sigma_i = Y\epsilon_i$  ( $i \equiv xx, yy$ )에 관련되고,  $Y$ 는 자기 재료의 영률이다. 2축 응력의 인가 시, 수직 자기 이방성  $H_k$ 를 가지는 자석의 전체 에너지는:

수학식 2

[0034] 
$$E_{total} = E_{PMA} + E_{strain} = \frac{1}{2} \mu_0 M_s H_k \sin^2 \theta + E_{strain}$$

[0035] 에 의해 주어지고, 여기서,  $M_s$ ,  $\mu_0$  및  $\theta$ 는 각자 자유 자기층(207)의 포화 자화, 진공 투과율, 및 z-축에 대한 자화 각이다.

[0036] 일부 실시예들에서, 응력으로 인한 이방성 필드는 다음 관계를 사용하여 계산된다.

수학식 3

[0037] 
$$\vec{H}_g = \frac{\partial E_{strain}}{\partial \vec{m}}$$

[0038] 자유 자기층(207)의 나노자석들의 역학은 다음과 같은 수정된 LLG 방정식에 의해 기술된다.

수학식 4

[0039] 
$$\frac{\partial \vec{m}}{\partial t} = -\gamma \mu_0 [\vec{m} \times \vec{H}_{eff}] + \alpha [\vec{m} \times \frac{\partial \vec{m}}{\partial t}] + \frac{\vec{I}_p}{e N_s}$$

[0040] 여기서,  $\gamma$ 는 전자 자이로-자기 비이고,  $\alpha$ 는 길버트 댐핑 계수이고,  $\vec{I}_p$ 는 자화에 수직하는 벡터 스핀 전류의 컴포넌트이고,  $\vec{m}$ 은 나노자석들로 진입하고,  $N_s$ 는 자석 당 보어 자자(Bohr magneton)들의 전체 수이다.  $\vec{H}_{eff} = \vec{H}_a + \vec{H}_{PMA} + \vec{H}_N$ 는 유효 자기장이고,  $\vec{H}_{PMA}$  및  $\vec{H}_N$ 은 각자 수직 자기 이방성 및 확률적 잡음(stochastic noise)으로 인한 필드들이다. 잡음 필드인  $\vec{H}_N = H_x \hat{x} + H_y \hat{y} + H_z \hat{z}$ 는 자석 상에서 등방성으로 작용하고 따라서 다음과 같이 기술될 수 있다:

수학식 5

[0041] 
$$\langle H_i(t) \rangle = 0$$

수학식 6

[0042] 
$$\langle H_i(t) H_k(t') \rangle = \frac{2\alpha k_B T}{\mu_0^2 \gamma M_s V} \delta(t - t') \delta_{ik}$$

[0043] 여기서,  $k_B$ 는 볼츠만 상수이고, T는 온도이고, V는 나노자석들의 체적이다.

[0044] 개시내용의 일부 실시예들에 따르면, 도 2b-c는 PZ 여기를 통한 도 2a의 STT 디바이스(200)의 자유 자기층(207)에서의 응력의 생성, 및 변형 보조형 STT 효과를 이용하여 자화 스위칭을 통한 변형 전달을 도시하는 3D 도해들(220 및 230)을 예시한다. 임의의 다른 도면의 엘리먼트들과 동일한 참조 번호들(또는 명칭들)을 가지는 도 2b-c의 해당 엘리먼트들이 기술된 것과 유사한 임의의 방식으로 동작하거나 기능할 수 있으며, 이에 제한되지 않는다는 것이 주목된다.

- [0045] 도해(220)는 자유 자기층(207)의 중간에서 xx 방향으로의 변형을 도시한다. 도해(230)는 자유 자기층(207)의 중간에서 yy 방향으로의 변형을 도시한다(즉, 응력은 이 예에서 W 인터페이스로부터 약 1nm 떨어진 자석층의 중심에 걸쳐 있다). 여기서, 1.2V가 소스(212)에 의해 인가될 때 응력의 100MPa(메가 파스칼)의 변형 패턴이 자유 자기층(207)에 형성된다.
- [0046] 개시내용의 일부 실시예들에 따르면, 도 2d-e는 각자, 균일한 2-축 여기 및 불균일한 2-축 여기를 사용하여 변형 보조형 STT 효과를 가지는 자화 스위칭을 도시하는 도해들(240 및 250)을 예시한다. 임의의 다른 도면의 엘리먼트들과 동일한 참조 번호들(또는 명칭들)을 가지는 도 2d-e의 해당 엘리먼트들이 기술된 것과 유사한 임의의 방식으로 동작하거나 기능할 수 있지만, 이에 제한되지 않는다는 것이 주목된다. 여기서, x-축은 ns인 시간이고, y-축(최상부로부터의)은 mV인 인가된 전압,  $\mu\text{A}$ 인 대응하는 전류, 및 x, y 및 z 방향들에서의 스핀 투사들(spin projection)(즉,  $m_x$ ,  $m_y$ , 및  $m_z$ )을 도시한다.
- [0047] 도해(240)는 균일한 2-축 변형의 경우를 예시한다. 도해(240)는 3개의 서브-도해들을 도시한다. 최상부 상의 도해는 전압 펄스(241)이다. 중간에 있는 도해는 전류 펄스(242)이며, 다수의 파형들(243, 244, 및 245)을 가지는 최하부에 있는 도해는 스핀 투사들을 예시한다. 여기서, 최하부 도해에서의 자화의 투사들은 1ns 동안 15  $\mu\text{A}$ 의 전류 펄스의 인가 시 균일한 2-축 응력( $\sigma_{xx} = -350\text{MPa}$  및  $\sigma_{yy} = -350\text{MPa}$ )의 인가를 도시한다.
- [0048] 자화 역전을 위한 결합된 변형-STT 방식을 시뮬레이션하기 위해, 일부 실시예들에서, 전압(예를 들어, 파형(241)에 의해 보여지는 바와 같은 291mV)이 짧은 듀레이션(예를 들어, 10 ns) 동안 PZE 층(209)에 걸쳐 인가되는데, 이는  $\sigma_{xx} = \sigma_{yy} = \sigma = -350\text{MPa}$ 의 2-축 변형을 생성한다. 이후, 일부 실시예들에서, 짧은 전류 펄스가 인가된다(즉, 파형(242)에 의해 보여지는 바와 같이 15  $\mu\text{A}$ 의 1ns 전류 펄스). 파형(241)은 압전 전압을 보여주고, 파형(242)은 전류 펄스 시퀀스를 보여주고, 그 아래의 파형들은 x 방향(즉,  $m_x$ , 파형(243)), y 방향(즉,  $m_y$ , 파형(244)), 및 z 방향(즉,  $m_z$ , 파형(245))으로의 대응하는 스핀 역학들을 보여준다. 이 예에서, 자유 자기층(207)의 자화는 파형(245)에 의해 보여지는 바와 같이 변형 펄스의 인가 시 대략 5ns 내에 90° 만큼 스위칭한다. 전류 펄스(242)의 인가 시, 초기 방향에 대해 180° 만큼 자유 자기층(207)에서의 자화를 완전히 스위칭하는데 또다른 대략 6ns가 걸린다.
- [0049] 도해(250)는 불균일한 2-축 변형을 도시한다. 최상부 상의 도해는 전압 펄스(251)이다. 중간에 있는 도해는 전류 펄스(252)이고, 다수의 파형들(243, 254, 및 255)을 가지는 최하부에서의 도해는 스핀 투사들을 예시한다. 여기서, 최하부 도해에서의 자화의 투사들은 1ns 동안 15  $\mu\text{A}$ 의 전류 펄스의 인가에 선행하여 불균일한 2-축 응력( $\sigma_{xx} = -350\text{MPa}$  및  $\sigma_{yy} = -116\text{MPa}$ )의 인가를 보여준다. 도해들(240 및 250)의 두 경우 모두에서, 자유 자기층(207)에서의 +/- 전류의 적용으로 인한 +/-90° 가 뒤따르는 변형으로 인한 90° 만큼의 결정론적 스위칭이 도시된다.
- [0050] 자화 역전을 위한 결합된 변형-STT 방식을 시뮬레이트하기 위해, 일부 실시예들에서, 전압(예를 들어, 파형(251)에 의해 도시된 바와 같이 291mV)이 짧은 듀레이션(예를 들어, 10 ns) 동안 PZE 층(209)에 걸쳐 인가되는데, 이는 불균일한 2-축 변형  $\sigma_{xx} = \sigma_{yy} = \sigma = -350\text{MPa}$ 을 생성한다. 그후, 일부 실시예들에서, 짧은 전류 펄스(252)가 인가된다(예를 들어, 파형(252)에 의해 도시된 바와 같이 15  $\mu\text{A}$ 의 1ns 전류 펄스). 파형(251)은 압전 전압을 도시하고, 파형(252)은 전류 펄스 시퀀스를 도시하고, 그 아래의 파형들은 x 방향(즉,  $m_x$ , 파형(253)), y 방향(즉,  $m_y$ , 파형(254)), 및 z 방향(즉,  $m_z$ , 파형(255))으로의 대응하는 스핀 역학들을 보여준다. 이 예에서, 자유 자기층(207)에서의 자화는 파형(255)에 의해 도시된 바와 같이 변형 펄스의 인가 시 대략 3 ns 내에 90° 만큼 스위칭한다. 전류 펄스(252)의 인가 시, 초기 방향에 대해 180° 만큼 자유 자기층(207)에서의 자화를 완전히 스위칭하는데 또다른 대략 4ns가 걸린다.
- [0051] 개시내용의 일부 실시예들에 따라, 도 2f-i는 균일한 2-축 응력의 효과들을 도시하는 도해들(260, 265, 270, 및 275)을 예시한다. 임의의 다른 도면의 엘리먼트들과 동일한 참조 번호들(또는 명칭들)을 가지는 도 2f-i의 해당 엘리먼트들이 기술된 것과 유사한 임의의 방식으로 동작하거나 기능할 수 있지만, 이에 제한되지 않는다는 것이 주목된다.
- [0052] 도해(260)에 대해, x-축은 ns인 시간이고, y-축은 x, y 및 z 방향들(즉,  $m_x$ ,  $m_y$ , 및  $m_z$ )에서의 스핀 투사들이다. 도해(265)에 대해, x, y 및 z 축들은 스핀 투사들이다. 도해(270)에 대해, x-축은 MPa인 균일한 2-축 응력이고, y-축은 90° 회전을 달성하기 위한 ns인 시간이다. 도해(275)에 대해, x-축은 PZE 층(209)에 걸친

전압이고, y-축은 90° 회전을 달성하기 위한 ns인 시간이다.

[0053] 자석들의 초기 조건들이 랜덤화되기 위해, 자석들의 초기 각은 다음 관계식을 따른다:

수학식 7

$$\langle \theta^2 \rangle = \frac{k_B T}{M_s V \mu_0 H_{PM}} \tag{0054}$$

[0055] 여기서, 균일한 2-축 인장 응력  $\sigma (= \sigma_{xx} = \sigma_{yy})$ 의 존재시 나노자석들의 자화 역학이 시뮬레이트된다. 균일한 2-축 응력의 영향 하에 자석의 정상 상태 조건을 이해하기 위해, 수학식 2는, 인가된 응력 없이(즉,  $\sigma=0$ ), 전체 에너지는  $\pm z$ 축을 따라 최소임을 보여준다( $\theta=0^\circ$  및  $180^\circ$ ). 균일한 2-축 응력  $\sigma$ 에 대해, 응력 에너지는

$$E_{strain} = \frac{3}{2} \lambda \sigma \cos^2 \theta \tag{0056}$$

라고 쓰여질 수 있다. 따라서, 2-축 인장 응력의 증가에 따라,  $\pm z$ 축을 따르는 이방

성 에너지는 증가하고, 임계 응력  $\sigma_c = \frac{\mu_0 M_s H_K}{3\lambda}$  를 초과하여,  $\theta=90^\circ$  (xy-면)는 최소 에너지 면이 된다.

[0056] 자유 자기층(207)의 나노자석들과 기반 PZE 층(209) 사이의 인터페이스에서의 변형의 연속성을 가정하면, 응력

$$V_{PE} = \frac{\sigma_c}{Y d_{31}} d_{32}$$

을 생성하기 위해 PZE 층(209)에 걸쳐 요구되는 전압은  $V_{PE}$ 이며, 여기서  $d_{32}$ 는 PZE 층(209)의 두께이다. 이 시스템에 대한 임계 2-축 응력  $\sigma_c$ 은 -132MPa인 것으로 계산되며, 이는 PZE 층(209)에 걸쳐 110mV의 전압에 대응한다.

[0057] 도 2f 및 도 2g는  $V_{PE}=167mV$ 에 대응하는 균일한 2-축 응력  $\sigma = -200MPa$ 의 인가 시 자화의 역학을 도시한다. 자화의 초기 방향은  $-z$ 축을 따라 취해진다. 도해(260)는 자유 자기층(207)에서의 자화의 90° 회전을 위해 요구되는 시간이 대략 10ns이고, 10ns 이후, 자화가 xy-면에서 확률적으로 이동함을 도시한다. 도해들(270 및 275)은 각자  $\sigma$  및  $V_{PE}$ 의 함수들로서 자유 자기층(207)에서의 자화의 90° 회전을 위해 요구되는 시간을 도시한다.

[0058] 개시내용의 일부 실시예들에 따르면, 도 2j-m은 불균일한 2-축 응력의 효과들을 도시하는 도해들(280, 285, 290, 및 295)을 예시한다. 임의의 다른 도면의 엘리먼트들과 동일한 참조 번호들(또는 명칭들)을 가지는 도 2j-m의 해당 엘리먼트들이 기술된 것과 유사한 임의의 방식으로 동작하거나 기능할 수 있지만, 이에 제한되지 않는다는 것이 주목된다.

[0059] 도해(280)에 대해, x-축은 ns인 시간이고, y-축은 x, y 및 z 방향들(즉,  $m_x$ ,  $m_y$ , 및  $m_z$ )에서의 스핀 투사들이다. 도해(285)에 대해, x, y 및 z 축들은 스핀 투사들이다. 도해(290)에 대해, x-축은 MPa인 균일한 2-축 응력이고, y-축은 90° 회전을 달성하기 위한 ns인 시간이다. 도해(295)에 대해, x-축은 PZE 층(209)에 걸친 전압이고, y-축은 90° 회전을 달성하기 위한 ns인 시간이다.

[0060] 불균일한 2-축 변형의 이러한 경우, 자화 역학은  $\sigma_{xx} \neq \sigma_{yy}$ 에 대해 수학식 (1)에 의해 주어진 응력 에너지를 가

지고 시뮬레이트된다.  $|\sigma_{xx}| > |\sigma_{yy}|$ 를 가지는 불균일한 2-축 응력에 대해,  $\sigma_{xx} > \sigma_y = \frac{\mu_0 M_s H_K}{3\lambda}$ 에 대해,  $\pm x$ -축은 자화가 정상 상태로 남을 최소 에너지 방향임이 보여질 수 있다.

[0061] 도해들(280 및 285)은 PZE 층(209)에 걸쳐 167mV의 인가 시 자화의 역학을 도시하는데, 이는  $\sigma_{xx} = -200MPa$  및  $\sigma_{yy} = -66MPa$ 의 불균일한 응력을 생성한다. 도해(285)는, 정상 상태에서, 자화가 x-방향을 따라 흔들리는(wiggle) 것을 도시한다. 이는 정상 상태 자화가 xy-면에서 어떠한 선호 방향도 가지지 않는 균일한 2축 변형(즉, 도 2g의 도해(265))에 대한 경우에 상반된다.

[0062] 도해들(290 및 295)은 각자  $\sigma_{xx}$  및  $V_{PE}$ 의 함수들로서 자유 자기층(207)에서의 자화의 90° 회전을 위해 요구되는 시간을 도시한다. 도해(296)는 불균일한 2-축 응력 하에서 90° 회전을 위해 요구되는 시간이 주어진  $V_{PE}$ 에

대해 균일한 2-축 응력에 대한 것보다 상당히 더 작음을 도시한다.

[0063] 일단 2-축 변형(균일한 또는 불균일한)이 90° 만큼 자유 자기층(207)의 자화를 회전시키면, 응력의 제거시, 자화가 원래 상태로 다시 돌아가고 확률적 잡음의 효과로 인해 원래 상태에 대해 180° 만큼 스위칭할 동일한 가능성을 가진다는 점에 주목하는 것이 흥미롭다. 따라서, 자기-변형 효과들은 단독으로, 180° 만큼 자화를 결정론적으로 스위칭하지 않을 수도 있다. 그러나, 일부 실시예들에서, 자화가 90° 만큼 회전한 이후 작은 스핀 전류가 자석을 통해 주입될 때, 그것은 180° 만큼 자유 자기층(207)의 자화를 결정론적으로 스위칭할 수 있다.

[0064] 이 예에서 고려되는 나노자석들에 대해(표 2 참조), 임계 전류는 27μA인 것으로 계산되며, 이에 대한 스위칭 시간은 대략 15 ns이다.

표 2

나노자석들(예를 들어, 자유 자기층(207))의 재료 파라미터들의 예들

파라미터	값
자화, $M_s$	$8 \times 10^5$ A/m (1 Tesla/ $\mu_0$ )
수직 이방성, $H_{PMA}$	$8 \times 10^4$ A/m (0.1 Tesla/ $\mu_0$ )
장벽 높이, $E_b$	40 $k_B T$
두께, $d$	1.2 nm
폭, $a$	58 nm
길버트 계수,	0.027
자기변형 계수, $\lambda$	$+2 \times 10^{-4}$ [27]
영률, $\gamma$	$2 \times 10^{11}$ Pa

[0065]

[0066] 종래의 STT-RAM 및 변형 보조형 STT-RAM에서 소모되는 에너지에서의 차이가 존재한다. 종래의 STT-RAM에 대해, 소모되는 에너지는  $E_{STT} = I^2 R t_{current}$  ( $I$  = 충전 전류의 크기,  $R$  = 터널 접합의 저항 및  $t_{current}$  = 스핀 전류 펄스의 듀레이션)에 의해 주어지며, 이는 시뮬레이트된 값들  $I=27\mu A$ ,  $R=6k\Omega$  및  $t_{current}=15ns$ 에 대해  $1.6 \times 10^7$   $k_B T$ 와 동일하다. 반면, 일부 실시예들의 변형 보조형 STT-RAM에 대해, 변형 보조형 스위칭으로 소모되는 전체 에너지는  $E_{Strain-STT} = E_{piezo} + E_{Reduced-BarrierSTT}$  이다.

[0067] 일부 실시예들에서, 변형 보조형 STT-RAM은 변형에 의해 획득되는 각 편향으로 인해 더 짧은 요구되는 전류 펄스  $t_{current}$  뿐만 아니라 더 작은 스위칭 전류를 초래한다. 응력을 생성하기 위해 소모되는 에너지는  $E_{piezo} = \frac{1}{2} C V^2$  이며, 여기서,  $C = \frac{\epsilon_0 \epsilon_r A}{d}$ 에 의해 주어지는 압전 커패시터의 커패시턴스이다.  $\sigma = -350$  MPa에 대해,  $E_{piezo}$ 는  $5.1 \times 10^3$   $k_B T$ 로 계산된다. 변형 보조형 스위칭에 대해 시뮬레이션은  $I=15\mu A$  및  $t_{current}=1ns$ ,  $E_{Strain-STT} = 3.3 \times 10^5$   $k_B T$ 의 결과를 초래한다. 여기서, 일부 실시예들의 변형 보조형 STT-RAM에서의 에너지 소모는 그것의 종래의 에너지 소모보다 대략 50배 더 작다.

[0068] 개시내용의 일부 실시예들에 따르면, 도 3은 3단자 2T-PZ-MTJ 비트-셀(300)을 예시한다. 임의의 다른 도면의 엘리먼트들과 동일한 참조 번호들(또는 명칭들)을 가지는 도 3의 해당 엘리먼트들이 기술된 것과 유사한 임의의 방식으로 동작하거나 기능할 수 있지만, 이에 제한되지 않는다는 것이 지정된다.

[0069] 일부 실시예들에서, 2T-PZ-MTJ 비트-셀(300)은 도 2a에 관해 기술되는 층들의 스택, 및 n-타입 트랜지스터들(MN1(또한 본원에서 제1 트랜지스터라고 지칭됨) 및 MN2(본원에서 제2 트랜지스터라고도 지칭됨))을 포함한다. 일부 실시예들에서, 제1 단자는 제1 기록 비트-라인(BL<sub>write</sub>)에 커플링된다. 일부 실시예들에서, 제3 단자는 MN1의 소스/드레인 단자에 커플링된다. MN1은 도 2a의 211의 기능을 수행한다.

- [0070] 도 3을 다시 참조하면, 일부 실시예들에서, MN1의 드레인/소스 단자는 기록 소스 라인(SL<sub>write</sub>)에 커플링된다. 일부 실시예들에서, 제2 단자는 MN2의 소스/드레인 단자에 커플링된다. 도 3을 다시 참조하면, 일부 실시예들에서, MN2의 드레인/소스 단자는 제2 BL<sub>write</sub>에 커플링된다. 일부 실시예들에서, MN1 및 MN2의 게이트 단자들은 선택 라인 상에 제공되는 선택 신호에 의해 제어된다.
- [0071] 일부 실시예들에서, 선택 라인이 논리 하이일 때, MN1 및 MN2는 턴온되고, 전압 자극을 (BL<sub>write</sub>와 SL<sub>write</sub>로부터) 인가하여 PZE(209)를 여기시키는데 이는 변형 전달층(208)을 통해 자유 자기층(207) 내에 변형을 생성하거나 유도한다. 일부 실시예들에서, 변형은 자유 자기층(207) 내의 자석들의 자기-변형적 스위칭을 생성하여 그 자석들을 이들의 정상 상태 위치들로부터 대략 90° 로 정렬한다. 일부 실시예들에서, SL<sub>write</sub>와 BL<sub>read</sub> 사이의 전압 전위가 이후 사용되어 스핀 토크 전류를 적절한 극성을 가지는 MTJ 접합에 인가하여 극성에 기초하여 자유 자기층(207) 내의 자석들의 자화를 0° 또는 180° 로 스위칭한다. 자유 자기층(207) 내의 자석들의 0° 또는 180° 의 극성은(고정 자기층(205)의 자화 극성에 따라) MTJ의 저항을 하이(AP 상태) 또는 로우(P 상태)로 또는 그 역으로 변경할 수 있다.
- [0072] 도 3의 다양한 실시예들이 n-타입 트랜지스터들과 관련하여 기술되지만, p-타입 트랜지스터들이 또한 사용될 수 있고, 그 트랜지스터들에 커플링되는 신호들의 극성은 플립될 수 있다. 예를 들어, STT 스위칭 MOSFET에 인가되는 신호는 n-타입 트랜지스터들이 p-타입 트랜지스터들로 대체될 때 극성이 반전된다.
- [0073] 개시내용의 일부 실시예들에 따르면, 도 4는 3단자 1T-PZ-MTJ 비트-셀(400)을 예시한다. 임의의 다른 도면의 엘리먼트들과 동일한 참조 번호들(또는 명칭들)을 가지는 도 4의 해당 엘리먼트들이 기술된 것과 유사한 임의의 방식으로 동작하거나 기능할 수 있지만, 이에 제한되지 않는다는 것이 주목된다. 도 4의 실시예들을 모호하게 하지 않기 위해, 도 4와 도 3 사이의 차이들이 기술된다.
- [0074] 일부 실시예들에서, 도 4의 MN2는 제거되고, BL<sub>write</sub>(제2 비트-라인)을 최하부 전극(210)에 커플링시키는 와이어로 대체된다. 1T-PZ-MTJ 비트-셀(400)의 동작은 2T-PZ-MTJ 비트-셀(300)의 동작과 유사하다. 도 4의 다양한 실시예들이 n-타입 트랜지스터와 관련하여 기술되지만, p-타입 트랜지스터가 또한 사용될 수 있고, 그 트랜지스터에 커플링되는 신호들의 극성은 플립될 수 있다.
- [0075] 개시내용의 일부 실시예들에 따르면, 도 5a는 3단자 1T-PZ-MTJ 비트-셀의 개략도(500)를 예시한다. 임의의 다른 도면의 엘리먼트들과 동일한 참조 번호들(또는 명칭들)을 가지는 도 5a의 해당 엘리먼트들이 기술된 것과 유사한 임의의 방식으로 동작하거나 기능할 수 있지만, 이에 제한되지 않는다는 것이 주목된다.
- [0076] 1T-PZ-MTJ 비트-셀의 개략도(500)는, 금속 라인들 및 그 라인들에 대한 MTJ 디바이스의 위치가 정의된다는 것을 제외하고는, 개략적인 1T-PZ-MTJ 비트-셀(400)과 유사하다. 일부 실시예들에서, 제1 비트-라인(BL<sub>read</sub>)은 비아(들)를 통해 최상부 전극(201)에 커플링되는 제4 금속 라인(M4) 층 상에서 형성된다. 일부 실시예들에서, 제2 비트-라인(BL<sub>write</sub>)은 MOB 랜딩을 통해 최하부 전극(210)에 커플링되는 제0 금속 라인(M0) 층 상에 형성된다. 일부 실시예들에서, 소스 라인(SL<sub>write</sub>)은 제2 금속 라인(M2) 층 상에 형성되고, MN1의 소스/드레인 단자에 커플링된다.
- [0077] 개시내용의 일부 실시예들에 따르면, 도 5b는 도 5a의 3단자 1T-PZ-MTJ 비트-셀(500)의 레이아웃(520)을 예시한다. 임의의 다른 도면의 엘리먼트들과 동일한 참조 번호들(또는 명칭들)을 가지는 도 5b의 해당 엘리먼트들이 기술된 것과 유사한 임의의 방식으로 동작하거나 기능할 수 있지만, 이에 제한되지 않는다는 것이 주목된다.
- [0078] 레이아웃(520)은 1T-PZ-MTJ 비트-셀(500) 및 연관된 금속 라인들, 콘택트들, 및 비아들의 최상부 뷰를 예시한다. 짝수 금속 라인 층은 다른 짝수 금속 라인층에 대해 평행한 방향으로 확장하는 반면, 홀수 금속 라인 층은 다른 홀수 금속 라인 층들에 대해 평행한 방향으로 확장한다. 점선 박스는 비트-셀(400 또는 500)의 경계를 도시한다. 점선들(AA 및 BB)은 각자, 도 5c 및 도 5d에 도시되는 단면들에 대한 라벨들이다.
- [0079] 도 5b를 다시 참조하면, 일부 실시예들에서, M2 SL<sub>write</sub>는 MN1의 게이트 다음에 있는 MN1의 소스/드레인 단자, 스루 비아 제0(V0), 제1 금속 라인(M1) 및 비아(V1)에 커플링된다. 여기서, 비아(V1)는 M2 SL<sub>write</sub>에 직접 커플링한다. 어두운 영역은 M2 층에 전용되는 영역 내에 위치되는 MTJ, 및 비아들(V2 및 V1)을 도시한다. 일부 실시예들에서, 제1 비트-라인(BL<sub>read</sub>)은 비아(V2) 및 제3 금속 라인(M3) 층의 섹션을 통해 MTJ에 커플링된다. 일부 실시예들에서, 제2 비트-라인(BL<sub>write</sub>)은 MTJ 아래에 위치되는 MOB 랜딩(도시되지 않음)을 통해 MTJ에 커플링

된다.

- [0080] 개시내용의 일부 실시예들에 따르면, 도 5c-d는 각자, 개략도(500)의 레이아웃(520)의 단면 AA(530) 및 BB(540)를 예시한다. 임의의 다른 도면의 엘리먼트들과 동일한 참조 번호들(또는 명칭들)을 가지는 도 5c-b의 엘리먼트들은 기술된 것과 유사한 임의의 방식으로 동작하거나 기능할 수 있지만, 이에 제한되지 않는다는 것이 주목된다. 여기서, TCN은 MN1의 소스/드레인 단자들에 대한 콘택트들을 형성한다.
- [0081] 개시내용의 일부 실시예들에 따르면, 도 6a는 3단자 1T-PZ-MTJ 비트-셀의 개략도(600)를 예시한다. 임의의 다른 도면의 엘리먼트들과 동일한 참조 번호들(또는 명칭들)을 가지는 도 6a의 해당 엘리먼트들이 기술된 것과 유사한 임의의 방식으로 동작하거나 기능할 수 있지만, 이에 제한되지 않는다는 것이 주목된다.
- [0082] 1T-PZ-MTJ 비트-셀의 개략도(600)는, 금속 라인들 및 그 금속 라인들에 대한 MTJ 디바이스의 위치가 정의되는 것을 제외하고는 1T-PZ-MTJ 비트-셀(400)의 개략도와 유사하다. 일부 실시예들에서, 제1 비트-라인(BL<sub>read</sub>)은 비아(V3)를 통해 최상부 전극(201)에 커플링되는 M4 층 상에 형성된다. 일부 실시예들에서, 제2 비트-라인(BL<sub>write</sub>)은 최하부 전극(210)인 M2 랜딩을 통해 커플링되는 M2 층 상에 형성된다. 일부 실시예들에서, 소스 라인(SL<sub>write</sub>)은 M0 층 상에 형성되고, MN1의 소스/드레인 단자에 커플링된다.
- [0083] 개시내용의 일부 실시예들에 따르면, 도 6b는 도 6a의 3단자 1T-PZ-MTJ 비트-셀의 레이아웃(620)을 예시한다. 임의의 다른 도면의 엘리먼트들과 동일한 참조 번호들(또는 명칭들)을 가지는 도 6b의 해당 엘리먼트들이 기술된 것과 유사한 임의의 방식으로 동작하거나 기능할 수 있지만, 이에 제한되지 않는다는 것이 주목된다.
- [0084] 레이아웃(620)은 1T-PZ-MTJ 비트-셀 및 연관된 금속 라인들, 콘택트들 및 비아들의 개략도(600)의 최상부 뷰를 예시한다. 점선 박스들은 비트-셀(400) 또는 개략도(600)의 경계를 도시한다. 점선들(AA 및 BB)은 각자, 도 6c 및 도 6d에 도시된 단면들에 대한 라벨들이다. 도 6b를 다시 참조하면, 일부 실시예들에서, MOC층 내의 SL<sub>write</sub>는 MOB 랜딩을 통해, MN1의 게이트 옆에 있는 MN1의 소스/드레인 단자에 커플링된다. 어두운 영역은 비아(V2), M3 층, 및 비아(V3)에 대해 전용인 영역(즉, V2-M3-V3) 내에 위치되는 MTJ를 도시한다. 일부 실시예들에서, M4 층 내의 제1 비트-라인(BL<sub>read</sub>)은 비아(V3) 및 M3층의 섹션에 의해 MTJ에 커플링된다. 일부 실시예들에서, M2 층 상의 제2 비트-라인(BL<sub>write</sub>)은 MTJ에 직접 커플링된다. 이 예에서, 레이아웃(620)의 피치는 2M0 x 1.5Poly 밀도이다.
- [0085] 개시내용의 일부 실시예들에 따르면, 도 6c-d는 각자, 개략도(600)의 레이아웃(620)의 단면들(AA(630) 및 BB(640))을 예시한다. 임의의 다른 도면의 엘리먼트들과 동일한 참조 번호들(또는 명칭들)을 가지는 도 6c-b의 해당 엘리먼트들이 기술된 것과 유사한 임의의 방식으로 동작하거나 기능할 수 있지만, 이에 제한되지 않는다는 것이 주목된다.
- [0086] 개시내용의 일부 실시예들에 따르면, 도 7a는 3단자 1T-PZ-MTJ 비트-셀들을 가지는 MRAM의 행 또는 열(700)을 예시한다. 임의의 다른 도면의 엘리먼트들과 동일한 참조 번호들(또는 명칭들)을 가지는 도 7a의 해당 엘리먼트들이 기술된 것과 유사한 임의의 방식으로 동작하거나 기능할 수 있지만, 이에 제한되지 않는다는 것이 주목된다.
- [0087] 일부 실시예들에서, 행 또는 열(700)은 복수의 비트-셀들(701-1 내지 701-N)을 포함하며, 여기서 'N'은 정수이다. 이 예에서, 비트-셀들은 1T-PZ-MTJ 비트-셀들(예를 들어, 레이아웃(520 또는 620) 중 하나의 레이아웃들을 가지는 비트-셀(400))이다. 비트-셀의 각각의 트랜지스터는 대응하는 선택 신호에 의해 제어된다. 예를 들어, 비트-셀(701-1)의 MN1 트랜지스터는 선택1 신호를 가지는 선택1 라인에 의해 제어가능하고, 비트-셀(701-2)의 MN1 트랜지스터는 선택2 신호를 가지는 선택2 라인에 의해 제어가능하고, 비트-셀(701-N)의 MN1 트랜지스터는 선택N 신호를 가지는 선택N 라인에 의해 제어가능하다. 일부 실시예들에서, 행 또는 열(700) 내의 선택되지 않은 비트-셀들은 선택되지 않은 트랜지스터가 측방 콘택트에서 개방 단자를 유지하고 어떤 스위칭 전류도 선택되지 않은 셀들을 통해 흐를 수 없기 때문에 기록되지 않는다. 일 예에서, 기록 전압(V<sub>drive</sub>)은 30m V 내지 80mV 정도이다.
- [0088] 개시내용의 일부 실시예들에 따르면, 도 7b는 3단자 2T-PZ-MTJ 비트-셀들을 가지는 MRAM의 행 또는 열(720)을 예시한다. 임의의 다른 도면의 엘리먼트들과 동일한 참조 번호들(또는 명칭들)을 가지는 도 7b의 해당 엘리먼트들이 기술된 것과 유사한 임의의 방식으로 동작하거나 기능할 수 있지만, 이에 제한되지 않는다는 것이 주목된다.



- [0089] 일부 실시예들에서, 행 또는 열(720)은 복수의 비트 셀들(721-1 내지 721-N)을 포함하며, 여기서 'N'은 정수이다. 이 예에서, 비트-셀들은 2T-PZ-MTJ 비트-셀들(예를 들어, 비트-셀(300))이다. 비트-셀의 각각의 트랜지스터는 대응하는 선택 신호에 의해 제어된다. 예를 들어, 비트-셀(721-1)의 MN1 및 MN2 트랜지스터들은 선택1 신호를 가지는 선택1 라인에 의해 제어가능하고, 비트-셀(721-2)의 MN1 및 MN2 트랜지스터들은 선택2 신호를 가지는 선택2 라인에 의해 제어가능하고, 비트-셀(721-N)의 MN1 및 MN2 트랜지스터들은 선택N 신호를 가지는 선택N 라인에 의해 제어가능하다. 일부 실시예들에서, 행 또는 열(720) 내의 선택되지 않은 비트-셀들은, 선택되지 않은 트랜지스터들이 측방 콘택트에서 개방 단자를 유지하고 어떠한 스위칭 전류도 선택되지 않은 셀을 통해 흐를 수 없기 때문에 기록되지 않는다. 일부 실시예들에서, MN1은 저전압 고전류 경로를 제공하는 반면, MN2는 고전압 저전류 경로를 제공한다.
- [0090] 개시내용의 일부 실시예들에 따르면, 도 8은 3단자 1T 또는 2T-PZ-MTJ 비트-셀을 동작시키는 방법의 플로우차트(800)를 예시한다. 임의의 다른 도면의 엘리먼트들과 동일한 참조 번호들(또는 명칭들)을 가지는 도 8의 해당 엘리먼트들이 기술된 것과 유사한 임의의 방식으로 동작하거나 기능할 수 있지만, 이에 제한되지 않는다는 것이 주목된다.
- [0091] 도 8에 관한 플로우차트 내의 블록들이 특정 순서로 도시되지만, 동작들의 순서는 수정될 수 있다. 따라서, 예시된 실시예들은 상이한 순서로 수행될 수 있고, 일부 동작들/블록들은 병렬로 수행될 수 있다. 도 8에 열거된 블록들 및/또는 동작들 중 일부는 특정 실시예들에 따라 선택적이다. 제시되는 블록들의 넘버링은 명료함을 위한 것이며, 다양한 블록들이 발생해야 하는 동작들의 순서를 규정하도록 의도되지 않는다. 추가로, 다양한 흐름들로부터의 동작들은 다양한 조합들에서 이용될 수 있다.
- [0092] 블록(803)에서, 비트-셀(예를 들어, 300, 400)에 저장된 값은 비트-셀(400)에 대해 트랜지스터들(MN1)을 (그리고 비트-셀(300)에 대해서는 MN2를) 턴온시킴으로써 판독된다. 블록(802)에서, 비트-셀의 PZE 층(209)은 트랜지스터(MN2)를 통해 또는 제2 비트-라인(BL<sub>write</sub>)을 통해 전압 구동형 용량성 자극에 의해 여기된다. 일부 실시예들에서, 전압 구동형 압전 용량성 자극은 MTJ의 자유 자기층(207) 상에 변형을 생성한다. 일부 실시예들에서, 변형은 자유 자기층(207) 내의 자석들이 자석들의 자기-변형 스위칭을 생성하여, 자유 자기층(207) 내의 자석들이 이들의 정상 상태 위치들로부터 대략 90° 로 정렬하게 한다.
- [0093] 블록(803)에서, 제1 비트-라인(BL<sub>read</sub>)은 전도성 변형 보조층을 통해 MTJ에 논리 0 또는 논리 1을 기록하도록 사용된다. 일부 실시예들에서, 전압이 제1 비트-라인(BL<sub>read</sub>)에 인가될 때, 그것은 적절한 복수를 가지는 스핀 토크 전류가 인가된 전압(V<sub>drive</sub>)에 기초하여 MTJ의 자유 자기층(207)의 자화를 0° 또는 180° 로 스위칭하게 한다.
- [0094] 개시내용의 일부 실시예들에 따르면, 도 9는 3단자 1T 또는 2T-PZ-MTJ 비트-셀을 형성하는 방법의 플로우차트(900)를 예시한다. 임의의 다른 도면의 엘리먼트들과 동일한 참조 번호들(또는 명칭들)을 가지는 도 9의 해당 엘리먼트들이 기술된 것과 유사한 임의의 방식으로 동작하거나 기능할 수 있지만, 이에 제한되지 않는다는 것이 주목된다.
- [0095] 도 9에 관한 플로우차트 내의 블록들이 특정 순서로 도시되지만, 동작들의 순서는 수정될 수 있다. 따라서, 예시된 실시예들은 상이한 순서로 수행될 수 있고, 일부 동작들/블록들은 병렬로 수행될 수 있다. 도 9에 열거된 블록들 및/또는 동작들 중 일부는 특정 실시예들에 따라 선택적이다. 제시되는 블록들의 넘버링은 명료함을 위한 것이며, 다양한 블록들이 발생해야 하는 동작들의 순서를 규정하도록 의도되지 않는다. 추가로, 다양한 흐름들로부터의 동작들은 다양한 조합들에서 이용될 수 있다.
- [0096] 블록(901)에서, 트랜지스터들(MN1)(및 비트-셀(300)에 대해 MN2)은 활성 영역에 형성된다. 블록(902)에서, 트랜지스터(MN1)(및 트랜지스터(MN2))의 게이트 단자가 선택 라인에 커플링된다. 블록(903)에서, MJT 디바이스 및 다른 스택들(도 2a에 도시된 바와 같은)은 V2-M3-V3의 영역 내에 (도 6c-6d에 도시된 바와 같이) 형성되고, V2는 제2 전극(210)에 커플링되고, 비아(V3)는 제1 전극(201)에 커플링된다. 일부 실시예들에서, MTJ 및 다른 스택들(도 2a에 도시된 바와 같은)은 V1-M2-V2-M3-V3의 영역 내에 (도 5c-d에 도시된 바와 같이) 형성되고, V1은 제2 전극(210)에 커플링되고, 비아(V3)는 제1 전극(201)에 커플링된다. 블록(904)에서, 전도성 변형 전달층(208)은 (비트-셀(400)에 대해) 트랜지스터(MN1)에 커플링하기 위해 형성된다. 블록(905)에서, PZE 층(209)은 전도성 변형 전달층(905)에 커플링하기 위해 형성된다.
- [0097] 일부 실시예들에 따르면, 도 10은 3단자 1T 또는 2T-PZ-MTJ 비트-셀(예를 들어, 300 및 400)을 가지는 스마트 디바이스 또는 컴퓨터 시스템 또는 SoC(System-on-Chip)를 예시한다. 임의의 다른 도면의 엘리먼트들과 동일한

참조 번호들(또는 명칭들)을 가지는 도 12의 해당 엘리먼트들이 기술된 것과 유사한 임의의 방식으로 동작하거나 기능할 수 있지만, 이에 제한되지 않는다는 것이 주목된다.

- [0098] 도 12는 평면 인터페이스 커넥터들이 사용될 수 있는 모바일 디바이스의 실시예의 블록도를 예시하며, 일부 실시예들에서, 컴퓨팅 디바이스(1600)는 컴퓨팅 태블릿, 모바일 폰 또는 스마트-폰, 무선-인에이블형 e-리더기와 같은 모바일 컴퓨팅 디바이스, 또는 다른 무선 모바일 디바이스를 나타내며, 특정 컴포넌트들이 일반적으로 도시되며, 이러한 디바이스의 모든 컴포넌트들이 컴퓨팅 디바이스(1600)내에 도시되지는 않는다는 것이 이해될 것이다.
- [0099] 일부 실시예들에서, 컴퓨팅 디바이스(1600)는 논의된 일부 실시예들에 따른 3단자 1T 또는 2T-PZ-MTJ 비트-셀(예를 들어, 300 및 400)을 가지는 제1 프로세서(1610)를 포함한다. 컴퓨팅 디바이스(600)의 다른 블록들이 일부 실시예들의 3단자 1T 또는 2T-PZ-MTJ 비트-셀(예를 들어, 300 및 400)을 또한 포함할 수 있다. 본 개시내용의 다양한 실시예들은, 시스템 실시예가 무선 디바이스, 예를 들어, 셀 폰 또는 개인용 디지털 보조 단말 내로 포함될 수 있도록, 무선 인터페이스와 같은 1670 내의 네트워크 인터페이스를 또한 포함할 수 있다.
- [0100] 일 실시예에서, 프로세서(1610)(및/또는 프로세서(1690))는 마이크로프로세서들, 응용 프로세서들, 마이크로제어기들, 프로그래밍가능한 논리 디바이스들, 또는 다른 프로세싱 수단과 같은, 하나 이상의 물리적 디바이스들을 포함할 수 있다. 프로세서(1610)에 의해 수행되는 프로세싱 동작들은 애플리케이션 및/또는 디바이스 기능들이 실행되는 운용 플랫폼 또는 운용 체제의 실행을 포함한다. 프로세싱 동작들은 휴먼 사용자를 통한 또는 다른 디바이스를 통한 I/O(입력/출력)에 관련된 동작들, 전력 관리에 관련된 동작들, 및/또는 컴퓨팅 디바이스(1600)를 또다른 디바이스에 접속시키는 것에 관련된 동작들을 포함한다. 프로세싱 동작들은 오디오 I/O 및/또는 디스플레이 I/O에 관련된 동작들을 또한 포함한다.
- [0101] 일 실시예에서, 컴퓨팅 디바이스(1600)는 컴퓨팅 디바이스에 오디오 기능들을 제공하는 것과 연관된 하드웨어(예를 들어, 오디오 하드웨어 및 오디오 회로들) 및 소프트웨어(예를 들어, 드라이버들, 코덱들)를 나타내는 오디오 서브시스템(1620)을 포함한다. 오디오 기능들은 스피커 및/또는 하드웨어 출력, 뿐만 아니라, 마이크 입력을 포함할 수 있다. 이러한 기능들을 위한 디바이스는 컴퓨팅 디바이스(1600) 내로 집적되거나, 또는 컴퓨팅 디바이스(1600)에 접속될 수 있다. 일 실시예에서, 사용자는 프로세서(1610)에 의해 수신되고 프로세싱되는 오디오 코멘드들을 제공함으로써 컴퓨팅 디바이스(1600)와 상호작용한다.
- [0102] 디스플레이 서브시스템(1630)은 사용자가 컴퓨팅 디바이스(1600)와 상호작용하기 위한 시각적 및/또는 촉각적 디스플레이를 제공하는 하드웨어(예를 들어, 디스플레이 디바이스들) 및 소프트웨어(예를 들어, 드라이버들)를 나타낸다. 디스플레이 서브시스템(1630)은 사용자에게 디스플레이를 제공하도록 사용되는 특정 스크린 또는 하드웨어 디바이스를 포함하는, 디스플레이 인터페이스(1632)를 포함한다. 일 실시예에서, 디스플레이 인터페이스(1632)는 디스플레이에 관련된 적어도 일부 프로세싱을 수행하기 위해 프로세서(1610)로부터 별도의 로직을 포함한다. 일 실시예에서, 디스플레이 서브시스템(1630)은 사용자에게 출력 및 입력 모두를 제공하는 터치 스크린(또는 터치 패드) 디바이스를 포함한다.
- [0103] I/O 제어기(1640)는 사용자와의 상호작용에 관련된 하드웨어 디바이스들 및 소프트웨어 컴포넌트들을 나타낸다. I/O 제어기(1640)는 오디오 서브시스템(1620) 및/또는 디스플레이 서브시스템(130)의 일부분인 하드웨어를 관리하도록 동작가능하다. 추가로, I/O 제어기(1640)는 이를 통해 사용자가 시스템과 상호작용할 수 있는 컴퓨팅 디바이스(1600)에 접속하는 추가적인 디바이스들에 대한 접속점을 예시한다. 예를 들어, 컴퓨팅 디바이스(1600)에 부착될 수 있는 디바이스들은 카드 리더기들 또는 다른 디바이스들과 같은 특정 애플리케이션들과 함께 사용하기 위해 마이크로폰 디바이스들, 스피커 또는 스테레오 시스템들, 비디오 시스템들 또는 다른 디스플레이 디바이스들, 키보드 또는 키패드 디바이스들, 또는 다른 I/O 디바이스들을 포함할 수 있다.
- [0104] 위에서 언급된 바와 같이, I/O 제어기(1640)는 오디오 서브시스템(1620) 및/또는 디스플레이 서브시스템(1630)과 상호작용할 수 있다. 예를 들어, 마이크로폰 또는 다른 오디오 디바이스를 통한 입력은 컴퓨팅 디바이스(1600)의 하나 이상의 애플리케이션들 또는 기능들에 대한 입력 또는 코멘드들을 제공할 수 있다. 추가적으로, 오디오 출력은 디스플레이 출력 대신, 또는 디스플레이 출력에 더하여 제공될 수 있다. 또다른 예에서, 디스플레이 서브시스템(1630)이 터치스크린을 포함하는 경우, 디스플레이 디바이스는 또한 입력 디바이스로서 작용하는데, 이는 I/O 제어기(1640)에 의해 적어도 부분적으로 관리될 수 있다. I/O 제어기(1640)에 의해 관리되는 I/O 기능들을 제공하기 위한 컴퓨팅 디바이스(600) 상의 추가적인 버튼들 또는 스위치들이 또한 존재할 수 있다.

- [0105] 일 실시예에서, I/O 제어기(140)는 가속계들, 카메라들, 광 센서들 또는 다른 환경 센서들과 같은 디바이스들, 뿐만 아니라 컴퓨팅 디바이스(1600) 내에 포함될 수 있는 다른 하드웨어를 관리한다. 입력은 직접 사용자 상호 작용의 일부분일 뿐만 아니라, 그것의 동작에 영향을 주도록 시스템에 환경적 입력을 제공하는 것일 수 있다(예컨대, 잡음에 대한 필터링, 밝기 검출을 위한 디스플레이들의 조정, 카메라에 대한 플래시 인가, 또는 다른 특징들).
- [0106] 일 실시예에서, 컴퓨팅 디바이스(1600)는 배터리 전력 사용, 배터리의 충전, 및 전력 절감 동작에 관련된 특징들을 관리하는 전력 관리부(1650)를 포함한다. 메모리 서브시스템(1660)은 컴퓨팅 디바이스(1600)에 정보를 저장하기 위한 메모리 디바이스들을 포함한다. 메모리는 비휘발성(메모리 디바이스에 대한 전력이 중단되는 경우, 상태가 변경되지 않음) 및/또는 비휘발성(메모리 디바이스에 대한 전력이 중단되는 경우, 상태가 불명확함) 메모리 디바이스들을 포함할 수 있다. 메모리 서브시스템(1660)은 응용 데이터, 사용자 데이터, 음악, 사진들, 문서들, 또는 다른 데이터, 뿐만 아니라, 컴퓨팅 디바이스(1600)의 애플리케이션들 및 기능들의 실행에 관련된 시스템 데이터(장기 또는 임시)를 저장할 수 있다.
- [0107] 실시예들의 엘리먼트들은 컴퓨터-실행가능한 명령들(예를 들어, 본원에 논의되는 임의의 다른 프로세스들을 구현하기 위한 명령들)을 저장하기 위한 머신-관독가능 매체(예를 들어, 메모리(1660))로서 또한 제공된다. 머신-관독가능 매체(예를 들어, 메모리(1660))는, 플래시 메모리, 광학 디스크들, CD-ROM들, DVD ROM들, RAM들, EPROM들, EEPROM들, 자기 또는 광학 카드들, 상변화 메모리(PCM), 또는 전자 또는 컴퓨터-실행가능한 명령들을 저장하기에 적합한 다른 타입들의 머신-관독가능 매체를 포함할 수 있지만, 이에 제한되지 않는다. 예를 들어, 개시내용의 실시예들은 통신 링크(예를 들어, 모뎀 또는 네트워크 접속 통해 데이터 신호들에 의해 원격 컴퓨터(예를 들어, 서버)로부터 요청 컴퓨터(예를 들어, 클라이언트)로 전달될 수 있는 컴퓨터 프로그램(예를 들어, BIOS)으로서 다운로드될 수 있다.
- [0108] 접속성(1670)은 하드웨어 디바이스들(예를 들어, 무선 및/또는 유선 커넥터들 및 통신 하드웨어) 및 컴퓨팅 디바이스(1600)가 외부 디바이스들과 통신할 수 있게 하기 위한 소프트웨어 컴포넌트들(예를 들어, 드라이버들, 프로토콜 스택들)을 포함한다. 컴퓨팅 디바이스(1600)는 다른 컴퓨팅 디바이스들, 무선 액세스 포인트들 또는 기지국들과 같은 별도의 디바이스들, 뿐만 아니라, 헤드셋들, 프린터들, 또는 다른 디바이스들과 같은 주변기기 들일 수 있다.
- [0109] 접속성(1670)은 다수의 상이한 타입들의 접속성을 포함한다. 일반화하기 위해, 컴퓨팅 디바이스(1600)는 셀룰러 접속성(1672) 및 무선 접속성(1674)을 가지는 것으로 예시된다. 셀룰러 접속성(1672)은 GSM(모바일 통신용 글로벌 시스템) 또는 변형들 또는 파생물들, CDMA(코드 분할 다중 액세스) 또는 변형들 또는 파생물들, TDM(시분할 멀티플렉싱) 또는 변형들 또는 파생물들, 또는 다른 셀룰러 서비스 표준들과 같은, 무선 캐리어들에 의해 제공되는 셀룰러 네트워크 접속성을 일반적으로 지칭한다. 무선 접속성(또는 무선 인터페이스)(1674)은 셀룰러가 아닌 무선 접속성을 지칭하며, 개인 영역 네트워크들(예컨대, 블루투스, 니어 필드 등), 로컬 영역 네트워크들(예컨대, Wi-Fi), 및/또는 광역 네트워크들(예컨대, WiMax), 또는 다른 무선 통신을 포함할 수 있다.
- [0110] 개인 접속들(1680)은 주변기기 접속들을 이루기 위한 하드웨어 인터페이스들 및 커넥터들뿐만 아니라 소프트웨어 컴포넌트들(예를 들어, 드라이버들, 프로토콜 스택들)을 포함한다. 컴퓨팅 디바이스(1600)가 다른 컴퓨팅 디바이스들로의("로"1682) 주변 디바이스일 뿐만 아니라 주변 디바이스들을("로부터"1684) 그것에 접속시킬 수 있다는 것이 이해될 것이다. 컴퓨팅 디바이스(1600)는 컴퓨팅 디바이스(1600) 상의 콘텐츠의 관리(예를 들어, 다운로드 및/또는 업로드, 변경, 동기화)와 같은 목적으로 다른 컴퓨팅 디바이스들에 접속하기 위해 "도킹" 커넥터를 공통적으로 가진다. 추가로, 도킹 커넥터는, 컴퓨팅 디바이스(1600)가 예를 들어, 시청각 또는 다른 시스템에 대한 콘텐츠 출력을 제어하도록 하는 특정 주변 기기들에, 컴퓨팅 디바이스(1600)가 접속하도록 할 수 있다.
- [0111] 사유 도킹 커넥터 또는 다른 독점적 접속 하드웨어뿐만 아니라, 컴퓨팅 디바이스(1600)는 공통 또는 표준-기반 커넥터들을 통해 주변기기 접속들(1680)을 이룰 수 있다. 공통 타입들은 유니버설 직렬 버스(USB) 커넥터(이는 다수의 상이한 하드웨어 인터페이스들 중 임의의 것을 포함할 수 있음), MiniDisplayPort (MDP)를 포함하는 디스플레이 포트, 고해상도 멀티미디어 인터페이스(HDMI), 파이어와이어, 또는 다른 타입들 중 임의의 것을 포함할 수 있다.
- [0112] "실시예", "일 실시예", "일부 실시예들", 또는 "다른 실시예들"에 대한 이 명세서에서의 참조는, 실시예들과 관련하여 기술되는 특정 특징, 구조, 또는 특성이 적어도 일부 실시예들에 포함되지만, 반드시 모든 실시예들에 포함되지는 않음을 의미한다. "실시예", "일 실시예", 또는 "일부 실시예들"의 다양한 출현들이 반드시 모두

동일한 실시예들을 지칭하지는 않는다. 명세서가 컴포넌트, 특징, 구조, 또는 특징이 포함될 "수 있다(may, might 또는 could)"고 언급하는 경우, 그 특정 컴포넌트, 특징, 구조, 또는 특성이 포함되도록 요구되지는 않는다. 명세서 또는 청구항이 단수("a" 또는 "an") 엘리먼트를 지칭하는 경우, 그것은 엘리먼트들 중 단 하나만 존재함을 의미하지는 않는다. 명세서 또는 청구항들이 "추가적인" 엘리먼트를 지칭하는 경우, 그것은 하나 초과와의 추가적인 엘리먼트들이 존재하는 것을 불가능하게 하지 않는다.

- [0113] 또한, 특정 특징들, 구조들, 기능들 또는 특성들이 하나 이상의 실시예들에서 임의의 적절한 방식으로 조합될 수 있다. 예를 들어, 제1 실시예는 2개의 실시예들과 연관된 특정 특징들, 구조들, 기능들 또는 특성들이 상호 배타적이지 않는 어느 곳에서도 제2 실시예와 조합될 수 있다.
- [0114] 개시내용이 그것의 특정 실시예들과 함께 기술되지만, 이러한 실시예들의 많은 대안들, 수정들 및 변형들이 이전 기재의 견지에서 본 기술분야의 통상의 기술자에게 명백할 것이다. 예를 들어, 다른 메모리 아키텍처들, 예를 들어, 동적 RAM(DRAM)이 논의된 실시예들을 사용할 수 있다. 개시내용의 실시예들은 모든 이러한 대안들, 수정들, 및 변형들을, 첨부된 청구항들의 넓은 범위 내에 드는 것으로서 포함하도록 의도된다.
- [0115] 추가로, 집적 회로(IC) 칩들 및 다른 컴포넌트들에 대한 널리 알려진 전력/접지 접속들은 예시 및 논의의 간결함을 위해, 그리고 개시내용을 모호하게 하지 않기 위해, 제시된 도면들 내에 도시될 수 있거나 도시되지 않을 수도 있다. 또한, 배열들은 개시내용을 모호하게 하는 것을 회피하기 위해, 그리고 블록도 배열들의 구현예에 대한 상세항목들이 본 개시내용이 구현되는 플랫폼에 매우 중속적이라는 사실의 견지에서, 블록도 형태로 도시될 수 있다.(즉, 이러한 상세항목들은 본 기술분야의 통상의 기술자의 이해범위 내에 충분히 있어야 한다). 특정 상세항목들(예를 들어, 회로들)이 개시내용의 예시적인 실시예들을 기술하기 위해 설명되는 경우, 개시내용이, 이러한 특정 상세항목들 없이도, 또는 이러한 특정 상세항목들의 변형을 가지고 구현될 수 있다는 것이 본 기술분야의 통상의 기술자에게 명백해야 한다. 따라서, 기재는 제한적인 것 대신 예시적인 것으로 간주될 것이다.
- [0116] 후속하는 예들은 추가적인 실시예들에 관한 것이다. 예들의 상세항목들은 하나 이상의 실시예들의 어디에서나 사용될 수 있다. 본원에 기술되는 장치의 모든 선택적 특징들은 방법 또는 프로세스에 관해 또한 구현될 수 있다.
- [0117] 예를 들어, 자유 자기층을 가지는 자기 터널링 접합(MTJ); 압전층; 및 자유 자기층과 압전층에 커플링되는 전도 변형 전달층을 포함하는 장치가 제공된다. 일부 실시예들에서, 장치는 MTJ에 커플링되는 제1 전극; 전도 변형 전달층에 커플링되는 제2 전극; 및 압전층에 커플링되는 제3 전극을 포함한다. 일부 실시예들에서, 장치는 제1 전극에 커플링하기 위한 제1 비트-라인; 제2 전극에 커플링하기 위한 소스 라인; 및 제3 전극에 커플링하기 위한 제2 비트-라인을 포함한다.
- [0118] 일부 실시예들에서, 제1 비트-라인은 제4 금속 라인 층 상에 배치되고, 제2 비트-라인은 제2 금속 라인 층 상에 배치되고, 그리고 소스 라인은 제0 금속 라인 층 상에 배치된다. 일부 실시예들에서, MTJ는 제2 금속 라인 층에 전용되는 영역 내에 형성된다. 일부 실시예들에서, 제1 비트-라인은 제4 금속 라인 층 상에 배치되고, 제2 비트-라인은 제6 금속 라인 층 상에 배치되고, 그리고 소스 라인은 제2 금속 라인 층 상에 배치된다. 일부 실시예들에서, 장치는 소스 라인과 제2 전극에 커플링되는 제1 트랜지스터를 포함하고, 제1 트랜지스터는 선택 라인의 전압 전위에 따라 제2 전극에 소스 라인을 커플링시키기 위한 것이다. 일부 실시예들에서, 장치는 제3 전극과 제2 비트-라인에 커플링되는 제2 트랜지스터를 포함하고, 제2 트랜지스터는 선택 라인의 전압 전위에 따라 제3 전극에 제2 비트-라인을 커플링시키기 위한 것이다.
- [0119] 일부 실시예들에서, 장치는 제1 전극; 역-강자성층; 고정 자석층; 교환 커플링층; 고정 자석층; 터널 산화물; 자기-변형을 가지는 자유 자기층; 전도 변형 전달층; 압전층; 및 제2 전극의 층들을 포함한다. 일부 실시예들에서, MTJ는 IrMn; CoFe; Ru; CoFeB; MgO; 및 CoFeB의 층들로 형성된다. 일부 실시예들에서, 전도 변형 전달층은 W, Ta, Cu, Nb, 또는 STO 중 하나로 형성되고, 자기 변형을 가지는 자유 자기층은 CoFeB, FeGa, MnGa, 또는 터피놀(Terfenol) 중 하나로 형성된다. 일부 실시예들에서, 압전층은 복합층이다.
- [0120] 또다른 예에서, 프로세서; 프로세서에 커플링되는 자기 랜덤 액세스 메모리(MRAM) - MRAM은 전술된 장치에 따른 비트-셀을 가짐 - ; 및 프로세서가 다른 디바이스에 커플링할 수 있게 하는 무선 인터페이스를 포함하는 시스템이 제공된다.
- [0121] 또다른 예에서, 트랜지스터; 트랜지스터에 커플링되는 전도성 변형 전달층; 및 전도성 변형 전달층에 커플링되는 자유 자기층을 가지는 자기 터널 접합(MTJ) 디바이스를 포함하는 장치가 제공된다. 일부 실시예들에서 트랜

지스터는 선택 라인에 커플링되는 게이트 단자를 가진다. 일부 실시예들에서, 장치는 전도성 변형 전달층에 커플링되는 압전층을 포함한다. 일부 실시예들에서, 장치는 MTJ에 커플링되는 제1 전극; 전도성 변형 전달층에 커플링되는 제2 전극; 및 압전층에 커플링되는 제3 전극을 포함한다.

[0122] 일부 실시예들에서, 트랜지스터는 제2 전극에 커플링되고, 트랜지스터는 선택 라인의 전압 전위에 따라 제2 전극에 소스 라인을 전기적으로 커플링시키도록 동작가능하다. 일부 실시예들에서, 장치는 제3 전극 및 선택 라인에 커플링되는 다른 트랜지스터를 포함한다. 일부 실시예들에서, MTJ는 제1 전극; 역-강자성층; 고정 자석층; 교환 커플링층; 고정 자석층; 터널 산화물; 자기-변형을 가지는 자유 자기층; 전도 변형 전달층; 압전층; 및 제2 전극의 층들을 포함한다. 일부 실시예들에서, MTJ는 IrMn; CoFe; Ru; CoFeB; MgO; 및 CoFeB의 층들로 형성된다. 일부 실시예들에서, 전도성 변형 전달층은 W, Ta, Cu, Nb, 또는 STO 중 하나로 형성되고, 자기-변형을 가지는 자유 자기층은 CoFeB, FeGa, MnGa, 또는 터피놀 중 하나로 형성된다.

[0123] 또다른 예에서, 프로세서; 프로세서에 커플링되는 자기 랜덤 액세스 메모리(MRAM) - MRAM은 전술된 장치에 따른 비트-셀을 가짐 - ; 및 프로세서가 다른 디바이스에 커플링할 수 있게 하는 무선 인터페이스를 포함하는 시스템이 제공된다.

[0124] 또다른 예에서, 전압 구동형 용량성 자극으로 압전층을 여기시키는 것; 및 변형 보조층을 통해 압전층에 커플링되는 자기 터널링 접합(MTJ)에 기록하는 것을 포함하는 방법이 제공된다. 일부 실시예들에서, 방법은 전도성 변형 전달층 및 소스 라인에 커플링되는 트랜지스터를 턴온시키는 것을 포함한다. 일부 실시예들에서, MTJ에 커플링되는 제1 전극을 커플링시키는 것; 변형 보조층에 커플링되는 제2 전극을 커플링시키는 것; 및 압전층에 커플링되는 제3 전극을 커플링시키는 것. 일부 실시예들에서, 방법은 제1 전극에 제1 비트-라인을 커플링시키는 것; 제2 전극에 소스 라인을 커플링시키는 것; 및 제3 전극에 제2 비트-라인을 커플링시키는 것을 포함한다. 일부 실시예들에서, MTJ는 IrMn; CoFe; Ru; CoFeB; MgO; 및 CoFeB의 층들로 형성된다. 일부 실시예들에서, 변형 보조층은 W, Ta, Cu, Nb, 또는 STO 중 하나로 형성되고, 자기-변형을 가지는 자유 자기층은 CoFeB, FeGa, MnGa, 또는 터피놀 중 하나로 형성된다.

[0125] 또다른 예에서, 트랜지스터를 형성하는 것; 트랜지스터에 커플링시키기 위한 전도성 변형 전달층을 형성하는 것; 및 전도성 변형 전달층에 커플링시키기 위한 자유 자기층을 가지는 MTJ 디바이스를 형성하는 것을 포함하는 방법이 제공된다. 일부 실시예들에서, 방법은 선택 라인에 트랜지스터의 게이트 단자를 커플링시키는 것을 포함한다. 일부 실시예들에서, 방법은 전도성 변형 전달층에 커플링시키기 위한 압전층을 형성하는 것을 포함한다.

[0126] 일부 실시예들에서, 방법은 MTJ에 커플링시키기 위한 제1 전극을 형성하는 것; 및 전도성 변형 전달층에 커플링시키기 위한 제2 전극을 형성하는 것; 및 압전층에 커플링시키기 위한 제3 전극을 형성하는 것을 포함한다. 일부 실시예들에서, 방법은 제2 전극에 트랜지스터를 커플링시키는 것을 포함하고, 트랜지스터는 선택 라인의 전압 전위에 따라 제2 전극에 소스 라인을 전기적으로 커플링시키도록 동작가능하다. 일부 실시예들에서, 제3 전극 및 선택 라인에 또다른 트랜지스터를 커플링시키는 것을 포함한다. 일부 실시예들에서, 방법은 제1 전극에 커플링시키기 위한 제1 비트-라인을 형성하는 것; 제2 전극에 커플링시키기 위한 소스 라인을 형성하는 것; 및 제3 전극에 커플링시키기 위한 제2 비트-라인을 형성하는 것을 포함한다.

[0127] 일부 실시예들에서, 방법은 제4 금속 라인층 상에 제1 비트-라인을 배치하는 것, 제2 금속 라인 층 상에 제2 비트-라인을 배치하는 것, 및 제로 금속 라인 층 상에 소스 라인을 배치하는 것을 포함한다. 일부 실시예들에서, 방법은 제2 금속 라인 층에 전용인 영역 내에 MTJ를 형성하는 것을 포함한다. 일부 실시예들에서, 방법은 제4 금속 라인층 상에 제1 비트-라인을 배치하는 것, 제6 금속 라인 층 상에 제2 비트-라인을 배치하는 것, 및 제2 금속 라인 층상에 소스 라인을 배치하는 것을 포함한다.

[0128] 또다른 예에서, 장치는 전압 구동형 용량성 자극으로 압전층을 여기시키기 위한 수단; 및 변형 보조층을 통해 압전층에 커플링되는 MTJ에 기록하기 위한 수단을 포함한다. 일부 실시예들에서, 장치는 전도성 변형 전달층 및 소스 라인에 커플링되는 트랜지스터를 턴온시키기 위한 수단을 포함한다. 일부 실시예들에서, 장치는 MTJ에 커플링되는 제1 전극을 커플링시키기 위한 수단; 변형 보조층에 커플링되는 제2 전극을 커플링시키기 위한 수단; 및 압전층에 커플링되는 제3 전극을 커플링시키기 위한 수단을 포함한다. 일부 실시예들에서, 장치는: 제1 전극에 제1 비트-라인을 커플링시키기 위한 수단; 제2 전극에 소스 라인을 커플링시키기 위한 수단; 및 제3 전극에 제2 비트-라인을 커플링시키기 위한 수단을 포함한다. 일부 실시예들에서, MTJ는 IrMn; CoFe; Ru; CoFeB; MgO; 및 CoFeB의 층들로 형성된다. 일부 실시예들에서, 변형 보조층은 W, Ta, Cu, Nb, 또는 STO 중 하나로 형성되고, 자기-변형을 가지는 자유 자기층은 CoFeB, FeGa, MnGa 또는 터피놀 중 하나로 형성된다.

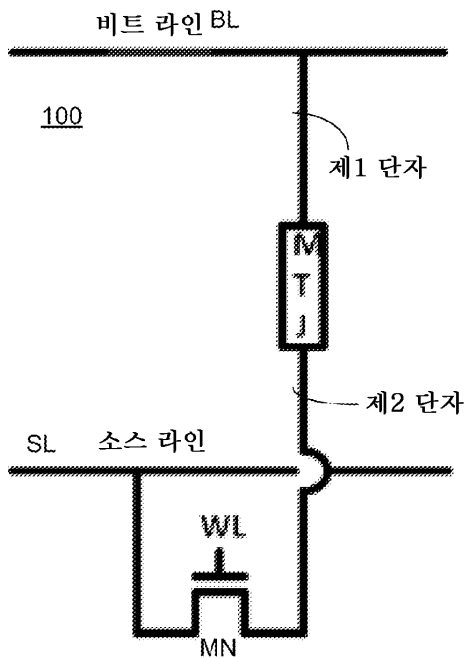
[0129] 또다른 예에서, 트랜지스터를 형성하기 위한 수단; 트랜지스터에 커플링시키기 위한 전도성 변형 전달층을 형성하기 위한 수단; 및 전도성 변형 전달층에 커플링시키기 위한 자유 자기층을 가지는 MTJ 디바이스를 형성하기 위한 수단을 포함하는 장치가 제공된다. 일부 실시예들에서, 장치는 선택 라인에 트랜지스터의 게이트 단자를 커플링시키기 위한 수단을 포함한다. 일부 실시예들에서, 장치는 전도성 변형 전달층에 커플링시키기 위한 압전층을 형성하기 위한 수단을 포함한다. 일부 실시예들에서, 장치는 MTJ에 커플링시키기 위한 제1 전극을 형성하기 위한 수단; 전도성 변형 전달층에 커플링시키기 위한 제2 전극을 형성하기 위한 수단; 및 압전층에 커플링시키기 위한 제3 전극을 형성하기 위한 수단을 포함한다. 일부 실시예들에서, 장치는 제2 전극에 트랜지스터를 커플링시키기 위한 수단을 포함하고, 트랜지스터는 선택 라인의 전압 전위에 따라 제2 전극에 소스 라인을 전기적으로 커플링시키도록 동작가능하다. 일부 실시예들에서, 장치는 제3 전극과 선택 라인에 또다른 트랜지스터를 커플링시키기 위한 수단을 포함한다.

[0130] 일부 실시예들에서, 장치는 제1 전극에 커플링시키기 위한 제1 비트-라인을 형성하기 위한 수단; 제2 전극에 커플링시키기 위한 소스 라인을 형성하기 위한 수단; 및 제3 전극에 커플링시키기 위한 제2 비트-라인을 형성하기 위한 수단을 포함한다. 일부 실시예들에서, 장치는 제4 금속 라인층 상에 제1 비트-라인을 배치하기 위한 수단, 제2 금속 라인 층 상에 제2 비트-라인을 배치하기 위한 수단, 및 제로 금속 라인 층 상에 소스 라인을 배치하기 위한 수단을 포함한다. 일부 실시예들에서, 장치는 제2 금속 라인 층에 전용인 영역 내에 MTJ를 형성하기 위한 수단을 포함한다. 일부 실시예들에서, 장치는 제4 금속 라인 층 상에 제1 비트-라인을 배치하기 위한 수단, 제6 금속 라인 층 상에 제2 비트-라인을 배치하기 위한 수단, 및 제2 금속 라인 층 상에 소스 라인을 배치하기 위한 수단을 포함한다.

[0131] 사용자가 기술적 개시내용의 속성 및 요약을 확인하도록 할 요약서가 제공된다. 요약서는 그것이 청구항들의 범위 또는 의미를 제한하도록 사용되지 않을 것이라는 이해와 더불어 제공된다. 후속하는 청구항들은 본원에서, 상세한 설명 내에 포함되며, 각각의 청구항은 그 자체가 별도의 실시예로서 존재한다.

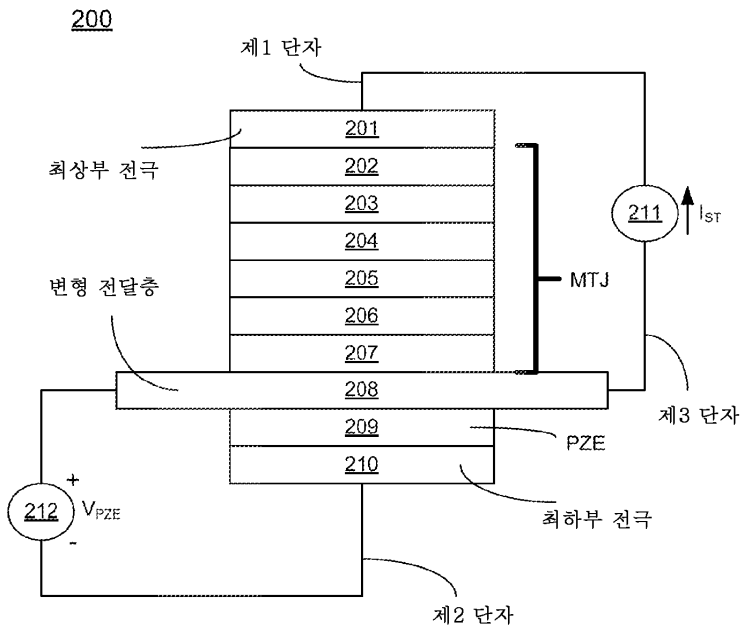
**도면**

**도면1**

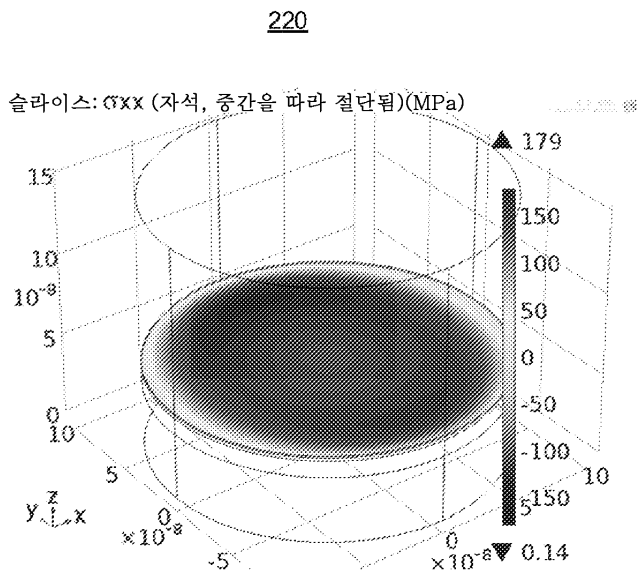


(종래 기술)

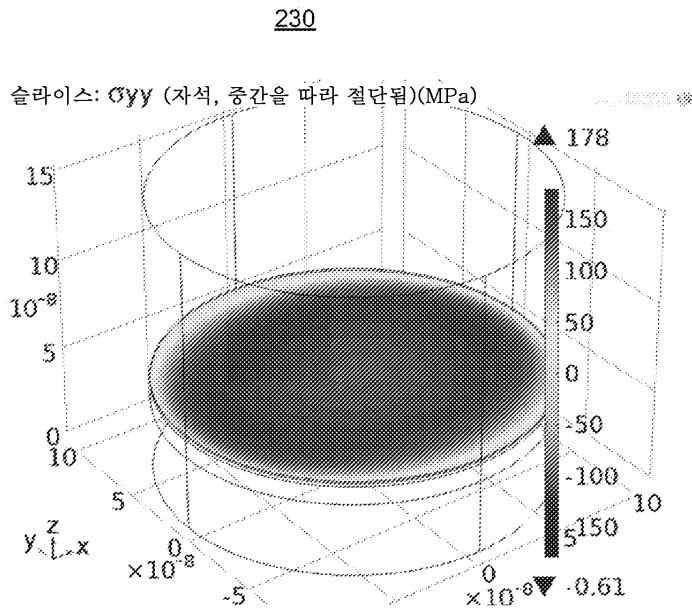
도면2a



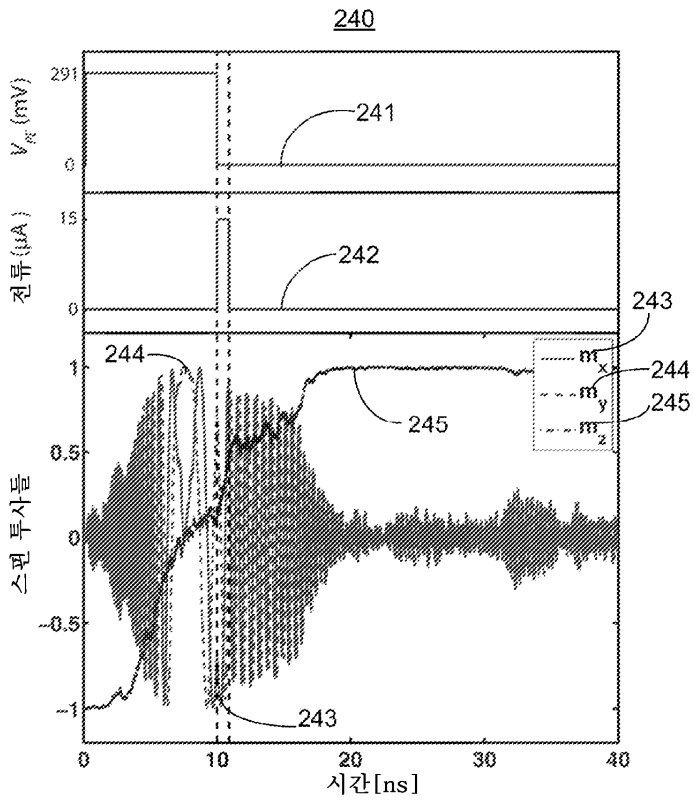
도면2b



도면2c

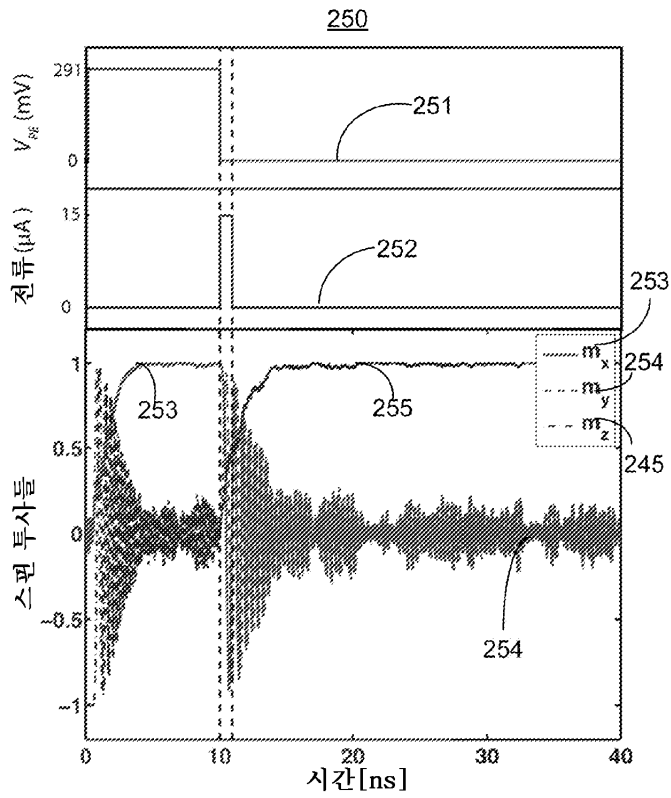


도면2d

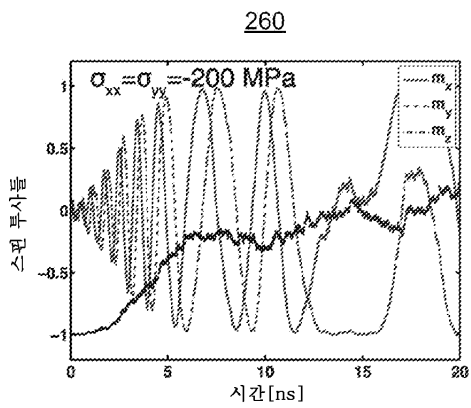




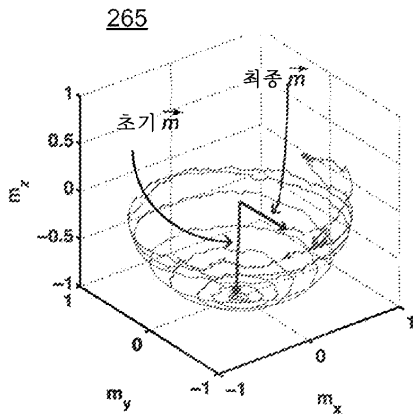
도면2e



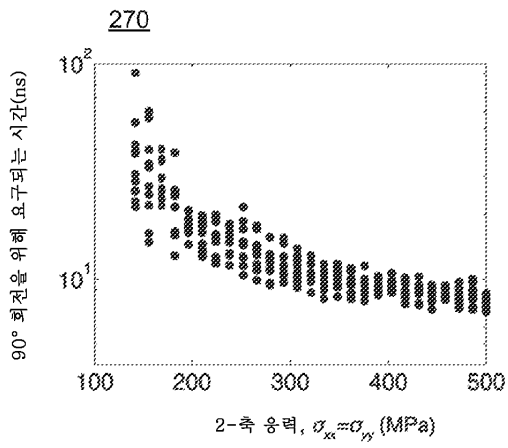
도면2f



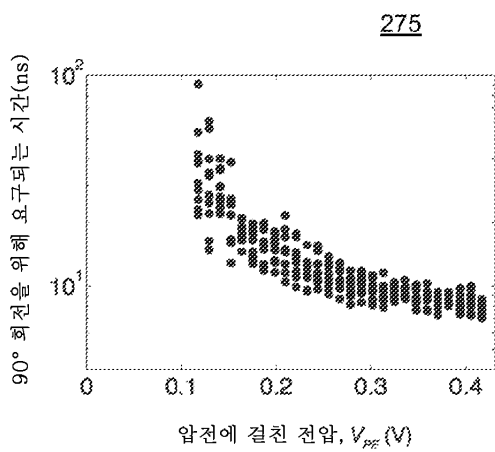
도면2g



도면2h

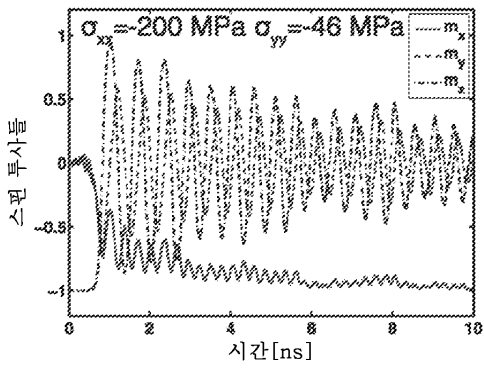


도면2i



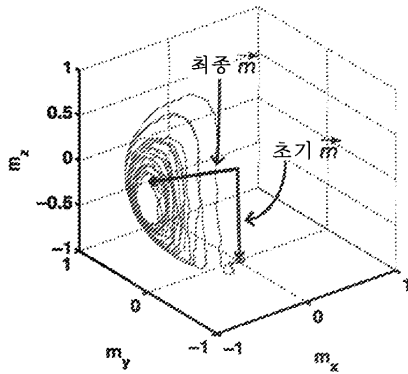
도면2j

280



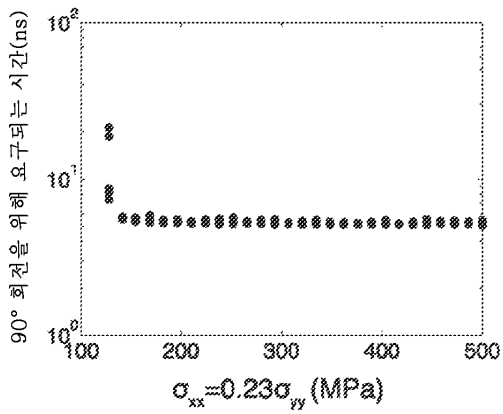
도면2k

285

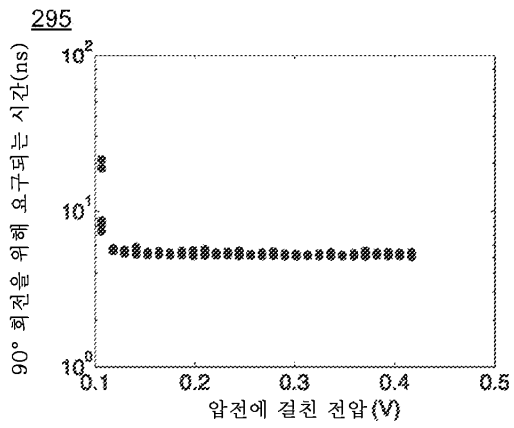


도면2l

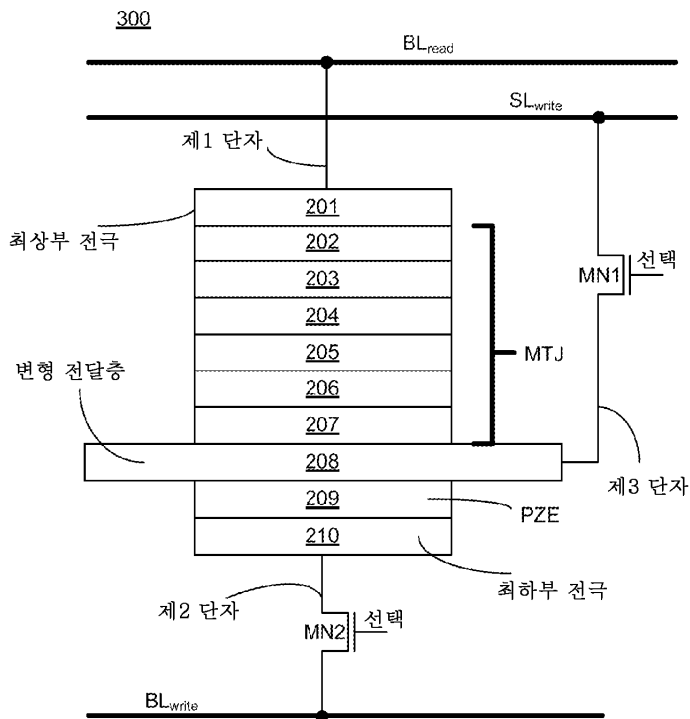
290



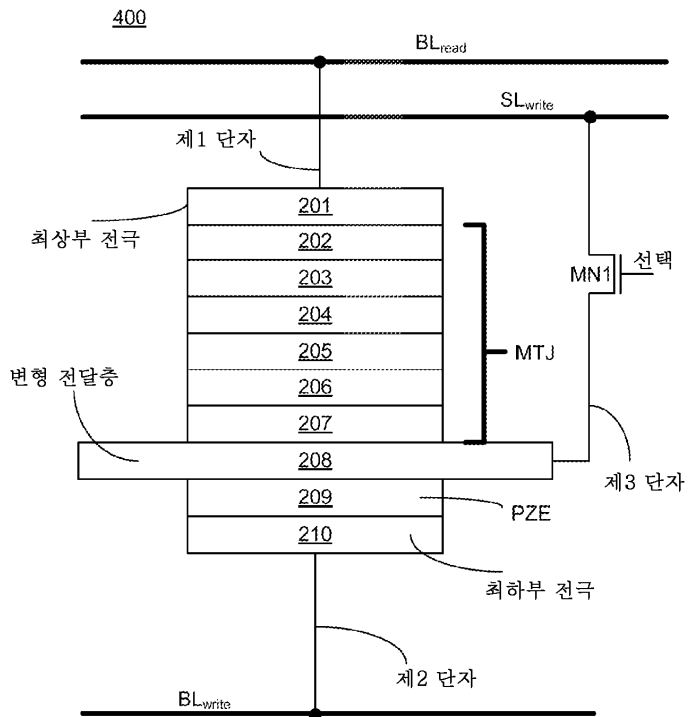
도면2m



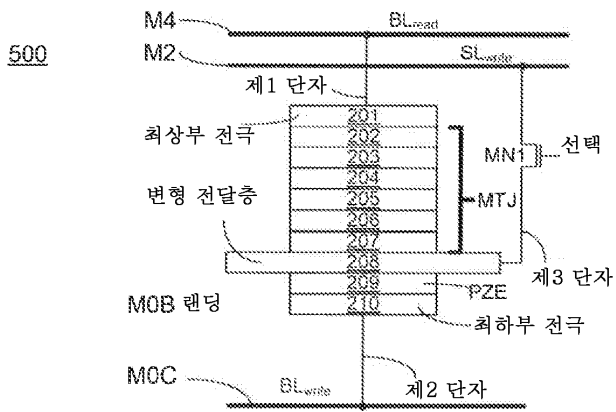
도면3



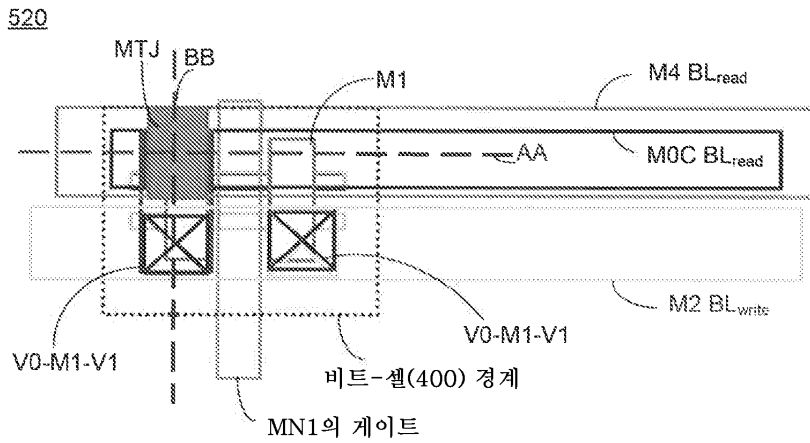
도면4



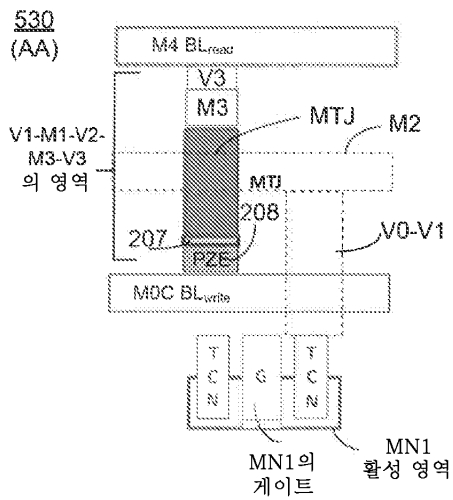
도면5a



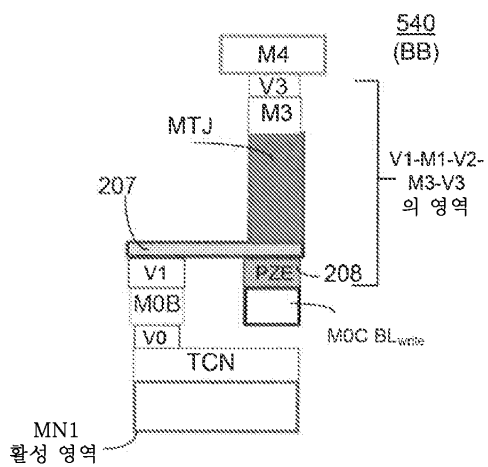
도면5b



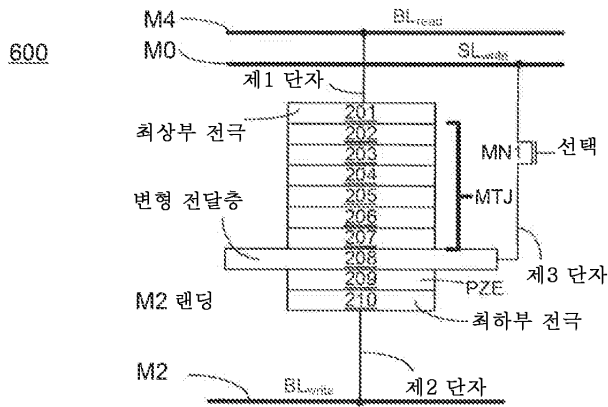
도면5c



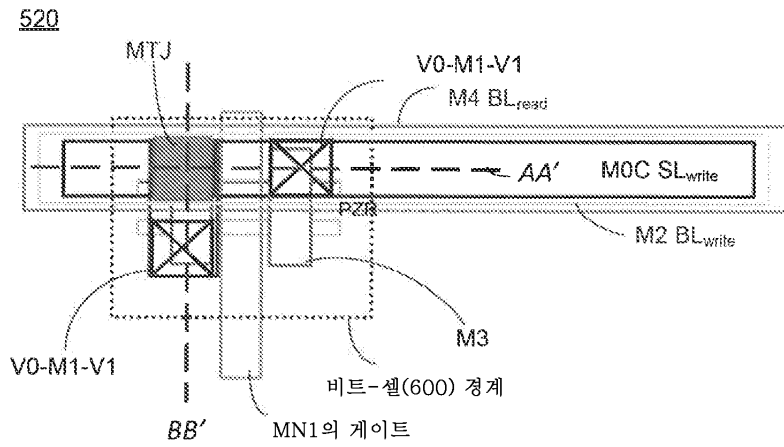
도면5d



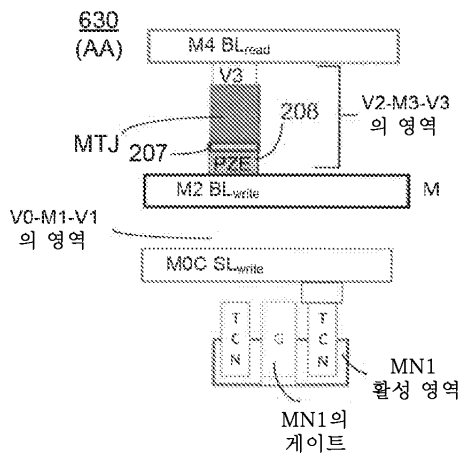
도면6a



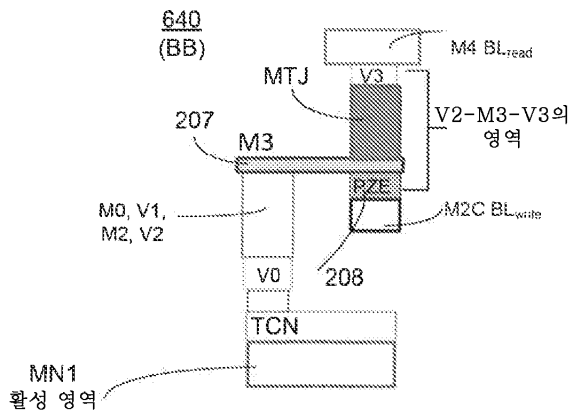
도면6b



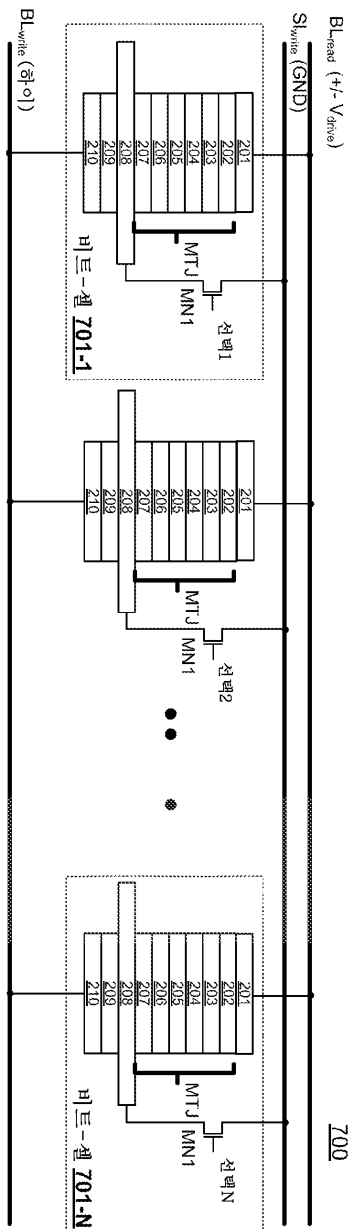
도면6c



도면6d

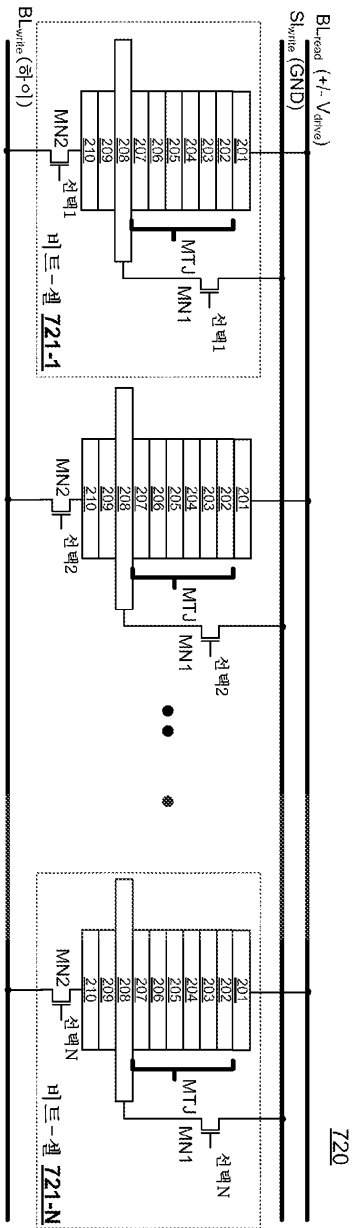


도면7a



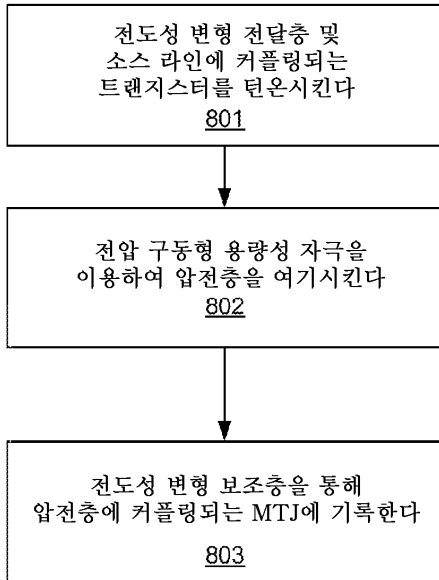


도면 7b



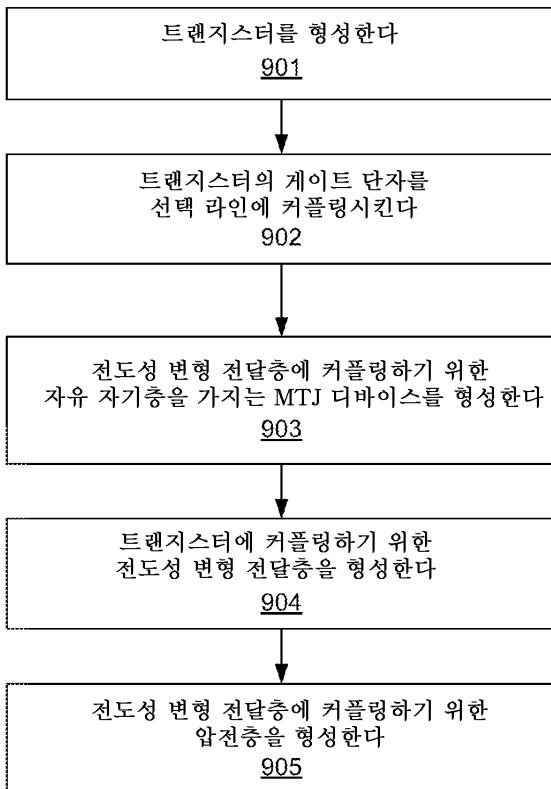
도면8

800



도면9

900



도면10

1600

