



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2009년03월27일  
(11) 등록번호 10-0890641  
(24) 등록일자 2009년03월19일

(51) Int. Cl.  
G11C 16/04 (2006.01) G11C 16/24 (2006.01)  
G11C 16/08 (2006.01)  
(21) 출원번호 10-2007-0042383  
(22) 출원일자 2007년05월01일  
심사청구일자 2007년05월01일  
(65) 공개번호 10-2008-0097310  
(43) 공개일자 2008년11월05일  
(56) 선행기술조사문헌  
US20050018479 A1\*  
KR1020060119109 A  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
삼성전자주식회사  
경기도 수원시 영통구 매탄동 416  
(72) 발명자  
강상범  
경기 화성시 기산동 삼성래미안1차아파트 103동 301호  
조우영  
경기 수원시 영통구 영통동 살구골7단지 진덕아파트 703동 703호  
(뒷면에 계속)  
(74) 대리인  
특허법인가산

전체 청구항 수 : 총 10 항

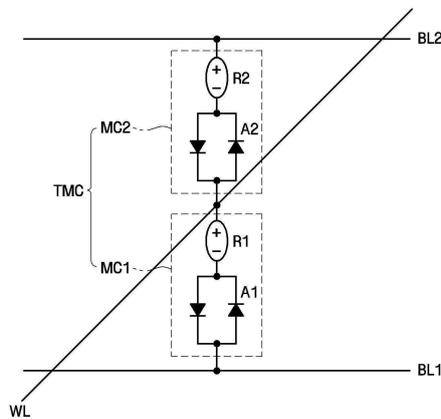
심사관 : 윤난영

**(54) 저항체를 이용한 비휘발성 메모리 장치**

**(57) 요약**

저항체를 이용한 비휘발성 메모리 장치가 제공된다. 상기 비휘발성 메모리 장치는 제1 방향으로 연장되어 형성된 다수의 제1 비트 라인, 상기 다수의 제1 비트 라인 상에, 상기 제1 방향과 다른 제2 방향으로 연장되어 형성된 다수의 워드 라인, 상기 다수의 워드 라인 상에, 상기 제1 방향으로 연장되어 형성된 다수의 제2 비트 라인, 및 다수의 트윈 메모리 셀(twin memory cell)로서, 상기 각 트윈 메모리 셀은 상기 제1 비트 라인과 상기 워드 라인 사이에 커플링된 제1 메모리 셀과, 상기 워드 라인과 상기 제2 비트 라인 사이에 커플링된 제2 메모리 셀을 포함하고, 상기 제1 및 제2 메모리 셀은 서로 다른 데이터가 저장되는 다수의 트윈 메모리 셀을 포함한다.

**대표도 - 도1**



(72) 발명자

**오형록**

경기 용인시 수지구 상현동 만현마을 롯데아파트  
102동 906호

**박준민**

서울 동작구 사당3동 현대아파트 1동 506호

---

**특허청구의 범위**

**청구항 1**

제1 방향으로 연장되어 형성된 다수의 제1 비트 라인;

상기 다수의 제1 비트 라인 상에, 상기 제1 방향과 다른 제2 방향으로 연장되어 형성된 다수의 워드 라인;

상기 다수의 워드 라인 상에, 상기 제1 방향으로 연장되어 형성된 다수의 제2 비트 라인; 및

다수의 트윈 메모리 셀(twin memory cell)로서, 상기 각 트윈 메모리 셀은 상기 제1 비트 라인과 상기 워드 라인 사이에 커플링된 제1 메모리 셀과, 상기 워드 라인과 상기 제2 비트 라인 사이에 커플링된 제2 메모리 셀을 포함하되,

상기 제1 및 제2 메모리 셀의 극성은 동일한 방향으로 배치되고, 상기 제1 및 제2 메모리 셀에는 서로 다른 데이터가 저장되는 다수의 트윈 메모리 셀을 포함하는 비휘발성 메모리 장치.

**청구항 2**

삭제

**청구항 3**

제 1항에 있어서,

상기 다수의 트윈 메모리 셀 중 라이트 또는 리드할 트윈 메모리 셀을 선택하는 선택 회로와,

상기 다수의 제1 및 제2 비트 라인과 커플링되고, 상기 선택된 트윈 메모리 셀에 데이터를 라이트하는 라이트 회로와,

상기 다수의 제1 및 제2 비트 라인과 커플링되고, 상기 선택된 트윈 메모리 셀로부터 데이터를 리드하는 리드 회로와,

상기 다수의 워드 라인과 커플링된 워드 라인 드라이버를 더 포함하는 비휘발성 메모리 장치.

**청구항 4**

제 3항에 있어서,

상기 라이트 회로는 상기 선택된 트윈 메모리 셀과 커플링된 제1 및 제2 비트 라인에 각각 제1 및 제2 라이트 전압을 제공하고 상기 워드 라인 드라이버는 상기 선택된 트윈 메모리 셀과 커플링된 워드 라인에 제1 전압을 제공하되,

상기 제1 라이트 전압과 상기 제1 전압의 레벨 차이와, 상기 제2 라이트 전압과 상기 제1 전압의 레벨 차이는 각각 라이트 임계 전압 이상인 비휘발성 메모리 장치.

**청구항 5**

청구항 5은(는) 설정등록료 납부시 포기되었습니다.

제 4항에 있어서,

상기 제1 및 제2 라이트 전압은 양전압이고 상기 제1 전압은 접지 전압인 경우에는 상기 제1 메모리 셀에 제1 데이터가 라이트되고 상기 제2 메모리 셀에 상기 제1 데이터와 다른 제2 데이터가 동시에 라이트되고,

상기 제1 및 제2 라이트 전압은 접지 전압이고 상기 제1 전압은 양전압인 경우에는 상기 제1 메모리 셀에 상기 제2 데이터가 라이트되고 상기 제2 메모리 셀에 상기 제1 데이터가 라이트되는 비휘발성 메모리 장치.

**청구항 6**

청구항 6은(는) 설정등록료 납부시 포기되었습니다.

제 4항에 있어서,

상기 제1 및 제2 라이트 전압은 양전압이고 상기 제1 전압은 음전압인 경우에는 상기 제1 메모리 셀에 제1 데이터가 라이트되고 상기 제2 메모리 셀에 상기 제1 데이터와 다른 제2 데이터가 동시에 라이트되고,

상기 제1 및 제2 라이트 전압은 음전압이고 상기 제1 전압은 양전압인 경우에는 상기 제1 메모리 셀에 상기 제2 데이터가 라이트되고 상기 제2 메모리 셀에 상기 제1 데이터가 라이트되는 비휘발성 메모리 장치.

#### 청구항 7

청구항 7은(는) 설정등록료 납부시 포기되었습니다.

제 4항에 있어서,

상기 워드 라인 드라이버는 상기 비선택된 트윈 메모리 셀과 커플링된 워드 라인에 제2 전압을 제공하되, 상기 제1 라이트 전압과 상기 제2 전압의 레벨 차이와, 상기 제2 라이트 전압과 상기 제2 전압의 레벨 차이는 각각 라이트 임계 전압 미만인 비휘발성 메모리 장치.

#### 청구항 8

청구항 8은(는) 설정등록료 납부시 포기되었습니다.

제 4항에 있어서,

상기 워드 라인 드라이버는 상기 비선택된 트윈 메모리 셀과 커플링된 워드 라인을 플로팅시키는 비휘발성 메모리 장치.

#### 청구항 9

제 3항에 있어서,

상기 리드 회로는 상기 선택된 트윈 메모리 셀과 커플링된 제1 및 제2 비트 라인에 각각 제1 및 제2 리드 전압을 제공하고 상기 워드 라인 드라이버는 상기 선택된 트윈 메모리 셀과 커플링된 워드 라인에 제3 전압을 제공하되, 상기 제1 리드 전압과 상기 제3 전압의 레벨 차이와, 상기 제2 리드 전압과 상기 제3 전압의 레벨 차이는 각각 문턱 전압보다 크고 라이트 임계 전압보다 작은 비휘발성 메모리 장치.

#### 청구항 10

청구항 10은(는) 설정등록료 납부시 포기되었습니다.

제 9항에 있어서,

상기 제1 및 제2 리드 전압은 양전압이고, 상기 제3 전압은 음전압 또는 접지 전압인 비휘발성 메모리 장치.

#### 청구항 11

청구항 11은(는) 설정등록료 납부시 포기되었습니다.

제 9항에 있어서,

상기 제1 및 제2 리드 전압은 음전압 또는 접지 전압이고, 상기 제3 전압은 양전압인 비휘발성 메모리 장치.

#### 청구항 12

청구항 12은(는) 설정등록료 납부시 포기되었습니다.

제 9항에 있어서,

상기 워드 라인 드라이버는 상기 비선택된 트윈 메모리 셀과 커플링된 워드 라인에 제4 전압을 제공하되, 상기 제1 리드 전압과 상기 제4 전압의 레벨 차이와, 상기 제2 리드 전압과 상기 제4 전압의 레벨 차이는 각각 문턱 전압보다 작은 비휘발성 메모리 장치.

#### 청구항 13

청구항 13은(는) 설정등록료 납부시 포기되었습니다.

제 9항에 있어서,

상기 워드 라인 드라이버는 상기 비선택된 트윈 메모리 셀과 커플링된 워드 라인을 플로팅시키는 비휘발성 메모리 장치.

**청구항 14**

제 1항에 있어서,

상기 제1 및 제2 메모리 셀은 각각 가변 저항 소자와 양방향 역세스 소자를 포함하는 비휘발성 메모리 장치.

**청구항 15**

다수의 메모리 셀 레이어(layer)가 수직으로 적층된 스택형 메모리 셀 어레이로서, 상기 각 메모리 셀 레이어는 다수의 트윈 메모리 셀을 포함하고, 각 트윈 메모리 셀은 서로 다른 데이터가 저장되는 상기 제1 및 제2 메모리 셀을 포함하는 스택형 메모리 셀 어레이;

상기 다수의 메모리 셀 레이어에서 라이트 또는 리드할 트윈 메모리 셀을 선택하는 선택 회로;

상기 선택된 트윈 메모리 셀에 데이터를 라이트하는 라이트 회로; 및

상기 선택된 트윈 메모리 셀로부터 데이터를 리드하는 리드 회로를 포함하는 비휘발성 메모리 장치.

**청구항 16**

제 15항에 있어서, 상기 스택형 메모리 셀 어레이는

수직 방향으로 교대로 적층된 제1 내지 제 $n+1$ (단,  $n$ 은 자연수) 비트 라인과 제1 내지 제 $n$  워드 라인으로서, 상기 제1 내지 제 $n+1$  비트 라인은 제1 방향으로 연장되어 형성되고 제1 내지 제 $n$  워드 라인은 상기 제1 방향과 다른 제2 방향으로 연장되어 형성된 제1 내지 제 $n+1$  비트 라인과 제1 내지 제 $n$  워드 라인과,

상기 제1 내지 제 $n+1$  비트 라인과 제1 내지 제 $n$  워드 라인이 교차되는 영역에 정의된 다수의 트윈 메모리 셀을 포함하는 비휘발성 메모리 장치.

**청구항 17**

제 16항에 있어서,

상기 스택형 메모리 셀 어레이는  $n$ 개의 메모리 셀 레이어가 수직으로 적층되고,

제 $k$ (단,  $1 \leq k \leq n$ ,  $k$ 는 자연수) 메모리 셀 레이어는 다수의 트윈 메모리 셀을 포함하되, 상기 트윈 메모리 셀은 제 $k$  비트 라인과 제 $k$  워드 라인 사이에 커플링된 제1 메모리 셀과, 상기 제 $k$  워드 라인과 제 $k+1$  비트 라인 사이에 커플링된 제2 메모리 셀을 포함하는 비휘발성 메모리 장치.

**청구항 18**

제 17항에 있어서,

상기 동일한 메모리 셀 레이어 내에 위치하는 트윈 메모리 셀의 제1 및 제2 메모리 셀의 극성은 동일한 방향으로 배치되고,

제 $a$ (단,  $1 \leq a \leq n$ ,  $a$ 는 홀수) 메모리 셀 레이어에 포함된 트윈 메모리 셀의 제1 및 제2 메모리 셀의 극성과, 제 $b$ (단,  $1 \leq b \leq n$ ,  $b$ 는 짝수) 메모리 셀 레이어에 포함된 트윈 메모리 셀의 제1 및 제2 메모리 셀의 극성은 서로 다른 방향으로 배치된 비휘발성 메모리 장치.

**청구항 19**

청구항 19은(는) 설정등록료 납부시 포기되었습니다.

제 18항에 있어서,

상기 라이트 회로 및 리드 회로는 제1 및 제2 노드에 커플링되고,

상기 제 $a$  메모리 셀 레이어의 비트 라인은 상기 제1 노드와 커플링되고, 상기 제 $b$  메모리 셀 레이어의 비트 라

인은 상기 제2 노드와 커플링되는 비휘발성 메모리 장치.

**청구항 20**

제 17항에 있어서,

상기 동일한 메모리 셀 레이어 내에 위치하는 트윈 메모리 셀의 제1 및 제2 메모리 셀의 극성은 동일한 방향으로 배치되고,

제a(단,  $1 \leq a \leq n$ , a는 홀수) 메모리 셀 레이어에 포함된 트윈 메모리 셀의 제1 및 제2 메모리 셀의 극성과, 제 b(단,  $1 \leq b \leq n$ , b는 짝수) 메모리 셀 레이어에 포함된 트윈 메모리 셀의 제1 및 제2 메모리 셀의 극성은 서로 동일한 방향으로 배치된 비휘발성 메모리 장치.

**청구항 21**

청구항 21은(는) 설정등록료 납부시 포기되었습니다.

제 20항에 있어서,

상기 라이트 회로 및 리드 회로는 제1 및 제2 노드와 커플링되고,

상기 제a 메모리 셀 레이어의 비트 라인들은 제3 노드와 커플링되고, 상기 제b 메모리 셀 레이어의 비트 라인들은 제4 노드와 커플링되고,

상기 제1 및 제2 노드와, 상기 제3 및 제4 노드 사이에 배치되고, 선택 신호를 제공받아 상기 제3 및 제4 노드를 각각 상기 제1 및 제2 노드와 커플링시키거나, 상기 제3 및 제4 노드를 각각 상기 제2 및 제1 노드와 커플링시키는 멀티플렉서를 더 포함하는 비휘발성 메모리 장치.

**청구항 22**

청구항 22은(는) 설정등록료 납부시 포기되었습니다.

제 21항에 있어서,

상기 선택 신호는 레이어 어드레스인 비휘발성 메모리 장치.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <20> 본 발명은 저항체를 이용한 비휘발성 메모리 장치에 관한 것이다.
- <21> 저항체(resistance material)를 이용한 비휘발성 메모리 장치에는 저항 메모리 장치(RRAM: Resistive RAM), 상변화 메모리 장치(PRAM: Phase change Random Access Memory), 자기 메모리 장치(MRAM: Magnetic RAM) 등 있다. 동적 메모리 장치(DRAM: Dynamic RAM)나 플래시 메모리 장치는 전하(charge)를 이용하여 데이터를 저장하는 반면, 저항체를 이용한 비휘발성 메모리 장치는 가변 저항체의 저항 변화(RRAM), 칼코제나이드 합금(chalcogenide alloy)과 같은 상변화 물질의 상태 변화(PRAM), 강자성체의 자화상태에 따른 MTJ(Magnetic Tunnel Junction) 박막의 저항 변화(MRAM) 등을 이용하여 데이터를 저장한다.
- <22> 여기서, 저항 메모리 셀은 상부 전극과 하부 전극 사이에 가변 저항 소자를 포함하고, 상부 및 하부 전극에 제공되는 전압에 따라 가변 저항 소자의 저항 레벨이 변하는 특성을 갖는다. 가변 저항 소자가 고저항 상태인 경우를 리셋 데이터(1 데이터), 고저항 데이터로 정의하고, 저저항 상태인 경우를 셋 데이터(0 데이터), 저저항 데이터로 정의한다.

**발명이 이루고자 하는 기술적 과제**

- <23> 본 발명이 이루고자 하는 기술적 과제는, 트윈 메모리 셀(twin memory cell)을 포함하는 저항체를 이용한 비휘

발성 메모리 장치를 제공하는 것이다.

<24> 본 발명의 기술적 과제는 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**발명의 구성 및 작용**

<25> 상기 기술적 과제를 달성하기 위한 비휘발성 메모리 장치의 일 태양은 제1 방향으로 연장되어 형성된 다수의 제1 비트 라인, 다수의 제1 비트 라인 상에, 제1 방향과 다른 제2 방향으로 연장되어 형성된 다수의 워드 라인, 다수의 워드 라인 상에, 제1 방향으로 연장되어 형성된 다수의 제2 비트 라인, 및 다수의 트윈 메모리 셀(twin memory cell)로서, 각 트윈 메모리 셀은 제1 비트 라인과 워드 라인 사이에 커플링된 제1 메모리 셀과, 워드 라인과 제2 비트 라인 사이에 커플링된 제2 메모리 셀을 포함하고, 제1 및 제2 메모리 셀은 서로 다른 데이터가 저장되는 다수의 트윈 메모리 셀을 포함한다.

<26> 상기 기술적 과제를 달성하기 위한 비휘발성 메모리 장치의 다른 태양은 다수의 메모리 셀 레이어(layer)가 수직으로 적층된 스택형 메모리 셀 어레이로서, 각 메모리 셀 레이어는 다수의 트윈 메모리 셀을 포함하고, 각 트윈 메모리 셀은 서로 다른 데이터가 저장되는 제1 및 제2 메모리 셀을 포함하는 스택형 메모리 셀 어레이, 다수의 메모리 셀 레이어에서 라이트 또는 리드할 트윈 메모리 셀을 선택하는 선택 회로, 선택된 트윈 메모리 셀에 데이터를 라이트하는 라이트 회로; 및 선택된 트윈 메모리 셀로부터 데이터를 리드하는 리드 회로를 포함한다.

<27> 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

<28> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

<29> 하나의 소자(elements)가 다른 소자와 "접속된(connected to)" 또는 "커플링된(coupled to)" 이라고 지칭되는 것은, 다른 소자와 직접 연결 또는 커플링된 경우 또는 중간에 다른 소자를 개재한 경우를 모두 포함한다. 반면, 하나의 소자가 다른 소자와 "직접 접속된(directly connected to)" 또는 "직접 커플링된(directly coupled to)"으로 지칭되는 것은 중간에 다른 소자를 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

<30> 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상 내에서 제2 소자, 제2 구성요소 또는 제2 섹션일 수도 있음은 물론이다.

<31> 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

<32> 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.

<33> 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자

는 다른 방향으로도 배향될 수 있고, 이에 따라 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.

- <34> 이하, 본 발명의 실시예들은 저항 메모리 장치(RRAM: Resistive RAM)를 이용하여 설명할 것이다. 그러나, 본 발명은 상변화 메모리 장치(PRAM: Phase change Random Access Memory), 강유전체 메모리 장치(FRAM: Ferroelectric RAM), 자기 메모리 장치(MRAM: Magnetic RAM)와 같이 저항체를 이용한 비휘발성 메모리 장치에 모두 적용될 수 있음은 본 발명이 속하는 기술의 당업자에게 자명하다.
- <35> 도 1 및 도 2는 본 발명의 실시예들에 따른 비휘발성 메모리 장치에서 사용되는 트윈 메모리 셀(twin memory cell)을 설명하기 위한 도면이다. 도 3은 본 발명의 실시예들에 따른 비휘발성 메모리 장치에서 사용되는 트윈 메모리 셀의 동작을 설명하기 위한 도면이다.
- <36> 도 1을 참조하면, 트윈 메모리 셀(TMC)은 제1 메모리 셀(MC1) 및 제2 메모리 셀(MC2)을 포함한다. 구체적으로 설명하면, 제1 메모리 셀(MC1)은 제1 비트 라인(BL1)과 워드 라인(WL) 사이에 커플링되고, 제2 메모리 셀(MC2)은 워드 라인(WL)과 제2 비트 라인(BL2) 사이에 커플링된다. 제1 및 제2 메모리 셀(MC1, MC2)은 각각 가변 저항 소자(R1, R2)와, 양방향 역세스 소자(A1, A2)를 포함한다.
- <37> 가변 저항 소자(R1, R2)는 예를 들어, 페로브스카이트(perovskite)를 포함할 수 있다. 페로브스카이트는 망가나이트( $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ ,  $\text{Pr}_{0.5}\text{Ca}_{0.5}\text{MnO}_3$ , 기타 PCMO, LCMO 등), 타이타네이트(STO:Cr), 지르코네이트(SZO:Cr,  $\text{Ca}_2\text{Nb}_2\text{O}_7\text{:Cr}$ ,  $\text{Ta}_2\text{O}_5\text{:Cr}$ ) 등의 조합물(composition)을 사용할 수 있다. 가변 저항 소자(R1, R2)로 페로브스카이트를 예로 들었으나, 이에 한정되는 것은 아니다.
- <38> 특히, 이러한 가변 저항 소자(R1, R2)는 극성을 가질 수 있는데, 가변 저항 소자(R1, R2)의 극성은 서로 동일한 방향으로 배치될 수 있다. 예를 들어, 가변 저항 소자(R1, R2)는 위쪽에 제1 극성(예를 들어, 양극(+))이 있고 아래쪽으로 제2 극성(예를 들어, 음극(-))이 있을 수 있다. 더 자세하게는, 가변 저항 소자(R1)는 워드 라인(WL) 방향으로 제1 극성(+)이 있고 제1 비트 라인(BL1) 방향으로 제2 극성(-)이 있을 수 있고, 가변 저항 소자(R2)는 제2 비트 라인(BL2) 방향으로 제1 극성(+)이 있고 워드 라인(WL) 방향으로 제2 극성(-)이 있을 수 있다. 그런데, 양극(+), 음극(-)은 정의하는 방식에 따라 달라질 수 있는데, 본 명세서에서는 양극(+)에 인가되는 전압이 음극(-)에 인가되는 전압보다 높을 때, 가변 저항 소자(R1, R2)에 리셋 데이터가 라이트되는 것으로 정의한다.
- <39> 양방향 역세스 소자(A1, A2)는 가변 저항 소자(R1, R2)를 관통하는 전류가 양방향으로(즉, 위쪽에서 아래쪽으로, 또는 아래쪽에서 위쪽으로) 흐를 수 있도록 하는 소자이다. 양방향 역세스 소자(A1, A2)로는 도시된 바와 같이 서로 반대방향으로 커플링된 2개의 다이오드를 예로 들 수 있으나, 이에 한정된 것은 아니다.
- <40> 특히, 제1 및 제2 메모리 셀(MC1, MC2)은 서로 다른 데이터가 저장된다. 이와 같이 함으로써, 하나의 메모리 셀(예를 들어, MC1)에 저장된 데이터를 리드할 때, 다른 메모리 셀(예를 들어, MC2)에 저장된 데이터를 레퍼런스로 사용할 수 있다. 따라서, 리드 동작에서의 신뢰성이 향상된다. 한편, 제1 메모리 셀(MC1)을 레퍼런스로 사용할지, 제2 메모리 셀(MC2)을 레퍼런스로 사용할지 여부는 설계에 따라 달라질 수 있다.
- <41> 한편, 이하에서의 도면에서는 설명의 편의를 위해서, 하나의 메모리 셀(예를 들어, 제1 메모리 셀(MC1))을 도 2에서와 같이 약식으로 표시한다. 또한, 이하에서는 설명의 편의를 위해서, "메모리 셀(예를 들어, 제1 메모리 셀(MC1))의 극성"이라는 표현은 "메모리 셀(예를 들어, 제1 메모리 셀(MC1))에 포함된 가변 저항 소자(R1)의 극성"을 의미한다.
- <42> 여기서 도 1 및 도 3을 이용하여, 트윈 메모리 셀(TMC)의 각 메모리 셀(MC1 또는 MC2)의 동작을 설명한다.
- <43> 라이트 동작을 설명하면 다음과 같다.
- <44> 각 메모리 셀(MC1, MC2)의 제1 전극(+)에 인가되는 전압과 제2 전극(-)에 인가되는 전압의 차이가 라이트 임계 전압(VW) 이상이 되면, 각 메모리 셀(MC1, MC2)에 데이터가 라이트된다.
- <45> 여기서, 제1 전극(+)에 인가되는 전압이 제2 전극(-)에 인가되는 전압보다 더 높은 경우에는 리셋 데이터(고저항 상태)가 라이트된다. 도 3에서 1사분면을 보면, 제1 전극(+)에 인가되는 전압에서 제2 전극(-)에 인가되는 전압을 뺀 값이 VW일 때, 저저항 상태(RL)에서 고저항 상태(RH)로 변화되는 것을 알 수 있다. 또한, 제1 전극(+)에 인가되는 전압이 제2 전극(-)에 인가되는 전압보다 더 낮은 경우에는 셋 데이터(저저항 상태)가 라이트된다. 도 3에서 3사분면을 보면, 제1 전극(+)에 인가되는 전압에서 제2 전극(-)에 인가되는 전압을 뺀 값이 -VW일 때, 고저항 상태(RH)에서 저저항 상태(RL)로 변화되는 것을 알 수 있다.

- <46> 이어서, 리드 동작을 설명하면 다음과 같다.
- <47> 각 메모리 셀(MC1, MC2)의 제1 전극(+)에 인가되는 전압과 제2 전극(-)에 인가되는 전압의 차이가 리드 전압(VR)이 되면, 각 메모리 셀(MC1, MC2)에 저장된 데이터를 리드할 수 있다. 여기서, 리드 전압(VR)은 문턱 전압(VTH)보다 크고 라이트 임계 전압(VW)보다 작을 수 있다. 여기서는, 제1 전극(+)에 인가되는 전압이 제2 전극(-)에 인가되는 전압보다 큰 경우이든, 제1 전극(+)에 인가되는 전압이 제2 전극(-)에 인가되는 전압보다 작은 경우이든, 메모리 셀(MC1, MC2)에 저장된 데이터를 리드할 수 있다. 즉, 도 3에서 1사분면을 보면, 제1 전극(+)에 인가되는 전압에서 제2 전극(-)에 인가되는 전압을 뺀 값이 VR이어도 고저항 상태(RH), 저저항 상태(RL)가 구분되고, 도 3에서 3사분면을 보면, 제1 전극(+)에 인가되는 전압에서 제2 전극(-)에 인가되는 전압을 뺀 값이 -VR이어도 고저항 상태(RH), 저저항 상태(RL)가 구분됨을 알 수 있다.
- <48> 도 4는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치를 설명하기 위한 블록도이다. 도 5는 도 4의 트윈 메모리 셀 어레이를 자세히 설명하기 위한 도면이다.
- <49> 도 4를 참조하면, 본 발명의 일 실시예에 따른 비휘발성 메모리 장치(1)는 트윈 메모리 셀 어레이(110), 선택 회로(120, 130), 라이트 회로(150), 리드 회로(140), 워드 라인 드라이버(125)를 포함한다.
- <50> 트윈 메모리 셀 어레이(110)는 도 5에서와 같은 크로스 포인트 구조(cross point structure)를 가질 수 있다. 여기서, 크로스 포인트 구조는 하나의 라인과 다른 라인이 서로 교차되는 영역에, 하나의 메모리 셀이 정의되는 구조를 의미한다. 구체적으로 설명하면, 트윈 메모리 셀 어레이(110)는 다수의 제1 비트 라인(BL1\_1, BL2\_1, BL3\_1), 다수의 워드 라인(WL1, WL2, WL3), 다수의 제2 비트 라인(BL1\_2, BL2\_2, BL3\_2), 다수의 트윈 메모리 셀(TMC)을 포함한다. 다수의 제1 비트 라인(BL1\_1, BL2\_1, BL3\_1)은 제1 방향으로 연장되어 형성되고, 다수의 워드 라인(WL1, WL2, WL3)은 다수의 제1 비트 라인(BL1\_1, BL2\_1, BL3\_1) 상에 제1 방향과 다른 제2 방향으로 연장되어 형성되고, 다수의 제2 비트 라인(BL1\_2, BL2\_2, BL3\_2)은 다수의 워드 라인(WL1, WL2, WL3) 상에 제1 방향으로 연장되어 형성된다. 각 트윈 메모리 셀(TMC)은 제1 비트 라인(BL1\_1, BL2\_1, BL3\_1)과 워드 라인(WL1, WL2, WL3) 사이에 커플링된 제1 메모리 셀(MC1)과, 워드 라인(WL1, WL2, WL3)과 제2 비트 라인(BL1\_2, BL2\_2, BL3\_2) 사이에 커플링된 제2 메모리 셀(MC2)을 포함한다.
- <51> 트윈 메모리 셀(TMC)의 제1 및 제2 메모리 셀(MC1, MC2)의 극성은 동일한 방향으로 배치될 수 있다. 구체적으로 예를 들면, 제1 및 제2 메모리 셀(MC1, MC2)은 위쪽에 제1 극성(예를 들어, 양극(+))이 있고 아래쪽에 제2 극성(예를 들어, 음극(-))이 있을 수 있다. 필요에 따라서는 아래쪽에 제1 극성(양극(+))이 있고 위쪽에 제2 극성(음극(-))이 있을 수 있다.
- <52> 다시 도 4를 참조하면, 로우 선택 회로(120)는 워드 라인(예를 들어, WL3)을 선택하고, 컬럼 선택 회로(130)는 비트 라인(예를 들어, BL1\_1, BL1\_2)을 선택하여, 다수의 트윈 메모리 셀(TMC) 중 라이트 또는 리드할 트윈 메모리 셀(TMC)을 선택한다.
- <53> 워드 라인 드라이버(125)는 다수의 워드 라인(WL1, WL2, WL3)과 커플링되고, 워드 라인(WL1, WL2, WL3)의 전압 레벨을 조절하는 역할을 한다.
- <54> 라이트 회로(150)는 다수의 제1 비트 라인(BL1\_1, BL2\_1, BL3\_1) 및 제2 비트 라인(BL1\_2, BL2\_2, BL3\_2)과 커플링되고, 선택 회로(120, 130)에 의해 선택된 트윈 메모리 셀(TMC)에 데이터를 라이트한다. 라이트 방법에 대한 자세한 설명은 도 6a, 도 6b, 도 8a, 도 8b, 도 10a, 도 10b를 참조하여 후술한다.
- <55> 리드 회로(140)는 다수의 제1 비트 라인(BL1\_1, BL2\_1, BL3\_1) 및 제2 비트 라인(BL1\_2, BL2\_2, BL3\_2)과 커플링되고, 선택 회로(120, 130)에 의해 선택된 트윈 메모리 셀(TMC)로부터 데이터를 리드한다. 리드 방법에 대한 자세한 설명은 도 7a, 도 7b, 도 9a, 도 9b, 도 11a, 도 11b를 참조하여 후술한다.
- <56> 도 6a 및 도 6b는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 라이트 방법을 설명하기 위한 개념도이다. 도 7a 및 도 7b는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 리드 방법을 설명하기 위한 개념도이다. 설명의 편의를 위해서, 도 6a 내지 도 7b에서 선택된 트윈 메모리 셀에는 도트(dot) 무늬로 표시하였다.
- <57> 우선, 도 3, 도 4 및 도 6a를 참조하면, 라이트 회로(150)는 선택된 트윈 메모리 셀(TMC)과 커플링된 제1 비트 라인(BL1\_1) 및 제2 비트 라인(BL1\_2)에 각각 제1 라이트 전압(예를 들어, VW) 및 제2 라이트 전압(예를 들어, VW)을 제공하고, 워드 라인 드라이버(125)는 선택된 트윈 메모리 셀(TMC)과 커플링된 워드 라인(WL3)에 제1 전압(예를 들어, GND)을 제공한다. 결국, 제1 메모리 셀(MC1)의 제1 전극(+)에는 GND가 인가되고 제2 전극(-)에는

VW가 인가되기 때문에 제1 메모리 셀(MC1)에는 셋 데이터가 라이트된다. 또한 제2 메모리 셀(MC2)의 제1 전극(+)에는 VW가 인가되고 제2 전극(-)에는 GND가 인가되기 때문에 제2 메모리 셀(MC2)에는 리셋 데이터가 라이트된다.

- <58> 여기서, 제1 및 제2 라이트 전압의 예로 VW를 들었으나, 제1 라이트 전압과 제1 전압의 레벨 차이, 제2 라이트 전압과 제1 전압의 레벨 차이가 라이트 임계 전압(VW) 이상이 될 수 있으면, 어떠한 양전압을 제1 및 제2 라이트 전압으로 사용하여도 무방하다.
- <59> 또한, 워드 라인 드라이버(125)는 비선택된 트윈 메모리 셀(TMC)과 커플링된 워드 라인(WL1, WL2)에 제2 전압(예를 들어, VW/2)을 제공하되, 제1 라이트 전압과 제2 전압의 차이, 제2 라이트 전압과 제2 전압의 차이가 라이트 임계 전압(VW) 미만이어야 한다. 이와 같이 함으로써, 비선택된 트윈 메모리 셀(TMC)은 데이터가 라이트되지 않게 된다.
- <60> 도 3, 도 4 및 도 6b를 참조하면, 라이트 회로(150)는 선택된 트윈 메모리 셀(TMC)과 커플링된 제1 비트 라인(BL1\_1) 및 제2 비트 라인(BL1\_2)에 각각 제1 라이트 전압(예를 들어, GND) 및 제2 라이트 전압(예를 들어, GND)을 제공하고, 워드 라인 드라이버(125)는 선택된 트윈 메모리 셀(TMC)과 커플링된 워드 라인(WL3)에 제1 전압(예를 들어, VW)을 제공한다. 결국, 제1 메모리 셀(MC1)의 제1 전극(+)에는 VW가 인가되고 제2 전극(-)에는 GND가 인가되기 때문에 제1 메모리 셀(MC1)에는 리셋 데이터가 라이트된다. 또한 제2 메모리 셀(MC2)의 제1 전극(+)에는 GND가 인가되고 제2 전극(-)에는 VW가 인가되기 때문에 제2 메모리 셀(MC2)에는 셋 데이터가 라이트된다.
- <61> 여기서, 제1 전압의 예로 VW를 들었으나, 제1 라이트 전압과 제1 전압의 레벨 차이, 제2 라이트 전압과 제1 전압의 레벨 차이가 라이트 임계 전압(VW) 이상이 될 수 있으면, 제1 전압으로 어떠한 양전압을 사용하여도 무방하다.
- <62> 또한, 워드 라인 드라이버(125)는 비선택된 트윈 메모리 셀(TMC)과 커플링된 워드 라인(WL1, WL2)에 제2 전압(예를 들어, VW/2)을 제공하되, 제1 라이트 전압과 제2 전압의 차이, 제2 라이트 전압과 제2 전압의 차이가 라이트 임계 전압(VW) 미만이어야 한다. 이와 같이 함으로써, 비선택된 트윈 메모리 셀(TMC)은 데이터가 라이트되지 않게 된다.
- <63> 도 3, 도 4 및 도 7a를 참조하면, 리드 회로(140)는 선택된 트윈 메모리 셀(TMC)과 커플링된 제1 비트 라인(BL1\_1) 및 제2 비트 라인(BL1\_2)에 각각 제1 리드 전압(예를 들어, VR) 및 제2 리드 전압(예를 들어, VR)을 제공하고, 워드 라인 드라이버(125)는 선택된 트윈 메모리 셀(TMC)과 커플링된 워드 라인(WL3)에 제3 전압(예를 들어, GND)을 제공하여, 선택된 트윈 메모리 셀(TMC)로부터 데이터를 리드한다.
- <64> 여기서, 제1 및 제2 리드 전압의 예로 VR를 들었으나, 제1 리드 전압과 제3 전압의 레벨 차이, 제2 리드 전압과 제3 전압의 레벨 차이가 문턱 전압(VTH)보다 크고 라이트 임계 전압(VW)보다 작을 수 있으면, 제1 및 제2 리드 전압으로 어떠한 양전압을 사용하여도 무방하다.
- <65> 한편, 워드 라인 드라이버(125)는 비선택된 트윈 메모리 셀(TMC)과 커플링된 워드 라인(WL1, WL2)에 제4 전압(예를 들어, VR/2)을 제공하되, 제1 리드 전압과 제4 전압의 차이, 제2 리드 전압과 제4 전압의 차이가 문턱 전압(VTH)보다 작아야 한다. 이와 같이 함으로써, 비선택된 트윈 메모리 셀(TMC)로부터 데이터를 읽어내지 않을 수 있다.
- <66> 도 3, 도 4 및 도 7b를 참조하면, 리드 회로(140)는 선택된 트윈 메모리 셀(TMC)과 커플링된 제1 비트 라인(BL1\_1) 및 제2 비트 라인(BL1\_2)에 각각 제1 리드 전압(예를 들어, GND) 및 제2 리드 전압(예를 들어, GND)을 제공하고, 워드 라인 드라이버(125)는 선택된 트윈 메모리 셀(TMC)과 커플링된 워드 라인(WL3)에 제3 전압(예를 들어, VR)을 제공하여, 선택된 트윈 메모리 셀(TMC)로부터 데이터를 리드한다.
- <67> 여기서, 제3 전압의 예로 VR를 들었으나, 제1 리드 전압과 제3 전압의 레벨 차이, 제2 리드 전압과 제3 전압의 레벨 차이가 문턱 전압(VTH)보다 크고 라이트 임계 전압(VW)보다 작을 수 있으면, 제3 전압으로 어떠한 양전압을 사용하여도 무방하다.
- <68> 한편, 워드 라인 드라이버(125)는 비선택된 트윈 메모리 셀(TMC)과 커플링된 워드 라인(WL1, WL2)에 제4 전압(예를 들어, VR/2)을 제공하되, 제1 리드 전압과 제4 전압의 차이, 제2 리드 전압과 제4 전압의 차이가 문턱 전압(VTH)보다 작아야 한다. 이와 같이 함으로써, 비선택된 트윈 메모리 셀(TMC)로부터 데이터를 읽어내지 않을 수 있다.

- <69> 도 8a 및 도 8b는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 다른 라이트 방법을 설명하기 위한 개념도이다. 도 9a 및 도 9b는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 다른 리드 방법을 설명하기 위한 개념도이다. 도 6a 내지 도 7b와 실질적으로 동일한 구성 요소에 대해서는 동일한 도면 부호를 사용하며, 해당 구성 요소에 대한 상세한 설명은 생략하기로 한다.
- <70> 우선, 도 3, 도 4 및 도 8a를 참조하면, 라이트 회로(150)는 선택된 트윈 메모리 셀(TMC)과 커플링된 제1 비트 라인(BL1\_1) 및 제2 비트 라인(BL1\_2)에 각각 제1 라이트 전압(예를 들어,  $VW/2$ ) 및 제2 라이트 전압(예를 들어,  $VW/2$ )을 제공하고, 워드 라인 드라이버(125)는 선택된 트윈 메모리 셀(TMC)과 커플링된 워드 라인(WL3)에 제1 전압(예를 들어,  $-VW/2$ )을 제공한다. 결국, 제1 메모리 셀(MC1)의 제1 전극(+)에는  $-VW/2$ 가 인가되고 제2 전극(-)에는  $VW/2$ 가 인가되기 때문에 제1 메모리 셀(MC1)에는 셋 데이터가 라이트된다. 또한 제2 메모리 셀(MC2)의 제1 전극(+)에는  $VW/2$ 가 인가되고 제2 전극(-)에는  $-VW/2$ 가 인가되기 때문에 제2 메모리 셀(MC2)에는 리셋 데이터가 라이트된다.
- <71> 여기서, 제1 및 제2 라이트 전압의 예로  $VW/2$ 를 들고 제1 전압의 예로  $-VW/2$ 를 들었으나, 제1 라이트 전압과 제1 전압의 레벨 차이, 제2 라이트 전압과 제1 전압의 레벨 차이가 라이트 임계 전압( $VW$ ) 이상이 될 수 있으면, 제1 및 제2 라이트 전압으로 어떠한 양전압을 사용하여도 무방하고, 제1 전압으로 어떠한 음전압을 사용하여도 무방하다.
- <72> 도 3, 도 4 및 도 8b를 참조하면, 라이트 회로(150)는 선택된 트윈 메모리 셀(TMC)과 커플링된 제1 비트 라인(BL1\_1) 및 제2 비트 라인(BL1\_2)에 각각 제1 라이트 전압(예를 들어,  $-VW/2$ ) 및 제2 라이트 전압(예를 들어,  $-VW/2$ )을 제공하고, 워드 라인 드라이버(125)는 선택된 트윈 메모리 셀(TMC)과 커플링된 워드 라인(WL3)에 제1 전압(예를 들어,  $VW/2$ )을 제공한다. 결국, 제1 메모리 셀(MC1)의 제1 전극(+)에는  $VW/2$ 가 인가되고 제2 전극(-)에는  $-VW/2$ 가 인가되기 때문에 제1 메모리 셀(MC1)에는 리셋 데이터가 라이트된다. 또한 제2 메모리 셀(MC2)의 제1 전극(+)에는  $-VW/2$ 가 인가되고 제2 전극(-)에는  $VW/2$ 가 인가되기 때문에 제2 메모리 셀(MC2)에는 셋 데이터가 라이트된다.
- <73> 여기서, 제1 및 제2 라이트 전압의 예로  $-VW/2$ 를 들고 제1 전압의 예로  $VW/2$ 를 들고 들었으나, 제1 라이트 전압과 제1 전압의 레벨 차이, 제2 라이트 전압과 제1 전압의 레벨 차이가 라이트 임계 전압( $VW$ ) 이상이 될 수 있으면, 제1 및 제2 라이트 전압으로 어떠한 음전압을 사용하여도 무방하고, 제1 전압으로 어떠한 양전압을 사용하여도 무방하다.
- <74> 도 3, 도 4 및 도 9a를 참조하면, 리드 회로(140)는 선택된 트윈 메모리 셀(TMC)과 커플링된 제1 비트 라인(BL1\_1) 및 제2 비트 라인(BL1\_2)에 각각 제1 리드 전압(예를 들어,  $VR/2$ ) 및 제2 리드 전압(예를 들어,  $VR/2$ )을 제공하고, 워드 라인 드라이버(125)는 선택된 트윈 메모리 셀(TMC)과 커플링된 워드 라인(WL3)에 제3 전압(예를 들어,  $-VR/2$ )을 제공하여, 선택된 트윈 메모리 셀(TMC)로부터 데이터를 리드한다.
- <75> 여기서, 제1 및 제2 리드 전압의 예로  $VR/2$ 를 들고 제3 전압의 예로  $-VR/2$ 를 들었으나, 제1 리드 전압과 제3 전압의 레벨 차이, 제2 리드 전압과 제3 전압의 레벨 차이가 문턱 전압( $VTH$ )보다 크고 라이트 임계 전압( $VW$ )보다 작을 수 있으면, 제1 및 제2 리드 전압으로 어떠한 양전압을 사용하여도 무방하고, 제3 전압으로 어떠한 음전압을 사용하여도 무방하다.
- <76> 한편, 워드 라인 드라이버(125)는 비선택된 트윈 메모리 셀(TMC)과 커플링된 워드 라인(WL1, WL2)에 제4 전압(예를 들어,  $GND$ )을 제공하되, 제1 리드 전압과 제4 전압의 차이, 제2 리드 전압과 제4 전압의 차이가 문턱 전압( $VTH$ )보다 작아야 한다. 이와 같이 함으로써, 비선택된 트윈 메모리 셀(TMC)로부터 데이터를 읽어내지 않을 수 있다.
- <77> 도 3, 도 4 및 도 9b를 참조하면, 리드 회로(140)는 선택된 트윈 메모리 셀(TMC)과 커플링된 제1 비트 라인(BL1\_1) 및 제2 비트 라인(BL1\_2)에 각각 제1 리드 전압(예를 들어,  $-VR/2$ ) 및 제2 리드 전압(예를 들어,  $-VR/2$ )을 제공하고, 워드 라인 드라이버(125)는 선택된 트윈 메모리 셀(TMC)과 커플링된 워드 라인(WL3)에 제3 전압(예를 들어,  $VR/2$ )을 제공하여, 선택된 트윈 메모리 셀(TMC)로부터 데이터를 리드한다.
- <78> 여기서, 제1 및 제2 리드 전압의 예로  $-VR/2$ 를 들고 제3 전압의 예로  $VR/2$ 를 들었으나, 제1 리드 전압과 제3 전압의 레벨 차이, 제2 리드 전압과 제3 전압의 레벨 차이가 문턱 전압( $VTH$ )보다 크고 라이트 임계 전압( $VW$ )보다 작을 수 있으면, 제1 및 제2 리드 전압으로 어떠한 음전압을 사용하여도 무방하고 제3 전압으로 어떠한 양전압을 사용하여도 무방하다.

- <79> 도 10a 및 도 10b는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 또 다른 라이트 방법을 설명하기 위한 개념도이다. 도 11a 및 도 11b는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 또 다른 리드 방법을 설명하기 위한 개념도이다. 도 6a 내지 도 7b와 실질적으로 동일한 구성 요소에 대해서는 동일한 도면 부호를 사용하며, 해당 구성 요소에 대한 상세한 설명은 생략하기로 한다.
- <80> 도 10a 내지 도 11b에서 설명되는 비휘발성 메모리 장치의 라이트 방법 또는 리드 방법은, 워드 라인 드라이버(125)는 비선택된 트윈 메모리 셀(TMC)과 커플링된 워드 라인(WL1, WL2)을 플로팅시킨다는 점을 제외하고는 도 6a 내지 도 7b의 라이트 방법 및 리드 방법과 동일하다.
- <81> 도면으로 설명하지는 않았으나, 도 8a 내지 도 9b의 라이트 방법 및 리드 방법에서도, 워드 라인 드라이버(125)는 비선택된 트윈 메모리 셀(TMC)과 커플링된 워드 라인(WL1, WL2)을 플로팅시킬 수 있음은, 본 발명이 속하는 기술의 당업자에게 자명하다.
- <82> 도 12는 본 발명의 다른 실시예에 따른 비휘발성 메모리 장치를 설명하기 위한 블록도이다.
- <83> 도 12를 참조하면, 본 발명의 다른 실시예에 따른 비휘발성 메모리 장치(2)는 스택형 메모리 셀 어레이(210), 로우 선택 회로, 컬럼 선택 회로(230), 라이트 회로(250), 리드 회로(240), 워드 라인 드라이버를 포함한다. 설명의 편의상, 도 12에서 로우 선택 회로, 워드 라인 드라이버의 도시는 생략하였다.
- <84> 스택형 메모리 셀 어레이(210)는 다수의 메모리 셀 레이어(L1~L4)가 수직으로 적층된다. 도 12에서는 4개의 메모리 셀 레이어(L1~L4)가 적층된 것을 예로 들었으나, 이에 한정되는 것은 아니다. 각 메모리 셀 레이어(L1~L4)는 다수의 트윈 메모리 셀(TMC)을 포함하고, 각 트윈 메모리 셀은 도 1에서 설명한 바와 같이 서로 다른 데이터가 저장되는 제1 및 제2 메모리 셀(MC1, MC2)을 포함한다.
- <85> 자세히 설명하면, 스택형 메모리 셀 어레이는 수직 방향으로 교대로 적층된 다수의 비트 라인(BL1\_1~BL1\_5)과, 다수의 워드 라인(WL1\_1~WL3\_4)을 포함하는데, 다수의 비트 라인(BL1\_1~BL1\_5)은 제1 방향으로 연장되어 형성되고 다수의 워드 라인(WL1\_1~WL3\_4)은 상기 제1 방향과 다른 제2 방향으로 연장되어 형성된다. 여기서, 다수의 트윈 메모리 셀(TMC)은 다수의 비트 라인(BL1\_1~BL1\_5)과 다수의 워드 라인(WL1\_1~WL3\_4)이 교차되는 영역에 정의된다.
- <86> 스택형 메모리 셀 어레이(210)의 제k(단,  $1 \leq k \leq 4$ , k는 자연수) 메모리 셀 레이어(L1~L4)는 다수의 트윈 메모리 셀(TMC)을 포함하는데, 이 트윈 메모리 셀(TMC)은 제k 비트 라인과 제k 워드 라인 사이에 커플링된 제1 메모리 셀(MC1)과, 상기 제k 워드 라인과 제k+1 비트 라인 사이에 커플링된 제2 메모리 셀(MC2)을 포함하게 된다. 예를 들면, 제1 메모리 셀 레이어(L1)는 제1 비트 라인(BL1\_1)과 제1 워드 라인(WL1\_1) 사이에 커플링된 제1 메모리 셀(MC1)과, 제1 워드 라인(WL1\_1)과 제2 비트 라인(BL1\_2) 사이에 커플링된 제2 메모리 셀(MC2)을 포함한다.
- <87> 특히, 동일한 메모리 셀 레이어(예를 들어, L1) 내에 위치하는 트윈 메모리 셀(TMC)의 제1 및 제2 메모리 셀(MC1, MC2)의 극성은 동일한 방향으로 배치된다. 그런데, 본 발명의 다른 실시예에서는 다수의 메모리 셀 레이어(L1~L4)는 교대로 적층된 다수의 홀수 메모리 셀 레이어(L1, L3)와 다수의 짝수 메모리 셀 레이어(L2, L4)를 포함하고, 홀수 메모리 셀 레이어(L1, L3)에 포함된 트윈 메모리 셀(TMC)의 제1 및 제2 메모리 셀(MC1, MC2)의 극성과 짝수 메모리 셀 레이어(L2, L4)에 포함된 트윈 메모리 셀(TMC)의 제1 및 제2 메모리 셀(MC1, MC2)의 극성은 서로 다른 방향으로 배치된다. 구체적으로, 홀수 메모리 셀 레이어(L1, L3)에 포함된 트윈 메모리 셀(TMC)의 제1 및 제2 메모리 셀(MC1, MC2)은 예를 들어, 위쪽에 제1 극성(+)이 있고 아래쪽에 제2 극성(-)이 있을 수 있고, 짝수 메모리 셀 레이어(L2, L4)에 포함된 트윈 메모리 셀(TMC)의 제1 및 제2 메모리 셀(MC1, MC2)은 예를 들어, 위쪽에 제2 극성(-)이 있고 아래쪽에 제1 극성(+)이 있을 수 있다.
- <88> 한편, 다수의 레이어(L1~L4)에 배치된 다수의 트윈 메모리 셀(TMC)은 라이트 회로(150) 및 리드 회로(140)를 공유한다. 예를 들어, 라이트 회로(150) 및 리드 회로(140)는 제1 노드(N1) 및 제2 노드(N2)와 커플링되어 있고, 홀수 비트 라인(BL1\_1, BL1\_3, BL1\_5)은 상기 제1 노드(N1)와 커플링되고, 짝수 비트 라인(BL1\_2, BL1\_4)은 제2 노드(N2)와 커플링된다.
- <89> 컬럼 선택 회로(230)는 레이어 어드레스(LADDR)를 제공받아 디코딩하여 이웃하는 2개의 비트 라인(BL1\_1~BL1\_5)를 선택하는 선택 신호(DEC\_B1~DEC\_B5)를 제공한다. 이와 같은 동작을 정리하면 표 1과 같다.

표 1

레이어 어드레스(LADDR)		선택 신호				
A0	A1	DEC_B1	DEC_B2	DEC_B3	DEC_B4	DEC_B5
0	0	1	1	0	0	0
0	1	0	1	1	0	0
1	0	0	0	1	1	0
1	1	0	0	0	1	1

- <90> 표 1을 참조하면, 예를 들어, 레이어 어드레스(LADDR)의 A0가 0이고, A1이 0인 경우, 2개의 비트 라인(BL1\_1, BL1\_2)를 선택하는 선택 신호(DEC\_B1, DEC\_B2)가 활성화되고, 상기 선택 신호(DEC\_B1, DEC\_B2)는 커플링된 NMOS 트랜지스터를 턴온하게 된다. 또한, A0가 0이고, A1이 1인 경우, 2개의 비트 라인(BL1\_2, BL1\_3)를 선택하는 선택 신호(DEC\_B2, DEC\_B3)가 활성화되고, 상기 선택 신호(DEC\_B2, DEC\_B3)는 커플링된 NMOS 트랜지스터를 턴온하게 된다.
- <91> 이와 같이 이웃하는 2개의 비트 라인(BL1\_1~BL1\_5)을 선택하면, 도 6a 내지 도 11b에서 설명한 바와 같이 라이트 회로(150), 리드 회로(140), 워드 라인 드라이버가 소정 전압을 인가하여 라이트 동작을 하거나, 리드 동작을 할 수 있다.
- <92> 특히, 본 발명의 다른 실시예에 따른 비휘발성 메모리 장치(2)에서, 홀수 메모리 셀 레이어(L1, L3)에 포함된 트윈 메모리 셀(TMC)의 제1 및 제2 메모리 셀(MC1, MC2)의 극성과, 짝수 메모리 셀 레이어(L2, L4)에 포함된 트윈 메모리 셀(TMC)의 제1 및 제2 메모리 셀(MC1, MC2)의 극성이 서로 다른 방향으로 배치되는 이유는 다음과 같다.
- <93> 동일한 조건의 라이트 전압을 이용하여 모든 레이어에 위치하는 트윈 메모리 셀에 데이터를 라이트하거나, 동일한 조건의 리드 전압을 이용하여 모든 레이어에 위치하는 트윈 메모리 셀로부터 데이터를 리드할 수 있게 하기 위함이다.
- <94> 구체적으로 설명하면, 만약 홀수 메모리 셀 레이어(L1, L3)에 포함된 트윈 메모리 셀(TMC)의 제1 및 제2 메모리 셀(MC1, MC2)의 극성과, 짝수 메모리 셀 레이어(L2, L4)에 포함된 트윈 메모리 셀(TMC)의 제1 및 제2 메모리 셀(MC1, MC2)의 극성이 서로 동일한 방향으로 배치되어 있다고 가정하자. 그러면, 라이트 회로(250)가 제1 레이어(L1)에 있는 트윈 메모리 셀(TMC)에 리셋 데이터를 라이트할 수 있는 전압(예를 들어, 도 6a 참조)을 제2 레이어(L2)에 있는 트윈 메모리 셀(TMC)에 제공하게 되면, 제2 레이어(L2)에 있는 트윈 메모리 셀(TMC)에는 셋 데이터가 라이트된다. 이는 라이트 회로(150) 및 리드 회로(140)는 제1 노드(N1) 및 제2 노드(N2)와 커플링되어 있고, 홀수 비트 라인(BL1\_1, BL1\_3, BL1\_5)은 상기 제1 노드(N1)와 커플링되고, 짝수 비트 라인(BL1\_2, BL1\_4)은 제2 노드(N2)와 커플링되어 있기 때문이다. 따라서, 이러한 점을 방지하기 위해, 홀수 메모리 셀 레이어(L1, L3)에 포함된 트윈 메모리 셀(TMC)의 제1 및 제2 메모리 셀(MC1, MC2)의 극성과, 짝수 메모리 셀 레이어(L2, L4)에 포함된 트윈 메모리 셀(TMC)의 제1 및 제2 메모리 셀(MC1, MC2)의 극성이 서로 다른 방향으로 배치되게 된다.
- <95> 도 13은 본 발명의 또 다른 실시예에 따른 비휘발성 메모리 장치를 설명하기 위한 블록도이다. 도 14a 및 도 14b는 도 13의 멀티플렉서의 동작을 설명하기 위한 도면이다. 도 12와 실질적으로 동일한 구성 요소에 대해서는 동일한 도면 부호를 사용하며, 해당 구성 요소에 대한 상세한 설명은 생략하기로 한다.
- <96> 우선 도 13을 참조하면, 본 발명의 또 다른 실시예에 따른 비휘발성 메모리 장치(3)에서 스택형 메모리 셀 어레이(212)의 다수의 메모리 셀 레이어(L1~L4)는 교대로 적층된 다수의 홀수 메모리 셀 레이어(L1, L3)와 다수의 짝수 메모리 셀 레이어(L2, L4)를 포함하고, 홀수 메모리 셀 레이어(L1, L3)에 포함된 트윈 메모리 셀(TMC)의 제1 및 제2 메모리 셀(MC1, MC2)의 극성과 짝수 메모리 셀 레이어(L2, L4)에 포함된 트윈 메모리 셀(TMC)의 제1 및 제2 메모리 셀(MC1, MC2)의 극성은 동일한 방향으로 배치된다. 구체적으로, 홀수, 짝수 메모리 셀 레이어(L1~L4)에 포함된 트윈 메모리 셀(TMC)의 제1 및 제2 메모리 셀(MC1, MC2)은 모두 예를 들어, 위쪽에 제1 극성(+)이 있고 아래쪽에 제2 극성(-)이 있을 수 있다.
- <97> 한편, 다수의 레이어(L1~L4)에 배치된 다수의 트윈 메모리 셀(TMC)은 라이트 회로(150) 및 리드 회로(140)를 공유한다. 예를 들어, 라이트 회로(150) 및 리드 회로(140)는 제1 노드(N1) 및 제2 노드(N2)와 커플링되어 있고, 홀수 비트 라인(BL1\_1, BL1\_3, BL1\_5)은 상기 제3 노드(N3)와 커플링되고, 짝수 비트 라인(BL1\_2, BL1\_4)은 제

4 노드(N4)와 커플링된다.

<99> 특히, 본 발명의 또 다른 실시예에서, 제1 및 제2 노드(N1, N2)와 제3 및 제4 노드(N3, N4) 사이에는 멀티플렉서(260)가 배치된다. 여기서, 멀티플렉서(260)를 사용하는 이유는, 본 발명의 다른 실시예에서(도 13 참조) 홀수 메모리 셀 레이어(L1, L3)에 포함된 트윈 메모리 셀(TMC)의 제1 및 제2 메모리 셀(MC1, MC2)의 극성과, 짝수 메모리 셀 레이어(L2, L4)에 포함된 트윈 메모리 셀(TMC)의 제1 및 제2 메모리 셀(MC1, MC2)의 극성이 서로 다른 방향으로 배치시키는 이유와 동일하다. 멀티플렉서(260)는 선택신호(예를 들어, 레이어 어드레스(LADDR))를 제공받는다. 여기서, 레이어 어드레스(LADDR)는 도 13에서 전술하였던 A1 어드레스일 수 있다. A1 어드레스가 0 인 경우에는 홀수 메모리 셀 레이어(L1, L3)에 있는 트윈 메모리 셀(TMC)에 데이터를 라이트하게 되므로, 도 14a 와 같이 제3 및 제4 노드(N3, N4)를 각각 제1 및 제2 노드(N1, N2)와 커플링시킨다. 또한, A1 어드레스가 1 인 경우에는 짝수 메모리 셀 레이어(L2, L4)에 있는 트윈 메모리 셀(TMC)에 데이터를 라이트하게 되므로, 도 14b와 같이 제3 및 제4 노드(N3, N4)를 각각 제2 및 제1 노드(N2, N1)와 커플링시킨다.

<100> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

**발명의 효과**

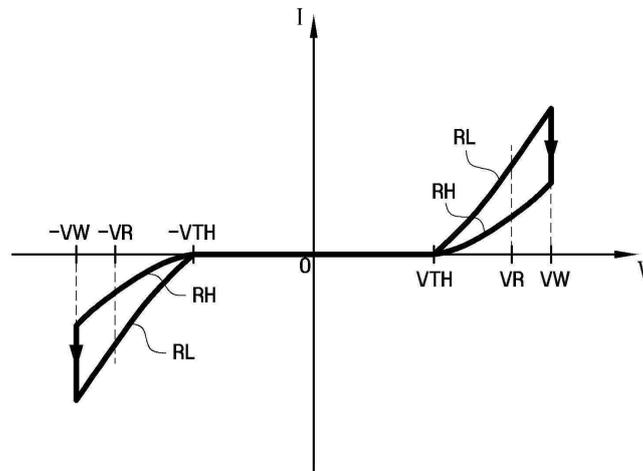
<101> 상기한 바와 같은 저항체를 이용한 비휘발성 메모리 장치는 트윈 메모리 셀을 갖고 있어, 하나의 메모리 셀에 저장된 데이터를 리드할 때 다른 메모리 셀에 저장된 데이터를 레퍼런스로 사용할 수 있으므로, 리드 동작에서의 신뢰성이 향상된다.

**도면의 간단한 설명**

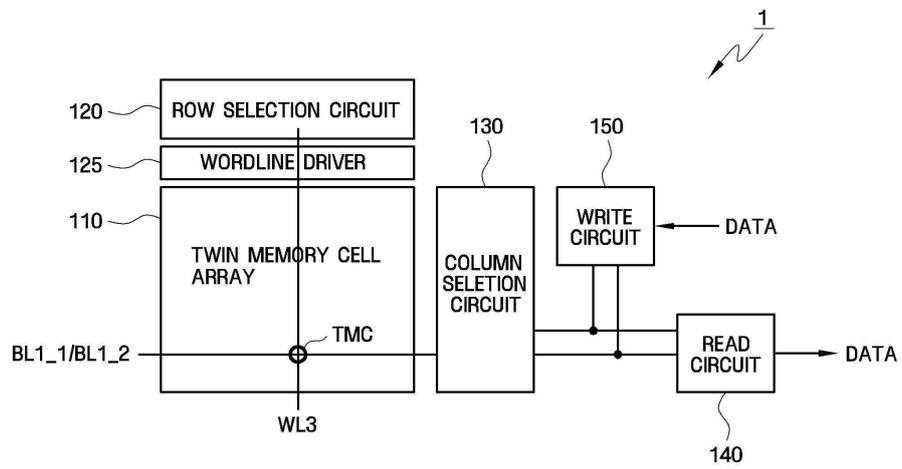
- <1> 도 1 및 도 2는 본 발명의 실시예들에 따른 비휘발성 메모리 장치에서 사용되는 트윈 메모리 셀(twin memory cell)을 설명하기 위한 도면이다.
- <2> 도 3은 본 발명의 실시예들에 따른 비휘발성 메모리 장치에서 사용되는 트윈 메모리 셀의 동작을 설명하기 위한 도면이다.
- <3> 도 4는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치를 설명하기 위한 블록도이다.
- <4> 도 5는 도 4의 트윈 메모리 셀 어레이를 설명하기 위한 도면이다.
- <5> 도 6a 및 도 6b는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 라이트 방법을 설명하기 위한 개념도이다.
- <6> 도 7a 및 도 7b는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 리드 방법을 설명하기 위한 개념도이다.
- <7> 도 8a 및 도 8b는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 다른 라이트 방법을 설명하기 위한 개념도이다.
- <8> 도 9a 및 도 9b는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 다른 리드 방법을 설명하기 위한 개념도이다.
- <9> 도 10a 및 도 10b는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 또 다른 라이트 방법을 설명하기 위한 개념도이다.
- <10> 도 11a 및 도 11b는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 또 다른 리드 방법을 설명하기 위한 개념도이다.
- <11> 도 12는 본 발명의 다른 실시예에 따른 비휘발성 메모리 장치를 설명하기 위한 블록도이다.
- <12> 도 13은 본 발명의 또 다른 실시예에 따른 비휘발성 메모리 장치를 설명하기 위한 블록도이다.
- <13> 도 14a 및 도 14b는 도 13의 멀티플렉서의 동작을 설명하기 위한 도면이다.
- <14> (도면의 주요부분에 대한 부호의 설명)



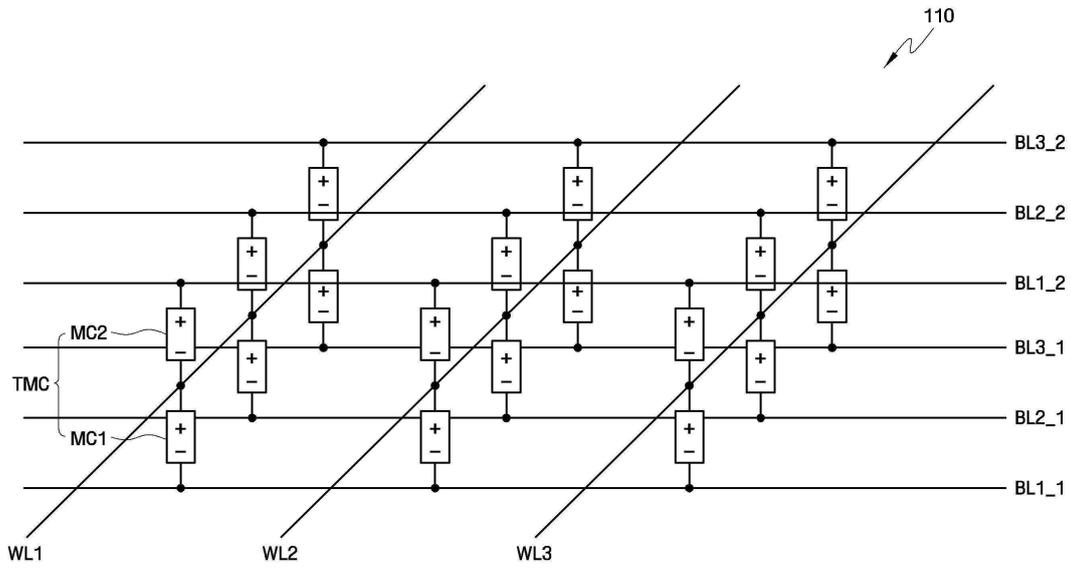
도면3



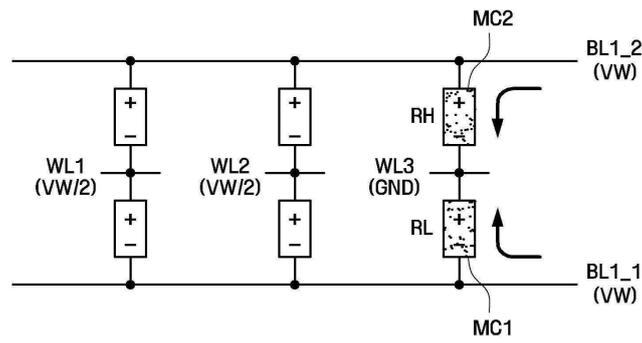
도면4



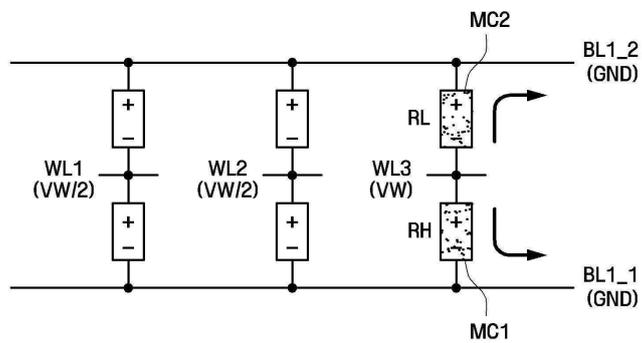
도면5



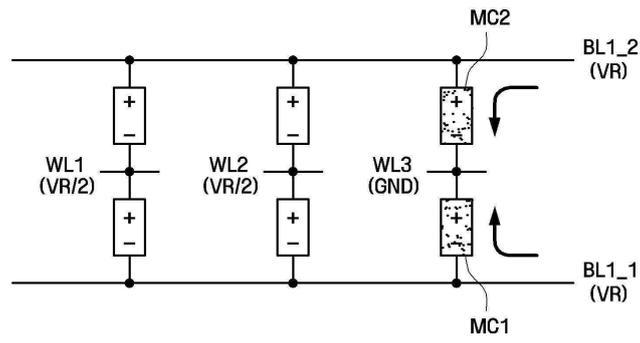
도면6a



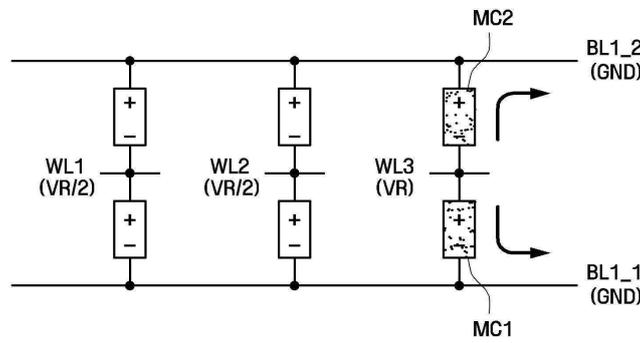
도면6b



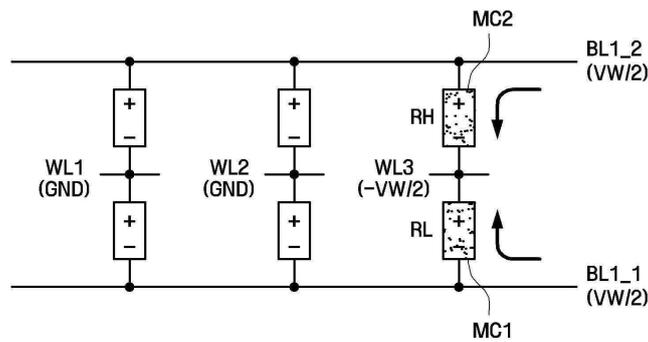
도면7a



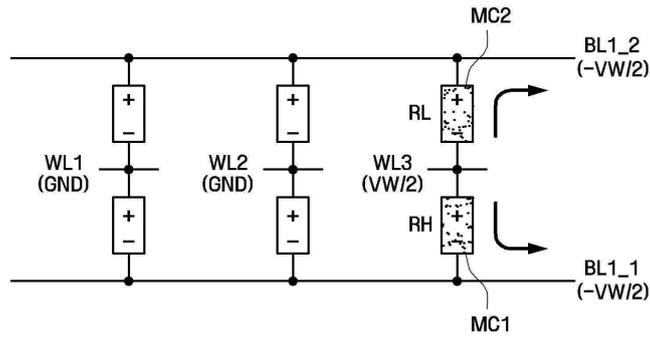
도면7b



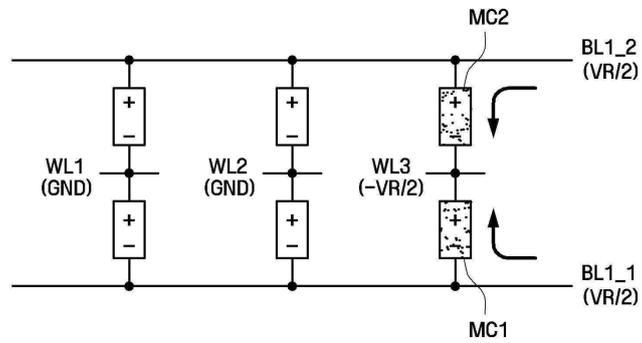
도면8a



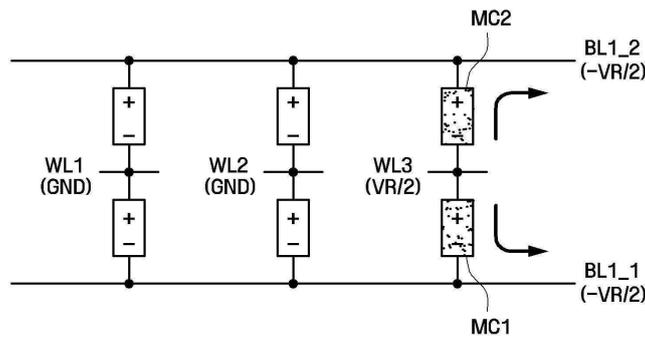
도면8b



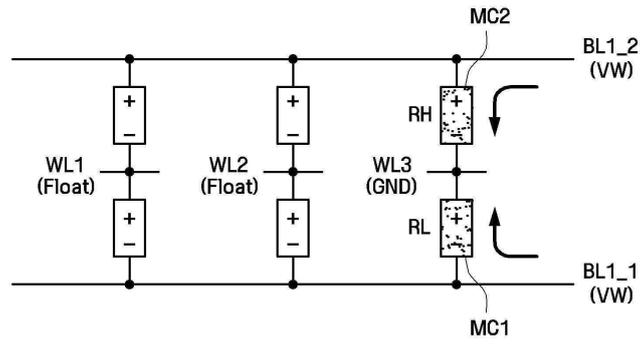
도면9a



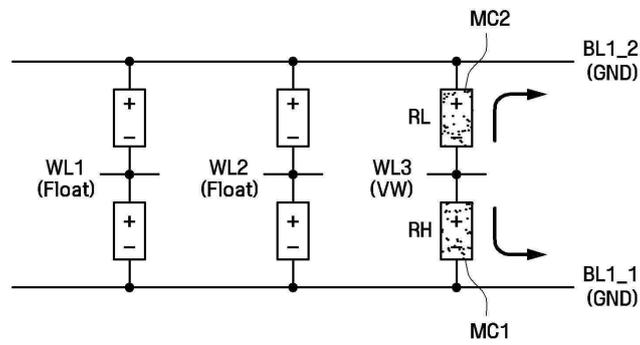
도면9b



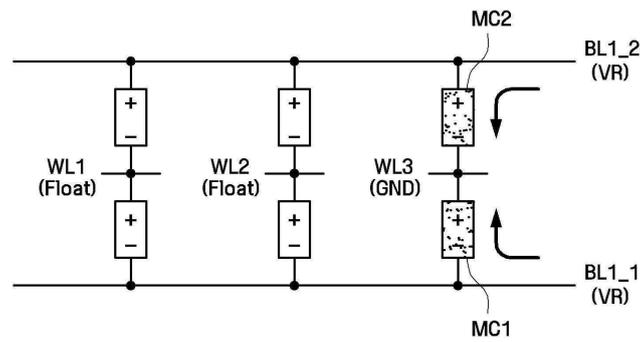
도면10a



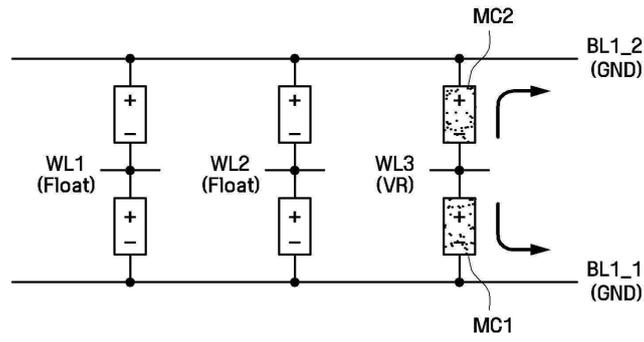
도면10b



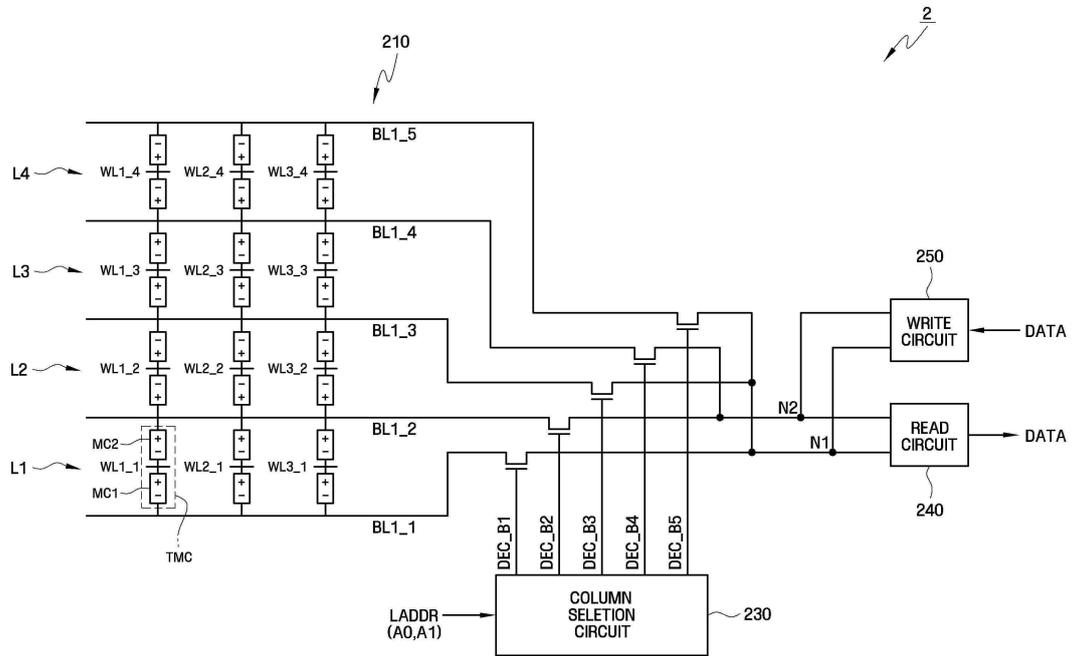
도면11a



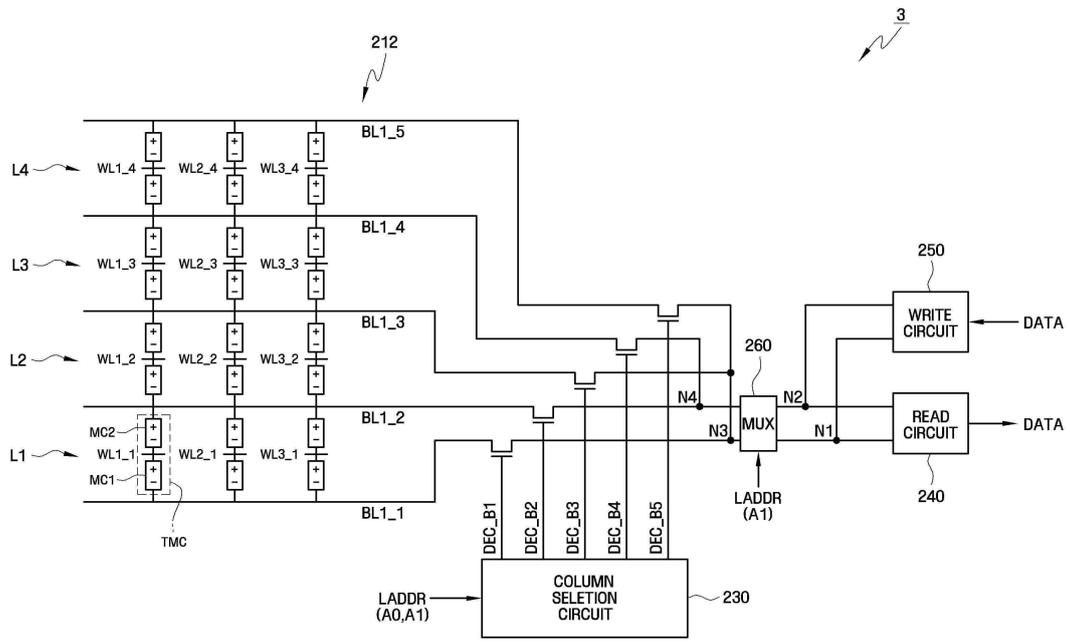
도면11b



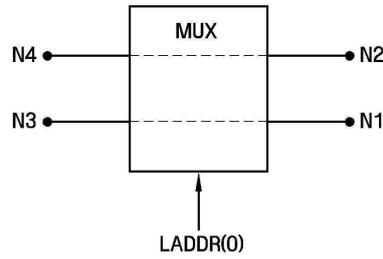
도면12



도면13



도면14a



도면14b

