

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4968068号  
(P4968068)

(45) 発行日 平成24年7月4日(2012.7.4)

(24) 登録日 平成24年4月13日(2012.4.13)

(51) Int.Cl.		F I		
HO 1 L 29/812 (2006.01)		HO 1 L 29/80		F
HO 1 L 21/338 (2006.01)		HO 1 L 29/80		Q

請求項の数 15 (全 34 頁)

(21) 出願番号	特願2007-520207 (P2007-520207)	(73) 特許権者	000004237
(86) (22) 出願日	平成18年6月12日 (2006.6.12)		日本電気株式会社
(86) 国際出願番号	PCT/JP2006/311746		東京都港区芝五丁目7番1号
(87) 国際公開番号	W02006/132419	(74) 代理人	100123788
(87) 国際公開日	平成18年12月14日 (2006.12.14)		弁理士 官崎 昭夫
審査請求日	平成20年8月18日 (2008.8.18)	(74) 代理人	100106138
(31) 優先権主張番号	特願2005-171700 (P2005-171700)		弁理士 石橋 政幸
(32) 優先日	平成17年6月10日 (2005.6.10)	(74) 代理人	100127454
(33) 優先権主張国	日本国(JP)		弁理士 緒方 雅昭
		(72) 発明者	官本 広信
			東京都港区芝五丁目7番1号 日本電気株式会社社内
		(72) 発明者	安藤 裕二
			東京都港区芝五丁目7番1号 日本電気株式会社社内

最終頁に続く

(54) 【発明の名称】 電界効果トランジスタ

(57) 【特許請求の範囲】

【請求項1】

G a A s または I n P からなる半導体基板と、  
 該半導体基板の上に設けられた化合物半導体層構造と、  
 該化合物半導体層構造上に離間して形成されたソース電極およびドレイン電極と、  
 前記ソース電極と前記ドレイン電極の間に配置されたゲート電極と、  
 前記ゲート電極と前記ドレイン電極との間の領域において、前記化合物半導体層構造の  
 上部に設けられるとともに、前記化合物半導体層構造と絶縁された第一フィールドプレ  
 ートと、

前記化合物半導体層構造の上部に設けられるとともに、前記化合物半導体層構造および  
 前記第一フィールドプレートと絶縁された第二フィールドプレートと、

を含み、

前記第二フィールドプレートが、前記第一フィールドプレートと前記ドレイン電極との  
 間の領域にあって、前記第一フィールドプレートを前記ドレイン電極から遮蔽する遮蔽部  
 を含み、

前記遮蔽部の上端が、前記第一フィールドプレートの上面よりも上部に位置しており、  
 ゲート長方向における断面視において、前記第一フィールドプレートと前記ゲート電極  
 とから構成される構造体の上部に前記第二フィールドプレートがオーバーラップするオー  
 ーラップ領域のゲート長方向の長さを  $L_{o1}$  とし、ゲート長を  $L_g$  としたときに、

$$0 < L_{o1} / L_g < 1$$

である

ことを特徴とする、電界効果トランジスタ。

【請求項 2】

前記遮蔽部の下端が、前記第一フィールドプレート下端よりも前記半導体基板の側に位置する

ことを特徴とする、請求項 1 に記載の電界効果トランジスタ。

【請求項 3】

前記ゲート電極と前記ドレイン電極との間の領域において、前記化合物半導体層構造の表面を被覆する第一絶縁膜を有し、

前記第一フィールドプレートと前記ドレイン電極との間の領域において、前記第一絶縁膜に凹部が設けられ、

前記第一フィールドプレートが、前記第一絶縁膜上に接して設けられているとともに、前記遮蔽部の下端が前記凹部内に位置する

ことを特徴とする、請求項 2 に記載の電界効果トランジスタ。

【請求項 4】

前記第一フィールドプレート下端が、前記遮蔽部下端よりも前記半導体基板の側に位置する

ことを特徴とする、請求項 1 に記載の電界効果トランジスタ。

【請求項 5】

前記ゲート電極と前記ドレイン電極との間の領域において、前記化合物半導体層構造の表面を被覆する第一絶縁膜と、

前記第一フィールドプレートと前記ドレイン電極との間の領域において、前記第一絶縁膜上に設けられた第二絶縁膜と、

を有し、

前記第一フィールドプレートが、前記第一絶縁膜上に接して設けられているとともに、前記遮蔽部の下端が前記第二絶縁膜上に接している

ことを特徴とする、請求項 4 に記載の電界効果トランジスタ。

【請求項 6】

前記第一フィールドプレートが、前記ゲート電極と同電位となっている

ことを特徴とする、請求項 1 乃至 5 のいずれか一項に記載の電界効果トランジスタ。

【請求項 7】

前記第二フィールドプレートが、前記ソース電極と同電位となっている

ことを特徴とする、請求項 1 乃至 6 のいずれか一項に記載の電界効果トランジスタ。

【請求項 8】

前記第一フィールドプレートが、前記ゲート電極と連続一体に構成されている

ことを特徴とする、請求項 1 乃至 7 のいずれか一項に記載の電界効果トランジスタ。

【請求項 9】

前記第一フィールドプレートが、前記ゲート電極から離隔して設けられた電界制御電極を含む

ことを特徴とする、請求項 1 乃至 7 のいずれか一項に記載の電界効果トランジスタ。

【請求項 10】

$L_{01} = 0$

である

ことを特徴とする、請求項 1 乃至 9 のいずれか一項に記載の電界効果トランジスタ。

【請求項 11】

前記第二フィールドプレートと前記第一フィールドプレートとがオーバーラップしているとともに、前記第二フィールドプレートと前記ゲート電極とはオーバーラップしていない

ことを特徴とする、請求項 1 乃至 9 のいずれか一項に記載の電界効果トランジスタ。

【請求項 12】

10

20

30

40

50

ゲート長方向の断面視において、  
 前記ゲート電極端部から前記ドレイン電極に向かう前記第一フィールドプレートのゲート長方向の延出幅を  $Lfp1$ 、  
 前記第二フィールドプレートの下面のゲート長方向の長さを  $Lfp2$ 、  
 としたときに、下記式(1)：

$$0.5 \times Lfp1 \leq Lfp2 \quad (1)$$

を満たすように構成されている

ことを特徴とする、請求項1乃至11のいずれか一項に記載の電界効果トランジスタ。

【請求項13】

前記化合物半導体層構造上に接して前記ゲート電極が設けられるとともに、前記化合物半導体層構造と前記ドレイン電極との間にコンタクト層が介在し、  
 前記コンタクト層がリセス構造を有し、  
 前記コンタクト層の底面に露出した前記化合物半導体層構造上に第一絶縁膜が設けられ、

前記第一絶縁膜上に接して前記第一フィールドプレートが設けられ、  
 前記第一フィールドプレートの側面を被覆する第二絶縁膜に接して前記第二フィールドプレートが設けられ、

ゲート長方向の断面視において、  
 前記ゲート電極端部から前記ドレイン電極に向かう前記第一フィールドプレートのゲート長方向の延出幅を  $Lfp1$ 、  
 前記第二フィールドプレートの下面のゲート長方向の長さを  $Lfp2$ 、  
 前記ゲート電極と前記コンタクト層のリセス底面のドレイン側端部との距離を  $Lgr$ 、  
 前記第一フィールドプレートの側面における前記第二絶縁膜の厚さを  $d3$ 、  
 としたときに、下記式(1)および式(2)：

$$0.5 \times Lfp1 \leq Lfp2 \quad (1)$$

$$Lfp1 + Lfp2 + d3 \leq 3/5 \times Lgr \quad (2)$$

を満たすように構成されている

ことを特徴とする、請求項1乃至11のいずれか一項に記載の電界効果トランジスタ。

【請求項14】

ゲート長方向の断面視において、  
 前記第二フィールドプレートの下面のゲート長方向の長さを  $Lfp2$ 、  
 前記第一フィールドプレートと前記ドレイン電極との間の領域における前記第二フィールドプレートの下面と、前記化合物半導体層構造との距離を  $d2$ 、

としたときに、下記式(3)：

$$d2 \leq 0.5 \times Lfp2 \quad (3)$$

を満たすように構成されている

ことを特徴とする、請求項1乃至13のいずれか一項に記載の電界効果トランジスタ。

【請求項15】

前記化合物半導体層構造が、Asを含むIII-V族化合物半導体層構造であることを特徴とする、請求項1乃至14のいずれか一項に記載の電界効果トランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電界効果トランジスタに関する。特に、本発明は、GaAsまたはInPからなる半導体基板に設けられているIII-V族化合物半導体を利用するヘテロ接合電界効果トランジスタにおいて、優れた高周波特性、ならびに、高電圧特性を達成する構造に関する。

【背景技術】

【0002】

化合物半導体を用いた電界効果トランジスタ(以下、適宜「FET」と称す)として、

10

20

30

40

50

例えば、従来、図17に示すものがある（非特許文献1：麻埜（K. Asano）等、1998年インターナショナル・エレクトロン・デバイス・ミーティング・ダイジェスト（IEDM98-59~62））。図17は、従来のトランジスタのうち、ヘテロ接合電界効果トランジスタ（Hetero-Junction Field Effect Transistor；以下、HJFETという）の構成を示す断面図である。

#### 【0003】

このHJFETでは、GaAs基板210の上にバッファ層211、バッファ層211の上にGaAs動作層212が形成され、その上にAlGaAsショットキー層213、GaAsコンタクト層214が形成されている。GaAsコンタクト層214の上にソース電極201とドレイン電極203が配置されており、これらの電極はGaAsコンタクト層214にオーム性接触している。また、ソース電極201とドレイン電極203の間のGaAsコンタクト層214は選択的に除去され、AlGaAsショットキー層213上にゲート電極202が配置され、ショットキー性接触している。最上層には、表面保護膜221が形成されている。

10

#### 【0004】

このようなAlGaAs/GaAs系FETにおいて、高濃度の表面準位がAlGaAsショットキー層213の表面に発生する。ゲート電極202に負の電圧を加えた場合、表面準位に負の電荷が蓄積して、空乏層がのびることによりゲート電極202のドレイン側の電界集中を緩和することが知られている。しかし、表面準位濃度が一定量を超えると、高周波動作時にゲート電極202に正の電圧を加えても、表面準位に蓄えられた負の電荷の放出が遅いため、RF大信号動作時の最大ドレイン電流が減少し飽和出力が低下する現象が知られている。このため、通常のAlGaAs/GaAs系トランジスタでは、高周波動作時の飽和出力の低下を防ぐため、表面準位の濃度は制御されている。従って、AlGaAs/GaAs系トランジスタの耐圧としては、例えば、20V、動作電圧は、その1/2、例えば、10Vが限界であった。

20

#### 【0005】

このように、化合物半導体を用いた電界効果型トランジスタは、ゲート電極が半導体基板のチャンネル層とショットキー接合しているため、ゲート電極のドレイン側の下端に電界が集中し、破壊の原因となることがあった。このことは、大信号動作を必要とする高出力FETの場合、特に大きな問題となる。そこで、このゲート電極のドレイン側エッジ部の電界集中を防止し、耐圧特性の向上を図る試みが従来から盛んに行われてきた。例えば、上記非特許文献1：麻埜（K. Asano）等、1998年インターナショナル・エレクトロン・デバイス・ミーティング・ダイジェスト（IEDM98-59~62）には、フィールドプレート電極を付加したHJFETが示されている。

30

#### 【0006】

図19は、こうしたHJFETの構成を示す断面図である。図19に示したHJFETは、GaAs基板210上に形成され、GaAs基板210上には半導体層からなるバッファ層211が形成されている。このバッファ層211上にGaAsチャンネル層212が形成されている。GaAsチャンネル層212の上には、AlGaAsショットキー層213、AlGaAsショットキー層213上にGaAsコンタクト層214が形成されている。GaAsコンタクト層214の上にソース電極201とドレイン電極203が配置されており、これらの電極は、GaAsコンタクト層214にオーム性接触している。また、ソース電極201とドレイン電極203の間のGaAsコンタクト層214は選択的に除去され、AlGaAsショットキー層213上にゲート電極202が配置され、ショットキー性接触している。最上層には、表面保護膜として機能する、第1の絶縁膜215が形成されている。

40

#### 【0007】

そして、ゲート電極202とドレイン電極203の間に、第1のフィールドプレート電極216を有し、第1のフィールドプレート電極216はゲート電極202と電氣的に接続されている。AlGaAsショットキー層213の表面は第1の絶縁膜215で覆われ

50

ており、第1のフィールドプレート電極216の直下にはこの第1の絶縁膜215が設けられている。

【0008】

図18は、従来のトランジスタのパルス幅とパルス電流との関係を示す図である。第1のフィールドプレート電極216を付加した場合(図中「 $\square$ 」)、フィールドプレート電極を設けない場合(図中「 $\square$ 」)に比べて、高い耐圧を維持したまま、高周波動作時におけるドレイン電流(図ではパルス電流)の低下を抑制することができる。このため、フィールドプレート電極を付加することにより、高周波動作時におけるドレイン電流(図ではパルス電流)の低下を抑制することができるため、高周波動作時の飽和出力の低下なしに、ゲート耐圧を向上させることが可能である。

10

【発明の開示】

【発明が解決しようとする課題】

【0009】

ところが、図19を参照して前述したHJFETでは、図16および図20に示すように、フィールドプレート部直下の寄生容量による帰還容量が大きくなり、利得が低下する懸念があった。図16は、第1の絶縁膜215およびフィールドプレートを有するHJFETのゲート-ドレイン間の電気力線を説明する図である。また、図20は、トランジスタの動作電圧と利得との関係を示す図である。図20において、 $L_{FP}$ は、フィールドプレート電極の長さであり、この例では $0.8\mu\text{m}$ である。

20

【0010】

また、技術分野は異なるが、特許文献1：特開2005-93864号公報には、GaN系のトランジスタにおいて、複数のフィールドプレートを有する構成が示されている。特許文献1：特開2005-93864号公報によれば、第2フィールドプレート電極の介在電極部が第1フィールドプレート電極とドレイン電極との間に介在することにより、ゲート・ドレイン間容量を実質的にキャンセルするとされている。

【0011】

ところが、上記特許文献1：特開2005-93864号公報に記載の構成について、本発明者らが検討したところ、後述するように、高周波領域における利得を向上させつつ、耐圧特性を向上させる点で、なお改善の余地があることが明らかになった。

【0012】

本発明は上記事情に鑑みてなされたものであり、良好な高周波特性と優れた高電圧動作特性とを兼ね備えた電界効果トランジスタを提供する。

30

【課題を解決するための手段】

【0013】

本発明者らは、電界効果トランジスタの高周波領域における利得を向上させて、高周波特性を向上させつつ、耐圧特性を向上させるという観点で、鋭意検討を行った。具体的には、耐圧を確保するためのフィールドプレートを有するトランジスタ(図19)について、周波数 $f$ と線形利得(以下、単に「利得」とも呼ぶ。)との関係について検討した。トランジスタでは、ある周波数を超えると利得が急激に低下する「転換点」が存在することが知られている。電界効果トランジスタは、高い利得を得るため、転換点よりも低周波数側で使用することが多い。従って、転換点が低周波数側に存在すると、使用可能な周波数の上限が低下することになる。

40

【0014】

図21は、高周波領域に存在する、転換点を説明する図である。図中に実線で示したように、周波数 $f_c$ が転換点であり、これより高周波数側では利得が著しく低下する。このことから、高周波特性を向上させるためには、利得を向上させるとともに、転換点を高周波数側に位置させることが必要となることがわかる。

【0015】

また、解決しようとする課題の項で前述した特許文献1：特開2005-93864号公報には、第1フィールドプレート電極の上面からソース電極の上面にわたって第2フィ

50

ールドプレート電極が形成されたパワーHEMTが記載されている。このパワーHEMTでは、第2フィールドプレート電極とソース電極とが動作領域にて電氣的に接続されており、これらが同電位となっている。

そこで、次に、こうしたトランジスタについて本発明者が検討したところ、図21中に点線で示したように、第1フィールドプレート電極からソース電極にわたって第2フィールドプレート電極を設けた場合、低周波領域における利得が向上するものの、転換点が低周波数側(図中 $f_{c'}$ )にシフトしてしまうことが明らかになった。

【0016】

そこで、本発明者らは、転換点のシフトの原因についてさらに検討した。その結果、ゲート電極および第一フィールドプレートから構成される構造体と第二フィールドプレートとのオーバーラップ領域の長さがゲート長に対して大きくなると、転換点が低周波数側にシフトするという知見を新たに得た。

【0017】

なお、本明細書において、オーバーラップ領域とは、ゲート長方向における断面視において、第一フィールドプレートとゲート電極とから構成される構造体の上部に第二フィールドプレートが配置されている領域であって、第二フィールドプレートと構造体とがゲート長方向に互いにオーバーラップしている領域である。実施例にて後述するように、このオーバーラップ領域がゲート長に対して長くなると、転換点が低周波数側にシフトしてしまうため、高周波数領域における利得が著しく低下する傾向が認められた。

【0018】

以上の知見に基づき、本発明者らは、耐圧特性に優れるとともに、高利得、かつ転換点を高周波数側に位置するトランジスタについて検討した。その結果、デュアル・フィールドプレート構造を有する電界効果トランジスタにおいて、フィールドプレート電極のオーバーラップ領域を特定の構造とするとともに、第二フィールドプレートに遮蔽部を設けることにより、こうしたトランジスタを実現可能であることが見出された。

【0019】

本発明は、こうした新たな知見に基づきなされたものである。

【0020】

本発明によれば、

GaAsまたはInPからなる半導体基板と、

該半導体基板上に設けられた化合物半導体層構造と、

該化合物半導体層構造上に離間して形成されたソース電極およびドレイン電極と、

前記ソース電極と前記ドレイン電極の間に配置されたゲート電極と、

前記ゲート電極と前記ドレイン電極との間の領域において、前記化合物半導体層構造の上部に設けられるとともに、前記化合物半導体層構造と絶縁された第一フィールドプレートと、

前記化合物半導体層構造の上部に設けられるとともに、前記化合物半導体層構造および前記第一フィールドプレートと絶縁された第二フィールドプレートと、

を含み、

前記第二フィールドプレートが、前記第一フィールドプレートと前記ドレイン電極との間の領域にあって、前記第一フィールドプレートを前記ドレイン電極から遮蔽する遮蔽部を含み、

前記遮蔽部の上端が、前記第一フィールドプレートの上面よりも上部に位置しており、ゲート長方向における断面視において、前記第一フィールドプレートと前記ゲート電極とから構成される構造体の上部に、前記第二フィールドプレートがオーバーラップするオーバーラップ領域のゲート長方向の長さを $L_{o1}$ とし、ゲート長を $L_g$ としたときに、

$$0 < L_{o1} / L_g < 1$$

である電界効果トランジスタが提供される。

【0021】

本発明の電界効果トランジスタは、GaAsまたはInPからなる半導体基板上に設け

10

20

30

40

50

られた化合物半導体層構造の上部および第一フィールドプレートと絶縁された第二フィールドプレートを含み、第二フィールドプレートが遮蔽部を含む。そして、第一フィールドプレートとドレイン電極との間の領域にあって第一フィールドプレートを前記ドレイン電極から遮蔽するとともに、遮蔽部の上端が、第一フィールドプレートの上面よりも上部に位置している。

【0022】

ここで、第一フィールドプレートの上部の角部は、電気力線が集中する箇所であるため、この部分を確実に遮蔽することが、寄生容量を低減するために重要である。本発明の電界効果トランジスタにおいては、上記構造により、第一フィールドプレートの側方において、第一フィールドプレートの側面から上端を経由してその上部に至る領域に第二フィールドプレートが設けられている。このため、第一フィールドプレートの上部角部を確実に遮蔽して、寄生容量の発生を抑制することができる。

10

【0023】

なお、本明細書において、遮蔽部は、第二フィールドプレートにおいて、第一フィールドプレートとドレイン電極との間の電界を遮蔽する部分である。遮蔽部は、電界をほぼ完全に遮蔽するように構成されていてもよいし、一部を遮蔽するように構成されていてもよい。第二フィールドプレート全体が遮蔽部となってもよいし、一部が遮蔽部となってもよい。また、本明細書において、「上部」に位置するとは、半導体基板から遠ざかる側に位置することをいい、「下部」に位置するとは、半導体基板側に位置することをいう。

20

【0024】

また、本発明の電界効果トランジスタにおいては、オーバーラップ領域のゲート長方向の長さ： $L_{ol}$ が、

$$0 < L_{ol} / L_g < 1$$

となっている。

【0025】

$0 < L_{ol} < L_g$ とすることにより、第一フィールドプレートとゲート電極とから構成される構造体と第二フィールドプレートとの間の寄生容量の発生をさらに確実に抑制することができる、また、転換点の低周波数側へのシフトをさらに確実に抑制できるため、高周波領域における利得の低下をさらに確実に抑制することができる。このため、高周波特性をさらに確実に向上させることができる。

30

【0026】

また、 $0 < L_{ol} / L_g < 1$ とすることにより、製造工程において、電界集中を再現性良く緩和して、高電圧動作可能とし、転換点を高周波数側に存在させることが可能となる。よって、本発明の電界効果トランジスタは、高電圧で動作する高周波特性に優れた構造となっている。

【0027】

本発明の電界効果トランジスタは、半導体基板として、化合物半導体基板を有することができ、さらに具体的には、GaAs基板またはInP基板を有することができる。

【0028】

本発明の電界効果トランジスタにおいて、前記遮蔽部の下端が、前記第一フィールドプレートの下端よりも前記半導体基板の側に位置する構成とすることができる。こうすれば、第一フィールドプレートをドレイン電極に対してより一層安定的に遮蔽することができる。

40

【0029】

なお、本明細書において、遮蔽部の下端とは、例えば、遮蔽部の下面であり、この遮蔽部の下面が段差や傾斜を有する場合、半導体基板側の端部をいう。

【0030】

この構成において、前記ゲート電極と前記ドレイン電極との間の領域において、前記半導体基板の上部を被覆する第一絶縁膜を有し、前記第一フィールドプレートと前記ドレイ

50

ン電極との間の領域において、前記第一絶縁膜に凹部が設けられ、前記第一フィールドプレートが、前記第一絶縁膜上に接して設けられているとともに、前記遮蔽部の下端が前記凹部内に位置する構成とすることができる。このようにすれば、遮蔽部の下端が第一フィールドプレートの下端よりも半導体基板の側に位置する電界効果トランジスタをさらに製造安定性に優れた構成とすることができる。

【0031】

また、本発明の電界効果トランジスタにおいて、前記第一フィールドプレートの下端が、前記遮蔽部の下端よりも前記半導体基板の側に位置する構成とすることもできる。こうすることにより、ドレイン側においてフィールドプレートの効き方を緩やかにし、理想的な電界分布とすることができる。このため、高周波特性の低下を最小限に抑えつつ、耐圧特性を効果的に向上させることができる。

10

【0032】

この構成において、前記ゲート電極と前記ドレイン電極との間の領域において、前記半導体基板の上部を被覆する第一絶縁膜と、前記第一フィールドプレートと前記ドレイン電極との間の領域において、前記第一絶縁膜上に設けられた第二絶縁膜と、を有し、前記第一フィールドプレートが、前記第一絶縁膜上に接して設けられているとともに、前記遮蔽部の下端が前記第二絶縁膜上に接していてもよい。こうすれば、フィールドプレートと半導体基板との距離を変化させることにより、静電容量の値を変化させることができる。このため、高周波特性の低下を最小限に抑えつつ、耐圧特性が効果的に向上した電界効果トランジスタを、さらに安定的に製造可能な構成とすることができる。

20

【発明の効果】

【0033】

以上説明したように、本発明によれば、良好な高電圧と高周波特性とを兼ね備えた電界効果トランジスタが実現される。

【図面の簡単な説明】

【0034】

【図1】図1は、本発明の実施形態に係る電界効果トランジスタの構成と、ゲート - ドレイン領域における電界分布を反映する電気力線を模式的に示す断面図である。

【図2】図2は、本発明の実施形態に係る電界効果トランジスタの構成と、各構成要素のサイズの定義を示す断面図である。

30

【図3】図3は、実施例の電界効果トランジスタの構成を示す断面図である。

【図4】図4は、実施例1の電界効果トランジスタにおいて、評価された動作電圧とパワー特性（飽和出力密度、線形利得）との関係を示す図である。

【図5】図5は、実施例に係る、ワイドリセス構造を採用している電界効果トランジスタの構成を示す断面図である。

【図6】図6は、実施例2において作製される、パラメータ  $Lfd$  が異なる複数種の電界効果トランジスタの一つの構成を示す断面図である。

【図7】図7は、実施例2において作製される、パラメータ  $Lfd$  が異なる複数種の電界効果トランジスタを用いて、評価された該トランジスタのパラメータ  $Lfd$  と利得との関係を示す図である。

40

【図8】図8は、実施例2において作製される、パラメータ  $Lfd$  が異なる複数種の電界効果トランジスタの一つの構成を示す断面図である。

【図9】図9は、実施例3において作製される、パラメータ  $Lfp2$  が異なる複数種の電界効果トランジスタを用いて、評価された該トランジスタのパラメータ  $Lfp1$  および  $Lfp2$  と利得との関係を示す図である。

【図10】図10は、実施例4において作製される、パラメータ  $Lfp2$  が異なる複数種の電界効果トランジスタを用いて、評価された該トランジスタのパラメータ  $Lfp1$ 、 $Lfp2$ 、および  $d3$  と耐圧との関係を示す図である。

【図11】図11は、本発明の他の実施形態に係る電界効果トランジスタの構成を示す断面図である。

50



【図12】図12は、実施例5において作製される、パラメータ $d_2$ が異なる複数種の電界効果トランジスタを用いて、評価された該トランジスタのパラメータ $d_2$ および $Lfp_2$ と利得との関係を示す図である。

【図13】図13は、本発明の他の実施形態に係る電界効果トランジスタの構成を示す断面図である。

【図14】図14は、実施例7において作製される、パラメータ $Lfd$ が異なる複数種の電界効果トランジスタの一つの構成を示す断面図である。

【図15】図15は、本発明の他の実施形態に係る電界効果トランジスタの構成を示す断面図である。

【図16】図16は、従来の、一つのフィールドプレート電極を具えている電界効果トランジスタの構成と、ゲート・ドレイン領域における電界分布を反映する電気力線を模式的に示す断面図である。

10

【図17】図17は、従来の、フィールドプレート電極を具えていない、ワイドリセス構造を利用する電界効果トランジスタの構成を模式的に示す断面図である。

【図18】図18は、従来の電界効果トランジスタにおいて評価された、パルス幅とパルス電流との関係に対する、一つのフィールドプレート電極を設ける効果を示す図である。

【図19】図19は、ゲート電極と同電位のフィールドプレート電極一つを具えている、従来の電界効果トランジスタの構成と、該フィールドプレート電極の機能を模式的に示す断面図である。

【図20】図20は、ゲート電極と同電位のフィールドプレート電極一つを具えている、あるいは、具えていない、二種の従来の電界効果トランジスタにおける、動作電圧と利得との関係を示す図である。

20

【図21】図21は、従来の電界効果トランジスタにおいて、ゲート電極と同電位のフィールドプレート電極一つを設ける際、その電界効果トランジスタの周波数と利得との関係の変化を模式的に示す図である。

【図22】図22は、図3に示す構成を有する、実施例1に記載する電界効果トランジスタにおける、周波数と利得との関係を示す図である。

#### 【0035】

上記図面中、下記の符号は、以下の意味を有する。

#### 【0036】

- 110 半導体基板
- 111 化合物半導体
- 112 ソース電極
- 113 ゲート電極
- 114 ドレイン電極
- 115 第1の絶縁膜
- 116 第1のフィールドプレート電極
- 117 第2の絶縁膜
- 118 第2のフィールドプレート電極
- 131 GaAs層
- 132 AlGaAs層
- 133 GaAs層

30

#### 【発明を実施するための最良の形態】

#### 【0037】

以下、GaAs基板上に形成されたFETの場合を例に、本発明の実施の形態について図面を参照して説明する。すべての図面において、共通の構成要素には同一の符号を付し、以下の説明において共通する説明を適宜省略する。なお、以下の実施の形態および実施例では、不純物のドーピングにより発生したキャリアにより駆動するGaAs系化合物半導体FETの場合を例に説明するが、本発明は、このようなFETには限られず、例えば、HJFET等の他の作用で生じるキャリアを用いたFETにも適用可能である。

40

50

## 【0038】

なお、本発明にかかるFETでは、一般に、GaAs基板、InP基板上に、エピタキシャル成長可能な「zinc-blend」型の結晶構造を有し、基板の格子定数と略等しい格子定数を示す「III-V族化合物半導体」をその動作層として利用する形態を選択することが好ましい。

## 【0039】

下記する実施の形態では、動作モードが「Depletionモード」のFET、特に、HJFETにおいて、本発明が発揮する効果と、その好適な態様を示す。

## 【0040】

(第1の実施の形態)

図1は、本実施の形態の電界効果トランジスタの構成を示す断面図である。図1に示した電界効果トランジスタは、デュアル・フィールドプレート構造を有する。

## 【0041】

このトランジスタは、GaNまたはInPからなる半導体基板110と、半導体基板110上に設けられた化合物半導体層構造(化合物半導体111)と、化合物半導体111の上部に離間して形成されたソース電極112およびドレイン電極114と、ソース電極112とドレイン電極114との間に配置されたゲート電極113と、ゲート電極113とドレイン電極114との間の領域において、半導体基板110の上部に設けられるとともに、化合物半導体111(半導体基板110)と絶縁された第一フィールドプレート(第1のフィールドプレート電極116)と、化合物半導体111(半導体基板110)の上部に設けられるとともに、化合物半導体111(半導体基板110)および第1のフィールドプレート電極116と絶縁された第二フィールドプレート(第2のフィールドプレート電極118)と、を含む。

## 【0042】

第2のフィールドプレート電極118は、第1のフィールドプレート電極116とドレイン電極114との間の領域にあって第1のフィールドプレート電極116をドレイン電極114から遮蔽する遮蔽部119を含む。また、第2のフィールドプレート電極118が、ゲート長方向の断面視において、段差部を有し、段と段とを接続する縦型部が遮蔽部119となっている。

## 【0043】

遮蔽部119の上端は、第1のフィールドプレート電極116の上面よりも上部、つまり、半導体基板110(化合物半導体111)から遠ざかる側に位置している。

## 【0044】

ゲート長方向における断面視において、第1のフィールドプレート電極116とゲート電極113とから構成される構造体の上部に第2のフィールドプレート電極118がオーバーラップするオーバーラップ領域のゲート長方向の長さを $L_{o1}$ とし、ゲート長を $L_g$ としたときに、

$$0 < L_{o1} / L_g < 1$$

である。例えば、 $L_{o1} = 0$ 、つまり、 $L_{o1} / L_g = 0$ とすることができる。

## 【0045】

図1においては、第2のフィールドプレート電極118は第1のフィールドプレート電極116の側面を被覆する一層の絶縁膜(第2の絶縁膜117)に接して設けられている。ゲート電極113の上面と略同一水平面内において、第2のフィールドプレート電極118が、第1のフィールドプレート電極116の側面から上面にわたって設けられた絶縁膜(第2の絶縁膜117)ともオーバーラップしている。

## 【0046】

図1の電界効果トランジスタは、ゲート電極113とドレイン電極114の間の領域において、半導体基板110(化合物半導体111)の上部を被覆する第一絶縁膜(第1の絶縁膜115)と、第1のフィールドプレート電極116とドレイン電極114との間の領域において、第1の絶縁膜115上に設けられた第二絶縁膜(第2の絶縁膜117)と

10

20

30

40

50

、を有し、第1のフィールドプレート電極116が、第1の絶縁膜115上に接して設けられているとともに、遮蔽部119の下端が第2の絶縁膜117上に接している。これは、第1のフィールドプレート電極116の下端が、遮蔽部119の下端よりも半導体基板110（化合物半導体111）の側に位置する構成である。

【0047】

化合物半導体111は、Asを含むIII-V族化合物半導体層構造である。

【0048】

第1のフィールドプレート電極116は、ゲート電極113と同電位となっている。また、第2のフィールドプレート電極118が、ソース電極112と同電位となっている。具体的には、ソース電極112と第2のフィールドプレート電極118とが、動作領域内では電氣的に独立に形成され、動作領域の断面視においては、ソース電極112と第2のフィールドプレート電極118とが分離形状であるとともに、アイソレーション領域内でソース電極112と第2のフィールドプレート電極118とが電氣的に接続されている。

10

【0049】

第1のフィールドプレート電極116は、ゲート電極113から離隔して設けられた電界制御電極を含む。

【0050】

図1の電界効果トランジスタにおいては、第2のフィールドプレート電極118と第1のフィールドプレート電極116とがオーバーラップしているとともに、第2のフィールドプレート電極118とゲート電極113ともオーバーラップしているが、第2のフィールドプレート電極118と第1のフィールドプレート電極116とがオーバーラップしているとともに、第2のフィールドプレート電極118とゲート電極113とはオーバーラップしていない構成とすることもできる。

20

【0051】

また、ゲート長方向の断面視において、ゲート電極113端部からドレイン電極114に向かう第1のフィールドプレート電極116のゲート長方向の延出幅を $L_{fp1}$ 、第2のフィールドプレート電極118の下面のゲート長方向の長さ、つまり遮蔽部119のゲート側端部から第2のフィールドプレート電極118のドレイン側端部までの第2のフィールドプレート118下面のゲート長方向の長さを $L_{fp2}$ 、としたときに、下記式(1)を満たすように構成されていてもよい。

30

【0052】

$$0.5 \times L_{fp1} < L_{fp2} \quad (1)$$

また、実施例で後述するように、本実施の形態の電界効果トランジスタをワイドリセス構造としてもよく、このとき、化合物半導体111上に接してゲート電極113が設けられるとともに、化合物半導体111とドレイン電極114との間にコンタクト層（図5中のGaAs層133）が介在し、コンタクト層がリセス構造を有し、コンタクト層の底面に露出した化合物半導体111（図5中のAlGaAs層132）上に第1の絶縁膜115が設けられ、第1の絶縁膜115上に接して第1のフィールドプレート電極116が設けられ、第1のフィールドプレート電極116の側面を被覆する第2の絶縁膜117に接し第2のフィールドプレート電極118が設けられ、ゲート電極113端部からドレイン電極114に向かう第1のフィールドプレート電極116のゲート長方向の延出幅を $L_{fp1}$ 、第2のフィールドプレート電極118の下面のゲート長方向の長さを $L_{fp2}$ 、ゲート電極113とコンタクト層のリセス底面のドレイン側端部との距離を $L_{gr}$ 、第1のフィールドプレート電極116の側面における第2の絶縁膜117の厚さを $d_3$ 、としたときに、下記式(1)および式(2)を満たすように構成されていてもよい。

40

【0053】

$$0.5 \times L_{fp1} < L_{fp2} \quad (1)$$

$$L_{fp1} + L_{fp2} + d_3 < 3/5 \times L_{gr} \quad (2)$$

また、ゲート長方向の断面視において、第2のフィールドプレート電極118の下面のゲート長方向の長さを $L_{fp2}$ 、第1のフィールドプレート電極116とドレイン電極1

50

14との間の領域における第2のフィールドプレート電極118の遮蔽部119の下面と、化合物半導体111との距離を $d_2$ 、としたときに、下記式(3)を満たすように構成されていてもよい。

【0054】

$$d_2 \leq 0.5 \times L_{fp2} \quad (3)$$

第1の絶縁膜115は、例えば、酸化膜であり、さらに具体的には、 $SiO_2$ 膜である。

【0055】

以下、図1に示した電界効果トランジスタの構成をさらに詳細に説明する。

【0056】

この電界効果トランジスタにおいては、半導体基板110上に成長した化合物半導体111の表面に、ソース電極112およびドレイン電極114が形成されている。また、ゲート電極113と第1の絶縁膜115を挟んだ第1のフィールドプレート電極116とが形成されており、第1のフィールドプレート電極116は、デバイスの活性領域上あるいは絶縁分離領域上でゲート電極113と電気的に接続されている。さらに、第2の絶縁膜117を挟んで第2のフィールドプレート電極118が第1のフィールドプレート電極116と隣接した2重(デュアル)フィールドプレート構造である。第2のフィールドプレート電極118は、デバイスの絶縁分離領域上で、ソース電極112と電気的に接続されている。

【0057】

なお、第1のフィールドプレート電極116(第一フィールドプレート)の下面と、化合物半導体111(化合物半導体層構造)の上面と間には、絶縁膜のみが存在する、例えば、第一絶縁膜(第1の絶縁膜115)が存在する形態とされる。その際、第一絶縁膜(第1の絶縁膜115)の厚さ $d_1$ は、第1のフィールドプレート電極116(第一フィールドプレート)に印加される電圧に起因して、該第一絶縁膜(第1の絶縁膜115)中に形成される電界が、この絶縁膜の絶縁破壊を引き起こす、破壊電界強度を超えない範囲に選択する。例えば、ゲート113に印加されるターンオン電圧:約1Vと同じ電圧が、第1のフィールドプレート電極116(第一フィールドプレート)に印加される際にも、該破壊電界強度を超えない範囲とする条件として、第一絶縁膜(第1の絶縁膜115)が $SiO_2$ 膜である場合、少なくとも、 $d_1 \leq 1 \text{ nm}$ の範囲に選択することが必要である。また、第1のフィールドプレート電極116(第一フィールドプレート)を、ゲート電極と同電位とした際、有効な電界緩和を達成する上では、 $L_{fp1}$ と $d_1$ の比率を、少なくとも、 $L_{fp1} \geq 3d_1$ の範囲に選択することが必要である。一般に、第一絶縁膜(第1の絶縁膜115)に利用する絶縁膜の誘電率: $\epsilon_1$ 、真空中の誘電率: $\epsilon_0$ を利用して、表記する際、 $L_{fp1}$ と $d_1$ の比率を、 $L_{fp1} \leq d_1 \times (\epsilon_1 / \epsilon_0)$ の範囲に選択することが好ましい。例えば、第一絶縁膜(第1の絶縁膜115)が $SiO_2$ 膜である場合、 $SiO_2$ 膜の誘電率を $\epsilon_{SiO_2}$ と表記すると、 $L_{fp1}$ と $d_1$ の比率を、 $L_{fp1} \leq d_1 \times (\epsilon_{SiO_2} / \epsilon_0)$ の範囲に選択することが好ましい。

【0058】

一方、第1のフィールドプレート電極116(第一フィールドプレート)と、第2のフィールドプレート電極118(第二フィールドプレート)とは、第二絶縁膜(第2の絶縁膜117)を挟んでいる状態に形成する形態とされる。

【0059】

半導体基板110や化合物半導体111中のチャネル層の構成材料として、GaAsをはじめとするIII-V族化合物半導体を用いることができる。III-V族化合物半導体としては、例えば、GaAs、AlGaAs、InP、GaInAsPが挙げられる。III-V族化合物半導体からなる材料を用いることで、さらに高速かつ高出力の電界効果型トランジスタが実現される。化合物半導体111は、さらに具体的には、GaAs層およびAlGaAs層が下(半導体基板110側)からこの順に積層された構成である。また、AlGaAs層とソース電極112およびドレイン電極114との間に、コンタクト層とし

10

20

30

40

50

て機能するGaAs層が、さらに設けられていてもよい。

【0060】

なお、半導体基板110としては、高抵抗の基板が利用される。特に、高周波領域で使用されるFETを作製する目的では、例えば、作製されるFETで構成されるマイクロ波集積回路を該基板上に形成する際には、少なくとも、該半導体基板の抵抗率は、 $> 10^4 \text{ ohm} \cdot \text{cm}$ の範囲に選択することが好ましい。すなわち、該半導体基板の抵抗率を、 $> 10^4 \text{ ohm} \cdot \text{cm}$ に選択することで、該マイクロ波集積回路の動作周波数が、10GHz以下である際、発生する損失を問題としない範囲に抑制することができる。特に、III-V族化合物半導体基板を採用する際には、所謂、半絶縁性基板を利用することがより好ましい。

10

【0061】

第1の絶縁膜115および第2の絶縁膜117の具体的な組み合わせとして、例えば、第1の絶縁膜115および第2の絶縁膜117を、それぞれSiO<sub>2</sub>膜およびSiN膜とする構成が挙げられる。こうすることにより、化合物半導体111の表面における表面電荷の発生を、さらに効果的に抑制することができる。

【0062】

また、この電界効果トランジスタは、第1のフィールドプレート電極116およびゲート電極113と、第2のフィールドプレート電極118とのオーバーラップ領域のゲート長方向の長さ： $L_{ol}$ と、ゲート長： $L_g$ との間に、

(i)  $L_{ol} = 0$ 、または

(ii)  $0 < L_{ol} / L_g < 1$

が成り立つ構成となっている。

20

【0063】

オーバーラップ領域とは、ゲート長方向における断面視において、第2のフィールドプレート電極118と、第1のフィールドプレート電極116およびゲート電極113とからなる構造体とがゲート長方向に互いにオーバーラップしている領域である。

【0064】

オーバーラップ領域を、上記(ii)を満たす構成とすることにより、利得の転換点を高周波数側に存在させることが可能であるため、高周波領域における利得の低下を抑制し、高周波特性を向上させつつ、第1のフィールドプレート電極116をドレイン電極114からさらに確実にシールドすることができる。そして、 $L_{ol}$ と $L_g$ との比を上記範囲とすることにより、ゲート・ソース間の余分な寄生容量の大きさを、ゲート電極113のゲート長 $L_g$ に起因する真の容量に対して十分に小さくすることができる。

30

【0065】

なお、上記(ii)を満たす構成の場合、さらに好ましくは、 $0 < L_{ol} / L_g < 0.7$ とすることができる。こうすることにより、ゲート・ソース間の寄生容量をさらに好適に抑制することができる。また、転換点の低周波数側へのシフトをさらに安定的に抑制することができる。

【0066】

また、オーバーラップ領域の長さ： $L_{ol}$ が上記(i)を満たす構成とすることにより、ゲート・ソース間の寄生容量をさらに好適に抑制することができる。また、利得の低下をさらに好適に抑制可能である。

40

【0067】

なお、第1のフィールドプレート電極116（第一フィールドプレート）側壁と、第2のフィールドプレート電極118（第二フィールドプレート）の遮蔽部119と間も、第二絶縁膜（第2の絶縁膜117）が挟まれている結果、付加的な寄生容量が生成している。この遮蔽部119に起因する、付加的な寄生容量も、ゲート・ソース間の寄生容量に寄与を示す。かかる遮蔽部119に起因する、付加的な寄生容量の寄与を抑制する上では、第1のフィールドプレート電極116（第一フィールドプレート）側壁の高さ： $h_{fp1}$ は、少なくとも、ゲート電極113の高さ： $h_g$ を超えない範囲に設定する。すなわち、

50

図 2 に示す構成において、第 1 のフィールドプレート電極 1 1 6 ( 第 1 フィールドプレート ) 側壁の高さ :  $h_{fp1}$  は、一般に、 $h_{fp1} = 0.4 \mu m$  の範囲に選択することが好ましい。

【 0 0 6 8 】

遮蔽部 1 1 9 は、第 2 のフィールドプレート電極 1 1 8 のうち、第 1 のフィールドプレート電極 1 1 6 とドレイン電極 1 1 4 との間に設けられるとともに、半導体基板 1 1 0 の法線方向に延在する領域である。遮蔽部 1 1 9 は、第 1 のフィールドプレート電極 1 1 6 の側面に沿って設けられており、第 1 のフィールドプレート電極 1 1 6 をドレイン電極 1 1 4 から遮蔽する。そして、遮蔽部 1 1 9 の上面 ( 上端 ) が第 1 のフィールドプレート電極 1 1 6 の上端 ( 上面 ) よりも上に位置しているため、電気力線の集中しやすい第 1 のフィールドプレート電極 1 1 6 の上部の角部およびその上下の領域を遮蔽部 1 1 9 により遮蔽することができる。このため、第 1 のフィールドプレート電極 1 1 6 とドレイン電極 1 1 4 との間の帰還容量の発生を好適に抑制することができる。

10

【 0 0 6 9 】

また、第 1 のフィールドプレート電極 1 1 6 の下端が、遮蔽部 1 1 9 の下端よりも化合物半導体 1 1 1 側に位置する。これは、各々のフィールドプレート直下の絶縁膜の厚さが、ゲート電極 1 1 3 側から遠ざかるにつれて厚くなっている構成である。さらに具体的には、ゲート電極 1 1 3 とドレイン電極 1 1 4 との間に、ゲート電極 1 1 3 と同電位の第 1 のフィールドプレート電極 1 1 6 と、ソース電極 1 1 2 と同電位の第 2 のフィールドプレート電極 1 1 8 とが、それぞれ、第 1 の絶縁膜 1 1 5 および第 2 の絶縁膜 1 1 7 上に順次形成されている。このようにすることによって、ドレイン側においてフィールドプレートの効き方を緩やかにし、理想的な電界分布とすることができる。このため、耐圧をさらに効果的に向上させることができる。

20

【 0 0 7 0 】

また、第 1 のフィールドプレート電極 1 1 6 は、ゲート電極 1 1 3 と同電位である。また、第 2 のフィールドプレート電極 1 1 8 は、所定の電位に固定することでき、例えば、ソース電極 1 1 2 と同電位である。このようにすることによって、第 1 のフィールドプレート電極 1 1 6 とドレイン電極 1 1 4 との間の容量を、より一層確実に低減することができる。また、第 2 のフィールドプレート電極 1 1 8 に印加される電圧をダイナミックに変動させてもよい。

30

【 0 0 7 1 】

また、第 2 のフィールドプレート電極 1 1 8 がソース電極 1 1 2 と同電位となることにより、第 1 のフィールドプレート電極 1 1 6 をドレイン電極 1 1 4 から遮蔽して、第 1 のフィールドプレート電極 1 1 6 とドレイン電極 1 1 4 間の電気力線の大部分を終端させる。このため、第 1 のフィールドプレート電極 1 1 6 とドレイン電極 1 1 4 との間の帰還容量を大幅に低減することが可能となり、トランジスタの高周波領域の利得が向上する。

【 0 0 7 2 】

また、図 1 の電界効果トランジスタでは、ゲート電極 1 1 3 とドレイン電極 1 1 4 の間において、ゲート電極 1 1 3 と同電位の第 1 のフィールドプレート電極 1 1 6 と、ソース電極 1 1 2 と同電位の第 2 のフィールドプレート電極 1 1 8 が、それぞれ、第 1 の絶縁膜 1 1 5 および第 2 の絶縁膜 1 1 7 上に順次形成されている。そして、空気よりも誘電率の高い第 2 の絶縁膜 1 1 7 を挟んで、ゲート電極 1 1 3 と同電位の第 1 のフィールドプレート電極 1 1 6 と、ソース電極 1 1 2 と同電位の第 2 のフィールドプレート電極 1 1 8 が、ドレイン電極 1 1 4 方向に順次配置されることで、ゲート電極 1 1 3 近傍の電界集中が、第 1 のフィールドプレート電極 1 1 6 のみの従来構造 ( 図 1 9 ) の場合と比較して、大幅に緩和される。従って、より高いドレイン電圧までトランジスタ動作が可能となる。

40

【 0 0 7 3 】

また、第 2 のフィールドプレート電極 1 1 8 が化合物半導体 1 1 1 の表面ではなく、絶縁膜上に形成されているため、電子の注入も低く抑えられる。このため、化合物半導体トランジスタでしばしば問題となる、負の電荷の注入に起因する負の表面電荷に因る、高周

50

波動作時の飽和出力低下を好適に抑制することができる。

【 0 0 7 4 】

以上のように、本実施の形態の電界効果トランジスタにおいては、ドレイン電極 1 1 4 とゲート電極 1 1 3 との間の帰還容量が大幅に低減され、かつゲート電極 1 1 3 近傍の電界集中も大幅に緩和される。このため、図 1 の電界効果トランジスタは、高利得と高電圧動作が可能となり、高周波動作時の出力特性が格段に向上した構成となっている。例えば、図 1 の電界効果トランジスタは、ゲート - ドレイン電極間の帰還容量を低減して高い利得を有するとともに、ゲート耐圧と飽和出力の低下のトレードオフが改善されるため、電圧 3 5 V 以上の高電圧においても、高出力動作が可能な構成である。

【 0 0 7 5 】

また、ゲート電極 1 1 3 と第 1 のフィールドプレート電極 1 1 6 とが独立した部材となっているため、これらの材料をそれぞれ独立に選択することができる。例えば、ゲート電極 1 1 3 として、ショットキー特性が良好な金属材料と、第 1 のフィールドプレート電極 1 1 6 として、配線抵抗が低く、絶縁膜 ( 第 1 の絶縁膜 1 1 5 ) と密着性の良い金属材料をそれぞれ独立に選択することが可能となる。このため、高利得、高電圧動作の観点から、後述する第 2 の実施の形態より、さらに優れた高周波・高出力特性が得られるという効果を奏する。

【 0 0 7 6 】

第 2 のフィールドプレート電極 1 1 8 の寸法は、電界集中の緩和と帰還容量低減の観点から決定することができ、例えば、図 2 において、以下のように決めることがさらに好ましい。なお、図 2 および以下の説明において、ゲート長方向の断面視における長さを示す各記号の意味は以下の通りである。

L g : ゲート長、

L f p 1 : ゲート電極 1 1 3 のドレイン側端部から第 1 のフィールドプレート電極 1 1 6 のドレイン電極 1 1 4 側端部までの長さ、

L f p 2 : 第 2 のフィールドプレート電極 1 1 8 の下面のゲート長方向の長さ、つまり、遮蔽部 1 1 9 のゲート側端部から第 2 のフィールドプレート電極 1 1 8 のドレイン側端部までの第 2 のフィールドプレート 1 1 8 下面のゲート長方向の長さ、

L f d : 第 1 のフィールドプレート電極 1 1 6 とゲート電極 1 1 3 とから構成される構造体ならびに第 2 の絶縁膜 1 1 7 と第 2 のフィールドプレート電極 1 1 8 の第 2 の絶縁膜 1 1 7 を挟んでの交差量、 $L f d = L o 1 + d 3$  である、

L g d : ゲート電極 1 1 3 とドレイン電極 1 1 4 との間の距離、

L g r : リセス構造を有するトランジスタの場合、ゲート電極 1 1 3 のドレイン側端部とコンタクト層のリセス底面のドレイン側端部との距離、

d 1 : 第 1 のフィールドプレート電極 1 1 6 の底面と化合物半導体 1 1 1 との距離。図 2 では、第 1 の絶縁膜 1 1 5 の厚さに対応する。

d 2 : 第 2 のフィールドプレート電極 1 1 8 の底面と化合物半導体 1 1 1 との距離。図 2 では、第 1 の絶縁膜 1 1 5 の厚さと第 2 の絶縁膜 1 1 7 の厚さの和に対応する。

d 3 : 第 1 のフィールドプレート電極 1 1 6 と第 2 のフィールドプレート電極 1 1 8 に挟まれた絶縁膜の厚さ。図 2 においては、第 2 の絶縁膜 1 1 7 のゲート長方向の厚さに対応する。

L o 1 : ゲート電極 1 1 3 と第 1 のフィールドプレート電極 1 1 6 とから構成される構造体と第 2 のフィールドプレート電極 1 1 8 とのオーバーラップ領域のゲート長方向の長さ。

【 0 0 7 7 】

第 1 のフィールドプレート電極 1 1 6 のドレイン側への張り出し量 : L f p 1 は、例えば、 $0.5 \mu m$  とすることができる。こうすることにより、ゲート電極 1 1 3 のドレイン側端部への電界集中をより一層効果的に抑制することができる。また、L f p 1 は、 $1.5 \mu m$  以下とすることができる。こうすることにより、帰還容量の増加に伴う高周波特性の低下をさらに確実に抑制することができる。

10

20

30

40

50

## 【0078】

また、第2のフィールドプレート電極118に関して、そのゲート長方向の長さ： $L_{fp2}$ は、例えば、

$$0.5 \times L_{fp1} - L_{fp2} \quad (1)$$

とすることができる。こうすることにより、第1のフィールドプレート電極116とドレイン電極114との間の電気力線をさらに十分に遮断することができる。

## 【0079】

一方、耐圧の観点からは、ドレイン電極114と化合物半導体111との間にコンタクト層(図2では(不図示))を形成するとともに、第2のフィールドプレート電極118の端部をドレイン電極114から一定割合の距離だけ離すことが好ましい。この点では、  
10 例え、所謂、ワイドリセス構造を採用した場合、第1のフィールドプレート電極116と第2のフィールドプレート電極118に挟まれた絶縁膜の厚さを $d_3$ 、ゲート電極113とコンタクト層のリセス底面のドレイン側端部との距離を $L_{gr}$ (図5)とすると、例え、

$$L_{fp1} + L_{fp2} + d_3 \geq 3/5 \times L_{gr} \quad (2)$$

を満たす構成とすることができる。こうすることにより、より一層耐圧を向上させることができる。また、上記式(1)および式(2)を同時に満たす構成とすることがさらに好ましい。

## 【0080】

なお、該ワイドリセス構造を採用する際、ゲート電極113とコンタクト層のリセス底面のドレイン側端部との距離： $L_{gr}$ は、耐圧向上の観点から、少なくとも、 $L_{gr} \geq L_g$ を満足する範囲に選択する必要がある。なお、このワイドリセス構造において、第一絶縁膜(第1の絶縁膜115)により被覆される、化合物半導体111(化合物半導体層構造)の表面に形成される、界面準位の影響による、パワー特性低下を防ぐためには、この  
20  $L_{gr}$ は、 $L_{gr} \geq 3 \mu\text{m}$ の範囲に選択することが好ましい。

## 【0081】

第1のフィールドプレート電極116(第一フィールドプレート)と、第2のフィールドプレート電極118(第二フィールドプレート)との挟まれる絶縁膜、すなわち、第二絶縁膜(第2の絶縁膜117)は、この両者間を絶縁分離している。第1のフィールドプレート電極116(第一フィールドプレート)を、ゲート電極113と同じ電位に、第2  
30 のフィールドプレート電極118(第二フィールドプレート)をソース電極112と同じ電位にする際、かかる部位において、第二絶縁膜(第2の絶縁膜117)の絶縁破壊が生じないように、絶縁膜の厚さ： $d_3$ を選択する必要がある。例えば、ゲートのターンオン電圧1Vの時に、該第二絶縁膜(第2の絶縁膜117)の絶縁破壊強度 $E_{break2}$ とすると、少なくとも、 $E_{break2} > (1V/d_3)$ 、すなわち、 $d_3 > (1V/E_{break2})$ を満足するようにする。

## 【0082】

一方、第1のフィールドプレート電極116(第一フィールドプレート)と、第2のフィールドプレート電極118(第二フィールドプレート)と、それに挟まれる絶縁膜で構成されるキャパシタに起因する寄生容量を低減する上では、第二絶縁膜(第2の絶縁膜1  
40 117)に用いる絶縁膜の厚さ： $d_3$ 、ならびに、該絶縁膜の誘電率： $\epsilon_2$ は、 $0.5 \mu\text{m} \leq d_3 / (\epsilon_2 / \epsilon_0) \leq 0.01 \mu\text{m}$ の範囲に選択することが好ましい。

## 【0083】

また、第1の絶縁膜115の厚さを $d_1$ としたとき、第1のフィールドプレート電極116とドレイン電極114間の絶縁膜上の、第2のフィールドプレート電極118と化合物半導体111の距離 $d_2$ は、例えば、

$$d_2 \geq 0.5 \times L_{fp2} \quad (3)$$

とすることができる。上記構成は、例えば、第1の絶縁膜115の厚さおよび第2の絶縁膜117の厚さを、上記式(3)を満たす厚さになるよう調節することにより得られる。こうすれば、第1のフィールドプレート電極116とドレイン電極114間の電気力線を  
50



より一層充分に遮断することができる。

【0084】

なお、第2のフィールドプレート電極118と化合物半導体111の距離 $d_2$ は、例えば、第1の絶縁膜115の厚さ： $d_1$ および第2の絶縁膜117の厚さ： $d_3$ の和である際、その下限は、 $(d_1 + d_3)$ の下限によって決まる。一方、後述するように、リセス処理を行った後、第2のフィールドプレート電極118を形成する際には、絶縁膜の厚さ： $d_2$ は、第2のフィールドプレート電極118（第二フィールドプレート）に印加される電圧に起因して、該絶縁膜中に形成される電界が、この絶縁膜の絶縁破壊を引き起こす、破壊電界強度を超えない範囲に選択する。例えば、第2のフィールドプレート電極118（第二フィールドプレート）を、ソース電極と同じ電位とする際には、該破壊電界強度を超えない範囲とする条件として、絶縁膜が $SiO_2$ 膜である場合、少なくとも、 $d_2$  1 nmの範囲に選択することが必要である。

10

【0085】

また、本実施の形態において、 $0 < L < d$ であり、かつ第2の絶縁膜117の両側に接して第1のフィールドプレート電極116と第2のフィールドプレート電極118とがそれぞれ設けられた構成である。第1のフィールドプレート電極116と第2のフィールドプレート電極118とが一層の絶縁膜によって離隔された構成とすることにより、第1のフィールドプレート電極116をドレイン電極114からさらに確実に遮蔽することができる。

【0086】

ここで、第1の絶縁膜115の表面に同一水平面上に第1のフィールドプレート電極116と第2のフィールドプレート電極118を設けた後、その上面全面に絶縁膜を設けてこれらのフィールドプレート間を絶縁する場合、電極間の埋設不良により、絶縁膜にエアギャップが生じる懸念がある。すると、エアギャップにおける誘電率の低下により、第1のフィールドプレート電極116のゲート電極113に対する遮蔽効果が低下する懸念がある。そこで、本実施の形態では、第1のフィールドプレート電極116の形成後、第1のフィールドプレート電極116の側面から第1の絶縁膜115の上面にわたって第2の絶縁膜117を設け、第2の絶縁膜117上に第2のフィールドプレート電極118を形成することにより、第2の絶縁膜117にエアギャップが形成されることが抑制される。よって、第2のフィールドプレート電極118を第2の絶縁膜117に直接接する状態で安定的に形成可能である。

20

30

以下の実施の形態では、第1の実施の形態と異なる点を中心に説明する。

【0087】

（第2の実施の形態）

第1の実施の形態においては、ゲート電極113と第1のフィールドプレート電極116が構造的に分離されており、素子のアイソレーション領域で電氣的に接続する構成の場合を例に説明したが、ゲート電極113と第1のフィールドプレート電極116とが連続一体に形成された一体型の構成であってもよい。

【0088】

図3は、本実施の形態の電界効果トランジスタの構成を示す断面図である。

40

【0089】

図3に示した電界効果トランジスタの基本構成は、第1の実施の形態に記載の電界効果トランジスタ（図1）と同様であるが、第1のフィールドプレート電極116が、ゲート電極113と連続一体に構成されている。なお、本明細書において、「連続一体」とは、連続体として一体に成形されていることをいう。また、単一部材からなり、接合部を有しない構造であることが好ましい。ゲート電極113と第1のフィールドプレート電極116とを一体型とすることにより、これらの電極を同一工程で同時に形成することが可能であるとともに、安定的に製造することが可能な構成とすることができる。また、第1のフィールドプレート電極116の電位をさらに確実にゲート電極113と同電位とすること

50

ができる。また、ゲート電極 113 と第 1 のフィールドプレート電極 116 とが連続一体であるため、ゲート電極 113 の側面よりドレイン電極 114 側を、さらに確実に遮蔽することが可能となる。

#### 【0090】

なお、図 3 の構成においては、化合物半導体 111 として、GaAs 層 131、AlGaAs 層 132 および GaAs 層 133 からなる積層構造が設けられている。GaAs 層 131、AlGaAs 層 132 および GaAs 層 133 は、それぞれ、動作層、ショットキー層およびコンタクト層として機能する。また、AlGaAs 層 132 とソース電極 112 およびドレイン電極 114 との間に GaAs 層 133 が設けられており、ゲート電極 113 の下部を一部、GaAs 層 133 の開口部に埋め込んだ、所謂、ゲートリセス構造を有している。これにより、第 1 のフィールドプレート電極 116 の作用と相俟ってさらに優れたゲート耐圧が得られる。

10

#### 【0091】

(第 3 の実施の形態)

以上の実施の形態においては、第 1 のフィールドプレート電極 116 の下面が、遮蔽部 119 の下面よりも化合物半導体 111 の側に位置する構成の場合について説明した。以上の実施の形態に記載の電界効果トランジスタにおいて、遮蔽部 119 の下面が、第 1 のフィールドプレート電極 116 の下面よりも下部すなわち化合物半導体 111 側に位置する構成とすることもできる。本実施の形態では、第 2 の実施の形態のトランジスタの場合を例に説明する。

20

#### 【0092】

図 11 は、本実施の形態の電界効果トランジスタの構成を示す断面図である。

#### 【0093】

図 11 に示した電界効果トランジスタでは、遮蔽部 119 の下端が、第 1 のフィールドプレート電極 116 の下端よりも AlGaAs 層 132 の側に位置する。具体的には、ゲート電極 113 とドレイン電極 114 との間の領域において、AlGaAs 層 132 表面を被覆する第 1 の絶縁膜 115 を有し、第 1 のフィールドプレート電極 116 とドレイン電極 114 との間の領域において、第 1 の絶縁膜 115 に凹部（不図示）が設けられ、第 1 のフィールドプレート電極 116 が、第 1 の絶縁膜 115 上に接して設けられている。そして、第 2 のフィールドプレート電極 118 の遮蔽部 119 の下端が凹部内に位置しており、第 2 のフィールドプレート電極 118 の下面およびその近傍が、凹部内に埋設されている。また、遮蔽部 119 の形成領域において第 2 の絶縁膜 117 が除去されるとともに第 1 の絶縁膜 115 がエッチング除去されて薄化している。そして、遮蔽部 119 が薄化部に接している。

30

#### 【0094】

このようにすれば、遮蔽部 119 の上部（上端）が第 1 のフィールドプレート電極 116 の上面から上部に突出するとともに、遮蔽部 119 の下面（下端）が第 1 のフィールドプレート電極 116 の下面よりも AlGaAs 層 132 側に突出する構成となる。このため、第 1 のフィールドプレート電極 116 の側面の遮蔽に加えて、特に電気力線の集中しやすい第 1 のフィールドプレート電極 116 の上部の角部および下部の角部を、ドレイン電極 114 に対して、さらに効果的に遮蔽することができる。よって、第 1 のフィールドプレート電極 116 とドレイン電極 114 との間の帰還容量をさらに低減し、高周波特性を向上させることができる。

40

#### 【0095】

下記の実施例においては、FET の動作にかかわるキャリアとして、電子を用いる事例を示すが、勿論、キャリアとして、正孔を用いる構成においても、第 2 のフィールドプレートによる遮蔽効果は、全く同様に得られる。

#### 【実施例】

#### 【0096】

以下、具体的な実施例を用いて、以上の実施の形態の構成をさらに詳細に説明する。実

50

実施例 1 ~ 実施例 5 は、第 2 または第 3 の実施の形態に対応し、実施例 6 ~ 実施例 10 は第 1 または第 2 の実施の形態に対応する。

【0097】

(実施例 1)

本実施例では、図 3 に示した電界効果トランジスタを作製し、評価した。半導体基板 110 として、高抵抗 GaAs (半絶縁性 GaAs) 基板を用い、化合物半導体 111 に対応する層として、例えば、AlGaAs バッファ層 (不図示) を 100 nm、GaAs 層 131 を 400 nm、AlGaAs 層 132 (Al 組成比 0.20、厚さ 30 nm)、および GaAs 層 133 (Siドナー濃度  $1 \times 10^{17} \text{ cm}^{-3}$ 、厚さ 50 nm) を形成した。金属膜として AuGe、Ni および Au をこの順に蒸着し、リフトオフ工程を用いて

10

【0098】

次に、第 1 の絶縁膜 115 として、例えば熱 CVD 法を用いて、SiO<sub>2</sub> 膜を 100 nm 形成してゲート電極 113 の形成領域をドライエッチングにより開口した。さらに、第 1 の絶縁膜 115 の SiO<sub>2</sub> 膜をマスクとして、GaAs 層 133 の露出部を選択的に除去した。GaAs の除去は、塩素とフッ素を含むガスを用いたドライエッチングにより行った。

【0099】

続いて、半導体基板 110 の上面全面に Ti および Al をこの順に蒸着し、リフトオフ法を用いてゲート電極 113 と第 1 のフィールドプレート電極 116 との一体型電極を形成した。ゲート電極 113 のゲート長  $L_g = 1.0 \mu\text{m}$  とし、第 1 のフィールドプレート電極 116 の  $L_{fp1} = 0.8 \mu\text{m}$  とした。

20

【0100】

そして、第 2 の絶縁膜 117 として、SiN を 150 nm 成膜し、その上層に、Ti、Pt および Au 膜をこの順に蒸着後、リフトオフすることにより、第 2 のフィールドプレート電極 118 を形成した。第 2 のフィールドプレート電極 118 の  $L_{fd} = 0.4 \mu\text{m}$ 、 $L_{fp2} = 1.0 \mu\text{m}$  とした。その後の配線工程において、第 2 のフィールドプレート電極 118 をソース電極 112 とアイソレーション領域にて電氣的に接続した。

【0101】

また、本実施例の効果を従来構造に対して比較するため、従来構造のフィールドプレートトランジスタとして、第 2 のフィールドプレート電極 118 を有しない電界効果トランジスタ (図 19) を作製した。

30

【0102】

図 4 は、動作周波数 1.5 GHz における本実施例および従来のトランジスタのパワー特性評価結果を示す図である。本実施例では、トランジスタの発熱の影響を抑制して、本実施例の効果を明確にするため、ゲート幅 4 mm の基本素子の連続動作で比較した。

【0103】

図 4 に示したように、従来のトランジスタ (図 19) では、比較的低い動作電圧においては、フィールドプレート部 216 に因るゲート - ドレイン電極間の帰還容量により、充分な利得が得られず、1.5 V 以上の動作電圧においても利得が 15 dB 程度であった。また、出力密度についても、3.5 V 以上の動作電圧において表面準位による RF 動作時のドレイン電流が低下する現象が現れ、飽和出力が 2.0 W/mm の値で飽和の傾向にある。

40

【0104】

これに対し、本実施例のトランジスタでは、ゲート - ドレイン電極間の帰還容量が低減されるため、低い動作電圧から 16 dB 程度の高い利得が得られた。さらに、第 1 のフィールドプレート電極 116 と第 2 のフィールドプレート電極 118 とが、第 2 の絶縁膜 117 を介して隣接しているため、電界集中の緩和効果が高くなり、50 V 動作まで表面準位による RF 動作時のドレイン電流減少は現れず、動作電圧と共に飽和出力密度は増加し、3.0 W/mm の飽和出力密度を実現した。

50

## 【0105】

また、上記実施例ではGaAs層133に埋め込む形でゲート電極113を形成したトランジスタについて説明したが、以下の構成のトランジスタの作製および評価も行った。

## 【0106】

図5は、本実施例のトランジスタの別の構成を示す図である。

## 【0107】

図5に示した電界効果トランジスタの基本構成は図3に示したものと同様に、ソース電極112とAlGaAs層132の表面との間およびドレイン電極114とAlGaAs層132の表面との間にGaAs層133との間に、コンタクト層が介在する構成であるが、図5では、所謂、ワイドリセス構造となっている。図5に示した電界効果トランジスタでは、GaAs層133に開口部が設けられ、半導体基板110から上部に遠ざかるほど、開口部が拡径している。GaAs層133の底面における開口部の開口幅よりもゲート電極113のゲート長が短く、GaAs層133底面において、開口部からAlGaAs層132が露出しており、AlGaAs層132の露出面と第1のフィールドプレート電極116との間に第1の絶縁膜115が設けられた構成となっている。かかる構成を採用した場合、第1のフィールドプレート電極116およびその直下の絶縁膜構造との相乗作用により、ゲート電極113のドレイン側端部の電界集中をより効果的に分散・緩和することができる。

10

## 【0108】

本実施例では、図5に示すトランジスタを、以下の手順で形成した。ソース電極112およびドレイン電極114を5 $\mu$ m間隔で形成した後、所定の領域にレジストを設け、このレジストをマスクとして、ソース電極112とドレイン電極114との間の中心から2.5 $\mu$ mの幅のGaAs層133を選択的に除去した。GaAsの除去は、塩素とフッ素を含むガスを用いたドライエッチングにより行った。

20

## 【0109】

そして、第1の絶縁膜115として、例えば熱CVD法を用いて、SiO<sub>2</sub>膜を100nm形成し、SiO<sub>2</sub>膜のゲート電極形成領域をドライエッチングにより開口した。TiおよびAlをこの順に蒸着後、リフトオフして、ゲート電極113および第1のフィールドプレート電極116の一体型電極を形成した。ゲート電極113のゲート長 $L_g = 1.0\mu\text{m}$ 、第1のフィールドプレート電極116の $L_{fp1} = 0.8\mu\text{m}$ とした。

30

## 【0110】

得られたトランジスタについて、上述した評価を行ったところ、さらに利得の高いトランジスタ特性が得られた。

## 【0111】

次に、図4の評価に用いたトランジスタについて、周波数と利得の関係を調べた。具体的には、図3および図19に示したトランジスタにおいて、電源電圧 $V_{dd} = 28\text{V}$ 、ゲート幅 $W_g = 2\text{mm}$ 、ゲート長 $L_g = 1.0\mu\text{m}$ 、 $L_{fp1} = 0.8\mu\text{m}$ 、 $d_3 = 150\text{nm}$ として、 $L_{fd} = 0\mu\text{m}$ 、 $0.4\mu\text{m}$ 、 $1.0\mu\text{m}$ 、 $1.4\mu\text{m}$ 、 $2.0\mu\text{m}$ および $3.0\mu\text{m}$ と変化させて、利得が急激に低下する転換点を調べた。

## 【0112】

図22(a)および図22(b)は、転換点の測定結果を示す図である。図22(a)は、周波数(GHz)と最大安定電力利得MSG(dB)または最大有能電力利得MAG(dB)との関係を示す図である。図22(b)は、図3に示したトランジスタにおいて、 $L_{fd} = d_3 + L_{ol}$ ( $\mu\text{m}$ )と転換点(GHz)との関係を示す図である。

40

## 【0113】

図22(a)および図22(b)より、フィールドプレートの一つ有する従来のトランジスタ(図19)に対して、図3に示した構成とすることにより、利得を向上させることが可能であった。そして、ゲート長 $L_g = 1.0\mu\text{m}$ の構成において、 $0 < L_{fd} < 1.0\mu\text{m}$ とすることにより、転換点を10GHz以上に維持することが可能であり、例えば、5GHz以上の高周波数領域においても、転換点よりも低周波数側で動作可能であり、

50

高い利得を安定的に得ることが可能であることがわかった。

【0114】

また、 $L_{fd} = 1.0 \mu\text{m}$ 、 $L_g = 1.0 \mu\text{m}$ 、 $d_3 = 150 \text{nm}$ より、第1のフィールドプレート電極116およびゲート電極113と第2のフィールドプレート電極118とのオーバーラップ領域のゲート長方向の長さ： $L_{ol}$ について、

$$L_{ol} / L_g = (L_{fd} - d_3) / L_g \text{ であり、}$$

$$0 < L_{ol} / L_g < 1$$

を満たす構成とすることにより、転換点を高周波数側に好適に維持することが可能であることが明らかになった。

【0115】

なお、本実施例では、第2のフィールドプレート電極118の材料となる金属として、Ti、PtおよびAuを用いたが、本実施例および以降の他の実施例において、第2のフィールドプレート電極118の材料は絶縁膜上において剥離しない導電材料であればよく、例えば、他の金属材料を用いてもよい。他の導電材料として、例えば、TiN、WSi、WN、Mo、AlおよびCuからなる群から選択される一または二以上の金属が挙げられる。これらは単層としてもよいし、複数組み合わせることで多層膜構造として用いてもよい。

【0116】

また、以上においては、1.5GHz帯の化合物半導体トランジスタの実施例について述べたが、本実施例および以下の実施例において、他の周波数帯としてもよい。例えば、C帯ではゲート長 $L_g = 0.5 \mu\text{m}$ を中心とし、また、準ミリ波帯ではゲート長 $L_g = 0.10 - 0.25 \mu\text{m}$ を中心として、各寸法が前述の関係式を満たすように作製すれば、同様の効果が得られる。

以下の実施例においては、第1の実施例と異なる点を中心に説明する。

【0117】

(実施例2)

本実施例では、ゲート電極113および第1のフィールドプレート電極116とから構成される構造体ならびに第2の絶縁膜117と、第2のフィールドプレート電極118との、第2の絶縁膜117を挟んでの交差量 $L_{fd}$ の遮蔽効果への影響に関して調べた。

【0118】

図5にデバイス構造断面図を示す。半導体基板110として、高抵抗GaAs(半絶縁性GaAs)基板を用いた。化合物半導体111に対応する層として、GaAs層131(厚さ400nm)、AlGaAs層132(Al組成比0.20、厚さ30nm)、およびGaAs層133(Siドナー濃度 $1 \times 10^{17} \text{cm}^{-3}$ 、厚さ50nm)を形成した。

【0119】

GaAs層133上に、AuGe、Ni、およびAu金属を蒸着し、リフトオフ工程を用いて、ソース電極112およびドレイン電極114を $5 \mu\text{m}$ の間隔で形成した。そして、窒素雰囲気中、420℃で熱処理することによりオーミックコンタクトを形成した。

【0120】

次に、ソース電極112およびドレイン電極114間の中心から $2.5 \mu\text{m}$ の幅のGaAs層133を、レジストをマスクとして選択的に除去した。GaAsの除去には、塩素とフッ素を含むガスを用いたドライエッチングを用いた。

【0121】

次いで、第1の絶縁膜115として、例えば熱CVD法を用いて、 $\text{SiO}_2$ 膜を100nm形成し、第1の絶縁膜115のゲート電極形成領域をドライエッチングにより開口した。TiおよびAlをこの順に蒸着後、リフトオフすることにより、ゲート電極113と第1のフィールドプレート電極116の一体型電極を形成した。ゲート電極113のゲート長 $L_g = 1.0 \mu\text{m}$ 、第1のフィールドプレート電極116の $L_{fp1} = 0.8 \mu\text{m}$ とした。

10

20

30

40

50

## 【0122】

そして、第2の絶縁膜117としてSiN膜を150nm成膜した。続いて、第2の絶縁膜117の上層に、Ti、PtおよびAu膜を順次蒸着してリフトオフすることにより、 $Lfp2 = 1.0 \mu m$ の第2のフィールドプレート電極118を形成した。このとき、交差量Lfdが、 $Lfd = -0.5 \mu m$ 、 $-0.25 \mu m$ 、 $+0.25 \mu m$ 、 $+0.5 \mu m$ 、 $+0.75 \mu m$ および $+1.0 \mu m$ と異なった素子を作製した。なお、 $Lfd = 0$ において、第2の絶縁膜117と第2のフィールドプレート118の側面とが接し、 $Lfd < 0$ では、これらが離隔している(図8)。その後の配線工程で、第2のフィールドプレート電極118とソース電極112とを、アイソレーション領域にて電氣的に接続した。

## 【0123】

また、比較のため、配線工程で、第2のフィールドプレート電極118がソース電極112と動作層領域にて電氣的に接続した試料(図6)(ソース・ドレイン間の距離 $Lsd = 1.0 \mu m$ 、 $Lfd = 1.5 \mu m$ )も作製した。

## 【0124】

図7に、得られたトランジスタの動作周波数1.5GHzでのパワー特性評価結果よりもとめた線形利得のLfd依存性を示す。

## 【0125】

従来のトランジスタでは、15V以上の動作電圧においても利得が15dB程度であった(図4)のに対し、図7より、ゲート電極113および第1のフィールドプレート電極116とからなる構造体と第2のフィールドプレート電極118との第2の絶縁膜117を挟んでの交差量Lfdが負の場合(図8)、第2のフィールドプレート電極118の遮蔽効果が小さいため、ゲート・ドレイン電極間の帰還容量の低減が充分でなく、利得の向上がみられない。それに対して、交差量Lfdがゼロまたは正の値( $Lfd = 0$ )のとき利得の著しい向上がある。

## 【0126】

(実施例3)

本実施例では、図5に示したトランジスタについて、第1のフィールドプレート電極116の長さLfp1と第2のフィールドプレート電極118の長さLfp2との関係について調べた。

## 【0127】

本実施例においても、半導体基板110として、高抵抗GaAs(半絶縁性GaAs)基板を用い、化合物半導体111に対応する層として、GaAs層131(厚さ400nm)、AlGaAs層132(Al組成比0.20、厚さ30nm)およびGaAs層133(Siドナー濃度 $1 \times 10^{17} \text{ cm}^{-3}$ 、厚さ50nm)を形成した。GaAs層133上に5μmの間隔でソース電極112およびドレイン電極114を形成した。AuGe、NiおよびAu金属を5μmの間隔で蒸着し、リフトオフ工程を用いてこれらの電極を形成した。そして、窒素雰囲気中420℃で熱処理することによりオーミックコンタクトを形成した。

## 【0128】

ソース電極112、ドレイン電極114間の中心から2.5μmの幅のGaAs層133を、レジストをマスクに選択的に除去した。GaAsの除去には、塩素とフッ素を含むガスを用いたドライエッチングを用いた。

## 【0129】

続いて、第1の絶縁膜115として、熱CVD法を用いて、SiO<sub>2</sub>膜を100nm形成し、第1の絶縁膜115のゲート電極113の形成領域をドライエッチングにより開口した。TiおよびAlをこの順に蒸着後、リフトオフして、ゲート電極113と第1のフィールドプレート電極116の一体型電極を形成した。ゲート電極113のゲート長 $Lg = 1.0 \mu m$ とし、第1のフィールドプレート電極116の $Lfp1 = 0.8 \mu m$ とした。

## 【0130】

10

20

30

40

50

そして、第2の絶縁膜117として、SiNを200nm成膜( $d_3 = 0.2 \mu\text{m}$ )した。第2の絶縁膜117の上層に、Ti、PtおよびAu膜をこの順に蒸着後、リフトオフすることにより、 $Lfd = +0.75 \mu\text{m}$ の第2のフィールドプレート電極118を形成した。このとき、第2のフィールドプレート電極118の長さ $Lfp_2$ の異なった素子、具体的には、 $Lfp_2 = 0 \mu\text{m}$ 、 $0.16 \mu\text{m}$ 、 $0.40 \mu\text{m}$ 、 $0.8 \mu\text{m}$ 、 $1.2 \mu\text{m}$ および $1.6 \mu\text{m}$ の素子を作製した。その後の配線工程で、第2のフィールドプレート電極118とソース電極112とをアイソレーション領域にて電氣的に接続した。

【0131】

得られたトランジスタ(図5)について、動作周波数1.5GHzでのパワー特性評価結果より求めた線形利得の $Lfp_2$ 依存性を評価した。図9は、結果を示す図である。

10

【0132】

図9より、第1のフィールドプレート電極116の長さ $Lfp_1$ と、第2のフィールドプレート電極118の長さ $Lfp_2$ の比に関して、 $0.5 \leq Lfp_2 / Lfp_1$ 、つまり、上記式(1)を満たす構成において、電気力線の遮断による遮蔽効果が高まり、ゲート-ドレイン電極間の帰還容量が低減して利得の著しい向上がある。

【0133】

(実施例4)

本実施例では、図5に示した電界効果トランジスタにおいて、第2のフィールドプレート電極118の長さ $Lfp_2$ の最大値について調べた。

【0134】

20

本実施例でも、半導体基板110として、高抵抗GaAs(半絶縁性GaAs)基板を用い、化合物半導体111に対応する層として、GaAs層131(厚さ400nm)、AlGaAs層132(Al組成比0.20、厚さ30nm)およびGaAs層133(Siドナー濃度 $1 \times 10^{17} \text{cm}^{-3}$ 、厚さ50nm)を形成した。

【0135】

ソース電極112およびドレイン電極114を $5 \mu\text{m}$ の間隔で形成した。具体的には、AuGe、NiおよびAu金属を順次蒸着し、リフトオフ工程を用いてこれらの電極を形成した。そして、窒素雰囲気中420℃で熱処理することにより、オーミックコンタクトを形成した。

【0136】

30

次に、ソース電極112-ドレイン電極114間の中心から $2.5 \mu\text{m}$ の幅のGaAs層133を、レジストをマスクに用いて、選択的に除去した。GaAsの除去は、塩素とフッ素を含むガスを用いたドライエッチングにより行った。

【0137】

続いて、第1の絶縁膜115として、例えば熱CVD法を用いて、 $\text{SiO}_2$ 膜を100nm形成し、第1の絶縁膜115のゲート電極113の形成領域をドライエッチングにより開口した。TiおよびAlをこの順に蒸着後、リフトオフして、ゲート電極113と第1のフィールドプレート電極116の一体型電極を形成した。ゲート電極113のゲート長 $Lg = 1.0 \mu\text{m}$ 、第1のフィールドプレート電極116の $Lfp_1 = 0.3 \mu\text{m}$ とした。

40

【0138】

そして、第2の絶縁膜117として、SiNを200nm成膜して、その上層に、Ti、PtおよびAu膜をこの順に蒸着後、リフトオフすることにより、 $Lfd = +0.75 \mu\text{m}$ の第2のフィールドプレート電極118を形成した。このとき、第2のフィールドプレート電極118の長さ $Lfp_2$ の異なった素子、具体的には、 $Lfp_2 = 0 \mu\text{m}$ 、 $0.3 \mu\text{m}$ 、 $0.9 \mu\text{m}$ 、 $1.6 \mu\text{m}$ 、および $2.3 \mu\text{m}$ の素子を作製した。このとき、ゲート長方向の断面視における、ゲート電極113とGaAs層133のリセス底面のドレイン端との間の距離 $Lgr$ を $3.5 \mu\text{m}$ とした。その後の配線工程で、第2のフィールドプレート電極118はソース電極112とアイソレーション領域にて電氣的に接続した。

【0139】

50

また  $Lfp1 = 0 \mu m$ 、 $Lfp2 = 0 \mu m$ の電界効果トランジスタも比較のため作製した。

【0140】

図10は、得られたトランジスタの耐圧の評価結果を示す図である。図10より、第1のフィールドプレート電極116の長さ： $Lfp1 = 0.3 \mu m$ 、第2の絶縁膜117の第1のフィールドプレート電極116側面の厚さ： $d3 = 0.2 \mu m$ のとき、第2のフィールドプレート電極118の長さ： $Lfp2$ が0から $0.3 \mu m$ まで増加して、 $Lfp1 + Lfp2 + d3$ が $0.8 \mu m$ になると、耐圧は著しく向上して、 $80 V$ となった。また、 $Lfp2$ が $2.3 \mu m$ に増加して、 $Lfp1 + Lfp2 + d3$ が $2.8 \mu m$ になると、耐圧が $70 V$ まで急激に低下した。 $Lfp1 + Lfp2 + d3$ が、 $Lgr (= 3.5 \mu m)$  10

に対して、 $3/5 \times Lgr$ より大きくなると、第2のフィールドプレート電極118のドレイン端の電界集中が大きくなり、耐圧が低下したものと考えられる。従って、  
 $Lfp1 + Lfp2 + d3 = 3/5 \times Lgr$  (2)  
 を満たす構成とすることにより、耐圧をさらに向上させることができる。

【0141】

(実施例5)

本実施例では、図5に示した電界効果トランジスタにおいて、第2のフィールドプレート電極118の長さ $Lfp2$ と第2の絶縁膜117の厚さ $d2$ に関して調べた。

【0142】

本実施例においても、半導体基板110として、高抵抗GaAs(半絶縁性GaAs) 20  
 基板を用い、化合物半導体111に対応する層として、GaAs層131(厚さ $400 nm$ )、AlGaAs層132(Al組成比 $0.20$ 、厚さ $30 nm$ )およびGaAs層133(Siドナー濃度 $1 \times 10^{17} cm^{-3}$ 、厚さ $50 nm$ )を形成した。

【0143】

次に、GaAs層133上に、 $5 \mu m$ の間隔でソース電極112およびドレイン電極114を形成した。AuGe、NiおよびAu金属を順次蒸着し、リフトオフ工程を用いて形成した。そして、窒素雰囲気中 $420^\circ C$ で熱処理することによりオーミックコンタクトを形成した。

【0144】

ソース電極112とドレイン電極114との間の中心から $2.5 \mu m$ の幅のGaAs層133を、レジストをマスクに選択的に除去した。GaAsの除去は、塩素とフッ素を含むガスを用いたドライエッチングにより行った。その後、例えば、熱CVD法を用いて、第1の絶縁膜115として、 $SiO_2$ を $100 nm$ 形成し、ゲート電極113の形成領域をドライエッチングにより開口した。そして、ゲート電極113と第1のフィールドプレート電極116の一体型電極を、TiおよびAlを蒸着後リフトオフして形成した。ゲート電極113のゲート長 $Lg = 1.0 \mu m$ 、第1のフィールドプレート電極116の $Lfp1 = 0.8 \mu m$ とした。 30

【0145】

続いて、第2の絶縁膜117として、 $SiO_2$ 膜を $0.1 \mu m$ 、 $0.3 \mu m$ 、 $0.5 \mu m$ および $0.7 \mu m$ 形成した試料をそれぞれ作製し、第2の絶縁膜117の上層に、i、PtおよびAu膜を順次蒸着後、リフトオフすることにより、第2のフィールドプレート電極118を形成した。第2のフィールドプレート電極118の $Lfp2 = 1.0 \mu m$ とした。また、 $SiO_2$ の厚さを $0.1 \mu m$ とした試料の一部を分割して、 $SiO_2$ をエッチング除去、または、引き続き、第1の絶縁膜115の $100 nm$ のうち $50 nm$ をエッチング除去した後その上層に $Lfp2 = 1.0 \mu m$ の第2のフィールドプレート電極118を形成した試料も作製した(図11)。その後、配線工程で第2のフィールドプレート電極118とソース電極112とをアイソレーション領域にて電氣的に接続した。 40

【0146】

図12は、得られたトランジスタの動作周波数 $1.5 GHz$ でのパワー特性評価結果よりもとめた線形利得の $d2/Lfp2$ 依存性を示す。図12より、 $d2/Lfp2 = 1/$  50



2で第2のフィールドプレート電極118による遮蔽効果が現れ、利得の著しい向上があった。

【0147】

(実施例6)

図13は、本実施例の電界効果トランジスタの構成を示す断面図である。図13に示した電界効果トランジスタの基本構成は第2の実施形態にて参照した図1の電界効果トランジスタと同様であるが、所謂、ワイドリセス構造となっている点が異なる。

【0148】

半導体基板110として、高抵抗GaAs(半絶縁性GaAs)基板を用いた。化合物半導体111に対応する層として、GaAs層131(厚さ400nm)、AlGaAs層132(Al組成比0.20、厚さ30nm)およびGaAs層133(Siドナー濃度 $1 \times 10^{17} \text{ cm}^{-3}$ 、厚さ50nm)を形成した。

10

【0149】

ソース電極112およびドレイン電極114を $5.5 \mu\text{m}$ の間隔で形成した。ここでは、AuGe、Ni、Au金属を順次蒸着後、リフトオフ工程を用いて形成した。そして、窒素雰囲気中420で熱処理することによりオーミックコンタクトを形成した。ソース電極112-ドレイン電極114間の中心から $2.5 \mu\text{m}$ の幅のGaAs層133を、レジストをマスクに用いて、選択的に除去した。GaAsの除去は、塩素とフッ素を含むガスを用いたドライエッチングにより行った。そして、第1の絶縁膜115として、SiO<sub>2</sub>膜を熱CVD法を用いて100nm形成し、ゲート電極113の形成領域をドライエッチングにより開口した。

20

【0150】

得られた開口部を埋め込むとともに、第1の絶縁膜115に $0.2 \mu\text{m}$ 乗り上げる構造のゲート電極113を形成した。ゲート電極113のゲート長を $L_g = 1.0 \mu\text{m}$ とした。ゲート電極113用金属として、障壁高さが従来のTi(下層)/Al(上層)金属より高く、ゲートリーク電流の小さいPtを蒸着し、レジストを用いたリフトオフ工程を用いて、ゲート電極113を形成した。次に、第1のフィールドプレート電極116を $L_{fp1} = 0.8 \mu\text{m}$ の寸法でゲート電極113とは別の導電部材として形成した。このとき、第1の絶縁膜115と密着性の良いTi、PtおよびAuを順次蒸着後、リフトオフして形成した。このように、ゲート電極113と第1のフィールドプレート電極116として、それぞれ適した金属材料を用いることにより、トランジスタの特性および製造歩留まりを、さらに著しく向上させることができる。

30

【0151】

次に、第2の絶縁膜117として、SiNを150nm成膜し、その上層に第2のフィールドプレート電極118として、 $L_{fd} = 0.4 \mu\text{m}$ 、 $L_{fp2} = 1.0 \mu\text{m}$ のTi/Pt/Au電極を蒸着リフトオフにより形成した。その後の配線工程で、第2のフィールドプレート電極118とソース電極112とをアイソレーション領域にて電氣的に接続した。

【0152】

得られた電界効果トランジスタを評価するとともに、実施例1と比較した。具体的には、実施例1の方法を用いて1.5GHzでのパワー特性を評価したところ、実施例1と同程度のパワー特性を示した。ゲート電極に最適な材料の適用が可能となったため、ゲートリーク電流の低減による素子の長期安定性がさらに増した。

40

【0153】

なお、本実施例ではオーミックコンタクトを形成した後、第1の絶縁膜115としてSiNをプラズマCVD法にて100nm形成し、ドライエッチングによる開口で $1.0 \mu\text{m}$ のT型ゲート電極を形成した。もう1つのゲート電極113および第1の絶縁膜115の形成法として、オーミック電極形成後、 $1.0 \mu\text{m}$ の矩形のゲート電極113を蒸着リフトオフにより形成し、第1の絶縁膜115としてSiN膜を、例えばプラズマCVD法を用いて100nm形成することも可能であった。

50

## 【0154】

また、本実施例において、 $1.0\ \mu\text{m}$ の矩形ゲート電極113を蒸着リフトオフにより形成し、例えばプラズマCVD法を用いて、第1の絶縁膜115として、SiNを $100\ \text{nm}$ 形成することも可能であったことを説明したが、矩形ゲート電極113として、高融点金属であるWSiを用いることも可能であった。

## 【0155】

この場合、半導体基板110として高抵抗GaAs（半絶縁性GaAs）基板を用い、化合物半導体111に対応する層として、例えば、AlGaAsバッファ層（不図示）（ $100\ \text{nm}$ ）、GaAs層131（ $400\ \text{nm}$ ）、AlGaAs層132（Al組成比0.20、厚さ $30\ \text{nm}$ ）およびGaAs層133（Siドナー濃度 $1 \times 10^{17}\ \text{cm}^{-3}$ 、厚さ $50\ \text{nm}$ ）を形成した。次に、 $2.5\ \mu\text{m}$ の幅のGaAs層133を、レジストをマスクに選択的に除去した。GaAsの除去は、塩素とフッ素を含むガスを用いたドライエッチングにより行った。

10

## 【0156】

そして、スパッタ法を用いて、厚さ $500\ \text{nm}$ のWSi金属を半導体基板110の全面に成膜した。続いて、レジストをマスクにフッ素系ガスを用いたドライエッチングにより、ゲート電極113の形成領域以外のWSi金属をエッチング除去した。そして、ソース電極112およびドレイン電極114を形成した。AuGe、NiおよびAu金属を蒸着し、リフトオフ工程を用いてこれらの電極を形成した後、窒素雰囲気中 $420^\circ\text{C}$ で熱処理することにより、オーミックコンタクトを形成した。

20

以下の実施例では、実施例6と異なる点を中心に説明する。

## 【0157】

（実施例7）

本実施例では、実施例2の方法を用いてゲート電極113および第1のフィールドプレート電極116から構成される構造体と第2のフィールドプレート電極118との絶縁膜を挟んでの交差量Lfdの遮蔽効果への影響に関して調べた。

## 【0158】

図14は、本実施例の電界効果トランジスタの構成を示す断面図である。本実施例においても、半導体基板110として、高抵抗GaAs（半絶縁性GaAs）基板を用いた。半導体基板110上に、化合物半導体111に対応する層として、AlGaAsバッファ層（不図示）（ $100\ \text{nm}$ ）、GaAs層131（ $400\ \text{nm}$ ）、AlGaAs層132（Al組成比0.20、厚さ $30\ \text{nm}$ ）およびGaAs層133（Siドナー濃度 $1 \times 10^{17}\ \text{cm}^{-3}$ 、厚さ $50\ \text{nm}$ ）を、下からこの順に形成した。

30

## 【0159】

ソース電極112およびドレイン電極114を $5.5\ \mu\text{m}$ の間隔で形成した。ここでは、AuGe、NiおよびAu金属を蒸着し、リフトオフ工程を用いて形成した。そして、窒素雰囲気中 $420^\circ\text{C}$ で熱処理することにより、オーミックコンタクトを形成した。ソース電極112、ドレイン電極114間の中心から $2.5\ \mu\text{m}$ の幅のGaAs層133を、レジストをマスクに選択的に除去した。GaAsの除去は、塩素とフッ素を含むガスを用いたドライエッチングにより行った。その後、第1の絶縁膜115として、CVD法を用いてSiO<sub>2</sub>膜を $100\ \text{nm}$ 形成し、ゲート電極113の形成領域をドライエッチングにより開口した。

40

## 【0160】

SiO<sub>2</sub>膜に設けられた開口部に、ゲート長 $L_g = 1.0\ \mu\text{m}$ で第1の絶縁膜115に $0.2\ \mu\text{m}$ 乗上げる構造のゲート電極113を形成した。ゲート電極113用金属として、障壁高さが従来のTi/Al金属より高く、ゲートリーク電流の小さいPtを蒸着し、レジスト・リフトオフ工程を用いてゲート電極113を形成した。

## 【0161】

次に、 $L_{fp1} = 0.8\ \mu\text{m}$ の第1のフィールドプレート電極116を形成した。具体

50

的には、第一の絶縁膜 115 と密着性の良い Ti、Pt および Au を順次蒸着した後、リフトオフして第 1 のフィールドプレート電極 116 を形成した。そして、第 2 の絶縁膜 117 として SiN 膜を 200 nm 形成し、さらに第 2 のフィールドプレート電極 118 として Ti/Pt/Au 電極を形成した。このとき、 $Lfd = -0.5 \mu m$ 、 $-0.25 \mu m$ 、 $+0.25 \mu m$ 、 $+0.5 \mu m$ 、 $+0.75 \mu m$ 、および  $+1.0 \mu m$  と、 $Lfd$  の長さが異なった素子を作製した。その後の配線工程で、第 2 のフィールドプレート電極 118 とソース電極 112 とをアイソレーション領域にて電氣的に接続した。

#### 【0162】

得られたトランジスタの動作周波数 1.5 GHz でのパワー特性評価結果より線形利得の  $Lfd$  依存性を実施例 2 の方法を用いて求めたところ、実施例 2 と同様の傾向であった。第 1 のフィールドプレート電極 116 と第 2 のフィールドプレート電極 118 の絶縁膜を挟んでの交差量  $Lfd$  が負の場合、第 2 のフィールドプレート電極 118 の効果が小さく利得の向上が見られないのに対して、交差量  $Lfd$  が正の値のとき、利得の著しい向上があった。

#### 【0163】

(実施例 8)

本実施例では、図 14 に示した電界効果トランジスタについて、実施例 3 の方法を用いて第 1 のフィールドプレート電極 116 の長さ  $Lfp1$  と第 2 のフィールドプレート電極 118 の長さ  $Lfp2$  の関係について調べた。

#### 【0164】

本実施例においても、半導体基板 110 として高抵抗 GaAs (半絶縁性 GaAs) 基板を用いた。化合物半導体 111 に対応する層として、AlGaAs バッファ層 (不図示) 100 nm、GaAs 131 層 400 nm、AlGaAs 層 132 (Al 組成比 0.20、厚さ 30 nm) および GaAs 層 133 (Si ドナー濃度  $1 \times 10^{17} \text{ cm}^{-3}$ 、厚さ 50 nm) を形成した。

GaAs 層 133 上に、ソース電極 112 およびドレイン電極 114 を  $5.5 \mu m$  の間隔で形成した。具体的には、AuGe、Ni および Au 金属を順次蒸着し、リフトオフ工程を用いてこれらの電極を形成し、窒素雰囲気中 420 °C で熱処理することによりオーミックコンタクトを形成した。

#### 【0165】

続いて、ソース電極 112、ドレイン電極 114 間の中心から  $2.5 \mu m$  の幅の GaAs 層 133 を、レジストをマスクに選択的に除去した。GaAs の除去は、塩素とフッ素を含むガスを用いたドライエッチングにより行った。そして、第 1 の絶縁膜 115 として、熱 CVD 法を用いて SiO<sub>2</sub> を 100 nm 形成し、ゲート電極 113 の形成領域をドライエッチングにより開口した。

#### 【0166】

第 1 の絶縁膜 115 に設けられた開口部に、ゲート長  $Lg = 1.0 \mu m$  であって第 1 の絶縁膜 115 に  $0.2 \mu m$  乗り上げる構造のゲート電極 113 を形成した。ゲート電極 113 用金属として障壁高さが従来の Ti/Al 金属より高く、ゲートリーク電流の小さい Pt を蒸着、レジスト・リフトオフ工程を用いてゲート電極 113 を形成した。次に、 $Lfp1 = 0.8 \mu m$  の第 1 のフィールドプレート電極 116 を形成した。第 1 のフィールドプレート電極 116 の形成は、第 1 の絶縁膜 115 と密着性の良い Ti、Pt および Au を順次蒸着し、リフトオフすることにより行った。このとき、ゲート電極 113 と、GaAs 層 133 のリセス底面のドレイン端との距離  $Lgr$  を  $3.5 \mu m$  とした。

#### 【0167】

次いで、第 2 の絶縁膜 117 として、SiN を 200 nm 成膜 ( $d3 = 0.2 \mu m$ ) した。その上層に、第 2 のフィールドプレート電極 118 を形成した。第 2 のフィールドプレート電極 118 の形成は、Ti、Pt および Au 膜を蒸着後、リフトオフすることにより行った。このとき、第 2 のフィールドプレート電極 118 の長さ  $Lfp2$  の異なった素子、具体的には、 $Lfp2 = 0 \mu m$ 、 $0.16 \mu m$ 、 $0.40 \mu m$ 、 $0.8 \mu m$ 、 $1.2$

10

20

30

40

50

$\mu\text{m}$ および $1.6\ \mu\text{m}$ の素子をそれぞれ作製した。その後の配線工程において、第2のフィールドプレート電極118とソース電極112とをアイソレーション領域にて電氣的に接続した。

【0168】

得られた電界効果トランジスタについて、実施例3の方法と同様に、動作周波数 $1.5\ \text{GHz}$ でのパワー特性評価を行い、線形利得の $Lfp2$ 依存性を求めた。その結果、実施例3と同様に第1のフィールドプレート電極116の長さ $Lfp1$ と第2のフィールドプレート電極118の長さ $Lfp2$ の比に関して、 $0.5\ Lfp2/Lfp1$ を満たす構成とすることにより、電気力線の遮蔽効果が高まり、ゲート-ドレイン電極間の帰還容量が低減して利得の著しい向上が可能であった。

10

【0169】

また、本実施例では、ゲート電極113と第1のフィールドプレート電極116に、それぞれ適した金属材料を用いたことにより、トランジスタの特性、歩留まりが著しく向上した。

【0170】

(実施例9)

本実施例では図14に示した電界効果トランジスタについて、実施例4の方法を用いて、第2のフィールドプレート電極118の長さ $Lfp2$ の最大値について調べた。

【0171】

本実施例においても、半導体基板110として、高抵抗 $\text{GaAs}$ (半絶縁性 $\text{GaAs}$ )基板を用いた。化合物半導体111に対応する層として、 $\text{AlGaAs}$ バッファ層(不図示)( $100\ \text{nm}$ )、 $\text{GaAs}$ 層131( $400\ \text{nm}$ ) $\text{AlGaAs}$ 層132( $\text{Al}$ 組成比 $0.20$ 、厚さ $30\ \text{nm}$ )および $\text{GaAs}$ 層133( $\text{Si}$ ドナー濃度 $1 \times 10^{17}\ \text{cm}^{-3}$ 、厚さ $50\ \text{nm}$ )を形成した。

20

【0172】

$\text{GaAs}$ 層133上にソース電極112およびドレイン電極114を $5.5\ \mu\text{m}$ の間隔で形成した。ここでは、金属として $\text{AuGe}$ 、 $\text{Ni}$ 、 $\text{Au}$ を順次蒸着し、リフトオフ工程を用いてこれらの電極を形成し、窒素雰囲気中 $420^\circ\text{C}$ で熱処理することによりオーミックコンタクトを形成した。そして、ソース電極112-ドレイン電極114間の中心から $2.5\ \mu\text{m}$ の幅の $\text{GaAs}$ 層133を、レジストをマスクに選択的に除去した。 $\text{GaAs}$ の除去は、塩素とフッ素を含むガスを用いたドライエッチングにより行った。

30

【0173】

続いて、第1の絶縁膜115として熱CVD法を用いて $\text{SiO}_2$ 膜を $100\ \text{nm}$ 形成し、そのゲート電極113の形成領域をドライエッチングにより開口した。

【0174】

第1の絶縁膜115に設けられた開口部に、ゲート長 $Lg = 1.0\ \mu\text{m}$ のゲート電極113を第1の絶縁膜115に $0.2\ \mu\text{m}$ 乗り上げる構造で形成した。ゲート電極113用金属として障壁高さが従来の $\text{Ti}/\text{Al}$ 金属より高く、ゲートリーク電流の小さい $\text{Pt}$ を蒸着し、レジスト・リフトオフ工程を用いてゲート電極113を形成した。次に、 $Lfp1 = 0.3\ \mu\text{m}$ の第1のフィールドプレート電極116を形成した。第1のフィールドプレート電極116の形成は、第1の絶縁膜115と密着性の良い $\text{Ti}$ 、 $\text{Pt}$ および $\text{Au}$ を順次蒸着し、リフトオフすることにより行った。このとき、ゲート電極113と $\text{GaAs}$ 層133のリセス底面のドレイン端との距離 $Lgr$ を $4.0\ \mu\text{m}$ とした。

40

【0175】

次いで、第2の絶縁膜117として $\text{SiN}$ を $200\ \text{nm}$ 成膜し、その上層に $Lfd = +0.75\ \mu\text{m}$ の第2のフィールドプレート電極118の形成後、 $\text{Ti}$ 、 $\text{Pt}$ および $\text{Au}$ 電極の蒸着リフトオフにより形成した。このとき、第2のフィールドプレート電極118の長さ $Lfp2$ の異なった素子( $Lfp2 = 0\ \mu\text{m}$ 、 $0.3\ \mu\text{m}$ 、 $0.9\ \mu\text{m}$ 、 $1.6\ \mu\text{m}$ 、および $2.3\ \mu\text{m}$ )を作製した。

【0176】

50

得られたトランジスタの耐圧を評価した結果、実施例4と同様の傾向が得られた。具体的には、 $Lfp1 + Lfp2 + d3$ が $Lgr (= 4.0 \mu m)$ に対して $3/5 \times Lgr$ 以下とすることにより、第2のフィールドプレート電極118ドレイン端の電界集中を抑制し、耐圧の低下をさらに好適に抑制することが可能であった。従って、 $Lfp1 + Lfp2 + d3 = 3/5 \times Lgr$ を満たす必要構成とすることにより、耐圧をさらに向上可能であることがわかった。

【0177】

また、本実施例では、ゲート電極113と第1のフィールドプレート電極116として、それぞれ適した金属材料を用いたことで、トランジスタの特性、歩留まりが著しく向上した。

10

【0178】

(実施例10)

本実施例では図14に示した電界効果トランジスタについて、実施例5の方法を用いて、第2のフィールドプレート電極118の長さ $Lfp2$ と第2の絶縁膜117の厚さ $d$ との関係について調べた。

【0179】

本実施例においても、半導体基板110として、高抵抗GaAs(半絶縁性GaAs)基板を用いた。半導体基板110上に、化合物半導体111に対応する層として、AlGaAsバッファ層(不図示)(100nm)、GaAs層131(400nm)、AlGaAs層132(Al組成比0.20、厚さ30nm)およびGaAs層133(Siドナー濃度 $1 \times 10^{17} \text{ cm}^{-3}$ 、厚さ50nm)を順次形成した。ソース電極112およびドレイン電極114を、 $5.5 \mu m$ の間隔で形成した。ここでは、AuGe、NiおよびAu金属を順次蒸着し、リフトオフ工程を用いてこれらの電極を形成し、窒素雰囲気中420℃で熱処理することにより、オーミックコンタクトを形成した。

20

【0180】

そして、ソース電極112、ドレイン電極114間の中心から $2.5 \mu m$ の幅のGaAs層133を、レジストをマスクに選択的に除去した。GaAsの除去は、塩素とフッ素を含むガスを用いたドライエッチングにより行った。その後、第1の絶縁膜115として、熱CVD法を用いて、 $\text{SiO}_2$ 膜を100nm形成し、そのゲート電極113形成領域を、ドライエッチングにより開口した。

30

【0181】

第1の絶縁膜115に設けられた開口部にゲート長 $Lg = 1.0 \mu m$ のゲート電極113を第1の絶縁膜115に $0.2 \mu m$ 乗り上げる構造で形成した。ゲート電極113用金属として、従来のTi/Au金属より障壁高さが高く、ゲートリーク電流の小さいPtを蒸着、レジスト・リフトオフ工程を用いて形成した。次に、第1のフィールドプレート電極116を $Lfp1 = 0.8 \mu m$ の寸法で形成した。第1のフィールドプレート電極116の形成は、第1の絶縁膜115と密着性の良いTi、PtおよびAuを順次蒸着し、リフトオフして行った。このとき、ゲート電極113とリセス底面のドレイン端との距離 $Lgr$ を $4.0 \mu m$ とした。

【0182】

そして、本実施例では、第2の絶縁膜117として、 $\text{SiO}_2$ 膜を $0.1 \mu m$ 、 $0.3 \mu m$ 、 $0.5 \mu m$ および $0.7 \mu m$ 形成した試料を作製した。そして、第2の絶縁膜117の上層に、 $Lfp2 = 1.0 \mu m$ の第2のフィールドプレート電極118として、Ti/Pt/Au電極を蒸着リフトオフにより形成した。また、 $\text{SiO}_2$ の厚さ $0.1 \mu m$ の試料の一部を分割して、 $\text{SiO}_2$ をエッチング除去するか、あるいは、引き続き、第1の絶縁膜115の100nmのうち50nmをエッチング除去した後、その上層に第2のフィールドプレート電極118を蒸着リフトオフにより形成した試料も作製した(図15)。その後の配線工程で、第2のフィールドプレート電極118とソース電極112とをアイソレーション領域にて電氣的に接続した。

40

【0183】

50

得られたトランジスタの動作周波数 1.5 GHz でのパワー特性評価より、線形利得の  $d^2 / L f p^2$  依存性を調べたところ、実施例 5 と同様の傾向が認められ、 $d^2 / L f p^2$  で第 2 のフィールドプレート電極 118 による遮蔽効果が現れ、利得の著しい向上があった。

【0184】

また、本実施例では、ゲート電極 113 と第 1 のフィールドプレート電極 116 として、それぞれ適した金属材料を用いたことで、トランジスタの特性、歩留まりが著しく向上した。

【0185】

以上、本発明について実施の形態および実施例をもとに説明した。これらの実施例は例示であり、各構成要素や各処理プロセスの組み合わせにいろいろな変形例が可能なこと、また、そうした変形例も本発明の技術的範囲にあることは当業者に理解されるところである。

【0186】

例えば、以上においては、AlGaAs/GaAs 系の化合物半導体トランジスタを例に説明したが、InAlAs/InGaAs 系のトランジスタとしてもよく、この場合にも、同様の効果を奏する。また、以上においては、GaAs 基板を用いる場合を例に説明したが、InP 基板を用いてもよく、この場合にも同様の効果を奏する。

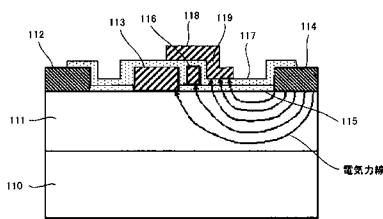
【0187】

また、以上の実施の形態または実施例に記載の電界効果トランジスタは、例えば、増幅回路または発振回路を構成する素子として用いられる。このような用途では良好な高周波特性が必要とされるため、本発明の FET の特徴が最大限に活かされる。

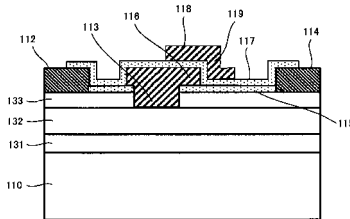
10

20

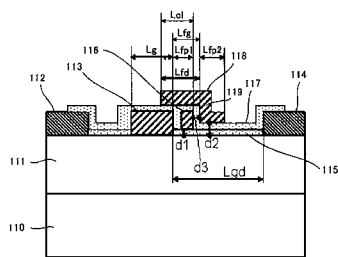
【図 1】



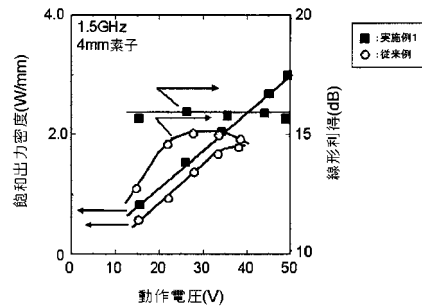
【図 3】



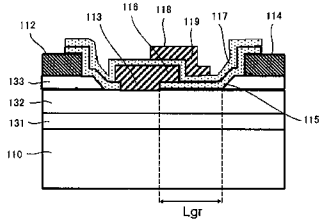
【図 2】



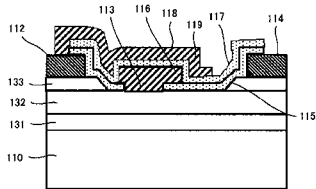
【図 4】



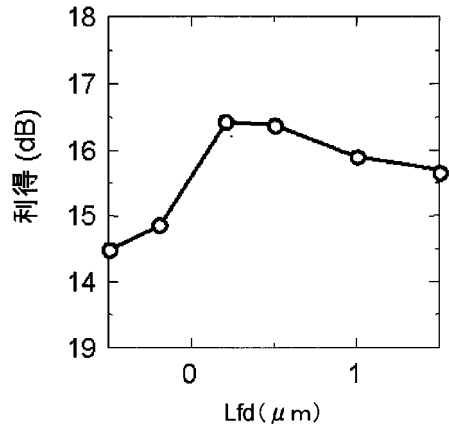
【図 5】



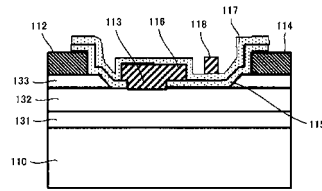
【図 6】



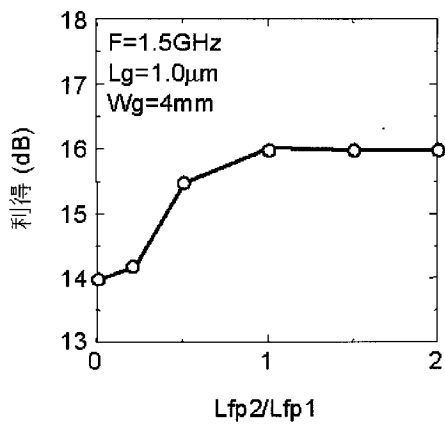
【図 7】



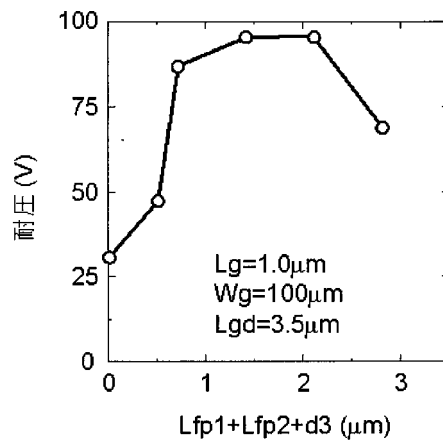
【図 8】



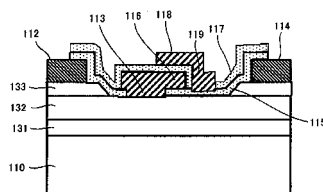
【図 9】



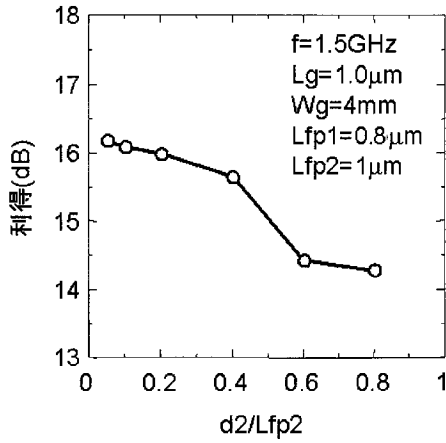
【図 10】



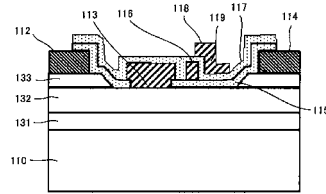
【図 11】



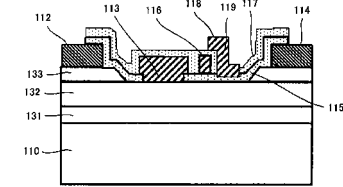
【図12】



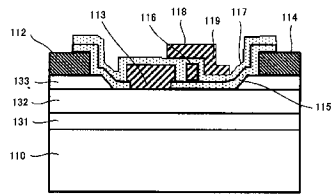
【図14】



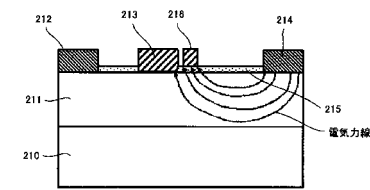
【図15】



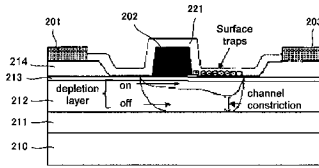
【図13】



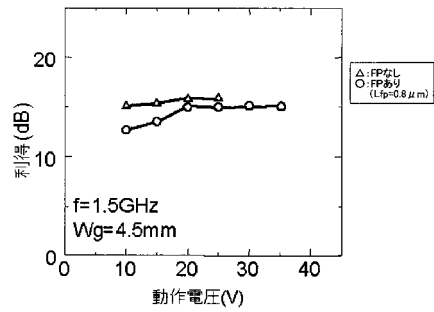
【図16】



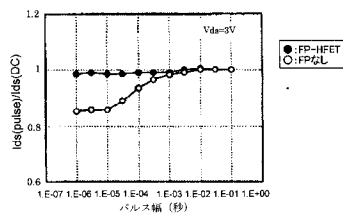
【図17】



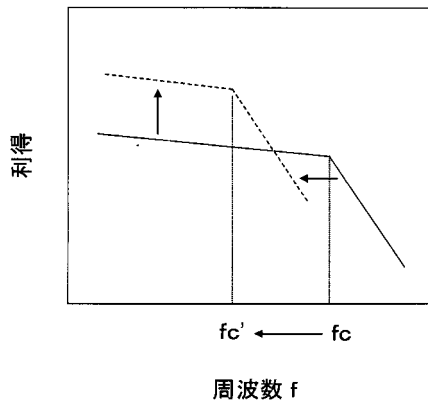
【図20】



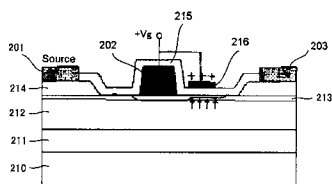
【図18】



【図21】

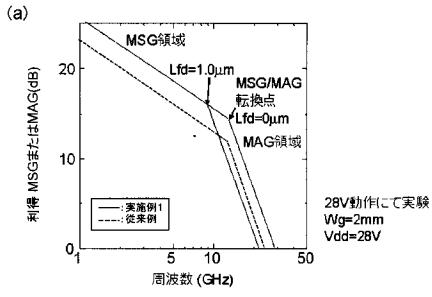


【図19】





【 図 2 2 】



(b)

Lfd ( $\mu$ m)	0	0.4	1.0	1.4	2.0	3.0
転換点(GHz)	16	14	13	6	5	5

## フロントページの続き

- (72)発明者 岡本 康宏  
東京都港区芝五丁目7番1号 日本電気株式会社内
- (72)発明者 中山 達峰  
東京都港区芝五丁目7番1号 日本電気株式会社内
- (72)発明者 井上 隆  
東京都港区芝五丁目7番1号 日本電気株式会社内
- (72)発明者 大田 一樹  
東京都港区芝五丁目7番1号 日本電気株式会社内
- (72)発明者 分島 彰男  
東京都港区芝五丁目7番1号 日本電気株式会社内
- (72)発明者 笠原 健資  
東京都港区芝五丁目7番1号 日本電気株式会社内
- (72)発明者 村瀬 康裕  
東京都港区芝五丁目7番1号 日本電気株式会社内
- (72)発明者 松永 高治  
東京都港区芝五丁目7番1号 日本電気株式会社内
- (72)発明者 山之口 勝己  
東京都港区芝五丁目7番1号 日本電気株式会社内
- (72)発明者 嶋脇 秀徳  
東京都港区芝五丁目7番1号 日本電気株式会社内

審査官 瀧内 健夫

- (56)参考文献 特開2005-093864(JP,A)  
国際公開第2004/068590(WO,A1)  
特開2004-200248(JP,A)  
特開2002-343814(JP,A)  
特開2002-118122(JP,A)  
特開2001-144106(JP,A)  
特開2000-003919(JP,A)  
特開平01-096966(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/06  
H01L 29/778  
H01L 29/812  
H01L 21/338