

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-516754  
(P2006-516754A)

(43) 公表日 平成18年7月6日(2006.7.6)

|                              |               |             |
|------------------------------|---------------|-------------|
| (51) Int. Cl.                | F I           | テーマコード (参考) |
| <b>GO2F 1/1368 (2006.01)</b> | GO2F 1/1368   | 2H092       |
| <b>GO9F 9/30 (2006.01)</b>   | GO9F 9/30 338 | 5C094       |

審査請求 未請求 予備審査請求 有 (全 28 頁)

|               |                              |          |  |
|---------------|------------------------------|----------|--|
| (21) 出願番号     | 特願2006-502233 (P2006-502233) | (71) 出願人 | 503430658<br>プラスチック ロジック リミテッド<br>イギリス国 ケンブリッジ シービー4<br>Oエフエックス ミルトン ロード ケン<br>ブリッジ サイエンス パーク 34 |
| (86) (22) 出願日 | 平成16年2月4日 (2004.2.4)         | (74) 代理人 | 100067828<br>弁理士 小谷 悦司   |
| (85) 翻訳文提出日   | 平成17年10月4日 (2005.10.4)       | (74) 代理人 | 100096150<br>弁理士 伊藤 孝夫   |
| (86) 国際出願番号   | PCT/GB2004/000433            | (74) 代理人 | 100099955<br>弁理士 樋口 次郎   |
| (87) 国際公開番号   | W02004/070466                | (74) 代理人 | 100126675<br>弁理士 福本 将彦   |
| (87) 国際公開日    | 平成16年8月19日 (2004.8.19)       |          |  |
| (31) 優先権主張番号  | 0302485.8                    |          |  |
| (32) 優先日      | 平成15年2月4日 (2003.2.4)         |          |  |
| (33) 優先権主張国   | 英国 (GB)                      |          |  |

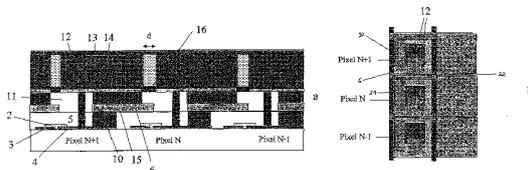
最終頁に続く

(54) 【発明の名称】 トランジスタ制御表示装置

(57) 【要約】

【課題】 高い開口率となる薄膜トランジスタ装置を提供する。

【解決手段】 装置の第1の金属レベル上に形成されたソースアドレスラインおよびTFTドレイン電極を備えるアクティブマトリクスディスプレイ画素の装置アーキテクチャである。画素電極は第2の隔離された金属レベル上に形成されており、TFTゲート電極およびゲートアドレスラインは第1のレベルおよび第2のレベルの両方から少なくとも1つの誘電体層によって分離されている第3の金属レベル上に形成されている。第2のレベルの上にある画素電極は第1のレベルの上にあるドレイン電極とビアホール接続を介して電氣的に接続されており、画素コンデンサは第2のレベル上にある画素電極の一部を第3のレベル上にある画素の隣接するラインのゲートアドレスラインの一部と重ね合わせることで形成されている。装置は好ましくは印刷を用いる方法を使って形成される。



## 【特許請求の範囲】

## 【請求項 1】

表示媒体、少なくとも部分的に印刷されたトランジスタのアレー、トランジスタのアレーを制御するためのアドレスライン、およびトランジスタのアレーと表示媒体との間に少なくとも部分的に位置している画素電極のアレーであってこれを介して表示媒体のそれぞれの部分がトランジスタによって制御可能となるアレーを備える画素化表示装置であって、それぞれの画素電極はそれぞれのトランジスタを通じて前記アドレスラインのうち1つを介して制御可能であり、また前記アドレスラインの別のものおよび/またはそれに接続されているカウンタ電極と重なり合っるとともに静電結合を作り出していることを特徴とする、画素化表示装置。

10

## 【請求項 2】

アドレスラインが印刷されておりライン幅が60ミクロン未満であり、好ましくは40ミクロン未満であり、さらに好ましくは20ミクロン未満であることを特徴とする、請求項1に記載の装置。

## 【請求項 3】

それぞれのトランジスタはゲート電極を備える薄膜トランジスタであり、それぞれの画素電極は隣接するゲートアドレスラインおよび/またはそれに電氣的に接続されているカウンタ電極と重なり合うことを特徴とする、請求項1および2に記載の装置。

## 【請求項 4】

それぞれのトランジスタはソース、ドレインおよびゲート電極を備える薄膜トランジスタであり、それぞれの画素電極は下に設けられているそれぞれのトランジスタのソースまたはドレイン電極のうちの一つと導電性垂直相互接続を介して一つ以上の絶縁層を通じて接続されていることを特徴とする、請求項1に記載の装置。

20

## 【請求項 5】

垂直相互接続は直径が60ミクロン未満であり、好ましくは40ミクロン未満であり、さらに好ましくは20ミクロン未満であることを特徴とする、請求項5に記載の装置。

## 【請求項 6】

隣接する画素電極は40ミクロン未満の距離で、好ましくは20ミクロン未満の距離で、さらに好ましくは10ミクロン未満の距離で隔てられていることを特徴とする、上記請求項のいずれかに記載の装置。

30

## 【請求項 7】

画素電極材料が液体から堆積されることを特徴とする、請求項6に記載の装置。

## 【請求項 8】

隣接する画素電極間の距離は表面エネルギーパターンによって定義されることを特徴とする、請求項7に記載の装置。

## 【請求項 9】

それぞれのトランジスタのドレイン電極は同じゲートアドレスラインおよび/またはそれぞれの画素電極としてのカウンタ電極と重なり合うことを特徴とする、請求項3に記載の表示装置。

## 【請求項 10】

少なくとも部分的に印刷されたトランジスタのアレー、トランジスタのアレーを制御するためのアドレスライン、および電位がトランジスタに応じるものでありまた少なくとも部分的にトランジスタの上に配置されている画素電極のアレーを備える電子装置であって、それぞれの画素電極はそれぞれのトランジスタを通じて前記アドレスラインのうち1つを介して制御可能であり、また前記アドレスラインの別のものおよび/またはそれが接続されているカウンタ電極と重なり合っるとともに静電結合を作り出していることを特徴とする、電子装置。

40

## 【請求項 11】

表示媒体は双安定表示媒体であることを特徴とする、請求項1から10のいずれかに記載の装置。

50

## 【請求項 1 2】

装置は電子ペーパーとして使用できることを特徴とする、請求項 1 から 1 1 のいずれかに記載の装置。

## 【請求項 1 3】

表示媒体、トランジスタのアレー、トランジスタを制御するためのアドレスライン、およびトランジスタのアレーと表示媒体との間に少なくとも部分的に位置している画素電極のアレーであってこれを介して表示媒体のそれぞれの部分がトランジスタによって制御可能となるアレーを備え、それぞれの画素電極はそれぞれのトランジスタを通じて前記アドレスラインのうち 1 つを介して制御可能であり、また前記アドレスラインの別のものおよび/またはそれが接続されているカウンタ電極と重なり合っるとともに静電結合を作り出している画素化表示装置を製造する方法であって、印刷技術によってトランジスタのアレーの少なくとも 1 つの素子を形成する工程を含むことを特徴とする方法。

10

## 【請求項 1 4】

印刷技術はインクジェット印刷技術であることを特徴とする、請求項 1 3 に記載の方法。

## 【請求項 1 5】

それぞれの画素電極は印刷技術によって形成されることを特徴とする、請求項 1 3 または請求項 1 4 に記載の方法。

## 【請求項 1 6】

トランジスタの少なくとも 1 つの素子は表面エネルギーパターン形成層上に印刷によって形成されていることを特徴とする、請求項 1 3 から 1 5 のいずれかに記載の方法。

20

## 【請求項 1 7】

表面エネルギーパターン形成層は直接書込みレーザーパターンニングを含む技術によって形成されることを特徴とする、請求項 1 6 に記載の方法。

## 【請求項 1 8】

トランジスタは半導体層によって第 1 の方向に接続されているソースおよびドレイン電極を備えており、半導体層は印刷によって定義されて幅が前記第 1 の方向に 1 2 0 ミクロン未満、好ましくは 8 0 ミクロン未満、さらに好ましくは 4 0 ミクロン未満とされていることを特徴とする、請求項 1 3 に記載の方法。

## 【請求項 1 9】

それぞれのトランジスタはゲート電極を備える薄膜トランジスタであり、アドレス回路系はゲートアドレスラインを備えており、それぞれの画素電極は隣接するトランジスタのゲートアドレスラインと重なり合っており、重なり合っている領域は表面エネルギーパターン形成層に画素電極およびゲートアドレスラインのいずれか一方または両方を印刷によって形成することで制御されることを特徴とする、請求項 1 3 に記載の方法。

30

## 【請求項 2 0】

溶液処理によって形成される下側導電性層と、前記下側導電性層の上に設けられかつそれと導電性相互接続を介して 1 つ以上の絶縁層を通じて電氣的に接続されている上側導電性層とを備える電子装置を製造する方法であって、前記相互接続の作成は、下側導電性層と前記 1 つ以上の絶縁層とを区別する光溶発技術を使って少なくとも下側導電性層の一部へと下向きに延びる孔を前記少なくとも 1 つの絶縁層に定義する工程、およびその後前記孔に導電性材料を堆積する工程を含むことを特徴とする方法。

40

## 【請求項 2 1】

前記光溶発技術が、前記 1 つ以上の絶縁層内に光吸収剤を選択的に充填する工程、および前記光吸収剤が最大の吸収を示す波長の光を使う工程を含むことを特徴とする、請求項 2 0 に記載の方法。

## 【請求項 2 2】

前記区別する光溶発技術は、下側導電性層と前記 1 つ以上の絶縁層との間に解放層を設ける工程、および選択的に吸収を行う波長の光を解放層に照射することで解放層が上に設けられている前記 1 つ以上の絶縁層の一部を基板から離脱させると同時に少なくとも下に

50

設けられている下側導電性層の一部はそのまま残す工程を備えることを特徴とする、請求項 20 に記載の方法。

【請求項 23】

溶液処理によって形成される下側導電性層と、前記下側導電性層の上に設けられかつそれと導電性相互接続を介して 1 つ以上の絶縁層を通じて電氣的に接続されている上側導電性層とを備える電子装置を製造する方法であって、前記相互接続の作成は、エンボス技術を使って少なくとも下側導電性層の一部へと下向きに延びる孔を前記少なくとも 1 つの絶縁層に定義する工程、およびその後前記孔に導電性材料を堆積する工程を含むことを特徴とする方法。

【請求項 24】

下側導電性層は薄膜トランジスタ装置のドレインまたはソース電極であり、上側導電性層は前記薄膜トランジスタ装置に結合している画素電極であることを特徴とする、請求項 20 から 23 のいずれかに記載の方法。

【請求項 25】

請求項 24 の方法によって製造される薄膜トランジスタ表示装置。

【請求項 26】

画素電極は下に設けられているゲート電極と重なりあって前記 1 つ以上の絶縁層の少なくとも 1 つを介してともに静電結合を作り出していることを特徴とする、請求項 25 記載の画素化表示装置。

【請求項 27】

少なくとも部分的には印刷技術を用いて基板上に薄膜トランジスタ (TFT) 装置のアレーを形成する工程、それぞれの TFT 装置のドレインまたはソース電極への上からの接続を残すように TFT 装置のアレー上に 1 つ以上のパターン形成された絶縁層を設ける工程、およびその後 1 つ以上のパターン形成された絶縁層上にパターン形成された導電性層を形成することで、それぞれの TFT 装置に対しそのドレインまたはソース電極からそのゲート電極の上にもまたは隣接する TFT のゲート電極の上にも上向きに延びるそれぞれの画素電極を設けることにより開口率を高める工程を含むことを特徴とする、電子装置を製造する方法。

【請求項 28】

それぞれの TFT 装置はトップゲート構造であり、それぞれの画素電極は隣接する TFT 装置のゲート電極との静電容量結合を提供するように配置されていることを特徴とする、請求項 27 に記載の方法。

【請求項 29】

パターン形成された導電性層は前記 1 つ以上のパターン形成された絶縁層のパターンニング、および 1 つ以上の下に設けられた層と比較して前記 1 つ以上のパターン形成絶縁層の前記導電性層の材料に対する相対的親和性を採用することによって作成されることを特徴とする、請求項 27 または請求項 28 に記載の方法。

【請求項 30】

請求項 27 から 29 のいずれかの方法によって製造される TFT 装置のアレー。

【請求項 31】

請求項 30 の TFT 装置のアレーを備える表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、1 つの側面において、トランジスタ制御表示装置およびその生産に使う技術に関し、1 つの実施態様では、開口率および画素保存コンデンサが改善されたアクティブマトリックスポリマー TFT ディスプレイに関し、より具体的には、溶液処理および直接印刷を用いる技術を使って高解像度アクティブマトリックスディスプレイを形成することに関する。

【背景技術】

10

20

30

40

50

## 【 0 0 0 2 】

もっとも一般的なアクティブマトリクスディスプレイテクノロジーは薄膜トランジスタ液晶ディスプレイ (LCD) であり、用途は手のひらサイズの携帯用情報端末およびノートブック装置からフラットスクリーンテレビに至る。アクティブマトリクスディスプレイはまた、有機発光ダイオード (OLED) および電子ペーパーなどの出現しつつある表示効果と組み合わせても使用される。

## 【 0 0 0 3 】

TFT装置の構成は、特許文献1に記載されている。

## 【 0 0 0 4 】

半導体共役ポリマー薄膜トランジスタ (TFTs) は、主に溶液可処理性およびその結果として得られる印刷性のおかげで近年アクティブマトリクスディスプレイへの適用が関心の的となってきた。このようなポリマーは256個の中間レベルを持つ4096アクティブマトリクス画素ディスプレイを形成するためのアクティブ材料として使用されていた (非特許文献1)。溶液を用いる印刷処理で半導体ポリマーはもっと近年では印刷ポリマー薄膜トランジスタを持つアクティブマトリクスディスプレイを作成するのに使用されてきた (非特許文献2)。

10

## 【 0 0 0 5 】

問題の1つとしては表示領域が限られていることが挙げられ、このことは特に高解像度ディスプレイについてあてはまる。かかるディスプレイでは、薄膜トランジスタ、特にドレイン (画素) 電極、およびデータおよびアドレスラインといったその他の構成部材、および画素コンデンサが空間をめぐって互いに競合する。これにより開口率が低下しその結果表示品質が低下することがある。高い開口率を得るには、画素電極の領域はできるだけ広くなければならない。このことは、画素電極がゲートまたはアドレスラインのいずれか、またはTFTの電極のいずれかと同じレベルに設定されている場合、従来のアーキテクチャでは実現が特に困難である。

20

## 【 0 0 0 6 】

溶液を用いる印刷処理によってアクティブマトリクスディスプレイを製造すると従来の製造法に比べて多くの利点を見込むことができる。原則的に、溶液を用いる印刷処理は環境にやさしく、低温で、柔軟性のある基板と適合性があり、費用効率がよく、短いランゲスおよび大型の表示サイズに有利である。しかしながら、印刷処理によって高解像度のディスプレイを製造することは難題である。インクジェット印刷、スクリーン印刷、およびオフセット印刷のような印刷処理を使用する場合、少量の液体の配送には困難が伴うため幅が50から100  $\mu\text{m}$ 未満の金属製相互接続ラインを製造することは困難である。この問題は、特許文献2に開示されているようにあらかじめ定義されている表面エネルギーパターンを基板上に印刷することによっていくらかは緩和することができる。しかしながら、たとえこのような技術を使っても10から20  $\mu\text{m}$ 未満のライン幅を達成することは難題である。さらに導電性ポリマーまたはコロイド性金属のような多くの印刷可能なコンダクタはバルク銅または銀よりも導電性が著しく低いため、大型のアクティブマトリクス全体にわたって適切なコンダクタンスを実現するには厚みが大きく幅の広い相互接続ラインが必要である。従って、従来のディスプレイアーキテクチャを使うと印刷された構成部材は大型となりその結果アクティブマトリクスディスプレイの開口率が低くなる傾向がある。

30

40

【特許文献1】WO 01 / 47045号

【特許文献2】PCT / GB 00 / 04934号

【非特許文献1】E. A. Huitema et al., Nature 414, 599 (2001)

【非特許文献2】S. Burns et al., SID 2002 symposium, Digest of Technical Papers 33, 1193 (2002)

【発明の開示】

【発明が解決しようとする課題】

## 【 0 0 0 7 】

50

従って、本発明の1つの目的は、あるアーキテクチャを組み込んだことで高い開口率となり、好ましくは良好な画素静電容量を見込んだ薄膜トランジスタ装置を提供することにある。

【課題を解決するための手段】

【0008】

本発明によると、表示媒体、少なくとも部分的に印刷されたトランジスタのアレー、トランジスタのアレーを制御するためのアドレスライン、およびトランジスタのアレーと表示媒体との間に少なくとも部分的に位置している画素電極のアレーであってこれを介して表示媒体のそれぞれの部分がトランジスタによって制御可能となるアレーを備える画素化表示装置であって、それぞれの画素電極はそれぞれのトランジスタを通じて前記アドレスラインのうち1つを介して制御可能であり、また前記アドレスラインの別のものおよび/または画素電極が接続されているカウンタ電極と重なり合っるとともに静電結合を作り出していることを特徴とする画素化表示装置を提供する。

10

【0009】

本発明はまた、少なくとも部分的に印刷されたトランジスタのアレー、トランジスタのアレーを制御するためのアドレスライン、および電位がトランジスタに応じるものでありまた少なくとも部分的にトランジスタの上に配置されている画素電極のアレーを備える電子装置であって、それぞれの画素電極はそれぞれのトランジスタを通じて前記アドレスラインのうち1つを介して制御可能であり、また前記アドレスラインの別のものおよび/または画素電極が接続されているカウンタ電極と重なり合っるとともに静電結合を作り出していることを特徴とする電子装置を提供する。

20

【0010】

本発明はまた、表示媒体、トランジスタのアレー、トランジスタを制御するためのアドレスライン、およびトランジスタのアレーと表示媒体との間に少なくとも部分的に位置している画素電極のアレーであってこれを介して表示媒体のそれぞれの部分がトランジスタによって制御可能となるアレーを備え、それぞれの画素電極はそれぞれのトランジスタを通じて前記アドレスラインのうち1つを介して制御可能であり、また前記アドレスラインの別のものおよび/または画素電極が接続されているカウンタ電極と重なり合っるとともに静電結合を作り出している画素化表示装置を製造する方法であって、印刷技術によってトランジスタのアレーの少なくとも1つの素子を形成する工程を含むことを特徴とする方法を提供する。

30

【0011】

本発明はまた、溶液処理によって形成される下側導電性層と、前記下側導電性層の上に設けられかつそれと導電性相互接続を介して1つ以上の絶縁層を通じて電氣的に接続されている上側導電性層とを備える電子装置を製造する方法であって、前記相互接続の作成は、下側導電性層と前記1つ以上の絶縁層とを区別する光溶発技術を使って少なくとも下側導電性層の一部へと下向きに延びる孔を前記少なくとも1つの絶縁層に定義する工程、およびその後前記孔に導電性材料を堆積する工程を含むことを特徴とする方法を提供する。

【0012】

本発明はまた、溶液処理によって形成される下側導電性層と、前記下側導電性層の上に設けられかつそれと導電性相互接続を介して1つ以上の絶縁層を通じて電氣的に接続されている上側導電性層とを備える電子装置を製造する方法であって、前記相互接続の作成は、エンボス技術を使って少なくとも下側導電性層の一部へと下向きに延びる孔を前記少なくとも1つの絶縁層に定義する工程、およびその後前記孔に導電性材料を堆積する工程を含むことを特徴とする方法を提供する。

40

【0013】

本発明はまた、印刷技術によって基板上に少なくとも部分的に薄膜トランジスタ(TFT)装置のアレーを形成する工程、TFT装置のアレー上に1つ以上のパターン形成絶縁層を設けてそれぞれのTFT装置のドレインまたはソース電極への接続を上から隔離する工程、およびその後1つ以上のパターン形成絶縁層上にパターン形成導電性層を形成する

50

ことで、それぞれのTFT装置に対しそのドレインまたはソース電極からそのゲート電極の上にまたは隣接するTFTのゲート電極の上に上向きに延びるそれぞれの画素電極を設けることにより開口率を高める工程を含むことを特徴とする電子装置を製造する方法を提供する。

**【0014】**

本発明の1つの実施態様によると、装置の第1の金属レベル上に形成されたTFTソースアドレスラインおよびTFTドレイン電極を備える装置アーキテクチャが開示されている。画素電極は第2の独立した金属レベルに形成されており、TFTゲート電極およびゲートアドレスラインは、少なくとも1つの誘電体層によって第1のレベルおよび第2のレベル両方から独立している第3の金属レベル上に形成されている。第2のレベル上にある画素電極はビアホール相互接続によって第1のレベル上にあるドレイン電極と電気的に接続されており、第2のレベル上にある画素電極の一部と、第3のレベル上にある画素の隣接するラインのゲートアドレスラインの一部とを重ね合わせることによって画素コンデンサが形成されている。

10

**【0015】**

本発明の他の実施態様によると、装置の第1の金属レベル上に形成されたTFTソースアドレスラインおよびTFTドレイン電極を備える装置アーキテクチャが開示されている。画素電極は第2の独立した金属レベルに部分的に形成されておりまた第1の金属レベル上に部分的に形成されており、TFTゲート電極およびゲートアドレスラインは、少なくとも1つの誘電体層によって第1のレベルおよび第2のレベル両方から独立している第3の金属レベル上に形成されている。第1のレベル上にある画素電極の一部は第1のレベル上にあるドレイン電極と電気的に接続されており、第1および第2のレベル上にある画素電極の一部は少なくとも1つのパターン形成誘電体層の側壁全体にわたって形成されている相互接続によって電気的に接続されている。第2のレベル上にある画素電極の一部と第3のレベル上にある画素の隣接するラインのゲートアドレスラインの一部とを重ね合わせることによって画素コンデンサが形成されている。

20

**【0016】**

本発明の他の実施態様は、底部ゲートトランジスタ構成を使うことで開口率および画素静電容量を最適化することを見込んでいる。底部ゲート構成を備えたトランジスタは複数の誘電体層のうちの一つだけビアホールを形成すればよいというさらなる利点を持っている。溶媒噴射によりビアホールを作成する場合は選んだ溶媒がより下側にある誘電体も溶解させるようなことが絶対ないようにする必要がある。

30

**【発明を実施するための最良の形態】****【0017】**

本発明の理解を手助けするために、その具体的な実施態様を実施例によりまた添付の図面を参照してここで説明する。

**【0018】**

図1は液晶または電子ペーパーのような、表示媒体が電圧制御されている場合のアクティブマトリックスを示している。図1(a)は1つのトランジスタおよび1つの画素の側面図である。これは基板1、連続的な層であるかまたはパターン形成されている半導体2(図1では、半導体はトランジスタチャネルを覆うためにパターン形成されている)、データライン3、画素電極4、トランジスタ誘電体5、ゲート電極/ゲート相互接続6、および表示媒体7(例えば液晶または電子ペーパー)および表示媒体のカウンタ電極8からなっている。かかるシステムでは表示媒体の状態は媒体にわたる電界によって決定され、かかる電界は画素電極4とカウンタ電極8との間の電圧差によるものである。装置の切り替え可能領域9は画素4と最上部電極8との間の電圧差によって切り替えることができる。この領域は装置の開口率を決定する。

40

**【0019】**

図1(b)は装置の上面図であり、3列に配列された6つのトランジスタおよび6つの画素を示している(図1(b)では表示媒体は示されていない)。

50

## 【0020】

アクティブマトリクスアレーでは、ラインは順次書き込まれる。画像を維持するために、1つのラインに書き込まれた電圧は他のラインのアドレス中は相対的に一定のままではなければならない。このことは特に中間色装置にあてはまる。電圧制御された装置では、画素は電荷の貯蔵庫を提供する平行プレートコンデンサとして機能する。この容量は保存コンデンサを内蔵させることによって増大させることができる。保存コンデンサは画素を隣接するトランジスタのゲートラインに重ね合わせることによって形成することができる。図2は、ドレイン電極が画素電極である場合における画素コンデンサのトランジスタ制御表示装置への組み込みを説明しており、最上部ゲート装置の3つの隣接する画素、 $N-1$ 、 $N$ 、および $N+1$ の概略図である。図2(a)は装置の側面図を示す。複数/単数のゲート相互接続6が延長されて隣接する画素の一部と重なり合っている。コンデンサ10は画素 $N$ と画素 $N-1$ のゲートとの間に形成されている。その結果得られる保存コンデンサはサイクル全体にわたって画素が一定の電圧を維持するのに役立つ。しかしながらこの場合、隣接するゲート相互接続がより低いドレイン(画素)電極とこのように重なり合うことで装置の切り替え可能な領域9が縮小することとなり、それにより開口率が小さくなる。

10

## 【0021】

図2(c)はこの配置の回路図を示しており、保存コンデンサ $C_{storage}$ が画素電極4と隣接する画素のゲートとの間に形成されている。このコンデンサは電荷の貯蔵庫として作用するため画素の画像保持能力を向上させる。

20

## 【0022】

本発明の第1の実施態様を図3に示す。このアーキテクチャは高い開口率を見込んだ画素コンデンサを内蔵している。図3(a)は3つの隣接するトランジスタおよび画素の側面図を示している。図3(b)は6つの画素の上面図を描いている。これらの画素電極のうち3つは理解しやすいように半透明であるとして示されている。

## 【0023】

ディスプレイ全体にわたって走っているデータアドレスライン20、TFTソース電極3、およびTFTドレイン電極4は装置の第1の金属レベル上に形成されている。金属レベルは導電性相互接続および/または導電性電極を備える装置の層として定義されている。表示素子14との接続のうちの1つを形成しているパターン形成された画素電極13が装置の独立した第2の金属レベル上に形成されている。TFTゲート電極24、ゲートアドレス列相互接続22、および画素コンデンサ6のカウンタ電極は装置の第3の金属レベル上に形成されている。第1および第3の金属レベル、および第2および第3の金属レベルの間には少なくとも1つの誘電体層5、11があり、これらは電極と相互接続との間に異なるレベルで電気絶縁を提供する。図3に示す実施態様では、第1および第3のレベルの間の誘電体はTFTのゲート誘電体5である。

30

## 【0024】

第2のレベルにある画素電極13は第1のレベルにあるドレイン電極4に電氣的に接続されている。図3に示す構成では、後者はヴィアホール相互接続を形成することによって実現される。この相互接続は第2および第3のレベルの間にある誘電体層11、および第1および第3のレベルの間の誘電体層5の両方に形成される。

40

## 【0025】

ソースおよびドレイン電極3、4は以下のように形成できる。疎水性および親水性領域のアレーからなる基板上に表面エネルギーパターンを定義する。この表面エネルギーパターンはポリイミド(PI)のような疎水性ポリマーを親水性ガラス基板上に堆積しパターン化することで形成される。ソースおよびドレイン電極は親水性井戸の中にPEDOT/PSSといった液体材料からインクジェット印刷により堆積される。疎水性隆起はTFTチャネルを定義する。

## 【0026】

特に高い開口率を実現するために、第2の金属レベル上にある隣接する画素の画素電極

50

13は互いの間が典型的には約15 - 20  $\mu\text{m}$ という小さい距離で印刷される。隣接する画素電極間のこのような小さい間隔は非常に信頼性高く定義して1つの画素から隣接する画素への電氣的短絡を回避する必要がある。表面エネルギーパターン16は画素電極13を堆積する前に第2の金属レベル上にあらかじめ定義して導電性画素電極材料のインクをはじくようにし、画素電極の寸法を正確に定義するようにできる。表面エネルギーパターンはレーザーフォワード転写印刷、フトリソグラフィパターンニング、レーザー直接書込みパターンニング、ソフトリソグラフィ型押し、エンボス加工、インクジェット堆積といった技術、または他の直接書込み堆積およびパターンニング技術によって定義できる。

#### 【0027】

本発明の第2の実施態様およびその製造方法を図4に示す。本実施態様では、誘電体層5、11のいずれか一方または両方がパターン形成され、パターン形成された(単数または複数の)誘電体の側壁にわたって金属相互接続が形成されている状態で画素電極13が第1のレベルに部分的に形成され第2のレベルに部分的に形成されている。本実施態様の1つの好ましい側面によると、(単数または複数の)誘電体層は、例えばインクジェット印刷またはスクリーン印刷といった直接書込み堆積によってパターン形成されている。好ましくは、画素電極13もまた直接書込み印刷によって堆積され、例えば誘電体パターンの側壁全体にわたって導電性材料を印刷することによって堆積されて、画素電極13とドレイン電極4との間に電氣的接続を形成する。誘電体層5、11のパターンは、第3のレベル上のゲート電極/相互接続22、24と第1および第2のレベル上の他の電極3、4、13との間が適切に隔離されるように定義される。図4に描かれる構成の1つの利点は、ビアホール相互接続を形成する必要がないことである。ただし、第1および第3のレベル上で電極および相互接続が得られる領域は図3に示される構成に比べると小さくなる。

10

20

30

#### 【0028】

画素の(N-1)または(N+1)番目の列のゲートアドレスラインに接続されている画素コンデンサカウンタ電極6と、第3のレベル上にある画素電極13との間に画素コンデンサが形成される。本発明の他の実施態様によると、第3のレベル上にある画素コンデンサカウンタ電極6と第1のレベル上にあるドレイン電極4の延長部との間にさらに別のコンデンサ10を形成することも可能である(図3も参照のこと)。これにより画素コンデンサカウンタ電極6の所定の領域における画素コンデンサの全容量が増加する。

#### 【0029】

それぞれのレベルにおいて、電極および相互接続は画素領域の重要な部分を占める可能性がある。本実施態様では、それぞれの画素電極は、隣接する画素との間に寸法dのほんのわずかな間隔しか残っていない状態で第2のレベルのそれぞれの画素領域をほぼ完全にカバーする。これによりほぼ100パーセントの開口率が実現される。この構成には次のようなさらなる利点がある。第1のレベル上では、データアドレスライン20の幅を比較的広くとってより良い導電率を実現するようにできる。TFTのチャンネルの幅は、例えばソースおよびドレイン電極3、4をすだれ状の構成に形成するか、または画素のすべての4つの側面にソース電極3を形成することによって大きくすることができる。ソースおよびドレイン電極3、4は第1のレベルの領域の重要な部分をカバーすることができる。第3のレベル上では、ゲートアドレス相互接続の幅を広くしてより良い導電率を実現するようにできる。画素コンデンサカウンタ電極6の大きさおよびその側面の画素電極13との重なり合いは調整して第3のレベルの領域の重要な部分を占めるようにできる。

40

#### 【0030】

本発明は図3および図4に示す最上部ゲートトランジスタの構成に限られるわけではない。本発明の第3の実施態様を図5に示す。この図面は開口率および画素容量の最適化を見込むために底部ゲートトランジスタ構成をこのように使うこともできる、ということを描いている。図5は第1の金属レベル上に設けられた画素コンデンサカウンタ電極6上に堆積された第1の誘電体5を示している。ソースおよびドレイン電極3、4は上側の画素

50

電極 1 3 が半導体誘電体層 2、1 1 の上に設けられた状態で第 2 の金属レベル上に示されている。底部ゲート構成にはビアホールを複数の誘電体層のうちの 1 つに形成するだけでよいというさらなる利点がある。ビアホールが複数の誘電体層の両方を貫通しないようにするために、エッチング停止メカニズムが必要である。例えば、ビアを溶媒の噴射によって形成する場合は、下側の誘電体層 5 およびドレイン電極 4 は上側の誘電体層 1 1 が溶融する溶媒に可溶性であってはならない。ビアをレーザー溶発によって形成する場合は、そのレーザー波長では非吸収性の下側層およびそのレーザー波長では吸収性の上側層を組み合わせることで一方の層から選択的に材料を除去し他方を所定の位置に残すようにできる。

#### 【0031】

好ましくは、それぞれの上述の実施態様のすべての装置構成部材（相互接続、電極、変動耐、および絶縁素子）は溶液処理および/または直接印刷によって堆積される。これは例えばインクジェット印刷、エアゾール印刷、オフセット印刷、溶液またはブレードコーティングによって行うことができる。かかる溶液堆積工程で高い解像度を達成するために、それぞれのレベル上に電極および相互接続を堆積する前に表面エネルギーパターンを形成してよい。表面エネルギーパターンは、フォトリソグラフィに限られず、マイクロコンタクト印刷または集束させた電磁放射への露光などの類の技術によって実現できる（W002/095805号を参照のこと）。表面エネルギーパターンは、導電性材料のインクをはじく導電性材料が無い状態にされる表面領域を形成する。これにより狭い相互接続ラインおよび電極の印刷が可能とされ、また距離  $d$  のような同じ金属レベル上の異なる電極間に必要とされるいかなる間隔の大きさも最小とすることも可能とされる。表面エネルギーパターンニングは導電性材料を堆積する前にどの金属レベル上にも行うことができる。

#### 【0032】

ビアホール形成は好ましくはレーザー溶発または溶媒のインクジェットといった直接書込みを基にする方法によって行われる。しかしながら、ビアホールはまた機械的手段またはフォトリソグラフィといった他の方法で作成してもよい。ビアホールが形成された後、これに導電性材料を好ましくはインクジェットのような印刷を基にした方法を使って充填できる。

#### 【0033】

画素電極自身が銀または金のような高い反射性金属から形成されて光が第 1 および第 3 の金属レベルを透過しないようになっている反射性ディスプレイでは、上述の 3 つの金属レベル構成は高い値の画素コンデンサ容量を達成しつつ、原則としてほぼ 100 パーセントに近い高い開口率を維持することを可能とする。このことは電極および相互接続が光学的に透明な導電性材料から形成されているいかにかわらず言えることである。

#### 【0034】

透過性ディスプレイ、または反射鏡がアクティブマトリックスの背後に形成されて光がアクティブマトリクスアレーの層を透過するようになっている反射性ディスプレイでは、広い面積を占めるすべての電極に PEDOT/PSS または ITO といった透明な導電性材料を使用することによって高い開口率を実現できる。ディスプレイ全体にわたって走る長いゲートアドレス相互接続およびデータアドレス相互接続のように相互接続がバルク銅または銀に近い高い導電率を必要とする場合は、透明でないコンダクタの使用はインクジェット印刷またはエアゾール印刷されたコロイド製金属などに制限できる。画素電極、画素コンデンサカウンタ電極、ビアホール相互接続、およびソース/ドレイン/ゲート電極はすべて、印刷可能で透明なスズ酸化物または PEDOT/PSS といった透明なコンダクタから形成してよい。

#### 【0035】

図 3 に描いた構成では、ゲートレベルの上にさらに絶縁層 1 1 がある。導電ビアホール相互接続 1 2 はトランジスタのドレイン電極 4 から誘電体および絶縁層を通して拡大画素電極 1 3 へと走っている。表示媒体 1 4 の切替え可能な領域そして開口率は拡大され 1

10

20

30

40

50

00パーセントに近くできる。同様に、保存コンデンサ10を大きくすることができる。

【0036】

この装置構成ではまた画素コンデンサを両面性にもすることもできる。例えば、コンデンサをa)中間および下側レベルとb)中間および上側レベルとの間に形成する。これによりほぼ100パーセントの開口率を維持しつつ非常に大きな画素コンデンサを作成することが可能となる。

【0037】

図3の構成と同じ効果を実現する他の方法としては、隔離を必要とする金属層の一部のみを覆うように誘電体層にパターン形成することが挙げられる。図4(a)は上述のようにゲートが延びている状態でゲートレベルに設けられているディスプレイ構成を示している。絶縁層5および11は金属層の必要な構成部材を隔離するようにだけパターン形成されている。図4(b)では、導電相互接続12がドレイン電極4と上側の画素電極13との間に形成されている。この構成の利点は、ビアホールを形成する必要が無いため導電相互接続を溶媒または機械的方法によって堆積するだけでよいということである。同様に、上側絶縁層も下側の誘電体層にビアホールを形成する必要があるだけでパターン形成できるであろう。

【0038】

上述の方法について、画素電極を短絡せずに電極と接触するようパターンニングできる可能性の1つとしては、下側誘電体材料が画素電極材料をそれが印刷されると同時にはじくように下側誘電体5および画素電極材料13を選択することが挙げられる。画素電極材料が良好に付着するように上側誘電体材料11を選択する。下側電極への接触が必要とされる画素の領域では上側誘電体材料が下側誘電体材料を覆う。画素の他の領域では上側電極は下側誘電体材料と重なり合わない。これにより画素電極材料をそれが印刷されるのと同時にはじくチャンネルが形成され、高い印刷精度の必要性を小さくすることができる。

【0039】

これまで説明した構成はすべて最上部ゲートトランジスタに基づいている。これらの構成ではゲートがソースおよびドレインの上に形成される。図5は底部ゲートトランジスタを用いる構成を示しており、この構成は上述と同じ利点をもっている、すなわち、高い画素容量および高い開口率である。このアーキテクチャでは、ゲート電極24、画素コンデンサカウンタ電極6、およびゲート相互接続22は基板上に印刷または他の方法で形成され、引き続いて誘電体層5が形成される。その後、半導体層2、データライン22、ソース3およびドレイン4が誘電体の上に形成される。第2の絶縁層11がこの構成の上に設けられ、引き続いてビアホール相互接続12および画素電極13が形成される。このアーキテクチャは、2つの誘電体層ではなく1つの誘電体層にだけビアホールを形成するだけでよいという点で最上部ゲート構成よりも有利である。あるいは、上側誘電体層は図4で説明したようにビアホール形成工程を不要としてパターン形成してもよい。

【0040】

本発明の装置は液晶または電子ペーパーのような電圧制御された表示媒体とともに使用できるが、有機発光ダイオードディスプレイのような電圧駆動ディスプレイとともに使用してもよい。反射性および透過性ディスプレイの両方に使用できる。ディスプレイの効果およびディスプレイの性質はアクティブマトリックスの設計に影響を及ぼす。

【0041】

好ましくは、アクティブマトリックスTFRアレーのすべての層は溶液から堆積され、直接印刷技術によってパターン形成される。相互接続ラインのように高い導電率を必要とするいくつかの層は真空蒸着技術によって堆積しフォトリソグラフィーによってパターン形成してよい。

【0042】

ゲートラインおよびデータラインの導電率はディスプレイが完全に機能できるよう高くなければならない。もしこれらのラインが表面エネルギーパターンニングによって精密に印刷されおよび/または範囲付けされていれば、ディスプレイ全体の透明度をさほど損な

10

20

30

40

50

うことなく使うことのできるコロイド性金属などの導電率が非常に高く透明度の低い材料から作成することができる。あるいは、もし導電率が十分に高ければ透明なコンダクタを使ってもよい。

**【0043】**

いずれの画素電極の材料も導電率がゲートラインおよびデータラインほど高くあってはならない。透過性ディスプレイの場合、PEDOT、ITOまたは他の透明なコンダクタを使ってもよい。反射性ディスプレイの場合は、上側画素電極に金属を使って必要な反射性を与えるようにできる。

**【0044】**

ディスプレイ構成は、ガラス、プラスチック、ステンレス鋼または他の材料から作成されているであろう基板上に形成される。データラインは導電材料から形成される。これらは印刷によって優先的に形成されるが、蒸発およびフォトリソグラフィーもまた使ってもよい。データラインを印刷する場合、精密な印刷のみを使うかまたは表面エネルギーに手助けされたパターンニングを使うかのいずれによっても印刷できる。印刷方法の例としては、インクジェット印刷、エアゾール印刷、オフセット印刷、スクリーン印刷、リソグラフィーおよびグラビア印刷が挙げられる。印刷される材料はコロイド性金属またはPEDOTのような導電ポリマーであり得る。ディスプレイ効果が透過性である場合は、精密な印刷または他の堆積方法によって非常に細密なラインを形成することができるか、またはPEDOTまたはITOのような透明なコンダクタを堆積してもよい。これらのラインはディスプレイが機能できるよう十分に導電していなければならない。

10

20

**【0045】**

半導体層は溶液から優先的に堆積されるが、蒸着によって堆積してもよい。半導体材料は小さな有機分子または共役ポリマーであるか、または無機ナノ粒子の分散物のような溶液処理可能な無機半導体である。好ましくは、半導体層をアクティブ層島にパターン形成して隣接する画素と装置との間の寄生漏えい電流を小さくできるようにする。半導体材料はインクジェット印刷によって堆積できる。さらに、表面エネルギーパターンニングを使って印刷解像度を高めてもよい。

**【0046】**

ゲートおよび相互接続は導電材料から形成される。これらは印刷によって優先的に形成されるが、蒸着およびフォトリソグラフィー技術を使ってもよい。ゲートおよび相互接続は精密な印刷だけを使うかまたは表面エネルギーパターンニングを使うかのいずれによって印刷してもよい。使用できる印刷方法の例としては、インクジェット印刷、エアゾール印刷、オフセット印刷、スクリーン印刷、およびグラビア印刷が挙げられる。印刷される材料はコロイド性金属またはPEDOTのような導電ポリマーであり得る。ディスプレイ効果が透過性の場合、精密な印刷または他の堆積方法によって非常に細密なラインを形成するか、またはPEDOTまたはITOのような透明なコンダクタを使うことができる。ラインはまたは十分に導電してゲートに沿ったRC遅延を最小限とするようにしなければならない。使用される堆積プロセスはすでに堆積されている層に適合しなければならない。

30

**【0047】**

画素電極は好ましくは印刷によって形成されるが、蒸発およびフォトリソグラフィーのような他の方法によって形成してもよい。使用できる印刷方法の例としては、インクジェット印刷、エアゾール印刷、オフセット印刷、スクリーン印刷、およびグラビア印刷が挙げられる。印刷される材料はコロイド性金属またはPEDOTのような導電ポリマーであり得る。ディスプレイ効果が透過性の場合、PEDOTのような透明なコンダクタを使うことができる。両方の層に使用される堆積プロセスはすでに堆積されている層、ヴィアホールおよび二重誘電体層の形成に適合しなければならない。

40

**【0048】**

上側画素電極13は開口率を決定する。寸法d(図3を参照のこと)を最小とすることで開口率が高まる。これはフォトリソグラフィーのようななどのようなパターンニング方法

50

によっても達成できるが、精密な印刷だけまたは表面エネルギーパターンニングと組み合わせた印刷のいずれかの印刷技術によって優先的に達成される。好ましくは、表面エネルギーに手助けされた印刷を使って距離  $d$  を最小とした隣接する画素間に欠陥および短絡が生じる危険性を小さくする。表面エネルギーパターンニングは誘電体層 11 の表面に、フォトリソグラフィに限られずマイクロコンタクト印刷または集束させた電磁放射への露光などの類の技術によって実現できる (W002/095805号を参照のこと)。表面エネルギーパターンにより幅  $d$  の表面領域が導電画素電極のインクをはじけるようになり最小の  $d$  で正確な印刷ができるようになる。

#### 【0049】

誘電体層は溶液から優先的に堆積されるが、蒸着などの他の方法を使用してもよい。溶媒から堆積する場合は、底部層が最上部誘電体層の溶媒に溶けるように配慮する必要がある。上側誘電体層はインクジェット印刷、エアゾール印刷、または他の方法によってパターン形成した形態に堆積して、ゲートおよびゲートラインを覆って画素コンデンサ領域を定義するようにしてよい。誘電体層をパターン形成する場合は、上側の画素電極は下側画素電極と直接接触した状態で上述のいずれの方法によってでも堆積でき、これにより以下に述べるようにビアホールを形成する必要がなくなる。

#### 【0050】

透過性効果ディスプレイの場合、誘電体層をパターンニングしてディスプレイの最小限の領域を覆うようにするおよび/または誘電体層の屈折率を周辺に合わせるいずれかの方法によって望ましくない光の散乱を回避することができる。

#### 【0051】

ビアホール接続構成の場合、ビアホールは必ずしもこれらに限られるわけではないがレーザー溶発、フォトリソグラフィ、または機械的方法などの広範囲の技術によって形成することができる。好ましい方法はW001/47045号に記載されているように溶媒を印刷し引き続き導電性材料を充填する方法である。ビアホールを溶媒の印刷によって形成する場合、それは2つの誘電体層を貫通しなければならない。このためには、一連の異なる溶媒または2つ以上の溶媒の混合物を使うことができる。ビアホールはトランジスタを妨害することなく画素領域内に適合するくらいに十分小さくしなければならない。好ましくは、ビアホールは直径が100ミクロン未満でなければならない。好ましくは直径が50ミクロン未満である。画素全体にわたって光学的コントラストのいかなる不均一性も緩和するために、ビアホール付近およびビアホール上の画素電極の表面は平滑でなければならない。表示媒体が透過性である場合、ビアホールはPEDOTなどの透明な材料から形成することができる。好ましくは、誘電体層と同じ屈折率を持つ導電材料をビアホールに充填していかなる光の散乱も緩和するようにする。あるいは、もしビアホール周りの光学的不均一性があまりに大きい場合は、ビアホールの領域を黒色マトリックスによって見る人からさえぎることができる。ビアホールを形成するための他の好ましい方法はレーザー溶発である。ここで、誘電体材料はエネルギーの迅速な吸収によって走査レーザービームから選択的に除去されてビアホールを形成する。使用する誘電体層は本質的に吸収性であってもよくまたは染料と混合してレーザービームの波長での吸収性を高めることもできる。レーザー溶発を組み込んだ他の方法としては、誘電体層を堆積する前に解放層を堆積する方法が挙げられる。この解放層はレーザービームの波長で高い吸収性を示し、吸収時には上に堆積されている誘電体層を除去する。形成後、ビアホールには好ましくはインクジェットのような印刷を基にした方法を使って導電材料が充填される。

#### 【0052】

図3に示す実施態様は両面コンデンサおよび大きな開口率を組み込んだ3レベル装置アーキテクチャである。ビアホールは第1および第3のレベルの間および第3および第2のレベルの間に形成され、レベル間で確実に通電するようになっている。

#### 【0053】

PEDOT/PSSのような導電材料からなるソースおよびドレイン電極3、4をイン

10

20

30

40

50

クジェット印刷のような技術によって第1の金属レベル上に堆積してよい。インクジェット印刷されたコロイド性銀を表面エネルギーパターンニングによって範囲付けしてデータライン20を形成してよい。キシレン溶液中のポリ(ジオクチルフルオレン-コ-ピチオフェン)(F8T2)のような材料からなる半導体2をインクジェット印刷のような技術によってアクティブ層島に堆積して、隣接する画素と装置との間の寄生漏えい電流を緩和するようにしてよい。連続的な誘電体層5をスピコーティングのような技術によって堆積してレベルの異なる電極と接続との間が電氣的絶縁するようにしてよい。このような絶縁層のための適切な材料はポリメチルメタクリレート(PMMA)であろう。装置の第2のレベル上には、コロイド性銀またはPEDOT/PSSのような導電性材料の堆積によってゲート電極24、およびゲートアドレスライン22が形成される。第3の金属レベル上にはまた、画素コンデンサカウンタ電極6も形成される。これに引き続き、スピコーティング、ブレードコーティング、または他の溶液処理技術によって装置の第3および第2の金属層の間に堆積されるポリスチレンからなる第2の連続的な誘電体層が形成される。表示素子13との接触の1つを形成するパターン形成された画素電極が装置の隔離された第2の金属レベル上に形成される。金属レベル6、13上の画素電極はインクジェット印刷されたPEDOTまたはITOまたは他の透明なコンダクタ(透過性ディスプレイ)またはコロイド性銀(反射性ディスプレイ)によって形成できる。

10

## 【0054】

上で述べたように、画素コンデンサは第3のレベル上のゲートアドレスライン22に接続された画素コンデンサカウンタ電極6と画素電極13との間に形成される。本発明の上述の実施態様のさらなる実施態様によると、第3のレベル上にある画素コンデンサカウンタ13と第1のレベル上にあるドレイン電極4の延長部との間にさらに別のコンデンサを形成することも可能である。この両面コンデンサを形成するとカウンタ電極の所定の領域における画素コンデンサの全静電容量が増加することがわかった。

20

## 【0055】

装置の3つのレベル間を確実に電通させるためにヴィアホールを形成する。このヴィアホールは装置のそれぞれの金属レベル上にある画素間に形成される。ヴィアホールは印刷技術によるかまたはレーザー溶発の方法によるかのいずれかによって形成してよい。

## 【0056】

これに限られるわけではないがインクジェット印刷のような印刷技術を使って上述の装置にヴィアホールを作成してよい。第1および第2の誘電体材料の両方を溶解できる溶媒、または溶媒の混合物を堆積するが、下側画素間は差別化する。上述のPMMA誘電体層の場合、適切な溶媒としてエチルアセテートを使用できる。そして得られたヴィアホールにPEDOTのような導電性材料を充填することで2つの画素間に接続を形成する。

30

## 【0057】

あるいは、レーザー溶発技術を使ってもよい。ヴィアチャンネルはレーザーの波長が誘電体材料によって吸収される場合か吸収染料を誘電体層に添加する場合のいずれかにラスタリングレーザーを使って形成してよい。ヴィアチャンネルを形成した後、インクジェット印刷のような技術を使って導電性材料を充填してよい。このようなシステムでは誘電体層がヴィアホール溶媒に非可溶性であるおかげで良好にヴィアホールを形成できる。

40

## 【0058】

図4に示す別の実施態様では、3レベル装置のアーキテクチャがゲート誘電体5としてポリビニルフェノール(PVP)を組み込んでおり、引き続き第2の誘電体層11としてポリスチレンが組み込まれている。イソプロパノールおよびキシレンまたはキサンがこれらの層へのヴィアホール形成にあたって考え得る溶媒であるが、上述のように、本実施態様はヴィアホールを形成せずとも実行できる。

## 【0059】

PEDOT/PSSのような導電性材料からなるソースおよびドレイン電極3、4がインクジェット印刷のような技術によって第1の金属レベル上に堆積される。インクジェット印刷されたコロイド性銀は表面エネルギーパターンニングによって範囲付けしてデータ

50

ライン3を形成できる。キシレンのような溶液中のポリ(ジオクチルフルオレン-コ-ピチオフェン)(F8T2)のような材料からなる半導体2をインクジェット印刷のような技術によってアクティブ層島に堆積し、隣接する画素と装置との間の寄生漏えい電流を緩和するようにしてよい。ポリビニルフェノール(PVP)のパターン形成された誘電体層5は、上述のように表面エネルギーパターン上へのインクジェット印刷のような技術または他のパターンニング技術によって堆積して第3のレベル上にあるゲート電極と相互接続との間、および第1および第2のレベル上にある電極間に適切な隔離を設けるようにできる。装置の第3のレベル上には、コロイド性銀またはPEDOT/PSSのような導電性材料の堆積によってゲート電極24およびゲートアドレスライン2が形成されている。第3の金属レベルにはまた、画素コンデンサカウンタ電極6もある。これに引き続き、ポリビニルアルコール(PVA)からなる第2のパターン形成された誘電体層がインクジェット印刷のような技術によって装置の第3および第2の金属層の間に堆積され、またはスピコーティング、ブレードコーティングまたはスプレーコーティングのような技術のあとレーザー溶発のようなパターンニング技術によって堆積されて連続した膜となる。表示素子13への接触の1つを形成するパターン形成された画素電極13が、金属接続がパターン形成された(複数または単数の)誘電体の側壁にわたって形成された状態で装置の第1のレベル上に部分的に形成されまた第2のレベル上に部分的に形成される。画素電極13はインクジェット印刷されたPEDOTまたはITOまたは他の透明なコンダクタ(透過性ディスプレイ)またはコロイド性銀(反射性ディスプレイ)によって形成してよい。

10

20

【0060】

上で述べたように、両面コンデンサがふたたび形成されたことによりカウンタ電極の所定の領域について画素コンデンサの全静電容量を増加させることができる。

【0061】

この装置アーキテクチャ内に組み込むためのビアホール相互接続を形成する必要はない。

【0062】

本発明を製造するのに使われる材料とプロセスとの組み合わせは装置のエンドユーズ向けに理想的に仕立てられている。反射性ディスプレイについては、アクティブマトリックスバックプレーン構成部材が透明である必要はない。しかしながら透過性ディスプレイについては、アレンジメントの1つとして導電率が高く厳密に範囲付けられた不透明な導電材料と導電率のより低い透明なコンダクタとの組み合わせを取り入れている。表面エネルギーに手助けされた印刷またはエアゾールをはじめとする多くの方法で堆積できる、導電性が高く良好に範囲付けられた材料、例えばコロイド性銀をデータラインおよび相互接続ラインとして使用できる。これらの特徴の限られた性質は、ディスプレイの透過性が著しく損なわれることはないことを意味する。印刷または他の方法を使ってやはり堆積することのできる透明で導電率のより低い素子、例えばITOまたはPEDOTが画素および保存静電容量電極に使われる。高い導電率と、導電率の低い透明な層と組み合わせられた高い解像度のパターン形成された層とを組み合わせることにより、高い開口率および高い画素静電容量を持つ印刷を用いる透明なディスプレイの製造が可能となる。

30

40

【0063】

表示装置のTFTおよび/または接続の導電電極のうちいくつかは、例えばあらかじめパターン形成されている基板上にコロイド性懸濁液の印刷によりまたは電気めっきにより堆積され得る無機コンダクタから形成できる。すべての層を溶液から堆積する必要は無い装置では、装置の導電性構成部材の1つ以上を真空蒸着コンダクタのような非可溶性導電性材料から形成してよい。

【0064】

半導体層の形成には $10^{-3} \text{ cm}^2 / \text{Vs}$ を超える、好ましくは $10^{-2} \text{ cm}^2 / \text{Vs}$ を超える適切な電界効果移動度を示すどのような溶液処理可能な共役ポリマー性またはオリゴマー性材料を使ってもよい。適切な材料はH. E. Katz, J. Mater. Chem. 7, 369 (1997)、またはZ. Bao, Advanced Materials 12, 227 (2000)に掲載されている。他の可能性

50

としては、可溶性側鎖を持つ小さな共役分子 (J. G. Laquindanum et al., J. Am. Chem. Soc. 120, 664 (1998))、溶液から自己集合した半導体有機 - 無機ハイブリッド材料 (C. R. Kagan, et al., Science 286, 946 (1999))、または CdSe ナノ粒子のような溶液堆積された無機半導体 (B. A. Ridley, et al., Science 286, 746 (1999)) が挙げられる。電極はインクジェット印刷以外の技術によって粗くパターン形成してよい。適切な技術としては、ソフトリソグラフィック印刷 (J. A. Rogers et al., Appl. Phys. Lett. 75, 1010 (1999); S. Brittain et al., Physics World May 1998, p. 31)、スクリーン印刷 (Z. Bao, et al., Chem. Mat. 9, 12999 (1997))、およびフォトリソグラフィックパターンニング (WO 99 / 10939 を参照のこと)、オフセット印刷、フレキシグラフィック印刷、または他のグラフィックアート印刷技術が挙げられる。良好に位置合わせした状態で大面積をパターンニングするには、特に柔軟なプラスチック基板にはインクジェット印刷が特に適していると思われる。

10

**【0065】**

溶液処理および印刷技術によって装置および回路のすべての層および構成部材を堆積してパターン形成することが好ましいが、1つ以上の構成部材を真空蒸着技術により堆積しおよび/またはフォトリソグラフィックプロセスによってパターン形成してもよい。

**【0066】**

本発明は上述の実施例に制限されるものではない。本発明の側面は本願で説明する概念のすべての新規のおよび/または進歩的な側面、および本願で説明した特徴のすべての新規のおよび/または進歩的な組み合わせを備えている。

20

**【0067】**

出願人は、本願で説明した個々の特徴および2つ以上のかかる特徴のどのような組み合わせもかかる特徴または特徴の組み合わせが本願で開示される問題を解決するしないにかかわらずそして特許請求の範囲を制限することなく、かかる特徴または組み合わせが本明細書を全体的にみてこれに基づき当業者の一般的な知識に照らし合わせて実施可能な程度に別々にここに開示する。出願人は、本発明の側面はどのようなかかる個々の特徴または特徴の組み合わせからも成り立つことを表明する。上述の説明を考慮すれば、本発明の範囲内でさまざまな改変をなしうることは当業者にとって明らかであろう。

**【図面の簡単な説明】****【0068】**

30

【図1】アクティブマトリックスディスプレイ画素の一般的な構成を示す。

【図2】ドレイン電極が画素電極である場合におけるトランジスタ制御表示装置への画素コンデンサの組み込みを説明している。

【図3】本発明の第1の実施態様による装置を示している。

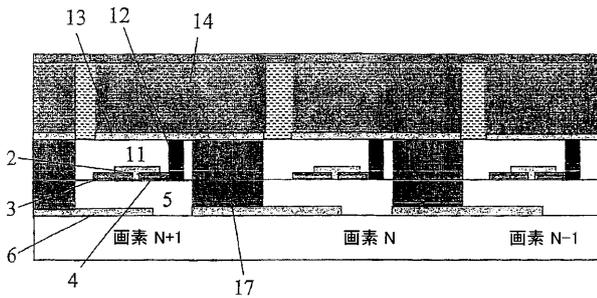
【図4】本発明の第2の実施態様による装置を示している。

【図5】本発明の第3の実施態様による底部ゲート装置を示している。

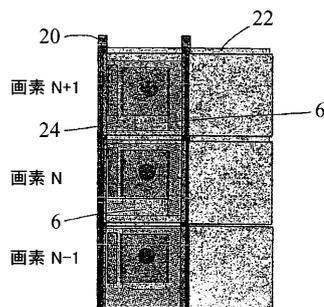


【 図 5 】

(a)



(b)



## 【 手続補正書 】

【 提出日 】 平成 16 年 12 月 6 日 (2004.12.6)

## 【 手続補正 1 】

【 補正対象書類名 】 特許請求の範囲

【 補正対象項目名 】 全文

【 補正方法 】 変更

【 補正の内容 】

【 特許請求の範囲 】

【 請求項 1 】

表示媒体、少なくとも部分的に印刷されたトランジスタのアレー、トランジスタのアレーを制御するためのアドレスライン、およびトランジスタのアレーと表示媒体との間に少なくとも部分的に位置することによりトランジスタと重なり合っている画素電極のアレーであってこれを介して表示媒体のそれぞれの部分がトランジスタによって制御可能となるアレーを備える画素化表示装置であって、それぞれの画素電極はそれぞれのトランジスタを通じて前記アドレスラインのうち 1 つを介して制御可能であり、また前記アドレスラインの別のものおよび / またはそれに接続されているカウンタ電極と重なり合っても画素コンデンサを形成していることを特徴とする、画素化表示装置。

【 請求項 2 】

アドレスラインが印刷されておりライン幅が 60 ミクロン未満であり、好ましくは 40 ミクロン未満であり、さらに好ましくは 20 ミクロン未満であることを特徴とする、請求項 1 に記載の装置。

【 請求項 3 】

それぞれのトランジスタはゲート電極を備える薄膜トランジスタであり、それぞれの画素電極は隣接するゲートアドレスラインおよび / またはそれに電氣的に接続されているカウンタ電極と重なり合うことを特徴とする、請求項 1 および 2 に記載の装置。

## 【請求項 4】

それぞれのトランジスタはソース、ドレインおよびゲート電極を備える薄膜トランジスタであり、それぞれの画素電極は下に設けられているそれぞれのトランジスタのソースまたはドレイン電極のうちの一つと導電性垂直相互接続を介して一つ以上の絶縁層を通じて接続されていることを特徴とする、請求項 1 に記載の装置。

## 【請求項 5】

垂直相互接続は直径が 60 ミクロン未満であり、好ましくは 40 ミクロン未満であり、さらに好ましくは 20 ミクロン未満であることを特徴とする、請求項 5 に記載の装置。

## 【請求項 6】

隣接する画素電極は 40 ミクロン未満の距離で、好ましくは 20 ミクロン未満の距離で、さらに好ましくは 10 ミクロン未満の距離で隔てられていることを特徴とする、上記請求項のいずれかに記載の装置。

## 【請求項 7】

画素電極材料が液体から堆積されることを特徴とする、請求項 6 に記載の装置。

## 【請求項 8】

隣接する画素電極間の距離は表面エネルギーパターンによって定義されることを特徴とする、請求項 7 に記載の装置。

## 【請求項 9】

それぞれのトランジスタのドレイン電極は同じゲートアドレスラインおよび/またはそれぞれの画素電極としてのカウンタ電極と重なり合うことを特徴とする、請求項 3 に記載の表示装置。

## 【請求項 10】

少なくとも部分的に印刷されたトランジスタのアレー、トランジスタのアレーを制御するためのアドレスライン、および電位がトランジスタに応じるものでありまた少なくとも部分的にトランジスタの上に配置されている画素電極のアレーを備える電子装置であって、それぞれの画素電極はそれぞれのトランジスタを通じて前記アドレスラインのうち一つを介して制御可能であり、また前記アドレスラインの別のものおよび/またはそれが接続されているカウンタ電極と重なり合っても静電結合を作り出していることを特徴とする、電子装置。

## 【請求項 11】

表示媒体は双安定表示媒体であることを特徴とする、請求項 1 から 10 のいずれかに記載の装置。

## 【請求項 12】

装置は電子ペーパーとして使用できることを特徴とする、請求項 1 から 11 のいずれかに記載の装置。

## 【請求項 13】

表示媒体、トランジスタのアレー、トランジスタを制御するためのアドレスライン、およびトランジスタのアレーと表示媒体との間に少なくとも部分的に位置している画素電極のアレーであってこれを介して表示媒体のそれぞれの部分がトランジスタによって制御可能となるアレーを備え、それぞれの画素電極はそれぞれのトランジスタを通じて前記アドレスラインのうち一つを介して制御可能であり、また前記アドレスラインの別のものおよび/またはそれが接続されているカウンタ電極と重なり合っても静電結合を作り出している画素化表示装置を製造する方法であって、印刷技術によってトランジスタのアレーの少なくとも一つの素子を形成する工程を含むことを特徴とする方法。

## 【請求項 14】

印刷技術はインクジェット印刷技術であることを特徴とする、請求項 13 に記載の方法。

## 【請求項 15】

それぞれの画素電極は印刷技術によって形成されることを特徴とする、請求項 13 または請求項 14 に記載の方法。

**【請求項 16】**

トランジスタの少なくとも1つの素子は表面エネルギーパターン形成層上に印刷によって形成されていることを特徴とする、請求項13から15のいずれかに記載の方法。

**【請求項 17】**

表面エネルギーパターン形成層は直接書込みレーザーパターンニングを含む技術によって形成されることを特徴とする、請求項16に記載の方法。

**【請求項 18】**

トランジスタは半導体層によって第1の方向に接続されているソースおよびドレイン電極を備えており、半導体層は印刷によって定義されて幅が前記第1の方向に120ミクロン未満、好ましくは80ミクロン未満、さらに好ましくは40ミクロン未満とされていることを特徴とする、請求項13に記載の方法。

**【請求項 19】**

それぞれのトランジスタはゲート電極を備える薄膜トランジスタであり、アドレス回路系はゲートアドレスラインを備えており、それぞれの画素電極は隣接するトランジスタのゲートアドレスラインと重なり合っており、重なり合っている領域は表面エネルギーパターン形成層に画素電極およびゲートアドレスラインのいずれか一方または両方を印刷によって形成することで制御されることを特徴とする、請求項13に記載の方法。

**【請求項 20】**

溶液処理によって形成される下側導電性層と、前記下側導電性層の上に設けられかつそれと導電性相互接続を介して1つ以上の絶縁層を通じて電氣的に接続されている上側導電性層とを備える電子装置を製造する方法であって、前記相互接続の作成は、下側導電性層と前記1つ以上の絶縁層とを区別する光溶発技術を使って少なくとも下側導電性層の一部へと下向きに延びる孔を前記少なくとも1つの絶縁層に定義する工程、およびその後前記孔に導電性材料を堆積する工程を含むことを特徴とする方法。

**【請求項 21】**

前記光溶発技術が、前記1つ以上の絶縁層内に光吸収剤を選択的に充填する工程、および前記光吸収剤が最大の吸収を示す波長の光を使う工程を含むことを特徴とする、請求項20に記載の方法。

**【請求項 22】**

前記区別する光溶発技術は、下側導電性層と前記1つ以上の絶縁層との間に解放層を設ける工程、および選択的に吸収を行う波長の光を解放層に照射することで解放層が上に設けられている前記1つ以上の絶縁層の一部を基板から離脱させると同時に少なくとも下に設けられている下側導電性層の一部はそのまま残す工程を備えることを特徴とする、請求項20に記載の方法。

**【請求項 23】**

溶液処理によって形成される下側導電性層と、前記下側導電性層の上に設けられかつそれと導電性相互接続を介して1つ以上の絶縁層を通じて電氣的に接続されている上側導電性層とを備える電子装置を製造する方法であって、前記相互接続の作成は、エンボス技術を使って少なくとも下側導電性層の一部へと下向きに延びる孔を前記少なくとも1つの絶縁層に定義する工程、およびその後前記孔に導電性材料を堆積する工程を含むことを特徴とする方法。

**【請求項 24】**

下側導電性層は薄膜トランジスタ装置のドレインまたはソース電極であり、上側導電性層は前記薄膜トランジスタ装置に結合している画素電極であることを特徴とする、請求項20から23のいずれかに記載の方法。

**【請求項 25】**

請求項24の方法によって製造される薄膜トランジスタ表示装置。

**【請求項 26】**

画素電極は下に設けられているゲート電極と重なりあって前記1つ以上の絶縁層の少なくとも1つを介してともに静電結合を作り出していることを特徴とする、請求項25記載

の画素化表示装置。

【請求項 27】

少なくとも部分的には印刷技術を用いて基板上に薄膜トランジスタ(TFT)装置のアレーを形成する工程、それぞれのTFT装置のドレインまたはソース電極への上からの接続を残すようにTFT装置のアレー上に1つ以上のパターン形成された絶縁層を設ける工程、およびその後1つ以上のパターン形成された絶縁層上にパターン形成された導電性層を形成することで、それぞれのTFT装置に対しそのドレインまたはソース電極からそのゲート電極の上にもまたは隣接するTFTのゲート電極の上にも上向きに延びるそれぞれの画素電極を設けることにより開口率を高める工程を含むことを特徴とする、電子装置を製造する方法。

【請求項 28】

それぞれのTFT装置はトップゲート構造であり、それぞれの画素電極は隣接するTFT装置のゲート電極との静電容量結合を提供するように配置されていることを特徴とする、請求項27に記載の方法。

【請求項 29】

パターン形成された導電性層は前記1つ以上のパターン形成された絶縁層のパターンニング、および1つ以上の下に設けられた層と比較して前記1つ以上のパターン形成絶縁層の前記導電性層の材料に対する相対的親和性を採用することによって作成されることを特徴とする、請求項27または請求項28に記載の方法。

【請求項 30】

請求項27から29のいずれかの方法によって製造されるTFT装置のアレー。

【請求項 31】

請求項30のTFT装置のアレーを備える表示装置。

## 【 国際調査報告 】

| INTERNATIONAL SEARCH REPORT   |   | International Application No<br>PCT/GB2004/000433  |
|---|---|--|
| <b>A. CLASSIFICATION OF SUBJECT MATTER</b><br>IPC 7 G02F1/1343  |   |  |
| According to International Patent Classification (IPC) or to both national classification and IPC   |   |  |
| <b>B. FIELDS SEARCHED</b><br>Minimum documentation searched (classification system followed by classification symbols)<br>IPC 7 G02F G09G H01L  |   |  |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched   |   |  |
| Electronic data base consulted during the international search (name of data base and, where practical, search terms used)<br>EPO-Internal  |   |  |
| <b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>   |   |  |
| Category *  | Citation of document, with indication, where appropriate, of the relevant passages                                  | Relevant to claim No.                              |
| X   | EP 0 555 100 A (SHARP KK)<br>11 August 1993 (1993-08-11)  | 1-12   |
| Y   | page 2, line 18 - page 3, line 20; figures 16-18<br>page 7, line 18 - page 8, line 41; figures 5-7<br>-----<br>-/-- | 13-19  |
| <input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.   |   |  |
| * Special categories of cited documents :<br>*A* document defining the general state of the art which is not considered to be of particular relevance<br>*E* earlier document but published on or after the international filing date<br>*L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)<br>*O* document referring to an oral disclosure, use, exhibition or other means<br>*P* document published prior to the international filing date but later than the priority date claimed<br>*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention<br>*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone<br>*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.<br>*&* document member of the same patent family |   |  |
| Date of the actual completion of the international search   |   | Date of mailing of the international search report |
| 14 May 2004   |   | 02 08. 2004  |
| Name and mailing address of the ISA<br>European Patent Office, P.B. 5818 Patentlaan 2<br>NL - 2280 HV Rijswijk<br>Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,<br>Fax: (+31-70) 340-3016  |   | Authorized officer<br><br>Morris, D                |

## INTERNATIONAL SEARCH REPORT

International Application No.

PCT/GB2004/000433

| C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT |  |                       |
|--|--|-----------------------|
| Category *   | Citation of document, with indication, where appropriate, of the relevant passages   | Relevant to claim No. |
| Y  | WD 01/47045 A (PLASTIC LOGIC LTD<br>;SIRRINGHAUS HENNING (GB); KAWASE TAKEO<br>(GB); FR) 28 June 2001 (2001-06-28)<br>cited in the application<br>page 20, paragraph 3 - page 22, paragraph<br>1; figure 7<br>page 24, paragraph 3 - page 25, paragraph<br>3; figures 8-11<br>page 28, paragraph 2 - page 34, paragraph<br>1; figures 12,13<br>page 36, paragraph 4<br>page 41, paragraph 4 - page 42, paragraph<br>2; figure 21 | 13-19                 |
| X  | US 5 955 744 A (DEN BOER WILLEM ET AL)<br>21 September 1999 (1999-09-21)   | 1-12                  |
| Y  | column 7, line 51 - column 9, line 19;<br>figure 6<br>column 12, line 18 - column 12, line 32;<br>figure 9   | 13-19                 |
| X  | EP 0 664 473 A (TOKYO SHIBAURA ELECTRIC<br>CO) 26 July 1995 (1995-07-26)   | 1-3,5-12              |
| Y  | column 4, line 12 - column 5, line 15;<br>figures 1-5<br>column 11, line 20 - column 12, line 37;<br>figure 8  | 4,13-19               |
| X  | US 2002/180900 A1 (CHAE GEE-SUNG ET AL)<br>5 December 2002 (2002-12-05)  | 1-3,5-12              |
| Y  | paragraph '0071! - paragraph '0075!;<br>figure 13<br>paragraph '0080! - paragraph '0082!;<br>figures 18-23<br>paragraph '0088! - paragraph '0089!;<br>figures 28-36  | 4,13-19               |
| X  | US 2001/019322 A1 (ASHIZAWA KEIICHIROU ET<br>AL) 6 September 2001 (2001-09-06)   | 1-3,5-12              |
| Y  | paragraph '0133! - paragraph '0138!;<br>figure 9   | 13-19                 |
| X  | US 2001/005019 A1 (ISHIKAWA AKIRA)<br>28 June 2001 (2001-06-28)  | 1-12                  |
| Y  | paragraph '0084! - paragraph '0106!;<br>figures 11-13  | 13-19                 |
| A  | US 6 274 412 B1 (KYDD PAUL H ET AL)<br>14 August 2001 (2001-08-14)<br>column 5, line 25 - column 6, line 7;<br>figures 8,9<br>column 9, line 66 - column 10, line 14<br>column 13, line 25 - column 13, line 42  | 1-19                  |

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/GB2004/000433

**Box II Observations where certain claims were found unsearchable (Continuation of Item 2 of first sheet)**

This International Search Report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1.  Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2.  Claims Nos.:  
because they relate to parts of the International Application that do not comply with the prescribed requirements to such an extent that no meaningful International Search can be carried out, specifically:
  
3.  Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box III Observations where unity of invention is lacking (Continuation of Item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

1.  As all required additional search fees were timely paid by the applicant, this International Search Report covers all searchable claims.
  
2.  As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
  
3.  As only some of the required additional search fees were timely paid by the applicant, this International Search Report covers only those claims for which fees were paid, specifically claims Nos.:
  
4.  No required additional search fees were timely paid by the applicant. Consequently, this International Search Report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

1-19

Remark on Protest

- The additional search fees were accompanied by the applicant's protest.
- No protest accompanied the payment of additional search fees.

## INTERNATIONAL SEARCH REPORT

International Application No. PCT/GB2004/000433

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

## 1. claims: 1-19

Directed to a display device in which the pixel electrode of each pixel is controlled by one transistor and overlaps the addressing lines of an adjacent transistor and/or a counter electrode connected to one of said addressing lines for capacitive coupling therewith.

It is also noted that due to the "and/or" construction in each of independent claims 1, 10 and 13, that claims 1-19 also comprise alternative inventions wherein:

- i) a pixel electrode overlaps the addressing lines of an adjacent transistor;
- ii) a pixel electrode overlaps a counter electrode connected to the addressing lines of an adjacent transistor for capacitive coupling therewith; and
- iii) a pixel electrode overlaps the addressing lines of an adjacent transistor and a counter electrode connected thereto.

Please note that all inventions mentioned above under item 1, although not necessarily linked by a common inventive concept, could be searched without effort justifying an additional fee.

---

## 2. claims: 20-26

A method of producing an electronic device in which an upper conductive layer and a lower conductive layer are connected via a conductive interconnect through one or more insulator layers. No mention is made as to whether the electronic device comprises a TFT.

---

## 3. claims: 27-31

Directed to a method of producing a TFT device with a respective pixel electrode extending from the drain or gate thereof up and over the gate of the TFT or the gate of an adjacent TFT in order to increase the aperture ratio of the display. No mention is made of capacitive coupling.

---

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/GB2004/000433

| Patent document cited in search report | Publication date | Patent family member(s) | Publication date |            |
|--|------------------|-------------------------|------------------|------------|
| EP 0555100                             | A                | 11-08-1993              | JP 2869238 B2    | 10-03-1999 |
|  |                  |                         | JP 5224236 A     | 03-09-1993 |
|  |                  |                         | JP 5297346 A     | 12-11-1993 |
|  |                  |                         | DE 69316399 D1   | 26-02-1998 |
|  |                  |                         | DE 69316399 T2   | 23-07-1998 |
|  |                  |                         | EP 0555100 A1    | 11-08-1993 |
|  |                  |                         | KR 145280 B1     | 15-07-1998 |
|  |                  |                         | US 5459595 A     | 17-10-1995 |
| WO 0147045                             | A                | 28-06-2001              | AU 2015901 A     | 03-07-2001 |
|  |                  |                         | AU 2016001 A     | 03-07-2001 |
|  |                  |                         | AU 2206601 A     | 03-07-2001 |
|  |                  |                         | AU 2206901 A     | 03-07-2001 |
|  |                  |                         | BR 0016643 A     | 07-01-2003 |
|  |                  |                         | BR 0016660 A     | 25-02-2003 |
|  |                  |                         | BR 0016661 A     | 25-02-2003 |
|  |                  |                         | BR 0016670 A     | 24-06-2003 |
|  |                  |                         | CA 2394881 A1    | 28-06-2001 |
|  |                  |                         | CA 2394886 A1    | 28-06-2001 |
|  |                  |                         | CA 2394895 A1    | 28-06-2001 |
|  |                  |                         | CA 2395004 A1    | 28-06-2001 |
|  |                  |                         | CN 1425201 T     | 18-06-2003 |
|  |                  |                         | CN 1425202 T     | 18-06-2003 |
|  |                  |                         | CN 1425203 T     | 18-06-2003 |
|  |                  |                         | CN 1425204 T     | 18-06-2003 |
|  |                  |                         | EP 1243032 A2    | 25-09-2002 |
|  |                  |                         | EP 1243033 A1    | 25-09-2002 |
|  |                  |                         | EP 1243034 A1    | 25-09-2002 |
|  |                  |                         | EP 1243035 A2    | 25-09-2002 |
|  |                  |                         | WO 0147043 A1    | 28-06-2001 |
|  |                  |                         | WO 0146987 A2    | 28-06-2001 |
|  |                  |                         | WO 0147044 A2    | 28-06-2001 |
|  |                  |                         | WO 0147045 A1    | 28-06-2001 |
|  |                  |                         | JP 2003518332 T  | 03-06-2003 |
|  |                  |                         | JP 2003518754 T  | 10-06-2003 |
|  |                  |                         | JP 2003518755 T  | 10-06-2003 |
|  |                  |                         | JP 2003518756 T  | 10-06-2003 |
|  |                  |                         | US 2003059984 A1 | 27-03-2003 |
|  |                  |                         | US 2003059987 A1 | 27-03-2003 |
|  |                  |                         | US 2003059975 A1 | 27-03-2003 |
|  |                  |                         | US 2003060038 A1 | 27-03-2003 |
| TW 518760 B                            | 21-01-2003       |                         |                  |            |
| US 5955744                             | A                | 21-09-1999              | US 6320226 B1    | 20-11-2001 |
|  |                  |                         | US 2001011728 A1 | 09-08-2001 |
|  |                  |                         | AT 231247 T      | 15-02-2003 |
|  |                  |                         | CA 2178232 A1    | 07-12-1996 |
|  |                  |                         | DE 69625750 D1   | 20-02-2003 |
|  |                  |                         | DE 69625750 T2   | 18-09-2003 |
|  |                  |                         | DK 752611 T3     | 14-04-2003 |
|  |                  |                         | EP 1256836 A2    | 13-11-2002 |
|  |                  |                         | EP 0752611 A2    | 08-01-1997 |
|  |                  |                         | ES 2188691 T3    | 01-07-2003 |
|  |                  |                         | JP 9022028 A     | 21-01-1997 |
|  |                  |                         | JP 2004094263 A  | 25-03-2004 |
|  |                  |                         | PT 752611 T      | 30-04-2003 |
|  |                  |                         | SI 752611 T1     | 30-06-2003 |
|  |                  |                         | US 6124606 A     | 26-09-2000 |

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/GB2004/000433

| Patent document cited in search report | Publication date          | Patent family member(s) | Publication date           |
|--|---------------------------|-------------------------|----------------------------|
| US 5955744                             | A                         | US 2002088982           | A1 11-07-2002              |
|  |                           | US 2002098629           | A1 25-07-2002              |
|  |                           | US 2002093027           | A1 18-07-2002              |
|  |                           | US 6365916              | B1 02-04-2002              |
|  |                           | US 6307215              | B1 23-10-2001              |
|  |                           | US 6372534              | B1 16-04-2002              |
|  |                           | US 5641974              | A 24-06-1997               |
|  |                           | US 6376270              | B1 23-04-2002              |
|  |                           | US 2001029057           | A1 11-10-2001              |
|  |                           | US 5780871              | A 14-07-1998               |
|  |                           | US 5994721              | A 30-11-1999               |
|  |                           | US 5920084              | A 06-07-1999               |
|  |                           | EP 0664473              | A                          |
|  | DE 69430792 D1 18-07-2002 |                         |                            |
|  | DE 69430792 T2 20-02-2003 |                         |                            |
|  | EP 0664473 A1 26-07-1995  |                         |                            |
|  | KR 170452 B1 20-03-1999   |                         |                            |
|  | US 5610736 A 11-03-1997   |                         |                            |
| US 2002180900                          | A1                        | 05-12-2002              | KR 2002090791 A 05-12-2002 |
|  |                           |                         | CN 1388405 A 01-01-2003    |
|  |                           |                         | JP 2003043513 A 13-02-2003 |
| US 2001019322                          | A1                        | 06-09-2001              | JP 2001249319 A 14-09-2001 |
|  |                           |                         | TW 538283 B 21-06-2003     |
| US 2001005019                          | A1                        | 28-06-2001              | JP 2001249362 A 14-09-2001 |
| US 6274412                             | B1                        | 14-08-2001              | US 6379745 B1 30-04-2002   |
|  |                           |                         | US 6153348 A 28-11-2000    |

## フロントページの続き

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72) 発明者 シェーマス バーンズ

イギリス国 ケンブリッジ シービー4 1エルピー ケンドル ウェイ 33

(72) 発明者 ヘニング シリンガス

イギリス国 ケンブリッジ シービー3 7ピーダブリュー コトン ホワイトウェル ウェイ  
73

Fターム(参考) 2H092 GA12 JA25 JA38 JA42 JA46 JB62 JB66 JB68 JB69 KA17

KA23 MA13 NA07

5C094 AA10 BA03 BA43 CA19 DA13 EA04 EA10 GB10