



(12) 发明专利申请

(10) 申请公布号 CN 103803487 A

(43) 申请公布日 2014. 05. 21

(21) 申请号 201410086127. X

(22) 申请日 2014. 03. 10

(71) 申请人 上海华虹宏力半导体制造有限公司  
地址 201203 上海市浦东新区张江高科技园  
区祖冲之路 1399 号

(72) 发明人 刘玮荪

(74) 专利代理机构 北京集佳知识产权代理有限  
公司 11227  
代理人 高静 骆苏华

(51) Int. Cl.  
B81C 1/00(2006. 01)

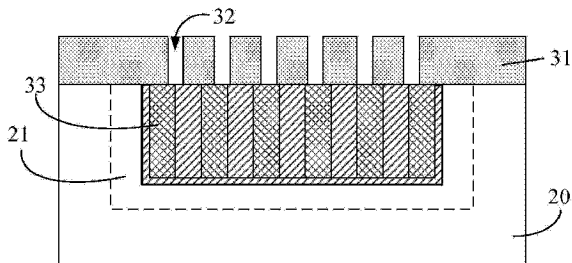
权利要求书1页 说明书5页 附图6页

(54) 发明名称

半导体结构的形成方法

(57) 摘要

本发明提供一种半导体结构的形成方法,包括:半导体衬底的空腔区内开设多个凹槽,以热氧化工艺氧化相邻凹槽间的半导体衬底,形成氧化层;在所述凹槽内填充牺牲层材料后,在半导体衬底,以及牺牲层材料表面形成器件材料层;刻蚀器件材料层,在所述器件材料层内形成通孔,露出部分牺牲层材料或氧化层后,向通孔内通入蚀刻剂,以去除各凹槽内的牺牲层和各凹槽间的氧化层,从而将各个凹槽打通,在半导体衬底内形成空腔。上述技术方案中,所述牺牲层材料以及各凹槽间的氧化层一同支撑空腔区上方的器件材料层。因而即使凹槽内的牺牲层间出现空洞等情况,也具有足够的支撑力,从而避免器件材料层出现形变等缺陷的出现。



1. 一种半导体结构的形成方法,其特征在于,包括:  
提供半导体衬底,所述半导体衬底内具有空腔区;  
刻蚀空腔区的所述半导体衬底,形成多个凹槽;  
对相邻凹槽间的半导体衬底进行氧化,形成氧化层;  
向凹槽内填充牺牲层;  
在所述半导体衬底表面、牺牲层上及氧化层上形成器件材料层;  
刻蚀所述器件材料层,在所述器件材料层内形成至少一个露出牺牲层和 / 或氧化层的通孔;  
由所述通孔通入蚀刻剂,去除牺牲层及氧化层,在所述半导体衬底内形成空腔。
2. 如权利要求 1 所述的形成方法,其特征在于,对相邻凹槽间的半导体衬底进行氧化的方法为热氧化工艺,所述热氧化工艺包括:  
以  $O_2$  为反应气体,温度为  $800 \sim 1200^\circ C$ 。
3. 如权利要求 1 所述的形成方法,其特征在于,在所述半导体衬底表面,各个所述凹槽面积的总和与所述空腔区的面积的比大于或等于 50%,且小于或等于 80%。
4. 如权利要求 1 所述的形成方法,其特征在于,所述各凹槽间的间壁厚度为  $0.2 \sim 4 \mu m$ 。
5. 如权利要求 1 所述的形成方法,其特征在于,所述凹槽的深度为  $10 \sim 50 \mu m$ 。
6. 如权利要求 1 所述的形成方法,其特征在于,所述凹槽的宽深比为  $1:50 \sim 1:2$ 。
7. 如权利要求 1 所述的形成方法,其特征在于,所述凹槽的开口口径大于或等于  $0.2 \mu m$ 。
8. 如权利要求 1 所述的形成方法,其特征在于,所述牺牲层材料为氧化硅。
9. 如权利要求 8 所述的形成方法,其特征在于,所述牺牲层的形成工艺为 CVD 工艺,所述 CVD 工艺包括:  
温度为  $300 \sim 450^\circ C$ ;反应气体为含有  $O_2$  和  $SiH_4$  的混合气体,或是含有  $O_2$  和 TEOS 的混合气体。
10. 如权利要求 1 所述的形成方法,其特征在于,所述蚀刻剂为含有 HF 的气体。

## 半导体结构的形成方法

### 技术领域

[0001] 本发明涉及半导体领域,具体涉及一种半导体结构的形成方法。

### 背景技术

[0002] 微机电系统(Micro-Electro-Mechanical-Systems,简称 MEMS)是利用微细加工技术在芯片上集成传感器、执行器、处理控制电路的微型系统。

[0003] 在一些 MEMS 的高度集成组件需要在半导体衬底形成空腔,并在空腔的上方形成设有通孔,诸如梳齿状等结构的传感器结构。以压力传感器为实例,在 MEMS 工艺在半导体衬底的第一表面安装压力传感器的膜片,则需要半导体衬底的第二表面开设空腔,在第二表面的空腔上方形成传感器结构,由传感器结构的空隙对膜片施加要测量的压力。

[0004] 参考图 1 ~ 图 4 所示, MEMS 的半导体衬底内的空腔以及空腔上的传感器结构形成工艺包括:

[0005] 以半导体衬底 10 上覆盖的硬掩膜图案 11 为掩模,刻蚀半导体衬底 10 在半导体衬底内形成空腔 12;在所述空腔 12 内,以及硬掩膜图案 11 上形成牺牲层 13,去除部分厚度的牺牲层,至露出半导体衬底 10 表面;在半导体衬底 10 以及剩余的牺牲层 13 表面形成器件材料层 14(所述器件材料层取决于形成所述形成 MEMS 的类型);之后在器件材料层 14 上形成硬掩膜图案(图中未显示),并以硬掩膜图案为掩模刻蚀所述器件材料层 14,在器件材料层 14 内开设通孔 15 以形成以传感器结构,露出所述牺牲层 13 表面,并通过所述通孔 15 注入刻蚀气体,去除所述空腔 12 内的牺牲层,在所述半导体衬底 10 内,位于传感器结构下方形成空腔。

[0006] 空腔上方形成的传感器结构为可振动结构,因而需要足够深度的空腔,以便防传感器结构在移动时和空腔基底碰触或粘帖。

[0007] 但在实际操作过程中,最终形成的传感器结构会出现凹陷等缺陷,上述缺陷直接影响后续形成的 MEMS 的性能。

[0008] 为此,在 MEMS 制备工艺中,如何改善半导体衬底空腔上方形成的传感器结构形态是本领域技术人员亟待解决的问题。

### 发明内容

[0009] 本发明解决的问题是提供一种半导体结构的形成方法,以优化半导体衬底空腔上方形成的传感器结构的形态。

[0010] 为解决上述问题,本发明提供一种半导体结构的形成方法,包括:

[0011] 提供半导体衬底,所述半导体衬底内具有空腔区;

[0012] 刻蚀空腔区的所述半导体衬底,形成多个凹槽;

[0013] 对相邻凹槽间的半导体衬底进行氧化,形成氧化层;

[0014] 向凹槽内填充牺牲层;

[0015] 在所述半导体衬底表面、牺牲层上及氧化层上形成器件材料层;

- [0016] 刻蚀所述器件材料层,在所述器件材料层内形成至少一个露出牺牲层和 / 或氧化层的通孔 ;
- [0017] 由所述通孔通入蚀刻剂,去除牺牲层及氧化层,在所述半导体衬底内形成空腔。
- [0018] 可选地,对相邻凹槽间的半导体衬底进行氧化的方法为热氧化工艺,所述热氧化工艺包括 :
- [0019] 所述热氧化工艺包括 :
- [0020] 以  $O_2$  为反应气体,温度为  $800 \sim 1200^\circ\text{C}$ 。
- [0021] 可选地,在所述半导体衬底表面,各个所述凹槽面积的总和与所述空腔区的面积的比大于或等于 50%,且小于或等于 80%。
- [0022] 可选地,所述各凹槽间的间壁厚度为  $0.2 \sim 4 \mu\text{m}$ 。
- [0023] 可选地,所述凹槽的深度为  $10 \sim 50 \mu\text{m}$ 。
- [0024] 可选地,所述凹槽的宽深比为  $1:50 \sim 1:2$ 。
- [0025] 可选地,所述凹槽的开口口径大于或等于  $0.2 \mu\text{m}$ 。
- [0026] 可选地,所述牺牲层材料为氧化硅。
- [0027] 可选地,所述牺牲层的形成工艺为 CVD 工艺,所述 CVD 工艺包括 :
- [0028] 温度为  $300 \sim 450^\circ\text{C}$ ;反应气体为含有  $O_2$  和  $\text{SiH}_4$  的混合气体,或是含有  $O_2$  和 TEOS 的混合气体。
- [0029] 可选地,所述蚀刻剂为含有 HF 的气体。
- [0030] 可选地,所述蚀刻剂为含有 HF 的气体。
- [0031] 与现有技术相比,本发明的技术方案具有以下优点 :
- [0032] 半导体衬底的空腔区内,开设多个凹槽,对相邻凹槽间的半导体衬底进行氧化,形成氧化层 ;在所述凹槽内填充满牺牲层材料后,在半导体衬底表面,以及牺牲层和氧化层的表面形成器件材料层,刻蚀器件材料层,在所述器件材料层内形成通孔,并在所述通孔内露出部分牺牲层和 / 或氧化层后,向通孔内通入蚀刻剂用以去除各凹槽内的牺牲层和氧化层从而将各个凹槽打通,在半导体衬底内形成空腔。上述技术方案中,在所述空腔区内形成多个凹槽,之后在各个凹槽内填充满牺牲层后,所述牺牲层以及氧化层一同支撑后续在空腔区上方形成的器件材料层,因而即使凹槽内的牺牲层间出现空洞等情况,基于凹槽间的间壁的支撑作用,也可有效弥补牺牲层材料支撑力不足的缺陷,从而避免器件材料层出现形变等缺陷的出现 ;对相邻凹槽间的半导体衬底进行氧化,形成氧化层,则可有效提高间壁与未被氧化的半导体衬底间的去除速率比,从而后续在所述空腔区上形成通孔后,去除各凹槽间氧化层,将各个凹槽打通,在半导体衬底的空腔区内形成空腔。因而采用上述技术方案,相比与现有技术,在确保传感器结构形态不受损的同时,在半导体衬底内形成容积更大的空腔,从而优化 MEMS 结构。
- [0033] 进一步,半导体衬底内各凹槽间的间壁厚度为  $0.2 \sim 4 \mu\text{m}$  ;在所述半导体衬底表面,各个所述凹槽面积的总和与所述空腔区的面积的比大于或等于 50%,小于或等于 80%。上述技术方案可在确保各凹槽间的间壁对于器件材料层的支撑作用同时,降低后续采用热氧化工艺将各凹槽间的间壁被氧化成氧化物的时间,提高后续间壁的去除速率,同时可避免半导体衬底被过度氧化,从而在降低工艺成本的同时,优化最终形成的空腔结构。

#### 附图说明

- [0034] 图 1 至图 4 是现有技术 MEMS 器件的空腔的形成过程示意图 ;

- [0035] 图 5 为现有技术中 MEMS 器件的空腔过程中存在的缺陷的示意图；
- [0036] 图 6、图 8 至图 15 为本发明半导体结构的形成方法的一个实施例的结构示意图；
- [0037] 图 7 为本发明半导体结构的形成方法的另一个实施例的结构示意图。

### 具体实施方式

[0038] 如背景技术所述,在 MEMS 制备过程中,MEMS 器件的空腔上方形成的传感器结构会出现凹陷等缺陷,其结构形态较差,进而影响后续形成的 MEMS 的性能。

[0039] 分析其原因:结合参考图 1 至 5 所示,在传感器结构的形成过程中,半导体衬底 10 的空腔内的牺牲层 13 用于支撑其上方的器件材料层 14。然而如图 5 所示,在半导体衬底空腔内填充牺牲层材料时,会在牺牲层材料中形成空隙 16,在深度越大的空腔内的填充的牺牲层材料中的空隙越多,密实性越差。当在牺牲层材料中出现过多的空隙 16,会降低牺牲层材料的支撑力。在现有的工艺中,当深度大于  $10\ \mu\text{m}$  后,就会出现牺牲层材料支撑力明显不足的缺陷,进而影响其上方的器件材料层的结构。

[0040] 为此,本发明提出一种半导体结构的形成方法,在 MEMS 制备过程中,在形成半导体衬底内的空腔以及空腔上传感器结构时,可有效改善传感器结构的结构形态。

[0041] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。

[0042] 图 6、图 8 至图 14 为本发明半导体结构的形成方法的一个实施例的结构示意图。

[0043] 本实施例提供的半导体结构的形成方法,包括:

[0044] 先参考图 6 所示,提供半导体衬底 20,所述半导体衬底 20 包括空腔区 21,并在所述半导体衬底 20 上形成硬掩模层 22。所述空腔区 21 后续用于形成空腔。

[0045] 本实施例中,所述半导体衬底 20 为硅衬底,所述硬掩模层 22 的材料为氮化硅。但除本实施例外的其他实施例中,所述半导体衬底 20 还可以为锗硅衬底或绝缘体上硅衬底等其它半导体衬底,所述硬掩模层 22 还可以为氧化硅,掺碳的氮化硅,掺碳的氧化硅等其他材料,对此本发明不做任何限制。

[0046] 本实施例中,所述硬掩模层的厚度为  $5000\text{\AA}\sim 3\ \mu\text{m}$ 。

[0047] 之后,刻蚀所述硬掩模层 22,在所述硬掩模层 22 内形成硬掩模图案;并以所述硬掩模图案为掩模刻蚀所述半导体衬底,在所述空腔区域 21 的半导体衬底 20 内形成多个凹槽 23,相邻的凹槽 23 通过间壁 24 隔离。所述凹槽 23 后续用于填充牺牲层材料。

[0048] 结合参考图 7 所述,图 7 为图 6 中的半导体器件的俯视图。

[0049] 本实施例中,所述凹槽的深度为  $10\sim 50\ \mu\text{m}$ ;所述凹槽 23 的开口口径  $d_1$  至少为  $0.2\ \mu\text{m}$ ,以便于向所述凹槽 23 内填充牺牲层材料。

[0050] 值得注意的是,本实施例中,所述凹槽 23 为开口面积较小的孔状结构,在除本实施例为外的其他实施例中,如图 8 所示,所述凹槽 23 也可作为长条形结构,所述凹槽 23 的结构并不限定本发明的保护范围。

[0051] 接着结合参考图 9 所示,进行热氧化工艺,对所述半导体衬底 20 内的凹槽 23 间的半导体衬底(相当于所述间壁 24)进行氧化,形成氧化层 241。

[0052] 本实施例中,所述热氧化工艺包括:调节反应腔体内的温度为  $800\sim 1200^\circ\text{C}$ ,通入含有  $\text{O}_2$  的气体作为反应气体,使得氧气与凹槽 23 的侧壁反应,从而将相邻凹槽 23 间的间

壁氧化成氧化物。

[0053] 本实施例中,需要进行足够长时间的热氧化工艺,从而将各凹槽 23 间的间壁 24 完全氧化层氧化硅,以便于后续去除;但在热氧化工艺中,在位于所述空腔区最外侧的凹槽 23 侧壁同样会形成氧化层 25。

[0054] 所述热氧化工艺的时间与相邻凹槽 23 间的间壁 24 的厚度成正比,为此若所述间壁 24 厚度过厚,不仅增加工艺成本,而且会使得位于最外侧的凹槽 23 侧壁被过度氧化,从而不利于最终形成的空腔尺寸控制;但若所述间壁 24 过薄,在后续向所述半导体衬底 20 上形成器件材料层后,所述间壁 24 同时起支撑作用,过薄的间壁 24 降低了其支撑力,可能导致其上方的器件材料层出现凹陷等形变。

[0055] 本实施例中,在所述半导体衬底 20 的表面,各个所述凹槽 23 面积的总和与所述空腔区 21 的面积之比大于或等于 50%,小于或等于 80%;且进一步可选地,所述相邻凹槽 23 间的间壁 24 的厚度  $d_2$  (即相邻两个凹槽 23 间间的距离)为  $0.2 \sim 4 \mu\text{m}$ 。从而合理地分配所述凹槽 23 在空腔区 21 内密度,以及各间隔 24 的厚度,进而确保快速完成各间壁 24 氧化步骤,避免半导体衬底 20 过度氧化的同时,确保在后续所述空腔区 21 上形成器件材料层后,确保足够度所述间隔 24 以提供足够的支撑力,避免器件材料层出现凹陷等缺陷。

[0056] 结合参考图 10 所示,在将各相邻凹槽 23 间形成氧化层 241 后,在所述半导体衬底 20 的表面,以及各个凹槽 23 内填充满形成牺牲层 30。

[0057] 本实施例中,所述牺牲层材料为氧化硅,形成工艺采用 CVD (化学气相沉积)工艺。所述 CVD 工艺具体包括:

[0058] 调节反应腔体内的温度为  $300 \sim 450^\circ\text{C}$ ,通入含有  $\text{O}_2$  和  $\text{SiH}_4$  的混合气体,或是含有  $\text{O}_2$  和 TEOS (正硅酸乙酯)的混合气体,从而在所述硬掩模层 22 表面形成氧化硅层 30,且在所述凹槽 23 内填充满氧化硅材料。

[0059] 结合参考图 11 所示,在形成所述牺牲层 30 后,采用 CMP (化学机械研磨)工艺等方法去除所述半导体衬底 20 表面多余的牺牲层,以及硬掩膜层 22,直至露出所述半导体衬底 20,氧化层 24 的表面。此时,剩余的牺牲层 33 的表面与所述半导体衬底 20 的表面齐平。

[0060] 再参考图 12 所示,在所述半导体衬底 20 和剩余的牺牲层 33 的表面形成器件材料层 31。

[0061] 本实施例中,所述器件材料层 31 的材料为锗硅 (GeSi)材料,其形成工艺为 PVD (物理气相沉积)工艺。除本实施例外,其他实施例中,所述器件材料层 31 还可为其他材料,如氧化硅等介电材料、多晶硅材料,或是金属材料,所述器件材料层的材料根据具体的 MEMS 器件决定,但其并不限定本发明的保护范围。

[0062] 参考图 13 所示,刻蚀所述器件材料层 31,在所述器件材料层 31 内形成一个或多个通孔 32,从而在所述器件材料层 31 内形成梳齿状等结构的传感器结构,所述通孔 32 露出部分牺牲层 33 和 / 或所述氧化层 241。

[0063] 所述通孔 32 的结构,以及个数根据的 MEMS 器件的结构决定,其并不影响本发明的保护范围。

[0064] 刻蚀所述器件材料层 31 的工艺包括,现在所述器件材料层 31 上形成光刻胶层 (图中未显示),之后经曝光显影工艺后,在所述光刻胶层内形成光刻胶图案,并以所述光刻胶图案为掩模刻蚀所述器件材料层。上述工艺为本领域的成熟工艺,在此不再赘述。

[0065] 本实施例中,各凹槽 23 间的氧化层 241,以及凹槽 23 内剩余的牺牲层 33 共同支撑所述器件材料层 31。参考图 14 所示,在本实施例中,在所述凹槽 23 内形成的牺牲层 33 同样可能含有空隙 34,但所述间壁 24 共同用于支撑所述器件材料层,因而即使凹槽 23 内的牺牲层 30 内出现空洞等情况,基于凹槽间的间壁的支撑作用,也可有效弥补牺牲层 30 支撑力不足的缺陷,从而避免器件材料层出现形变等缺陷的出现。

[0066] 且所述牺牲层 30 内的牺牲层材料的密实性与所述凹槽 23 的宽深比相关,宽深比越大,密实性越好,但工艺成本越大;若宽深比越大,密实性相对较差,过大的宽深比可能致使在向硬掩模层 22 以及凹槽 23 (参考图 10) 内填充牺牲层材料时,在硬掩模层 22 以及凹槽交界处形成较大的空隙,因而在后续去除硬掩模层 22 后,降低剩余的牺牲层 33 的表面平整度。

[0067] 本实施例中,所述凹槽 23 的宽深比为  $1/50 \sim 1/2$ ,向所述凹槽 23 内填充牺牲层材料后,牺牲层材料可较好的封闭所述半导体衬底 20 内的凹槽 23 的开口,以提高去除所述硬掩模层 22 后的牺牲层 33 的表面平整度,进而提高牺牲层 33 的支撑力。

[0068] 参考图 15 所示,在所述器件材料层 31 内形成通孔 32 后,由通孔 32 通入蚀刻剂,以去除所述半导体衬底 20 内各凹槽 23 内的牺牲层材料,和各凹槽 23 之间的氧化层 241,使得原先各凹槽 23 (参考图 6 所示) 被打通,在半导体衬底 20 内形成腔体 26。

[0069] 本实施例中,所述蚀刻剂为含有 HF 的气体,如含有 HF、 $N_2$ , ETOH (乙醇) 的气体,从而清除所述牺牲层 30 和氧化层 241。基于所述半导体衬底 20 为硅材料,所述牺牲层 30 和氧化层 241 的材料为氧化硅,进而可在降低半导体衬底 20 的损失同时,高效地去除所述牺牲层 30 和氧化层 241,在半导体衬底 20 内形成空腔 26,同时在空腔的上方保留开设有通孔的器件材料层,所述器件材料层作为 MEMS 的传感器结构。

[0070] 虽然本发明披露如上,但本发明并非限于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

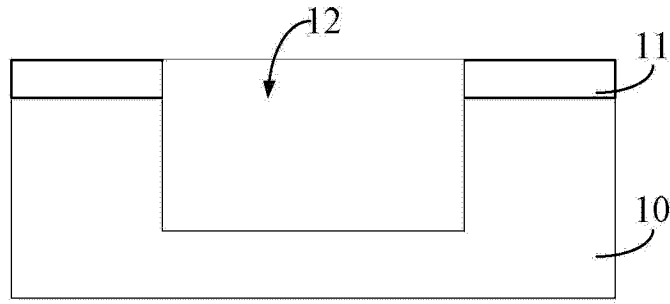


图 1

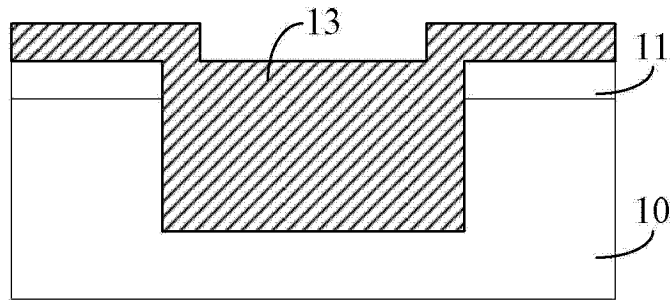


图 2

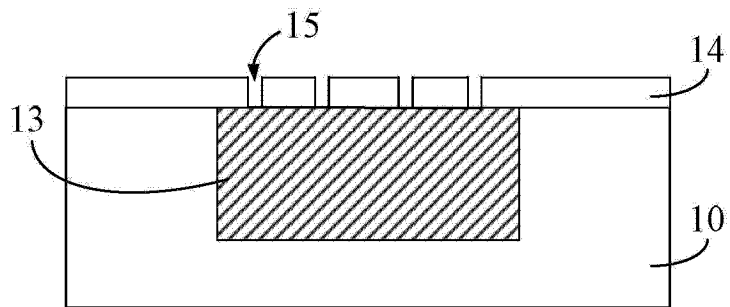


图 3

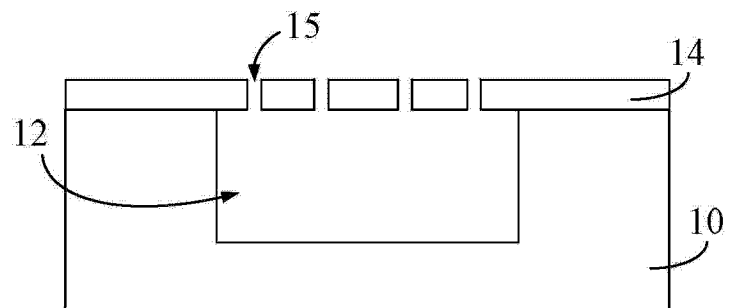


图 4



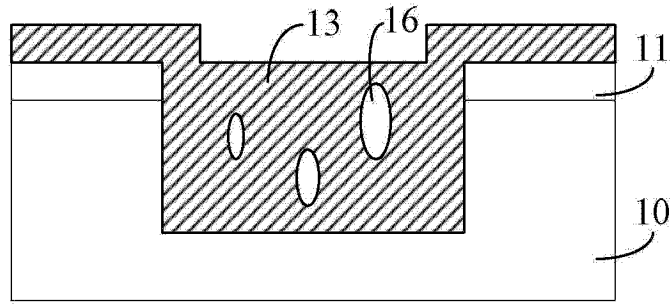


图 5

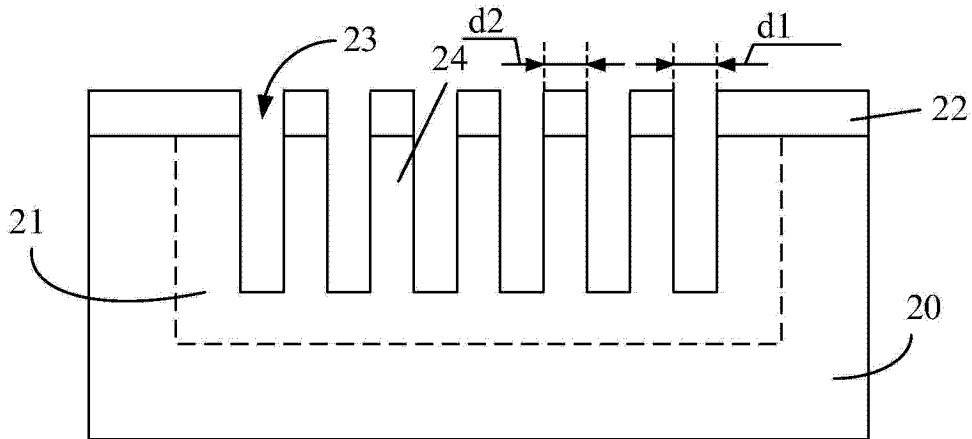


图 6

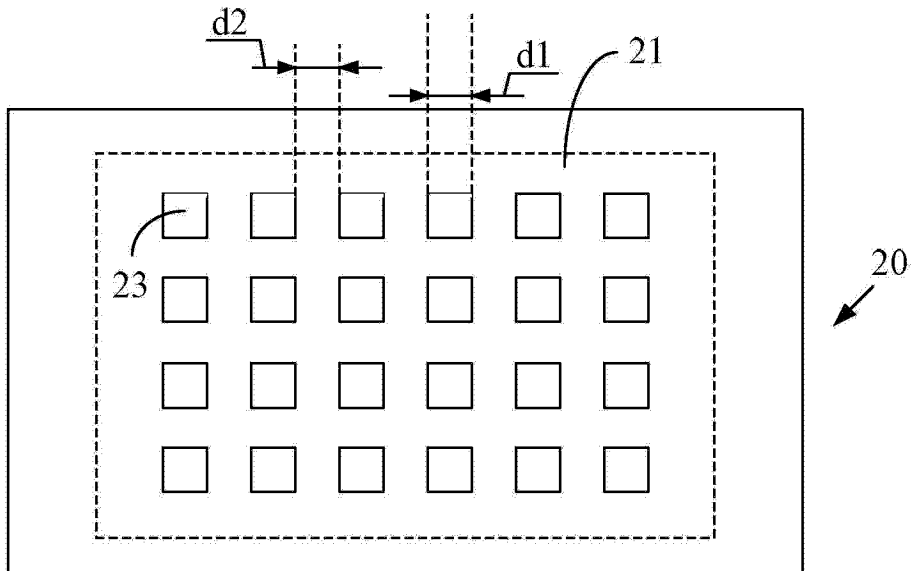


图 7

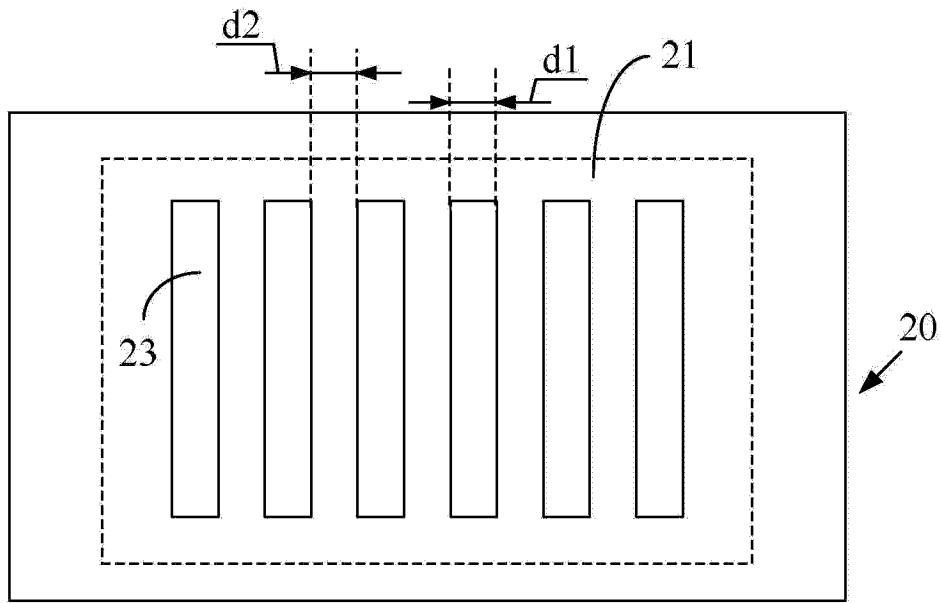


图 8

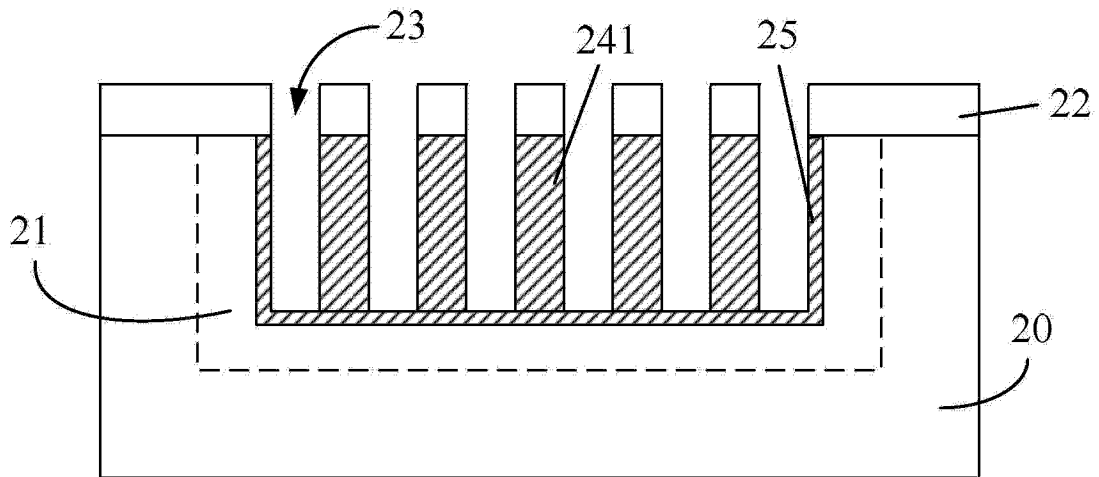


图 9

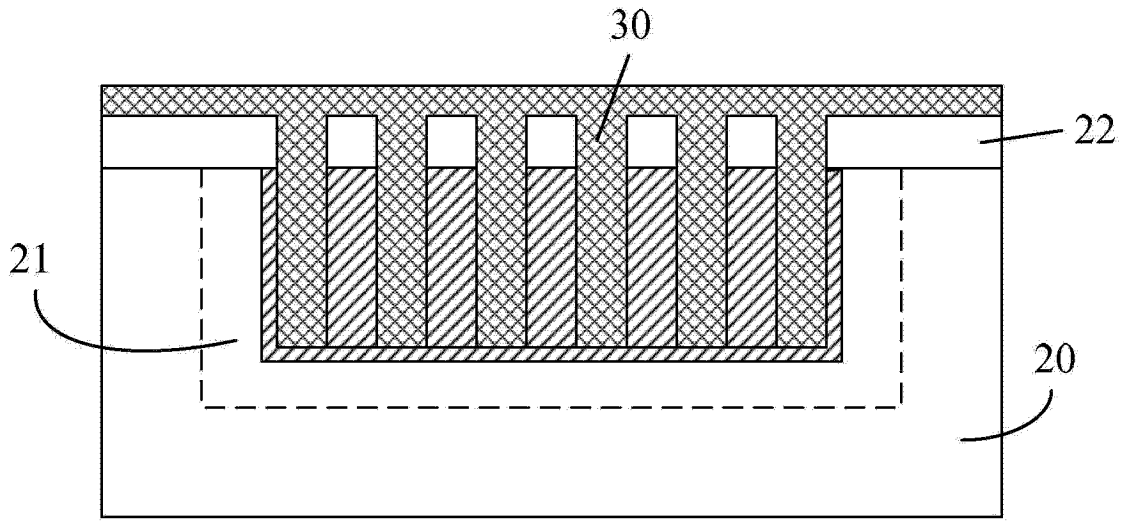


图 10

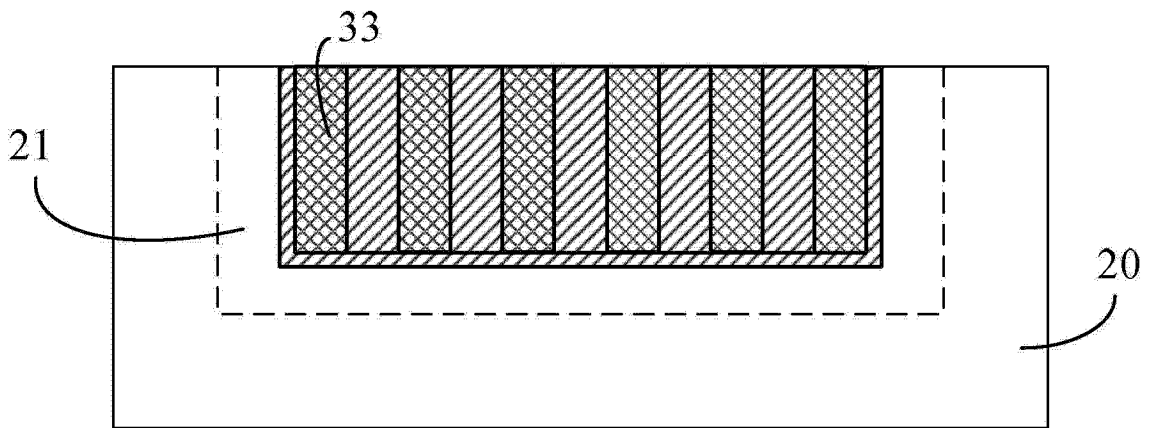


图 11

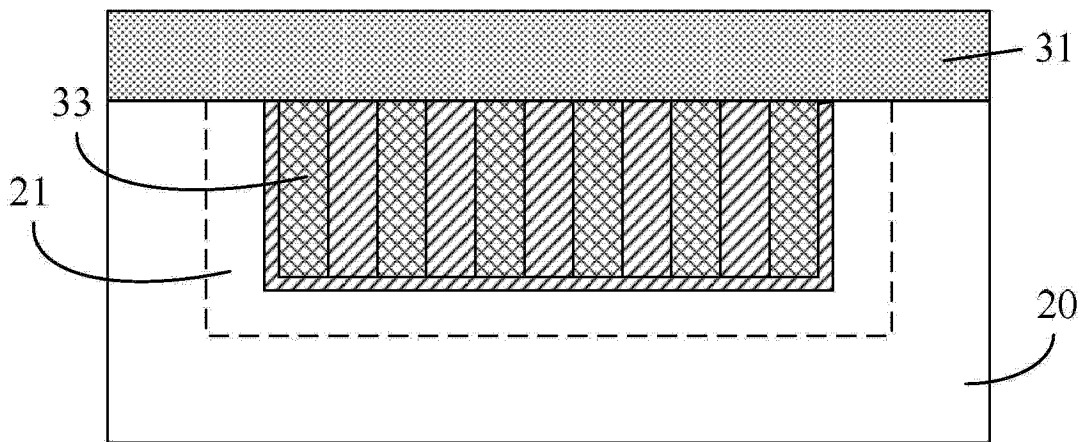


图 12

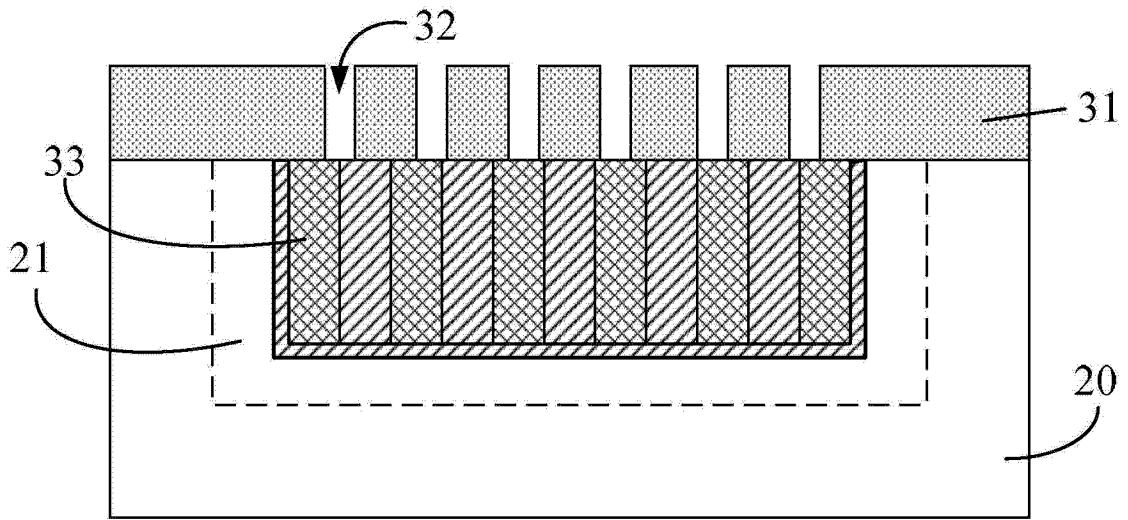


图 13

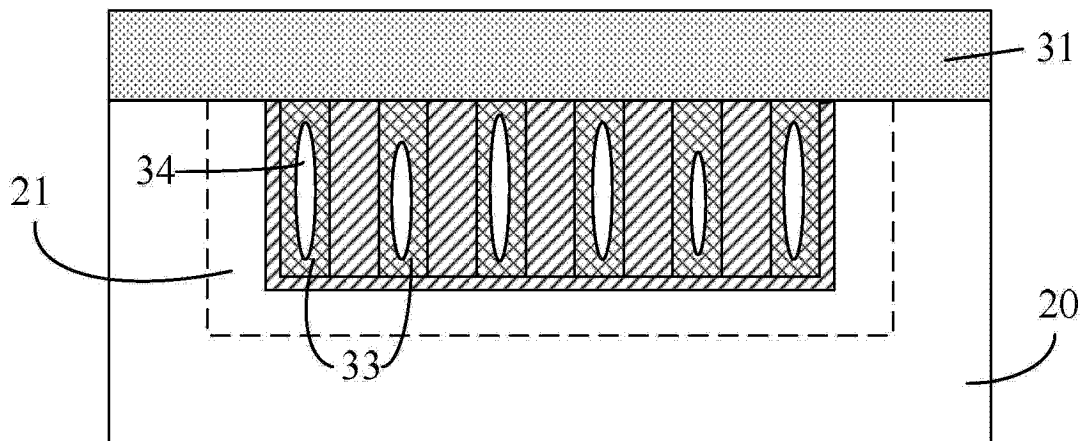


图 14

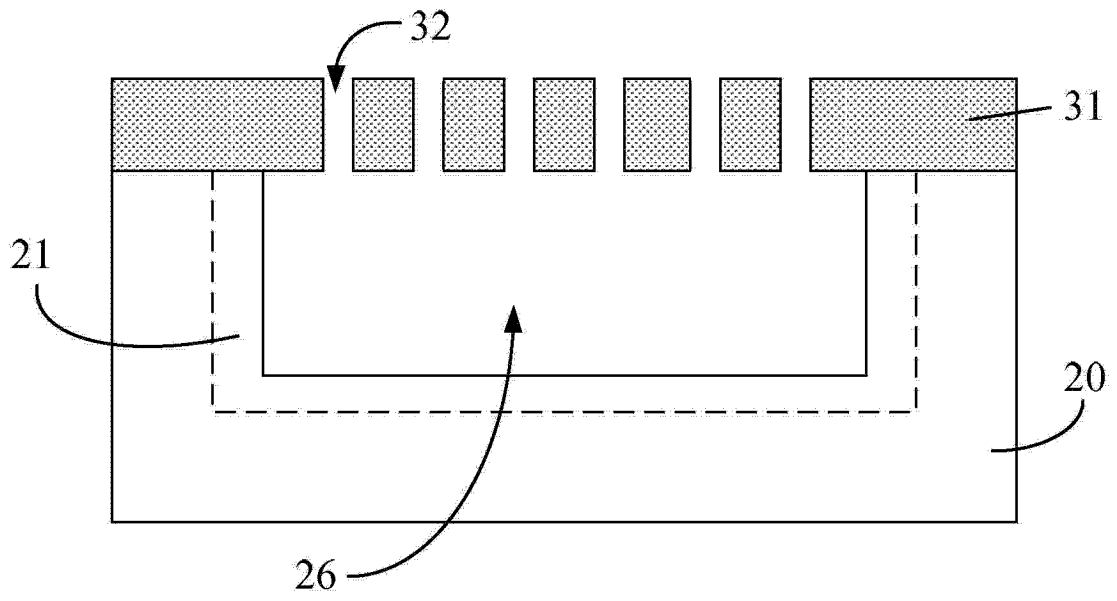


图 15