

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2016-526817
(P2016-526817A)

(43) 公表日 平成28年9月5日(2016.9.5)

(51) Int.Cl.	F I	テーマコード (参考)
HO4N 5/374 (2011.01)	HO4N 5/335 740	4M118
HO1L 27/146 (2006.01)	HO1L 27/14 A	5C024
HO4N 5/355 (2011.01)	HO4N 5/335 550	

審査請求 未請求 予備審査請求 未請求 (全 59 頁)

(21) 出願番号 特願2016-519577 (P2016-519577)
 (86) (22) 出願日 平成26年6月9日 (2014.6.9)
 (85) 翻訳文提出日 平成27年12月8日 (2015.12.8)
 (86) 国際出願番号 PCT/US2014/041596
 (87) 国際公開番号 W02014/200939
 (87) 国際公開日 平成26年12月18日 (2014.12.18)
 (31) 優先権主張番号 61/833, 913
 (32) 優先日 平成25年6月11日 (2013.6.11)
 (33) 優先権主張国 米国 (US)

(71) 出願人 501055961
 ラムバス・インコーポレーテッド
 アメリカ合衆国, カリフォルニア州 9
 4089, サニーヴェール, スイート 7
 00, エンタープライズ ウェイ 105
 0
 (74) 代理人 100079108
 弁理士 稲葉 良幸
 (74) 代理人 100109346
 弁理士 大貫 敏史
 (74) 代理人 100126480
 弁理士 佐藤 睦

最終頁に続く

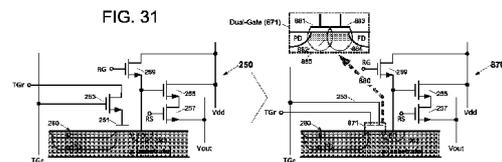
(54) 【発明の名称】 スプリットゲート条件付きリセットイメージセンサ

(57) 【要約】

【課題】 電子イメージセンサで使用されるサンプリングアーキテクチャを提供することに関する。

【解決手段】 集積回路イメージセンサ内のピクセルアレイにおいて、ピクセル(870)は、光検出器(260)と、基板内に形成されるフローティング拡散(262)とを含む。第1のゲート要素(881)及び第2のゲート要素(883)は、光検出器とフローティング拡散との間の基板の領域(885)にわたり互いに隣接して配置され、且つピクセルアレイ内の行方向に延出する行線(TGr)及びピクセルアレイ内の列方向に延びる列線(TGc)にそれぞれ結合される。

【選択図】 図31



【特許請求の範囲】**【請求項 1】**

ピクセルアレイを備える集積回路イメージセンサであって、前記ピクセルアレイは、
基板内に形成される第 1 の光検出器と、

前記基板内に形成されるフローティング拡散と、

前記第 1 の光検出器と前記フローティング拡散との間で前記基板の第 1 の電荷移動領域にわたり互いに隣接して配置される第 1 及び第 2 のゲート要素であって、それぞれが前記第 1 の電荷移動領域の第 1 及び第 2 のシリアル部を制御する、第 1 及び第 2 のゲート要素と、

前記ピクセルアレイ内で行方向に延出しかつ前記第 1 のゲート要素に結合される第 1 の行線と、

前記ピクセルアレイ内で列方向に延出しかつ前記第 2 のゲート要素に結合される第 1 の列線と、

を有する、集積回路イメージセンサ。

【請求項 2】

前記ピクセルアレイは、

前記基板内に形成される第 2 の光検出器と、

前記第 2 の光検出器と前記フローティング拡散との間で前記基板の第 2 の電荷移動領域にわたり互いに隣接して配置される第 3 及び第 4 のゲート要素であって、それぞれが前記第 2 の電荷移動領域の第 3 及び第 4 のシリアル部を制御し、前記第 3 のゲート要素は前記第 1 の行線に結合される、第 3 及び第 4 のゲート要素と、

前記ピクセルアレイ内の列方向に延出しかつ前記第 4 のゲート要素に結合される第 2 の列線と、

を更に備える、請求項 1 に記載の集積回路イメージセンサ。

【請求項 3】

前記第 1 及び第 3 のゲート要素は、連続的導電フィーチャによって形成される、請求項 2 に記載の集積回路イメージセンサ。

【請求項 4】

前記第 1 の光検出器及び第 2 の光検出器は、ピクセルの第 1 の行内の各ピクセルの構成要素である、請求項 2 に記載の集積回路イメージセンサ。

【請求項 5】

前記ピクセルアレイは、

前記基板内に形成される第 3 の光検出器と、

前記第 3 の光検出器と前記フローティング拡散との間で前記基板の第 3 の電荷移動領域にわたり互いに隣接して配置される第 5 及び第 6 のゲート要素であって、それぞれが前記第 3 の電荷移動領域の第 5 及び第 6 のシリアル部を制御し、前記第 6 のゲート要素は前記第 1 の列線に結合される、第 5 及び第 6 のゲート要素と、

前記ピクセルアレイ内の行方向に延出しかつ前記第 5 のゲート要素に結合される第 2 の行線と、

を更に備える、請求項 4 に記載の集積回路イメージセンサ。

【請求項 6】

前記第 2 及び第 6 のゲート要素は、連続的導電フィーチャによって形成される、請求項 5 に記載の集積回路イメージセンサ。

【請求項 7】

前記第 1 の光検出器及び第 3 の光検出器は、ピクセルの第 1 の列内の各ピクセルの構成要素である、請求項 5 に記載の集積回路イメージセンサ。

【請求項 8】

前記第 1 のゲート要素は、前記第 2 のゲート要素よりも前記第 1 の光検出器の近くで前記第 1 の電荷移動領域にわたって配置され、及び前記第 2 のゲート要素は、前記第 1 のゲート要素よりも前記フローティング拡散の近くで前記第 1 の電荷移動領域にわたって配置

10

20

30

40

50

される、請求項 1 に記載の集積回路イメージセンサ。

【請求項 9】

前記第 1 のゲート要素と前記第 2 のゲート要素との間隔は、前記集積回路イメージセンサの製造に利用される製造プロセス下で、隣接するトランジスタのゲート端子間にソース/ドレインインプラントを実装するために指定される最小距離よりも小さい、請求項 1 に記載の集積回路イメージセンサ。

【請求項 10】

前記第 1 及び第 2 のゲート要素は、行制御信号及び列制御信号が、前記第 1 の行線及び前記第 1 の列線のそれぞれでアサートされる場合、オーバーラッピング静電界が前記第 1 の電荷移動領域内に形成されるように、電界効果ゲート要素を構成し、前記オーバーラッピング静電界は、前記第 1 の電荷移動領域内の電荷伝導チャンネルの形成を実施する、請求項 1 に記載の集積回路イメージセンサ。

10

【請求項 11】

前記第 1 の行線での前記行制御信号の少なくとも部分として、第 1 の時間において部分移動パルスのアサートし、且つ第 2 の時間において完全移動パルスのアサートする行回路を更に備え、前記部分移動パルスは、前記第 1 の光検出器内に蓄積される電荷が閾値レベルを超える場合、前記第 1 の光検出器から前記フローティング拡散への電荷の部分移動をイネーブルし、及び前記完全移動パルスは、前記第 1 の光検出器から前記フローティング拡散への電荷の全移動を条件付きでイネーブルし、前記電荷の全移動は前記光検出器のリセットを実施する、請求項 10 に記載の集積回路イメージセンサ。

20

【請求項 12】

前記部分移動パルス及び前記完全移動パルスは、振幅又は持続時間のうちの少なくとも一方に関して、互いに異なる、請求項 11 に記載の集積回路イメージセンサ。

【請求項 13】

集積回路イメージセンサであって、
基板と、

複数の行制御信号線及び複数の列制御信号線と、

前記基板内に配置され、入射光に応答して電荷を蓄積する複数の感光素子と、

前記基板内に配置され、前記感光素子のそれぞれの読み出しをイネーブルする共有フローティング拡散と、

30

前記感光素子のそれぞれ 1 つと前記共有フローティング拡散との間の前記基板の領域にわたってそれぞれ配置される複数の二重制御移動ゲートであって、前記二重制御移動ゲートのそれぞれは、前記行制御信号線のうちの 1 本と前記列制御信号線のうちの 1 本との一意の各組合せによって制御される第 1 及び第 2 のゲート要素を含む、複数の二重制御移動ゲートと、

を備える、集積回路イメージセンサ。

【請求項 14】

前記第 1 及び第 2 のゲート要素は、第 1 及び第 2 の制御信号が前記制御信号線の一意の各組合せで同時にアサートされる場合、オーバーラッピング静電界が、前記感光素子のそれぞれ 1 つと前記フローティング拡散との間の前記基板の前記領域内に形成されるように、電界効果ゲート要素を構成し、前記オーバーラッピング静電界は、前記感光素子の前記それぞれ 1 つと前記フローティング拡散との間の前記基板の前記領域内に電荷伝導チャンネルの形成を生じさせ、前記電荷伝導チャンネルは、前記感光素子の前記 1 つ内に蓄積された電荷を前記共有フローティング拡散に移動させることをイネーブルする、請求項 13 に記載の集積回路イメージセンサ。

40

【請求項 15】

第 1 の間隔中に制御信号線の一意の各組合せで制御信号を同時にアサートして、集積間隔中に前記感光素子の前記 1 つ内に蓄積された電荷が第 1 の閾値を超えるか否かの判断をイネーブルする制御回路を更に備える、請求項 13 に記載の集積回路イメージセンサ。

【請求項 16】

50

前記第1の閾値を超えると判断される場合、第2の間隔中、前記制御信号線の一意の各組合せで制御信号を同時にアサートする回路を更に備える前記制御回路、前記第2の間隔中の前記制御信号線での制御信号の同時アサートにより、前記集積間隔中、前記感光素子の前記1つ内に蓄積された電荷のレベルに対応する読み出し信号の生成をイネーブルする、請求項15に記載の集積回路イメージセンサ。

【請求項17】

前記読み出し信号の生成をイネーブルすることに加えて、前記制御信号線の一意の各組合せでの制御信号の同時アサートは、前記感光素子の前記1つ内の続く電荷集積の準備として、前記感光素子の前記1つを初期状態にリセットし、前記第1の閾値を超えないと判断される場合、続く電荷集積は、前記集積間隔中の前記感光素子の前記1つ内に蓄積される前記電荷に関しての蓄積である、請求項15に記載の集積回路イメージセンサ。

10

【請求項18】

前記第1のゲート要素と前記第2のゲート要素との間隔は、前記集積回路イメージセンサの製造に利用される製造プロセス下で隣接するトランジスタのゲート端子間にソース/ドレインインプラントを実装するために指定される最小距離よりも小さい、請求項13に記載の集積回路イメージセンサ。

【請求項19】

感光素子と、基板内に配置されるフローティング拡散とを有するピクセルアレイ内の動作方法であって、

入射光に応答して、前記感光素子内に電荷を蓄積することと、

20

前記感光素子と前記フローティング拡散との間の前記基板の電荷移動領域にわたってリアルに配置される各ゲート要素で、行制御信号及び列制御信号を同時にアサートすることであって、それにより、前記感光素子から前記フローティング拡散に前記基板の前記電荷移動領域を通して電荷キャリアを伝導させることができ、前記行制御信号は、前記ピクセルアレイ内の行方向に延出する行線で伝達され、及び前記列制御信号は、前記ピクセルアレイ内の列方向に延出する列線で伝達される、同時にアサートすることと、を含む、方法。

【請求項20】

前記行制御信号及び前記列制御信号を同時にアサートすることは、

前記電荷が前記感光素子内に蓄積される露光間隔後、第1の間隔中、前記行制御信号及び前記列制御信号を同時にアサートすること、及び、

30

前記第1の間隔中に前記基板の前記電荷移動領域を通して伝導される前記電荷キャリアの数量が、前記感光素子内に蓄積された電荷が第1の閾値を超えることを示す場合、第2の間隔中、前記行制御信号及び前記列制御信号を同時にアサートすることであって、それにより、更なる電荷キャリアを前記基板の前記電荷移動領域を通して伝導できるようにするとともに、前記露光間隔中、前記感光素子の前記1つ内に蓄積される電荷のレベルに対応する読み出し信号の生成をイネーブルする、同時にアサートすること、を含む、請求項19に記載の方法。

【請求項21】

前記第1の間隔中、前記行制御信号及び前記列制御信号を同時にアサートすることは、前記行制御信号及び前記列制御信号のうちの少なくとも一方を、前記行制御信号及び前記列制御信号のうちの前記少なくとも一方が前記第2の間隔中にアサートされる完全電位よりも低い部分電位でアサートすることを含む、請求項20に記載の方法。

40

【請求項22】

前記第1の間隔中、前記行制御信号及び前記列制御信号を同時にアサートすることは、前記行制御信号及び前記列制御信号のうちの少なくとも一方を、前記行制御信号及び前記列制御信号のうちの前記少なくとも一方が前記第2の間隔中にアサートされる全持続時間よりも短い部分持続時間にわたり、アサートすることを含む、請求項20に記載の方法。

【発明の詳細な説明】

【技術分野】

50

【0001】

技術分野

本開示は、電子イメージセンサの分野に関し、より詳細には、そのようなイメージセンサで使用されるサンプリングアーキテクチャに関する。

【背景技術】

【0002】

背景

CMOS又はCCDセンサ等のデジタルイメージセンサは、それぞれが、フォトセンサに入射する光子(「捕捉光」)を電荷に変換するように構成される複数の感光素子(「フォトセンサ」)を含む。次に、電荷は、各フォトセンサによって捕捉された光を表すイメージデータに変換することができる。イメージデータは、捕捉光のデジタル表現を含み、操作又は処理されて、閲覧装置に表示可能なデジタルイメージを生成し得る。イメージセンサは、光を電気信号(電荷、電圧、電流等)に変換するように構成される複数のピクセル領域(例えば、1つ又は複数のフォトセンサ及び付随する制御回路)に分割し得る物理的表面を有する集積回路(「IC」)で実施される。便宜上、イメージセンサ内のピクセル領域は、イメージピクセル(「IP」)と呼ぶこともでき、ピクセル領域又はイメージピクセルの集まりは、イメージセンサ領域と呼ばれる。イメージセンサICは通常、イメージセンサ領域外のエリア、例えば、特定のタイプの制御回路、サンプリング回路、又はインタフェース回路も含む。大半のCMOSイメージセンサは、ピクセル電気信号をデジタルイメージデータに変換するA/D(アナログ/デジタル)回路を含む。A/D回路は、イメージセンサ領域内又は周辺に配置される1つ又は複数のADC(アナログ/デジタル変換器)であることができる。

10

20

【0003】

図面の簡単な説明

本明細書に開示される様々な実施形態は、添付図面の図に限定ではなく例として示され、同様の参照符号は同様の要素を指す。

【図面の簡単な説明】

【0004】

【図1】一実施形態によるイメージセンサの一部の断面を示す。

【図2】例えば、図1のレイアウトで有用な一実施形態による、複数のピクセル信号閾値を有するアナログピクセルイメージセンサの部分アレイ回路を示す。

30

【図3】例えば、図1及び図2の実施形態との併用に有用な一実施形態による、ピクセル信号をマルチビットデジタル変換に変換するように構成されるイメージセンサ読み出し回路の一例を示す。

【図4】例えば、図1の断面並びに図2及び図3を使用する一実施形態による、マルチビットアーキテクチャを有するイメージセンサシステムの回路ブロック図実施形態の一例を示す。

【図5】例えば、図1の断面並びに図2及び図3の回路を使用する一実施形態による、IPアレイの周辺に配置される読み出し回路アレイを有するイメージセンサシステムアーキテクチャの回路ブロック図の別の例を示す。

40

【図6a】例えば、図2のアレイ回路を使用する一実施形態による、図4及び図5への代替の2層イメージセンサシステムアーキテクチャの一例でのピクセルアレイICの上面図を示す。

【図6b】例えば、図3の読み出し回路を使用する一実施形態による、図4及び図5への代替の2層イメージセンサシステムアーキテクチャの一例でのプリプロセッサICの上面図を示す。

【図6c】一実施形態による、2層イメージセンサシステムアーキテクチャの一例での図6aのピクセルアレイIC及び図6bのプリプロセッサICの部分断面を示す。

【図7】一実施形態による、図3の読み出し回路等のイメージセンサ読み出し回路の動作を示す。

50

【図 8】本明細書に記載されるシステムとの併用に有用な一実施形態によるイメージ捕捉システムでのデータフローを示す。

【図 9】一実施形態による、図 3 の読み出し回路等のイメージセンサ読み出し回路により使用される様々な時間サンプリングポリシーを示す。

【図 10】相関二重サンプリングを併せて、非破壊的閾値超え検出動作が実行されて、条件付きリセット動作を可能にする変更 4 トランジスタピクセルの一実施形態を示す。

【図 11】図 10 のプログレッシブ読み出しピクセル内の例示的なピクセルサイクルを示すタイミング図である。

【図 12】対応する概略断面図が下にある図 10 のフォトダイオード、移動ゲート、及びフローティング拡散の例示的な静電電位図を示す。

【図 13】対応する概略断面図が下にある図 10 のフォトダイオード、移動ゲート、及びフローティング拡散の例示的な静電電位図を示す。

【図 14】プログレッシブ読み出しピクセルアレイを有するイメージセンサ 300 の一実施形態を示す。

【図 15 A】図 10 ~ 図 14 を参照して説明したプログレッシブ読み出しピクセルと組み合わせて利用し得る代替の列読み出し回路実施形態を示す。

【図 15 B】図 10 ~ 図 14 を参照して説明したプログレッシブ読み出しピクセルと組み合わせて利用し得る代替の列読み出し回路実施形態を示す。

【図 15 C】図 10 ~ 図 14 を参照して説明したプログレッシブ読み出しピクセルと組み合わせて利用し得る代替の列読み出し回路実施形態を示す。

【図 16】図 10 ~ 図 14 の実施形態において開示される行及び列移動ゲート制御線が、追加のアレイを横切る制御線を必要とせずに、複数のデシメーションモードを可能にするように適用し得る、クワッドピクセル共有フローティング拡散イメージセンサアーキテクチャを示す。

【図 17】図 16 に示されるクワッドピクセルアーキテクチャの例示的な物理的レイアウトを示す。

【図 18 A】図 16 及び図 17 のクワッドピクセルアーキテクチャに関して利用し得るカラーフィルタアレイ (CFA) パターンを示す。

【図 18 B】図 16 及び図 17 のクワッドピクセルアーキテクチャに関して利用し得るカラーフィルタアレイ (CFA) パターンを示す。

【図 19】図 16 に示される 2 x 2 クワッドピクセル構成を含むイメージセンサ内の全解像度 (非ビニング) モードピクセル読み出し動作の例示的なフェーズを示すタイミング図を提示する。

【図 20】図 16 に示される 2 x 2 クワッドピクセル構成を含むイメージセンサ内のビニングモードピクセル読み出し動作の例示的なフェーズを示すタイミング図を提示する。

【図 21】カラーフィルタアレイと併せた 4 x 1 クワッドピクセルブロックの集まりに関して実行し得る代替のビニング戦略を示す。

【図 22】4 x 1 クワッドピクセルブロックの選択された列から読み出されたアナログ信号の電圧ビニングを可能にするために適用し得る列相互接続アーキテクチャを示す。

【図 23】図 21 及び図 22 の 4 x 1 クワッドピクセルアーキテクチャ内のビニングモード読み出し動作の例示的なタイミング図を示す。

【図 24】図 21 ~ 図 23 を参照して説明されたデシメーション (ビニング) モードで動作可能な 4 x 1 クワッドピクセルブロックのアレイを有するイメージセンサのより詳細な実施形態を示す。

【図 25 A】ピクセル列内の高利得部分読み出し及び略 1 利得全読み出しを行うために使用し得る利得選択可能 (又はマルチ利得) 読み出し回路の一実施形態を示す。

【図 25 B】ピクセル列内の高利得部分読み出し及び略 1 利得全読み出しを行うために使用し得る利得選択可能 (又はマルチ利得) 読み出し回路の一実施形態を示す。

【図 25 C】ピクセル列内の高利得部分読み出し及び略 1 利得全読み出しを行うために使用し得る利得選択可能 (又はマルチ利得) 読み出し回路の一実施形態を示す。

10

20

30

40

50

【図 2 6】図 2 5 A のマルチ利得アーキテクチャ内のハードリセット、集積、部分読み出し、及び（条件付き）全読み出し動作中に共通ソース利得構成及びソース・フォロワ利得構成を交互に適用することを示す例示的なタイミング図を提示する。

【図 2 7】ピクセル列内で高利得部分読み出し及び略 1 利得全読み出しを行うために使用し得る利得選択可能（又はマルチ利得）読み出し回路の代替の実施形態を示す。

【図 2 8】上部読み出し回路と下部読み出し回路との間に配置されるピクセルアレイを有するイメージセンサの一実施形態を示す。

【図 2 9】イメージプロセッサ、メモリ、及びディスプレイと一緒に条件付きリセットイメージセンサを有するイメージングシステムの一実施形態を示す。

【図 3 0】イメージ処理動作と組み合わせた図 2 9 のイメージングシステム内で実行し得る例示的な動作シーケンスを示す。

【図 3 1】図 1 0 の条件付きリセットピクセルの実施形態と「スプリットゲート」ピクセルの実施形態とを対比する。

【図 3 2】図 3 1 のスプリットゲートピクセル内の例示的なピクセルサイクル（リセット / 電荷集積 / 読み出し）を示すタイミング図である。

【図 3 3】各事例での静電電位図を示し、光検出器、二重制御移動ゲート、及びフローティング拡散の概略断面図が下にある、図 3 1 のスプリットゲートピクセルの例示的な低光及び高光動作を示す。

【図 3 4】図 3 1 のスプリットゲートピクセル内の代替の閾値超え検出動作を示す。

【図 3 5】図 3 1 に示される二重制御ゲートの例示的な一実装形態を示す。

【図 3 6】図 3 1 の二重制御ゲート構造を実施する代替の方法を示す。

【図 3 7】行及び列移動ゲート制御線対が、4 つのスプリットゲートピクセルのそれぞれ内の二重ゲート構造体に結合される、クワッドピクセル共有フローティング拡散イメージセンサアーキテクチャを示す。

【図 3 8】各二重制御ゲート構造体を介して中央に配置されたフローティング拡散の周囲に切り替え可能に結合される 4 つのフォトダイオードを示す、図 3 7 のクワッドピクセルの例示的な物理的レイアウトを示す。

【図 3 9】各二重制御ゲート構造体を介して中央に配置されたフローティング拡散の周囲に切り替え可能に結合される 4 つのフォトダイオードを示す、図 3 7 のクワッドピクセルの例示的な物理的レイアウトを示す。

【図 4 0】専用行移動ゲート（TGr）線を有さない代替の実施形態によるスプリットゲートピクセルアーキテクチャを示す。

【図 4 1】専用行移動ゲート（TGr）線を有さない代替の実施形態によるスプリットゲートピクセルアーキテクチャに対応するタイミング図を示す。

【図 4 2 A】二重制御ゲートのゲート要素がダイオードの p ドープ領域及び n ドープ領域のそれぞれによって形成される代替の二重制御ゲート構成を示す。

【図 4 2 B】二重制御ゲートのゲート要素が、共有 n ドープ領域を有する背向ダイオードの各 p ドープ領域によって形成される別の代替の二重制御ゲート構成を示す。

【図 4 3】例えば、図 2 1 を参照して上述したようなピニングモード又は独立ピクセルモードで動作し得るスプリットピクセルの 4 × 1 ブロック（クワッド、スプリットピクセルブロック）を示す。

【発明を実施するための形態】

【0005】

詳細な説明

幾つかのイメージセンサでは、光子応答を表す電気情報及びピクセル領域に光が入射することから生じる電気情報（本明細書では「ピクセル信号」と呼ばれる）は、読み出し回路によってデジタルイメージデータ値に変換される。読み出し回路は、イメージセンサ内であってもよく、又はイメージセンサ外部に配置されてもよい。幾つかの手法では、読み出し回路は、読み出し回路に隣接するか、又は近傍の 1 つ又は複数のピクセル領域によって使用されるために、イメージセンサ内に配置することができる。イメージセンサ外部に

10

20

30

40

50

配置される読み出し回路では、読み出し回路に関連付けられた1つ又は複数のピクセル領域のピクセル信号は、ピクセル領域から読み出し回路に転送することができる。

【0006】

各読み出し回路は、ピクセル領域をサンプリングし、サンプリングされたピクセル領域からピクセル信号を受信し、ピクセル信号をピクセル信号のマルチビットデジタル値表現に変換する。ピクセル信号又はピクセル信号のデジタル値表現がサンプリング閾値を超える場合、そのピクセル信号に関連付けられたピクセル領域に記憶されたピクセル信号は、リセットされる（例えば、ピクセル領域に関連付けられた感光素子をリセットすることにより）。ピクセル信号又はデジタル値がサンプリング閾値を超えない場合、そのピクセル領域に記憶されたピクセル信号はリセットされない。ピクセル領域のサンプリング及びピクセル信号がサンプリング閾値を超える場合のみのピクセル領域でのピクセル信号のリセットは、本明細書では、「条件付きリセットを用いた非破壊的サンプリング」と呼ばれる。

10

【0007】

イメージセンサ概説

図1は、一実施形態において有用なイメージセンサ25の部分断面を示す。イメージセンサ25では、マイクロレンズアレイ10及びカラーフィルタアレイ12（カラーイメージングに有用）を透過した光は、イメージセンサのシリコン部20に入射する。マイクロレンズ（又は他の集光光学系）及びカラーフィルタの使用は、任意選択的であり、ここでは、単に例示を目的として示されている。シリコン20は、シリコンによって吸収された光子によって生成される電荷を収集するフォトダイオード（図示せず）と、フォトダイオードを動作させるアクセストランジスタ（これも図示せず）を含む。ピクセルアレイIC配線14は、アレイ内の信号及び供給電圧のルーティングに使用される接続を提供する。示されるように、イメージセンサ25は、光が配線層及び一次能動回路形成とは逆の集積回路の側からシリコンに入るため、背面照射型（BSI）センサである。任意選択的に、ピクセルアレイIC配線14は、前面照射（FSI）の場合、カラーフィルタアレイ12とシリコン20（一次能動回路形成は図1において向けられるようにシリコンの「上」内にある状態で）との間に構成することができる。

20

【0008】

イメージセンサ25は、複数のIP（「イメージピクセル」）を含み、IP1～IP3が示され、IPに、マイクロレンズアレイ10のレンズによって収集された光がそれぞれ入射する。各IPは、シリコン20内に埋め込まれた1つ又は複数のフォトダイオードを含む。シリコン20に入った少なくとも幾つかの光子は、シリコン内で電子-正孔対に変換され、結果として生じる電子（又は代替の実施形態では正孔）がIPによって収集される。本明細書での説明は、簡潔にするために、このプロセスを、IPによるイメージデータへの光の変換と呼ぶ。イメージセンサの各IPは、イメージセンサの表面エリアの一部を表し、イメージセンサのIPは、列及び行の様々なアレイに編成し得る。CMOS又はCCDイメージピクセル技術では、各IP（例えば、各フォトセンサ）は、IPに入射した光を電荷に変換し、電荷を電圧又は電流に変換するように較正される読み出し回路を含む。一実施形態では、イメージセンサの各IPによって捕捉された光は、関連付けられたデジタルイメージのイメージデータの1ピクセルを表すが、他の実施形態では、複数のIPからのイメージデータが結合されて、より少数（1つ又は複数）のピクセルを表す（ダウンスケリング）。

30

40

【0009】

イメージセンサ25は、IPアレイ外部に構成要素を含み得る。同様に、IPアレイの部分は、光を電荷に変換しない構成要素を含み得る。全体としてIPによって定義される領域はイメージセンサ領域と呼ばれる。本明細書に記載されるように、イメージセンサは、増幅器、アナログ/デジタル変換器（「ADC」）、コンパレータ、コントローラ、カウンタ、蓄積器、レジスタ、トランジスタ、フォトダイオード等を含み得る。異なるアーキテクチャでは、これらの構成要素の幾つかは、イメージセンサ領域内又は外に配置し得

50

、幾つかの構成要素は、付随する集積回路に配置し得る。これらの実施形態では、レンズ（マイクロレンズアレイ 10 のレンズ等）は、例えば、増幅器、コンパレータ、コントローラ、及び他の構成要素ではなく IP 内の実際の感光素子に光を向けるように構成し得る。

【0010】

上述したように、イメージセンサは、複数の IP のアレイを含み得る。各 IP は、光（例えば、1 つ又は複数の光子）に应答して、対応する電荷を捕捉して蓄える。一実施形態では、IP をサンプリングするに当たり、IP に蓄えられた電荷のピクセル信号表現がサンプリング閾値を超える場合、ピクセル信号は、ピクセル信号を表すデジタル値に変換され、IP に蓄えられた電荷はリセットされる。代替的には、IP をサンプリングするに当たり、IP に蓄えられた電荷のピクセル信号表現は、ピクセル信号のデジタル値表現に変換され、デジタル値がサンプリング閾値を超える場合、IP に蓄えられた電荷はリセットされる。他の実施形態では、アナログ/デジタル変換が開始され、閾値を超えるか否かを判断するのに十分な変換が完了した場合、変換を続けるか否かが判断される。例えば、連続近似レジスタ（「SAR」）ADC では、閾値が最上位ビットパターンに等しい場合、パターンが分解されるとすぐに、変換を続け、ピクセルのリセットを実行するか、それとも変換を止めるかを判断することができる。ピクセル信号又はピクセル信号のデジタル値表現がサンプリング閾値を超えるか否かの判断は、ピクセル信号又はデジタル値をサンプリング閾値と比較するように構成されるコンパレータの使用を通して行うことができる。

【0011】

図 2 は、一実施形態による、複数のピクセル信号閾値を有するアナログピクセルイメージセンサを示す。図 2 のイメージセンサは CMOS センサであり、IP アレイ 40 を含む。IP アレイは、任意の数の列及び行を含むことができ、列及び行毎に任意の数の IP がある。IP アレイ内の完全又は部分 IP 列の列表現である IP 列 50 が、図 2 において強調表示されている。IP 列 50 は、列線 55 を介して通信可能に結合される複数の IP を含む。IP アレイ内の IP の IP 表現である IP 60 が、図 2 において強調表示されている。

【0012】

IP 60 は、フォトダイオードを露光への準備としてプレチャージし、露光後にサンプリングできるようにする制御要素と共にフォトダイオード 65 を含む。動作に際して、トランジスタ 70 はオンに切り換えられて、フォトダイオードの陰極を電圧源に結合し、したがって、フォトダイオードの陰極をプレチャージ電圧に「プレチャージ」する。トランジスタ 70 は、露光間隔の開始時又は露光間隔の開始前にオフに切り換えられる。トランジスタ 70 がオフになった状態で、陰極電圧は、光子の衝突に应答して増分的に放電し、検出される光の量に比例してフォトダイオード電位 V_{DET} を下げる。露光間隔の終わりで、アクセストランジスタ 72 はオンに切り換えられて、フォロワ - トランジスタ 74 を介してフォトダイオード電位の信号表現をピクセル信号 80 として列線 55 に増幅/駆動できるようにする。

【0013】

ADC 85 は、列線 55 を介して IP 列 50 に通信可能に結合される。図 2 の実施形態では、ADC はピクセルアレイ 40 の縁部に配置され、IP アレイが配置されるイメージセンサ内又は外に配置し得る。ADC は、ピクセル信号 80（アナログフォトダイオード電位の表現）を IP 60 から受信する。ADC は、ピクセル信号をデジタル化して、ピクセル信号の 3 ビットデジタル値（「Pix [2:0]」）表現を生成する。ADC は 7 つのピクセル閾値、閾値 1 ~ 閾値 7（本明細書では、「 $V_{T1} \sim V_{T7}$ 」と呼ばれる）を含む。ピクセル信号の大きさが V_{pre} 未満であるが、 V_{T1} よりも大きい場合、ADC はピクセル信号をデジタル値「000」に変換する。 V_{T1} 未満であるが、 V_{T2} よりも大きいピクセル信号はデジタル値「001」に変換され、 V_{T2} と V_{T3} との間のピクセル信号は「010」に変換され、「111」に変換される V_{T7} 未満のピクセル信号まで以下同様である。

10

20

30

40

50

【 0 0 1 4 】

図 2 の実施形態では、連続ピクセル閾値間の電位差は概ね同じ（例えば、 $V_{T3} - V_{T4}$ 、 $V_{T5} - V_{T6}$ ）である。換言すれば、ピクセル閾値は、 V_{T1} と V_{T7} との間で線形分布する。更に、図 2 の実施形態では、 V_{pre} と V_{T1} との間の電位差は、連続ピクセル閾値間の電位差よりも大きい（例えば、 $V_{pre} - V_{T1} > V_{T3} - V_{T4}$ ）が、他の実施形態では、全てのステップは等しい。 $V_{pre} - V_{T1} > V_{T3} - V_{T4}$ であるような V_{T1} の選択は、IP をサンプリングする際、例えば、暗騒音の影響を低減する。図 2 の実施形態での V_{T7} と V_{floor} との間の電位差も、連続ピクセル閾値間の電位差よりも大きくすることができる（例えば、 $V_{T7} - V_{floor} > V_{T3} - V_{T4}$ ）。最後に、線形閾値間隔の代わりに、所与の実施形態は、閾値を指数的に離間することができる、例えば、各閾値間隔は 1 つ下の閾値間隔の 2 倍である。複数の ADC サンプルを蓄積して、イメージを形成するシステムでは、指数的間隔は、蓄積前に線形値に変換される。

10

【 0 0 1 5 】

V_{floor} は、フォトダイオード 65 の陰極電圧が、光子衝突に応答してもはや線形に放電しないピクセル飽和閾値を表す。線形感度領域 90 内のピクセル信号の場合、デジタル値へのピクセル信号の変換はグラフ 95 に示される。検出可能な光子衝突の最大数（すなわち、ピクセル飽和点）が、フォトダイオードのキャパシタンス、ひいてはその物理的サイズに比例することに留意されたい。その結果、従来のセンサ設計では、フォトダイオードフットプリントは、所与の用途で必要とされるダイナミックレンジによって決まり、プロセスジオメトリの縮小に伴ってあまり小さくならない。

20

【 0 0 1 6 】

イメージの捕捉中、一実施形態では、IP アレイ 40 内の IP 列 50 及び他の各列内の所与の 1 つ又は複数の行の IP が連続してサンプリングされ、それぞれに関連付けられたピクセル信号は、各列に関連付けられた 1 つ又は複数の ADC を使用してデジタル値に変換される。ADC によって出力されるデジタル値は、蓄積され（幾つかの実施形態では、後述するように条件付きで）、イメージ捕捉期間中に蓄えられる。図 2 に示される以外のタイプ及び構成の IP をイメージセンサシステムで使用することも可能である。例えば、トランジスタ 70、72、及び 74 とは異なる構成のトランジスタが使用可能である。更に、1 つの ADC 85 が、IP 列 50 と併せて図 2 に示されているが、他の実施形態では、2 つ以上の ADC を IP 列毎に使用することができ、異なる ADC グループが、ADC 列のアレイ行の異なる部分にサービングする。ADC（読み出し回路の形態）及び IP の追加の組合せが、更に詳細に後述される。最後に、ADC の出力（例えば、図 2 の実施形態では $Pix[2:0]$ ）は、任意のマルチビット長であることができ、 V_{pre} と V_{floor} との間で任意の方法で分布する任意の数の閾値に関連付けることができる。

30

【 0 0 1 7 】

マルチビットサンプリング及び条件付きリセットを用いるイメージセンサシステム

図 3 は、一実施形態による、ピクセル信号をマルチビットデジタル変換に変換するように構成されるイメージセンサ読み出し回路の一例を示す。図 3 の実施形態は、IP 100 と、IP メモリ 116 と、ADC / コンパレータ回路 112（以下、「ADC / コンパレータ」）及び加算器 114 を含む読み出し回路 110 とを示す。他の実施形態では、図 3 のモジュールは追加、より少数、及び / 又は異なる構成要素を含むことができることに留意されたい。例えば、ADC / コンパレータは、別個の構成要素として実施することができ、加算器は読み出し回路の外部に配置することができる。

40

【 0 0 1 8 】

IP 100 は、イメージセンサ内の IP を表し、例えば、図 2 の IP 60 であることができる。IP 100 は、例えば、外部制御論理からの 1 つ又は複数の制御信号を受信する。制御信号は、例えば、IP を V_{pre} にリセットし、IP の感光素子の露光をイネーブルし、 V_{pre} に相対して電荷を蓄えさせることにより、IP がイメージ捕捉を開始できるようにすることができる。同様に、制御信号は、例えば、イメージ捕捉期間が過ぎた後、IP の感光素子の露光をディセーブルすることにより、IP がイメージ捕捉を終えられ

50

るようにすることができる。制御信号は、IPによるピクセル信号の出力及び読み出し回路によるピクセル信号のデジタル値表現へのピクセル信号の続く変換（本明細書では、「IPのサンプリング」又は「ピクセル信号のサンプリング」と呼ばれる）をイネーブリングすることもできる。上述したように、ピクセル信号は、集積電荷の表現（例えば、ソースフォロワ電圧、増幅電圧、又は集積電荷に比例する成分を有する電流）であることができる。

【0019】

IP100は、例えば、外部制御論理からリセット信号を受信する。リセット信号は、例えば、イメージ捕捉期間の開始時にIPによって蓄えられた電荷をVpreにリセットする。IPは、ADC/コンパレータ112から条件付きリセット信号も受信する（幾つかの回路では、条件付きリセット及び初期リセットは、共通の回路を使用して供給される）。条件付きリセット信号は、例えば、IPがサンプリングされたときにピクセル信号がサンプリング閾値を超えることに応答して、イメージ捕捉期間中にIPによって蓄えられた電荷をリセットする。他の実施形態では、条件付きリセット信号が異なるエンティティから受信されることに留意されたい。一実装形態では、ADC/コンパレータは、ピクセル信号がサンプリング閾値を超えると判断し得、外部制御論理が条件付きリセット信号をIPに出力できるようにし得、そのような実施形態では、リセット信号（行単位信号）及び条件付きリセット信号（列単位信号）は、IPによって論理積がとられ、全てのリセットを開始することができる。簡潔にするために、残りの説明は、ADC/コンパレータが条件付きリセット信号をIPに提供する実施形態に限定する。

10

20

【0020】

読み出し回路110は、例えば、外部制御論理から、閾値信号、サンプル信号（又は「サンプルイネーブリング信号」）、比較信号（又は「比較イネーブリング信号」）、残余信号（又は「残余イネーブリング信号」）、及びリセット信号を受信し、IP100からピクセル信号を受信する。IP100に対応するIPメモリ要素116は、加算器114による読み出し/書き込み及び外部読み出しにIPメモリ要素116を選ぶ読み出し信号を受信する。ADC/コンパレータ112は、1つ又は複数のサンプル信号の受信に応答して、IP100をサンプリングする。イメージ捕捉中、ADC/コンパレータは、例えば、周期的、又は予め定義されるサンプリング間隔パターン（本明細書では「サンプリングポリシー」と呼ぶ）に従って、様々なサンプリング間隔でサンプル信号を受信する。代替的には、ADC/コンパレータによって受信されるサンプル信号は、サンプリングポリシーを含むことができ、ADC/コンパレータは、サンプリングポリシーに基づいてIPをサンプリングするように構成することができる。他の実施形態では、IPは、1つ又は複数のサンプル信号を受信し、受信したサンプリング信号に基づいてピクセル信号を出力する。更に他の実施形態では、受信するサンプル信号から独立して、IPは定期的に若しくはサンプリングポリシーに従ってピクセル信号を出力するか、又はADC/コンパレータは、定期的に又はサンプリングポリシーに従ってピクセル信号をサンプリングする。ADC/コンパレータは、IPからピクセル信号をサンプリングする前に、IPからピクセル信号を要求することができる。

30

【0021】

IPのサンプリング中、ADC/コンパレータ112は、IPからピクセル信号を受信し、ピクセル信号をピクセル信号のマルチビットデジタル値表現に変換する（任意選択的に、幾つかの実施形態では、ピクセル信号がサンプリング閾値を超えることに基づいて）。ピクセル信号がサンプリング閾値を超える場合、ADC/コンパレータは、条件付きリセット信号を出力して、IPに蓄えられている電荷をリセットする。ピクセル信号がサンプリング閾値を超えない場合、ADC/コンパレータは、IPに蓄えられた電荷をリセットする条件付きリセット信号を出力しない。サンプリング閾値は、イメージ捕捉中に変更することができるか、閾値信号を介して受信することができるか、又は所与のイメージ捕捉中、予め決定されるか、若しくはプリセットすることができる。1つのサンプリング閾値を複数のイメージ捕捉中に使用することもでき、異なるサンプリング閾値を異なるイメージ

40

50

捕捉に使用することもでき、複数のサンプリング閾値を単一のイメージ捕捉中に使用することもできる。一実施形態では、サンプリング閾値は、変化する光状況の検出にตอบสนองして変更される（例えば、サンプリング閾値は、低光状況にตอบสนองして低減し、高光状況にตอบสนองして増大することができる）。

【 0 0 2 2 】

一実施形態では、サンプリング閾値はアナログ信号閾値である。この実施形態では、A D C / コンパレータ 1 1 2 は、アナログコンパレータを含み、ピクセル信号をサンプリング閾値と比較して、ピクセル信号がサンプリング閾値を超えるか否かを判断する。ピクセル信号が、I P 1 0 0 によって蓄えられた電荷の電圧表現を含む場合、ピクセル信号がサンプリング閾値を下回るとき、サンプリング閾値を超える。図 2 の実施形態を一例として使用すると、A D C / コンパレータのサンプリング閾値が閾値 4 である場合、ピクセル信号が閾値 4 に関連付けられた電圧を下回る電圧を含むときのみ、ピクセル信号はサンプリング閾値を超えることになる。

10

【 0 0 2 3 】

一実施形態では、サンプリング閾値はデジタル信号閾値である。この実施形態では、A D C / コンパレータ 1 1 2 は、デジタルコンパレータを含み、まず、ピクセル信号をピクセル信号のデジタル値表現に変換する。次に、A D C / コンパレータは、デジタル値をサンプリング閾値と比較して、ピクセル信号がサンプリング閾値を超えるか否かを判断する。図 2 の実施形態を一例として使用して、サンプリング閾値が「 1 0 1 」の場合、A D C / コンパレータがピクセル信号をデジタル値「 0 0 1 」（ピクセル信号が閾値 1 と閾値 2 との間にあることを示す）に変換するとき、ピクセル信号はサンプリング閾値を超えず、条件付きリセット信号は出力されない。しかし、A D C / コンパレータがピクセル信号をデジタル値「 1 1 0 」（ピクセル信号が閾値 6 と閾値 7 との間にあることを示す）に変換する場合、ピクセル信号はサンプリング閾値を超え、条件付きリセット信号は出力される。

20

【 0 0 2 4 】

別の実施形態では、サンプリング閾値は、ピクセル信号の完全なデジタル変換前に評価することができるデジタル信号閾値である。これは、幾つかの実施形態又は使用事例で有利であることができ、不要な A D C 動作を回避することにより、ピクセルのより高速の条件付きリセットが可能であり、且つ / 又は電力を節減することが可能である。例えば、連続近似レジスタ A D C を用いる場合、複数のクロックサイクルを使用して、ピクセル信号のデジタル表現を解決する。第 1 のクロックサイクルは最上位ビットを解決し、第 2 のクロックサイクルは次の最上位ビットを解決し、全てのビット位置が解決されるまで同様である。図 2 の実施形態を一例として使用して、サンプリング閾値が「 1 0 0 」である場合、閾値が満たされるか否かの判断は、最初の S A R A D C クロックサイクル後に解決することができる。サンプリング閾値が「 1 1 0 」である場合、閾値が満たされるか否かの判断は、第 2 の S A R A D C クロックサイクル後に解決することができる。ビット深度が、例えば、6 ビット又は 8 ビットである実施形態では、1 つ又は 2 つの変換サイクル後にリセット判断を行うことにより、時間 / 電力の大きな節減を生み出すことができ、これは、0 である 1 つ又は複数の L S B を有するサンプリング閾値を選択することによって実現することができる。

30

40

【 0 0 2 5 】

一実施形態では、行単位比較信号が、各 A D C / コンパレータ「比較」信号入力に供給され、A D C / コンパレータに比較の実行に適切なクロックサイクルを通知する。比較信号がアサートされる場合、比較は、アナログ / デジタル変換の現在状態に基づいて実行される。閾値が A D C / コンパレータ 1 1 2 の比較によって満たされる場合、条件付きリセット信号は I P 1 0 0 及び加算器 1 1 4 に対してアサートされ、S A R A D C はピクセル信号を引き続き変換する。閾値が満たされない場合、条件付きリセット信号はアサートされず、比較信号と併せて使用して、S A R A D C のクロック信号をゲーティングして、変換を終了させることができる。

50

【 0 0 2 6 】

A D C / コンパレータ 1 1 2 は、A D C / コンパレータによって受信されたピクセル信号のデジタル値表現（本明細書では「デジタル変換」と呼ぶ）を加算器 1 1 4 に出力する。A D C / コンパレータ 1 1 2 は、デジタル変換に関連付けられたピクセル信号がサンプリング閾値を超えることに応答して、デジタル変換を出力することができる。条件付きリセット信号は、デジタル変換をロードし、I P 1 0 0 に対応する I P メモリ 1 1 6 のロケーション（この実施形態では、読み出し線のアドレス選択により複数のそのようなロケーションから選択される）に追加することを加算器 1 1 4 に通知することのイネーブルとして使用することができる。他の実施形態では、A D C / コンパレータは、デジタル変換に関連付けられたピクセル信号がサンプリング閾値を超えるか否かに関係なく、I P 1 0 0 の各サンプリング中にデジタル変換を出力する。これらの実施形態では、加算器は、サンプリング閾値を超えるピクセル信号に関連付けられたデジタル変換を蓄積し、サンプリング閾値を超えないピクセル信号に関連付けられたデジタル変換を無視するように構成することができる。代替的には、閾値が、例えば、図 2 における「0 0 1」に設定される場合、加算器は、I P 1 0 0 が読み出される都度、デジタル変換を I P メモリ 1 1 6 に無条件で加算することができ、それでもなお正確な結果を生成する。

10

【 0 0 2 7 】

一実施形態では、A D C / コンパレータ 1 1 2 は、残余信号アサートの受信（比較信号がアサートされていない状態で）に応答してもデジタル変換を出力する。残余信号アサートは、イメージ捕捉の終了に関連付けられ、デジタル変換に関連付けられたピクセル信号がサンプリング閾値を超えるか否かに関係なく、A D C / コンパレータが全デジタル変換を加算器 1 1 4 に出力できるようにし、条件付きリセットをアサートする。残余信号は、I P 1 0 0 によって受信されるが、捕捉期間の終了時に閾値を超えない光に関連付けられたイメージ情報の損失を回避することができる。受け取ったそのような光のピクセル信号表現がサンプリング閾値を超えない場合、A D C / コンパレータは、ピクセル信号に関連付けられたデジタル変換を出力しなくてもよく、I P によって蓄えられた電荷は条件付きリセット信号によってリセットされない（条件付きリセット信号は、残余信号のアサートによってもトリガーされる）。デジタル変換に関連付けられたピクセル信号がサンプリング閾値を超えるか否かに関係なく、A D C / コンパレータがデジタル変換を加算器に出力する実施形態では、加算器は、残余信号を受信することができ、信号の受信に応答して、捕捉期間の終了時に受信したピクセル信号に関連付けられたデジタル変換を蓄積するように構成することができる。

20

30

【 0 0 2 8 】

加算器 1 1 4 は、捕捉期間中に受信されるデジタル変換を蓄積するように構成される。上述したように、A D C / コンパレータ 1 1 2 が、デジタル変換に関連付けられたピクセル信号がサンプリング閾値を超える場合のみデジタル変換を出力する実施形態では、加算器は、受信した全てのデジタル変換（残余信号の受信に応答して、A D C / コンパレータによって出力される追加のデジタル変換を含む）を I P メモリ 1 1 6 に蓄積する。A D C / コンパレータが受信した各ピクセル信号に関連付けられたデジタル変換を出力する実施形態では、加算器は、サンプリング閾値を超えるピクセル信号に関連付けられたデジタル変換に、残余信号の受信に応答して A D C / コンパレータによって出力されるデジタル変換を加えたもののみを I P メモリ 1 1 6 に蓄積し、そのような実施形態は、ピクセル信号がサンプリング閾値を超える場合及び残余信号が受信される場合を加算器が認識する必要があり、簡潔にするために本明細書ではこれ以上考察しない。

40

【 0 0 2 9 】

加算器 1 1 4 は、例えば、外部制御論理からリセット / 加算制御シグナリングを受信する。リセット信号の受信（例えば、イメージ捕捉期間の開始時）に応答して、蓄積器は、全てのゼロを選択された I P メモリロケーション 1 1 6 に記憶し、受信したデジタル変換の蓄積をイメージデータとして記憶する。加算器はリセット信号も受信し、受信したデジタル変換の蓄積をリセットする。

50

【0030】

代替の実施形態では、加算器は、読み出し回路110の外部に配置される。例えば、ADC/コンパレータは、変換ストリームを、蓄積機能を供給する別個の回路へのデジタルチャネル（例えば、他のADCからの他の変換と多重化される）に出力することができる。そのような場合、ADC/コンパレータは、0であることができる「変換なし」のシンボルも出力しなければならない。1つの可能性は、デジタルチャネルインタフェース内の回路（例えば、図4のPHY134）がデジタル変換を符号化して、帯域幅を低減することである。一実施形態での「変換なし」は、「00」として出力され、上限超えのADC変換は「01」として出力され、他の全てのADC変換は「1xxxxxx」として出力され、ここで、xはADC変換の解決ビットの1を表し、x位置の数はADCのビット深度に等しい。

10

【0031】

一実施形態では、IPは、同じ線上でピクセル信号を出力し、条件付きリセットを受信するように構成される。この実施形態では、IP及びADC/コンパレータ112は代替的に、共有線上でピクセル信号及び条件付きリセットを駆動する。例えば、IPは、サンプル期間の第1の期間中、共有線上にピクセル信号を出力することができ、サンプル期間の第2の部分中、供給線上で条件付きリセットを受信することができる。最後に、ADC/コンパレータは、閾値信号、サンプル信号、及び残余信号を共有線上で受信することができる。例えば、ADC/コンパレータは、イメージ捕捉の開始時に閾値信号を受信し、イメージ捕捉期間全体を通してサンプル信号を受信し、イメージ捕捉期間の終了時に残余信号を受信することができる。IPによって受信される残余信号が、蓄積器114によって受信されるものと同じリセット信号であることができ、共有線上で受信することができることに留意されない。

20

【0032】

図4は、一実施形態によるマルチビットアーキテクチャを有するイメージセンサシステムの一実施形態例を示す。図4のイメージセンサシステム120は、イメージセンサ領域125と、読み出し回路アレイ130と、制御論理132と、物理的シグナリングインタフェース134とを含む。他の実施形態では、イメージセンサシステムは、図4の実施形態に示されるよりも少数、追加、又は異なる構成要素を含み得る（例えば、回路は、集積されたメモリ116を有し得る）。図4に示されるイメージセンサシステムは、単一のICとして実施されてもよく、又は複数のICとして実施されてもよい（例えば、イメージセンサ領域及び読み出し回路アレイは別個のICに配置することができる）。更に、様々な構成要素（読み出し回路アレイ、制御論理、及び物理的シグナリングインタフェース等）は、イメージセンサ領域125内に集積することができる。

30

【0033】

例のために、イメージセンサシステム120及びイメージセンサシステムに通信可能に結合されるホストIC（図4に示されず）は、カメラ（例えば、モバイル装置内の静止画像又はビデオカメラ、コンパクトカメラ、デジタルSLRカメラ、スタンドアロン又はプラットフォーム集積ウェブカム、高精細ビデオカメラ、セキュリティカメラ、自動車カメラ等）内に一次イメージ取得構成要素を形成すると仮定される。イメージセンサIC及びホストICは、より一般的には単独で、又は計測機器、医療機器、ゲームシステム、又は他の消費者電子装置、軍用及び商用イメージングシステム、輸送関連システム、スペースベースのイメージングシステム等を含むが、これらに限定されない略あらゆるイメージングシステム又は装置内の同様若しくは異なるイメージング構成要素と共に配備することができる。イメージセンサシステムの動作は一般に、IPの露光、露光の結果として蓄えられた電荷のイメージデータへの変換、及びイメージデータの記憶媒体への出力を通してのイメージ又はフレームの捕捉を含む。

40

【0034】

イメージセンサ領域125は、N行（0～N-1とインデックス付けられる）及びM列（0～M-1とインデックス付けられる）を含むIPアレイ127を含む。物理的シグナ

50

リングインタフェース 134 は、ホスト IC（例えば、汎用又は専用プロセッサ、特定用途向け集積回路（ASIC）、又はイメージセンサ IC を制御するように構成される任意の他の制御構成要素）からコマンド及び構成情報を受信するように構成されるとともに、受信したコマンド及び構成情報を制御論理 132 に提供するように構成される。物理的シグナリングインタフェースは、読み出し回路アレイ 130 からイメージデータを受信し、受信したイメージデータをホスト IC に出力するようにも構成される。

【0035】

制御論理 132 は、物理的シグナリングインタフェース 134 からコマンド及び構成情報を受信するように構成されるとともに、イメージセンサシステム 120 の動作及び機能を操作するように構成される信号を送信するように構成される。例えば、イメージ又はフレームを捕捉するコマンドの受信に回答して、制御論理は、一連の露光信号（IP をリセットさせるように構成される）及びサンプル信号（読み出し回路アレイ 130 内の読み出し回路に IP アレイ 127 内の IP からピクセル信号をサンプリングさせるように構成される）を出力し得、イメージセンサシステムによるイメージ又はフレームの捕捉をイネーブルする。同様に、イメージセンサシステムを初期化又はリセットするコマンドの受信に回答して、制御論理は、IP アレイ内の各 IP をリセットするように構成されるリセット信号を出力し得、各 IP に蓄積された任意の電荷を無視させる。制御論理によって生成される制御信号は、サンプリングする IP アレイ内の特定の IP を識別し、IP に関連付けられた読み出し回路の機能を制御し得、又はイメージセンサシステムに関連付けられた任意の他の機能を制御し得る。制御論理は、イメージセンサ領域 125 の外部にあるものとして図 4 に示されているが、上述したように、制御論理の全て又は部分は、イメージセンサ領域内でローカルに実施し得る。

10

20

【0036】

制御論理 132 は、イメージセンサ領域 125 内の各 IP に制御信号及びリセット信号を出力する。図 4 の実施形態に示されるように、イメージピクセル内の各 IP である IP [X][Y] は、行パラレル Control [X] 信号（各 IP の「行」選択制御信号に対応する）及び行パラレル Reset [X] 信号を制御論理から受信して、IP をリセットし、ここで、「X」及び「Y」は、イメージセンサ領域内の IP の座標を指す。任意の所与の IP で受信される制御信号及びリセット信号はそれぞれ、図 4 の実施形態でインデックス付けられるように 1 ビットのみであるが、インデックス付けが単に簡潔を目的として行われ、これらの信号が、実際には任意の幅又は次元であり得ることを理解されたい。

30

【0037】

読み出し回路アレイ 130 は M 個の読み出し回路を含み、各読み出し回路は、ピクセル信号を IP アレイ 127 内の IP の列から受信するように構成される。他の実施形態では、読み出し回路アレイは、図 5 a、図 5 b、及び図 5 c において考察されるように、ピクセル信号を各 IP 列から受信するように構成される複数の読み出し回路を含むことができることに留意されたい。ピクセル信号バスは、IP アレイ内の各 IP 列内の IP を、読み出し回路アレイ内の IP 列に関連付けられた読み出し回路に結合する。各 IP は、IP によって生成されるピクセル信号をピクセル信号バスに出力するように構成され、各読み出し回路は、読み出し回路に関連付けられた IP 列内の IP からピクセル信号をサンプリングするように構成される。例えば、読み出し回路 0 は、ピクセル信号バス 0 からピクセル信号をサンプリングするように構成され、以下同様である。読み出し回路アレイ内の各読み出し回路は、読み出し回路に関連付けられた IP 列内の IP から繰り返しピクセル信号をサンプリングすることができ（例えば、複数のバスにわたり連続した IP から順序通りにピクセル信号をサンプリングすることにより）、又は所定の非順次順に従ってピクセル信号をサンプリングすることができる。一実施形態では、読み出し回路は、複数のピクセル信号を同時にサンプリングすることができる。図 3 及び図 4 の実施形態に示されていないが、読み出し回路は、蓄積された値をイメージデータとして出力する前に、蓄積されたデジタル値を記憶するように構成されるメモリを更に含むことができる。

40

【0038】

50

条件付きリセットバスは、IPアレイ127内の各IP列内のIPを各IP列に関連付けられた読み出し回路に結合する。IP列内のIPからピクセル信号をサンプリングした後、IP列に関連付けられた読み出し回路は、サンプリングされたピクセル信号がサンプリング閾値を超える場合、条件付きリセット信号を生成する。例えば、IP列内のIPが、IPを読み出し回路に結合するピクセル信号バスを介して、IP列に関連付けられた読み出し回路にピクセル信号を出力する場合、且つ読み出し回路が、ピクセル信号がサンプリング閾値を超えると判断する場合、読み出し回路は、読み出し回路をIPに結合する条件付きリセットバスを介して条件付きリセット信号をIPに出力し、IPは、IPに蓄えられた電荷をリセットする。上述したように、ピクセル信号バス及び条件付きリセットバスは、共有バスで実施することができ、 $Ctrl[X]$ は、ピクセル信号を行Xから共有バスに出力できるようにし、 $Reset[X]$ は、共有バスから行X内のピクセルの条件付きリセットを可能にするが、そのような実施形態については、簡潔にするために本明細書においてこれ以上説明しない。

10

20

30

40

50

【0039】

制御論理132は、読み出し回路アレイ130内の読み出し回路の読み出し制御信号を生成する。読み出し制御信号は、読み出し回路によるIPアレイ127内のIPからのピクセル信号のサンプリング、サンプリングされたピクセル信号のデジタル値への変換、デジタル値の蓄積、蓄積されたデジタル値の出力、及び加算器のリセットを制御することができる。読み出し制御信号は、図3に記載されるような読み出し回路アレイ内の各読み出し回路の閾値信号、サンプル信号、比較信号、残余信号、読み出し信号、及び/又はリセット/加算信号を含むことができる。

【0040】

制御論理132は、イメージ捕捉期間にわたるイメージの捕捉をイネーブルする、読み出し回路アレイ130の読み出し制御信号を生成するように構成される。イメージ捕捉期間前又はイメージ捕捉期間中、特定のIPメモリロケーションの初回使用時、制御論理は、各読み出し回路110の蓄積器にIPメモリロケーションをリセットさせるリセットを生成することができる。イメージ捕捉期間の開始時、制御論理は、読み出し回路のそれぞれの閾値信号を生成することができ、上述したように、閾値信号は、各読み出し回路によって使用されて、閾値を決定し、この閾値は、ピクセル信号が、ピクセル値に関連付けられたIPを条件付きでリセットし、ピクセル信号に関連付けられたデジタル値を蓄積するために比較される。イメージ捕捉期間中、制御論理は、読み出し回路が、読み出し回路に関連付けられたIPからピクセル信号をサンプリングできるようにするように構成される一連のサンプル信号を生成することができる。一実施形態では、制御論理は、1つ又は複数のサンプリングポリシーに従ってサンプル信号を生成する。サンプリングポリシーについては更に詳細に後述する。イメージ捕捉期間の終了時、被制御論理は、ピクセル信号がサンプリング閾値を超えるか否かに関係なく、各読み出し回路がピクセル信号のデジタル値表現を蓄積できるようにするように構成される残余信号を生成する。イメージ捕捉期間後、制御論理は、各読み出し回路が、関連付けられたサンプリング閾値を超えるサンプリングピクセル信号の蓄積デジタル値をイメージデータとして出力できるようにするように構成される読み出し信号を生成する。制御論理は、各イメージ捕捉期間後、各読み出し回路内に蓄積されたデジタル値をリセットするリセット信号を生成することもできる。

【0041】

制御論理は、IP及び読み出し回路がイメージ捕捉を一時停止させ再開させるように構成される一時停止信号及び再開信号を生成するとともに、読み出し回路アレイ内のIP及び読み出し回路の機能を制御するために必要な任意の他の信号を生成するように構成することもできる。各読み出し回路で、読み出し回路によって出力されるイメージデータは、読み出し回路に関連付けられたIP列内の各IPによって捕捉された光のデジタル表現である。イメージデータは、物理的シグナリングインタフェースによって受信され、続けてホストICに出力される。

【0042】

図5は、一実施形態による、IPアレイの周辺に配置される読み出し回路アレイを有するイメージセンサシステムアーキテクチャの一例を示す。図5のアーキテクチャでは、6つの読み出し回路アレイ(140a、140b、140c、140d、140e、及び140f)が、IPアレイを含むイメージセンサ領域145の周囲に配置される。1つの読み出し回路アレイ130がイメージセンサ領域125の1サイドに配置される図4の実施形態とは異なり、図5の読み出し回路アレイ140は、イメージセンサ領域145の全てのサイドに配置される。読み出し回路アレイは、これもまたイメージセンサ領域を含むIC内に配置することもでき、又は1つ若しくは複数の別個のICに配置することもできる。例えば、各読み出し回路アレイは、イメージセンサICの周辺に配置することもでき、又はイメージセンサICに隣接して配置される専用読み出し回路アレイICに配置することもできる。

10

【0043】

前の図4の実施形態では、読み出し回路アレイ130内の各読み出し回路は、IPアレイ127内のIP列に結合される。図5の実施形態では、各読み出し回路アレイ140xは、イメージセンサ領域145の部分行及び部分列からの1組6個のIPに結合される。例えば、読み出し回路アレイ140aはIP1、IP2、IP3、IP7、IP8、及びIP9に結合される。各読み出し回路アレイ140xは1つ又は複数の読み出し回路を含む。一実施形態では、各読み出し回路アレイは、6つの読み出し回路を含み、読み出し回路アレイ内の各読み出し回路は1つのIPに結合される。そのような実施形態では、各読み出し回路は、結合されたIPのみをサンプリングする。より典型的には、各読み出し回路は、多数の行及び1つ又は複数の列を構成するIPのブロックによって共有される。制御論理は図5の実施形態に示されていないが、各読み出し回路アレイをユニバーサル制御論理に結合してもよく、又はそれぞれを専用制御論理に結合してもよい。更に、物理的シグナリングインタフェースは図5の実施形態に示されていないが、各読み出し回路アレイは、共通の物理的シグナリングインタフェースへの共通バスを介してイメージデータを出力し得、又は各読み出し回路アレイに結合された専用物理的シグナリングインタフェースへの専用バスを介してイメージデータを出力し得る。

20

【0044】

図6aは、一実施形態による、2層イメージセンサシステムアーキテクチャの一例でのピクセルアレイICの上面図を示す。図6aのピクセルアレイICは、IPアレイを囲む周辺回路162を含む。IPアレイは、行制御回路164と、4つのIP行グループ(IP行グループ0~3)とを含む。各IP行グループは、アレイの幅であり、アレイ内の行の1/4を含み、行制御回路は、IPの動作に必要な制御信号及びリセット信号を提供する(例えば、IPをリセットにイネーブルさせ、読み出しに選択させるように構成される信号及び本明細書に考察される任意の他の信号)。

30

【0045】

図6bは、一実施形態による2層イメージセンサシステムアーキテクチャの一例でのピクセルアレイICの上面図を示す。図6bのプリプロセッサICは、読み出し回路アレイを囲む周辺回路172を含む。読み出し回路アレイは、物理的シグナリングインタフェース175(代替的に、ピクセルアレイIC160上にあってもよい)と、読み出し制御回路176と、4つの読み出し回路アレイ(読み出し回路アレイ0~3)と、付随するメモリグループ0A/B、1A/B、2A/B、及び3A/Bとを含む。各読み取り回路アレイは、関連付けられたメモリグループ内の対応する行に接続される1つ又は複数の読み出し回路(各IP列のADC、加算器、及びリセット論理を含む)を含む。特定のIP行が、ピクセルアレイICのIP行グループ内で選択される場合、対応するメモリグループ内の対応する行は、プリプロセッサIC上で選択される。

40

【0046】

図6cは、一実施形態による、2層イメージセンサシステムアーキテクチャの一例での図6aのピクセルアレイIC及び図6bのプリプロセッサICの断面を示す。図6cの実施形態では、ピクセルアレイIC160は、ピクセルアレイICの底面がプリプロセッサ

50

ICの上面に結合されるように、プリプロセッサIC170の上に配置される。マイクロレンズアレイ180及びカラーフィルタアレイ182は、ピクセルアレイICの上に配置される。ピクセルアレイIC及びプロセッサICは、ピクセルアレイIC配線184及びプリプロセッサIC配線186を介して結合される。ピクセルアレイICをプリプロセッサICの上に配置することにより、ダイサイズ及び光を捕捉することができるイメージセンサシステム内の表面積の割合は増大する。例えば、IPアレイと、1つ又は複数の読み出し回路アレイを含む単層ICアーキテクチャでは、1つ又は複数の読み出し回路アレイを含む単層ICの部分は、光を捕捉することができず、そのような実施形態は、単層ICに入射する光の捕捉に使用されるシリコンダイの割合を低減する。これは、カメラモジュールフットプリントをレンズ及びイメージングアレイよりも大きくする必要があり、カメラモジュールのコスト及びサイズを上げる。それとは対照的に、図6cの実施形態の上層は、読み出し回路アレイを含まず、したがって、上部単層ICのダイサイズを概ねIPアレイのサイズに低減する。上層に入射した光はマイクロレンズアレイ及びカラーフィルタを透過し、IPアレイ内のIPによって捕捉され、捕捉された光を示す信号が、ピクセルアレイIC配線及びプリプロセッサIC配線を介して読み出し回路アレイによってサンプリングされる。

10

【0047】

図7は、一実施形態による、図3の読み出し回路等のイメージセンサ読み出し回路の動作を示す。図7の実施形態例では、イメージは、16のサンプリング間隔の過程にわたって捕捉される。図7の実施形態例のADCは、ピクセル信号を5ビットデジタル値に変換し、蓄積器は、イメージ捕捉期間中、5ビットデジタル値を9ビットデジタル値に蓄積する。更に、図7の実施形態では、ADCは、IPによって検出された追加の各光子が、デジタル値を1だけ増大させるように、受信したピクセル信号を、ピクセル信号を表すデジタル値に変換する。例えば、IPが、リセット後に5つの光子を検出する場合、IPによって生成されるピクセル信号は、ADCによって値「00101」に変換される。他の実施形態では、ADCが、IPによって検出される複数の追加の光子が、デジタル値を1だけ増大させるように、受信したピクセル信号を、ピクセル信号を表すデジタル値に変換することが強調されるべきである。図7の実施形態では、ピクセル信号はアナログ電圧であり、したがって、簡潔にするために、図7には示されていない。

20

【0048】

イメージ捕捉期間(サンプリング間隔0)の開始時、読み出し回路のIPをリセットさせ、露光を開始するように構成するよう構成される制御信号が受信される。図7の実施形態では、「露光開始」制御信号は、IPに対応するメモリ要素に記憶された値もゼロにリセットする。更に、閾値信号が受信されて、読み出し回路のサンプリング閾値を20光子に等しいピクセル信号に設定する。

30

【0049】

第1のサンプリング間隔中、4個の光子がIPによって検出される。次に、IPは、4個の光子の検出に回答して、IPと同等のもの内の感光素子によって収集された電荷を表すピクセル信号を生成し、ADCは、このピクセル信号をデジタル値「00100」に変換する。4個の検出光子は20光子のサンプリング間隔(「10100」)をトリガーしないため、蓄積器はデジタル値「00100」を蓄積せず、IPによって蓄えられた電荷は消散しない(IPはリセットされない)。なお、列「光子(検出-蓄積)」は、第1に、特定のサンプリング間隔中、IPによって検出された光子の数を示し、第2に、IPの最後の条件付きリセットから蓄積された光子の数を示す。

40

【0050】

サンプリング間隔2中、7個の追加の光子がIPによって検出される。IPによって蓄えられた電荷は、サンプリング間隔1中に4個の光子の検出に回答して生成された電荷から、11個の蓄積光子(サンプリング間隔1中の4個の光子及びサンプリング間隔2中の7個の光子)の検出に回答して生成される電荷に増大する。蓄えられた電荷に回答してIPによって生成されるピクセル信号は、デジタル値「01011」に変換される。合計で

50

11個の光子は、20光子というサンプリング閾値をトリガーしないため、蓄積器はデジタル値「01011」を蓄積せず、IPはリセットされない。同様に、サンプリング間隔3中、2個の追加の光子がIPによって検出され、IPによって蓄えられる電荷は、13個の蓄積光子（サンプリング間隔1中の4個の光子、サンプリング間隔2中の7個、及びサンプリング間隔3中の2個）の検出に应答して生成される電荷に増大する。この貯蔵電荷の増大に应答してIPによって生成されるピクセル信号は、デジタル値「01101」に変換される。蓄積された13個の光子は、20光子というサンプリング閾値をトリガーしないため、蓄積器はデジタル値「01101」を蓄積せず、IPはリセットされない。

【0051】

サンプリング間隔4中、11個の追加の光子がIPによって検出される。IPによって蓄えられた電荷は、24個の蓄積光子（サンプリング間隔1中の4個の光子、サンプリング間隔2中の7個、サンプリング間隔3中の2個、及びサンプリング間隔4中の11個）の検出に等しい電荷に増大される。貯蔵電荷に应答してIPによって生成されるピクセル信号は、デジタル値「11000」に変換される。蓄積された24個の光子は、20光子というサンプリング閾値を超えるため、加算器はデジタル値「11000」をIPのメモリ要素に蓄積し、IPはリセットされる。

10

【0052】

サンプリング間隔5中に検出される14個の光子は、20というサンプリング間隔を超えないため、ADCによって生成されるデジタル値「01110」は蓄積されず、IPはリセットされない。サンプリング間隔6中に検出される8個の光子により、IPによって22個の光子（サンプリング間隔5中の14個及びサンプリング間隔6中の8個）が蓄積検出されることになり、加算器はデジタル値を蓄積し（その結果、合計蓄積値は「000101110」になる）、IPはリセットされる。

20

【0053】

このプロセスは、16のサンプリング間隔のそれぞれに対して繰り返される。サンプリング間隔10、14、及び15中にADCによって生成されるデジタル値は全て、20光子というサンプリング間隔を、IPによって検出される蓄積光子数が超えることに应答して、蓄積される。したがって、IPは、これらの間隔（サンプリング間隔11、15、及び16）に続くサンプリング間隔でリセットされる。サンプリング間隔16中、19個の光子がIPによって検出され、これは、20光子というサンプリング閾値を超えない。更に、サンプリング間隔16中、蓄積器にADCによって生成されたデジタル値（残余値190「10011」）を蓄積するように命令するように構成される残余信号が受信される。したがって、加算器は、値「10011」を、メモリ要素に保持されている蓄積値「001111011」に蓄積して、イメージデータ195「010001110」を生成する。最後に、リセット信号が、サンプリング間隔16中に受信され、それにより、読み出し回路はイメージデータを出力することができ、イメージデータの出力に続き、ADCによって出力され、蓄積器に記憶された値がゼロにリセットされる。

30

【0054】

図8は、一実施形態によるイメージ捕捉システムでのピクセル情報フローを示す。イメージ捕捉期間の過程中、IP200は、光子を検出し、ピクセル信号202を読み出し回路に出力する。これに应答して、読み出し回路204は、受信したピクセル信号を受信ピクセル信号を示すデジタル値に変換し、サンプリング閾値を超えるピクセル信号に関連付けられた各デジタル値について、デジタル値を蓄積し、IPをリセットする。イメージ捕捉期間後、蓄積されたデジタル値はイメージデータ206として出力される。

40

【0055】

事後処理モジュール208は、イメージデータ206を受信し、1つ又は複数の処理動作をイメージデータに対して実行して、処理済みデータ210を生成する。一実施形態では、应答関数を使用して、所望の应答に従ってイメージデータ206を変換することができる。例えば、イメージデータは、IPによって検出される光の強度に基づいて、線形関数又は対数関数を用いて変換することができる。次に、処理済みデータは、続く検索及び

50

処理のためにメモリ 212 に記憶される。IP200 は、読み出し回路 204、事後処理モジュール、及びメモリは、IC 内に配置することもでき、又は別個の結合された IC 内に配置することもできる。

【0056】

図 9 は、一実施形態による、図 3 の読み出し回路等のイメージセンサ読み出し回路によって使用される様々な時間サンプリングポリシーを示す。図 9 の実施形態では、イメージは、16 時間ユニットに等しいイメージ捕捉期間 220 にわたって捕捉される。示される 3 つのサンプリングポリシーのそれぞれで、「x」は読み出し回路による所与の IP のサンプリングを示す。

【0057】

サンプリングポリシー 1 では、読み出し回路は、各 16 時間単位後に IP をサンプリングする。サンプリングポリシー 2 では、読み出し回路は、各 4 時間単位後に IP をサンプリングする。サンプリングポリシー 2 内の読み出し回路は、サンプリングポリシー 1 内の読み出し回路よりも低頻度で IP をサンプリングするため、サンプリングポリシー 2 内の IP は、サンプリングポリシー 1 内の IP よりも飽和する可能性が高い。しかし、サンプリングポリシー 2 (合計で 4 サンプル) の実施に必要なリソース (処理、帯域幅、及び電力) は、サンプリングポリシー 1 (合計で 16 サンプル) の実施に必要なリソースよりも低くし得、その理由は、サンプリングポリシー 2 内の読み出し回路が、サンプリングポリシー 1 内の読み出し回路の頻度のわずか 25% で IP をサンプリングするためである。

【0058】

サンプリングポリシー 3 では、読み出し回路は、時間単位 1、2、4、8、及び 16 後に IP をサンプリングする。サンプリングポリシー 3 のサンプリングの指数的間隔は、短いサンプル間隔 (例えば、時間単位 0 ~ 時間単位 1 のサンプル間隔) 及び長いサンプル間隔 (例えば、時間単位 8 ~ 時間単位 16 のサンプル間隔) を提供する。短いサンプリング間隔及び長いサンプリング間隔の両方が可能なことにより、サンプリングポリシー 2 と略同程度の少数のサンプリングを用いて (サンプリングポリシー 3 での 5 サンプル対サンプリングポリシー 2 での 4 サンプル) サンプリングポリシー 1 のダイナミックレンジが保たれる。図 9 に示されていない他のサンプリングポリシーも、本明細書に記載されるイメージセンサシステム内の読み出し回路によって実施することもできる。指数間隔の全体長又は他のシーン若しくはユーザ依存要因に応じて、所望の電力、SNR、ダイナミックレンジ、又は他の性能パラメータを満たすように、異なるサンプリングポリシーを選択することができる。

【0059】

非破壊的閾値監視を用いる高 SNR イメージセンサ

図 2 に示される 3 トランジスタ (3T) ピクセルアーキテクチャは、多くの用途に適するが、フォトダイオードとソースフォロワとの間 (すなわち、感光素子 65 のノード「V_{DET}」と要素 74 との間) に配置される「移動ゲート」を有する 4 トランジスタ (4T) 設計は、幾つかの利点を提供する。まず、フォトダイオードの電荷状態を妨げずに、ソースフォロワのゲートでのこの時点では分離されたフローティング拡散をリセットし得 (例えば、V_{DD} に結合する)、それにより、相関付けられた二重サンプリング (CDS) 動作を可能にし、この動作では、フローティング拡散のノイズフロアは、電荷集積前にサンプリングされ、次に、フォトダイオード電位の続くサンプリングから減算され、ノイズを相殺し、SNR を大幅に改善する。別の利点は、直観に反して、フォトダイオードとソースフォロワとの間の切り換え接続 (すなわち、移動ゲートを介する) により、ソースフォロワ、リセットトランジスタ、及びアクセストランジスタを複数のフォトダイオードで共有することができるため、よりコンパクトなピクセル設計である。例えば、共有ソースフォロワ、リセットトランジスタ、及びアクセストランジスタ (すなわち、4 移動ゲートに、3 つの共有トランジスタを足したもの) を有する 4 つ 1 組の「4T」ピクセルの実施に必要なのは、7 つのトランジスタのみであり、したがって、ピクセル毎に平均で 1.75 トランジスタ (1.75T) がもたらされる。

10

20

30

40

50

【 0 0 6 0 】

ピクセル読み出しに関して、3 Tピクセルでのフォトダイオードとソースフォロワとの間の直接接続により、進行中の光電荷集積を妨げずに、フォトダイオードの電荷状態を読み出すことができる。この「非破壊的読み出し」能力は、上述した条件付きリセット動作の状況で特に有利であり、その理由は、集積間隔に続き3 Tピクセルをサンプリングし得、次に、サンプリング動作により、電荷レベルが所定の閾値を下回るままであることが示される場合、引き続き電荷集積を条件付きで許す（すなわち、リセットされない）ためである。これとは対照的に、4 Tピクセル読み出しの一環としてフォトダイオードとフローティング拡散との間での電荷移動は、フォトダイオードの状態を妨げず、条件付きリセット動作に問題を呈する。

10

【 0 0 6 1 】

図10～図14に関連して後述する幾つかの実施形態では、変更された4 Tピクセルアーキテクチャは、リセット閾値をピクセルサンプル生成と切り離して、非破壊的（それもおCD S）閾値超え判断を可能にするように動作する。すなわち、フォトダイオード内に蓄積された正味レベルの電荷を読み出し（すなわち、ピクセルサンプリング動作）、その読み出しに基づいてフォトダイオードを条件付きでリセットする（すなわち、3 Tピクセルサンプリング動作でのように）代わりに、予備閾値超えサンプリング動作が実行されて、フォトダイオード内の閾値超え状態の検出を可能にし、完全フォトダイオード読み出し（すなわち、ピクセルサンプル生成）は、予備閾値超え検出結果に従って条件付きで実行される。実際には、完全フォトダイオード読み出しから得られるピクセル値に従ってフォトダイオードを条件付きでリセットする代わりに、完全フォトダイオード読み出しは、閾値を超えたか否かの予備の非破壊的判断の結果で条件付けられ、手法は、少なくとも一実施形態では、条件付きリセット閾値をピクセル値生成から切り離すことによって可能になる。

20

【 0 0 6 2 】

図10は、本明細書では「プログレッシブ読み出しピクセル」と呼ばれる変更4 Tピクセル250の一実施形態を示し、ここでは、非破壊的閾値超え検出動作が実行されて、相関二重サンプリングと併せた条件付きリセット動作を可能にする。より完全に後述するように、閾値超え検出は、フォトダイオード状態の制限付き読み出しを含み、制限付き読み出しでは、閾値超え状況が示されると判断される場合、フォトダイオード状態のより完全な読み出しをトリガーする。すなわち、ピクセル250は、制限付き閾値超え検出読み出しから完全な読み出し（完全な読み出しは、閾値超え検出結果に従って条件付きである）にプログレッシブに読み出される。

30

【 0 0 6 3 】

なお図10を参照すると、プログレッシブ読み出しピクセル250は、フォトダイオード260（又は任意の他の実施可能な感光素子）とフローティング拡散ノード262との間に配置される移動ゲート251と、移動ゲート行線（TGr）と移動ゲート251との間に結合される移動イネーブルトランジスタ253を含む移動イネーブルトランジスタ253のゲートは、移動ゲート列線（Tgc）に結合され、したがって、Tgcがアクティブであるとき、TGr上の電位は、移動イネーブルトランジスタ253を介して移動ゲート251のゲートに印加され（任意のトランジスタ閾値を差し引いて）、したがって、フォトダイオード260内に蓄積された電荷をフローティング拡散262に移動させ、ピクセル読み出し回路によって検知できるようにする。より詳細には、フローティング拡散262は、ソースフォロア255（増幅及び/又は電荷/電圧変換要素）のゲートに結合され、ソースフォロア255はそれ自体、供給レール（この例では V_{DD} ）と読み出し線Voutとの間に結合されて、フローティング拡散電位を表す信号をピクセル外の読み出し論理に出力できるようにする。

40

【 0 0 6 4 】

示されるように、行選択トランジスタ257は、ソースフォロアと読み出し線との間に結合されて、各ピクセル行による読み出し線への多重化アクセスを可能にする。すなわち

50

、行選択線（「RS」）は、各ピクセル行内の行選択トランジスタ257の制御入力に結合され、ワンホットベースで動作して、検知/読み出し動作のために一度に1つのピクセル行を選択する。リセットトランジスタ259もプログレッシブ読み出しピクセル内に提供されて、フローティング拡散を供給レールに切り替え可能に結合し、ひいてはリセットできるようにする（すなわち、リセットゲート線（RG）がアクティブであるとき）。フォトダイオード自体は、移動ゲート251（例えば、TGrがハイである間にTgcをアサートすることにより）及びリセットトランジスタ259を同時にオンに完全に切り換えることにより、又は単にフォトダイオードをリセット状態フローティング拡散に接続することにより、フローティング拡散と共にリセットし得る。

【0065】

図11は、図10のプログレッシブ読み出しピクセル内の例示的なピクセルサイクルを示すタイミング図である。示されるように、ピクセルサイクルは、実行される別個の動作に対応する5つの間隔又はフェーズに分割され、最後の2つのフェーズでの最終的なプログレッシブ読み出しをもたらす。第1のフェーズ（フェーズ1）では、リセット動作が、TGr線、Tgc線、及びRG線上で論理ハイ信号を同時にアサートして、移動イネーブルトランジスタ253、移動ゲート251、及びリセットトランジスタ259をオンに切り換え、それにより、移動ゲート251、フローティング拡散262、及びリセットトランジスタ259を介してフォトダイオード260を供給レールに切り替え可能に結合することにより（示されるシーケンスは、無条件リセット（例えば、フレームの開始時に）で開始することができ、前の条件付き読み出し/リセット動作から開始することもできる）、フォトダイオード及びフローティング拡散内で実行される。リセット動作を行うために、TGr信号及びRG信号（すなわち、同様の名称の信号線に適用される信号）はローになり、それにより、移動ゲート251（及びリセットトランジスタ259）をオフに切り換え、それにより、フォトダイオードは、次の（フェーズ2）において、入射光に応答して電荷を蓄積（又は集積）できるようになる。最後に、図11に示されるリセット動作中、行選択信号はハイになるが、これは単に、所与の行アドレスが行固有動作に関連して復号化されるときは常に行選択信号をハイにする（例えば、所与の行に向けられたリセット中、TGr信号及びRG信号をハイにする）実施固有の行デコーダの結果にすぎない。代替の実施形態では、行デコーダは、図11において破線のRSパルスで示されるように、リセット中、行選択信号のアサートを抑制する論理を含み得る。

【0066】

集積フェーズの終わりに、フローティング拡散はリセットされ（すなわち、RG信号をパルスして、フローティング拡散を供給レールに結合することにより）、次に、列読み出し回路内のサンプルホールド要素によってサンプリングされる。リセット及びサンプル動作（図11においてフェーズ3として示される）は、実際には、フローティング拡散のノイズレベルをサンプリングし、リセット状態サンプルホールド信号（SHR）をパルスして、読み出し線Voutを介してフローティング拡散の状態を列読み出し回路内のサンプルホールド要素（例えば、スイッチアクセス容量要素）に伝達しながら、関心のあるピクセル行の行選択信号をアサートすることにより、示される実施形態において実行される。

【0067】

フェーズ3においてノイズサンプルを取得した後、閾値超え検出動作が、移動イネーブルトランジスタ253（すなわち、論理ハイTgc信号をアサートすることにより、しかし、この実施形態では、Tgcは既にオンである）をオンに切り換えるのと同時に、TGr線を部分オン「閾値超え検出」電位VTG_{partial}に上げることにより、フェーズ4において実行される。図12及び図13にグラフで示されるこの動作により、VTG_{partial}は移動ゲート251に適用され、移動ゲートを「部分オン」状態（「TG部分オン」）に切り換える。図12及び図13を参照すると、フォトダイオード260（この例では埋込みフォトダイオード）、移動ゲート251、及びフローティング拡散262の静電電位図は、対応する概略断面図の下に示される。なお、静電電位の図示のレベルは、実際又はシミュレートされる装置で生成されるレベルの正確な表現であることは意図

10

20

30

40

50

されず、むしろ、ピクセル読み出しフェーズの動作を示すための一般的な（又は概念的な）表現であることが意図される。VTG_{partial}を移動ゲート251に印加すると、比較的浅いチャネル電位271が、フォトダイオード260とフローティング拡散262との間に形成される。図12の例では、閾値超え検出動作（フェーズ4）時にフォトダイオード内に蓄積される電荷のレベルは、部分オン移動ゲートの浅いチャネル電位を介してフローティング拡散に溢れる（すなわち、移動する）ために必要な閾値レベルまで上がらない。したがって、蓄積電荷レベルは、移動ゲート251の制御ノードへのVTG_{partial}の印加によって確立される溢れ閾値を超えないため、フォトダイオードからフローティング拡散への溢れはなく、代わりに、蓄積電荷はフォトダイオード内でそのままである。これとは対照的に、図13の例では、より高いレベルの蓄積電荷は溢れ閾値を超え、したがって、蓄積電荷の一部（すなわち、移動ゲート部分オン静電電位を上回る電荷キャリアのサブセット）はフローティング拡散ノード262に溢れ、残留蓄積電荷は、272に示されるように、フォトダイオード内に残ったままである。

【0068】

図11、図12、及び図13をなお参照すると、閾値超え検出フェーズ4の終了前に、フローティング拡散の電荷レベルはサンプリングされ（すなわち、信号SHSのアサートにตอบสนองして）、信号状態サンプルホールド要素内に保持され、条件付きリセット閾値に関して評価される閾値テストサンプル - - 信号状態サンプルと、前に取得したりセット状態サンプルとの差 - - を生成する。一実施形態では、条件付きリセット閾値は、サンプリングノイズフロアの上であるが、浅い移動ゲートチャネルを介して極めて小さな電荷溢れの検出を可能にするのに十分に低く設定されるか、又は設定にプログラムされるアナログ閾値（例えば、比較/変換ストロブ信号のアサートにตอบสนองして、センスアンプにおいて閾値テストサンプルと比較される）である。代替的には、閾値テストサンプルは、比較/変換信号のアサートにตอบสนองしてデジタル化し得（例えば、最終化されたピクセルサンプル値の生成にも使用されるアナログ/デジタル変換器内）、次に、ここでも、ノイズフロアの上であるが、僅かな電荷溢れの検出を可能にするのに十分に低く設定（又は設定にプログラム）されるデジタル条件付きリセット閾値と比較し得る。何れの場合でも、閾値テストサンプルにより、検出可能な溢れが発生していない（すなわち、閾値サンプル値が条件付きリセット溢れ閾値未満である）ことが示される場合、フォトダイオードは、図12に示される閾値未満状態であると見なされ、TGC線は、次の条件付き読み出しフェーズ（フェーズ5、最後のフェーズ）でローに保持されて、プログレッシブ読み出し動作の残りの部分で移動ゲート251をディセーブルする - 実際には、フォトダイオードからのそれ以上の読み出しをディセーブルし、ひいては、少なくとも別のサンプリング間隔にわたり、妨げなくフォトダイオードが電荷を引き続き集積できるようにする。これとは対照的に、閾値テストサンプルが溢れ事象（すなわち、条件付きリセット/溢れ閾値よりも大きい閾値テストサンプル）を示す場合、条件付き読み出し位相中、TGC線は、完全オン「残り移動」電位VTG_{full}のTGr線への印加と同時にパルスされ、それにより、完全深度移動ゲートチャネル（273）を介してフォトダイオード260内の電荷の残り（すなわち、図13に示されるような電荷272）をフローティング拡散262に移動できるようにし、したがって、フェーズ4での閾値超え移動とフェーズ5での残りの移動との間で、フェーズ1でのハードリセット以来、フォトダイオード内に蓄積された電荷は完全にフローティング拡散に移動し、フローティング拡散において、ピクセル読み出し動作で検知し得る。示される実施形態では、ピクセル読み出し動作は、条件付き読み出しフェーズ5中、SHS信号及び比較/変換ストロブを順にパルスすることによって行われるが、それらのパルスの何れか一方又は両方は任意選択的に、閾値超えが検出されない場合、抑制し得る。なお、フォトダイオードの条件付き読み出し（すなわち、TGrへのVTG_{full}の印加と併せて、TGCをパルスすることによって行われる）は効果的に、フォトダイオードをリセットし（すなわち、全ての電荷をフローティング拡散に引き出す）、その間、条件付き読み出しの抑制により、フォトダイオードの集積状態は妨げられない状態を保つ。したがって、フェーズ5での条件付き読み出し動作の実行は、続くサ

10

20

30

40

50

ンプリング間隔（サブフレーム）での新しい集積の準備としてフォトダイオードを条件付きでリセットするか、又はフォトダイオードのリセットを控えて、続くサンプリング間隔での累積集積を可能にする。したがって、何れの場合でも、新しい集積フェーズがフェーズ5に続き、フェーズ2～5は、フレーム（又は露光）全体の各サブフレームに対して繰り返され、それから、新しいフレームでハードリセットを繰り返す。フレーム境界を超えての累積集積が許される他の実施形態では、ハードリセット動作を実行して、イメージセンサを初期化し、その後の中間時間期間を省き得る。

【0069】

図14は、イメージセンサ300の一実施形態を示し、イメージセンサ300は、プログレッシブ読み出しピクセルアレイ301と、シーケンシング論理303と、行デコーダ/ドライバ305と、列読み出し回路307とを有する。ピクセルアレイ301は、共有要素ピクセルの4行及び2列を含むものとして示されるが、他の実施形態は、はるかに多数の行及び列を含んで、例えば、マルチメガピクセル又はギガピクセルイメージセンサを実施し得る。列読み出し回路307（読み出し回路の2列が示される）及び行デコーダ/ドライバ305も同様に、ピクセルアレイ内のピクセル数に合うようにスケーリングし得る。

10

【0070】

示される実施形態では、ピクセルアレイの各列は、共有要素ピクセルで埋められ、共有要素ピクセルでは、4つ毎のピクセルがクワッドピクセルセル310を形成し、フォトダイオード260（PD1～PD4）、移動ゲート251、及び移動イネーブルトランジスタ253のそれぞれを含むが、フローティング拡散ノード312、リセットトランジスタ259、ソースフォロワ255、及び行選択トランジスタ257を共有する。この構成により、ピクセル毎の平均トランジスタカウントは2.75であり（すなわち、11トランジスタ/4ピクセル）、したがって、比較的効率的な2.75Tピクセルイメージセンサをもたらす。

20

【0071】

示されるように、行デコーダ/ドライバ305は、共有行選択信号（RS）及びリセットゲート信号（RG）をクワッドピクセルセル310の各行に出力し、独立行移動ゲート制御信号（TGr1～TGr4）を各移動イネーブルトランジスタ253のドレイン端子に出力する。行デコーダ/ドライバ305がアレイの行を通して増分的に順序付けられる（例えば、1行が順次読み出されるように、ピクセルアレイ301の行に関してリセット動作、集積動作、及びプログレッシブ読み出し動作をパイプライン化する）一実施形態では、行デコーダ/ドライバは、各行で適切な時間にRG信号、RS信号、及びTGr信号をアサートする（例えば、シーケンシング論理303からの行クロックに関してそれらの信号を合成する）論理を含み得る。代替的には、行デコーダ/ドライバ305は、RG信号、RS信号、及びTGr信号の各信号又は任意の信号に対応する個々のタイミング信号を受信し得、任意の個々のイネーブルパルス、適切な時間に選択された行の対応するRG線、RS線、又はTGr線上に多重化する。一実施形態では、行デコーダ/ドライバは、オンチップ又はオフチッププログラマブル電圧源309から、図11、図12、及び図13に示されるオフ状態、部分オン状態、及び完全オン状態に対応する移動ゲート制御電圧（すなわち、VTG_{off}、VTG_{partial}、VTG_{full}）を受信し、決定論的な時間に、例えば図11に示されるように、異なる制御電圧のそれぞれを所与の移動ゲート行線に切り換え可能に結合する。代替の実施形態では、2つ以上の電圧源309をイメージセンサ300内に提供して、移動ゲート制御電圧をローカルに較正し、ひいては、ピクセルアレイにわたる制御電圧及び/又は性能のばらつき（すなわち、非均一性）を補償することが可能になる。

30

40

【0072】

図14の実施形態をなお参照すると、列読み出し回路307は、読み出し回路315のバンクを含み、各読み出し回路315は、デジタル閾値コンパレータ及び比較的低いビット深度のアナログ/デジタル変換器（例えば、4～10ビットADCであるが、より低い

50

又はより高いビット深度のADCを利用することも可能)を実施して、図11~図13に関連して考察した閾値超え検出及び条件付きサンプリング動作をそれぞれ実行する。一実装形態では、閾値コンパレータ及びADCは、別個の回路によって実施され、したがって、ピクセルサンプル値は、閾値超え判断で適用される条件付きリセット閾値を無視して生成し得る。この手法を通して、条件付きリセット閾値は、ADC変換で使用される参照信号(「ADC Vref」)から切り離され、センサ動作中に動的に、又はセンサ動作前に、条件付きリセット閾値及びADC参照電圧を独立して自在に調整できるようにし(例えば、閾値参照生成器の再プログラミングを通して)、変化する動作状況又は最適未満イメージング結果での較正及び/又は補償を達成する。代替の実施形態では、閾値コンパレータは、ADCの一環として実施し得(例えば、条件付きリセット閾値として、デジタルサンプル値を解決することに関連して適用される参照を使用して)、よりコンパクトな回路設計を通して列読み出し論理のフットプリントを潜在的に低減する。

【0073】

示される実施形態では、シーケンシング論理は、列クロック、サンプルホールドストロープ(ADC/閾値コンパレータのフロントエンドでサンプルホールド要素内への信号記憶をイネーブルように適用されるSHR、SHS)、及び比較/変換ストロープを列読み出し論理に送り、例えば、図11に示される動作タイミングを可能にする。すなわち、閾値超え検出フェーズ(すなわち、フェーズ3)中、所与のピクセル列の読み出し回路は、Tgc線をアサートし(又はアサートを維持し)(例えば、シーケンシング論理303及び論理ORゲート316からのTgcEn信号のアサートにตอบสนองして)、したがって、行デコーダ/ドライバが、所与のピクセル行のTgr線を部分オン電位(例えば、ピクセル行の移動ゲートに印加されるVTG_{partial})に切り換える場合、上述した閾値超え検出動作の実行はイネーブルされる。したがって、各読み出し回路内の閾値コンパレータは、閾値テストサンプル(所与のフォトダイオードの移動ゲートへのVTG_{partial}の印加に続き、共有フローティング拡散312の状態に従って生成される)の状態を、条件付きリセット閾値に関して評価し、バイナリ閾値超え結果を生成する。閾値超え状況が検出される場合、読み出し回路は、短い時間後に再びTgc信号をハイにし(すなわち、完全オンTgr電位(VTG_{full})と併せて、条件付き読み出し動作を行い、フォトダイオード状態のVoutへの完全読み出しをイネーブルし、フォトダイオードをリセットする)、比較/変換ストロープのアサートにตอบสนองして、アナログ/デジタル変換動作を実行して、デジタル化ピクセルサンプルを生成する。

【0074】

読み出し回路

図15A~図15Cは、上述した例示的なプログレッシブ読み出しピクセルに関連して利用し得る代替の列読み出し回路実施形態を示す。図15Aは、例えば、サンプルホールドバンク351と、アナログ/デジタル変換器(ADC)353と、センスアンプ355と、ADCイネーブルゲート357とによって形成される列読み出し回路350を示す。サンプルホールド(S/H)バンク351は、スイッチ要素及びアナログ記憶要素(例えば、容量要素)を含み、選択されたピクセルのリセット状態及び信号状態(列「Vout」線を介して送られる)を、リセット状態制御信号及び信号状態制御信号のアサートにตอบสนองして、サンプリングして保持できるようにする。一実施形態では、ピクセルリセット状態信号及び信号状態信号は、S/Hバンク351から別様に出力され(例えば、信号状態-リセット状態)、したがって、センスアンプ355及びADC353が、可変(すなわち、ノイズの多い)リセットレベルよりも低いフローティング拡散の状態を反映する測定信号を受信できるようにする。示される実施形態では、センスアンプ355及びADC353は、閾値超え検出及びADC動作にそれぞれ適用される別個の参照信号(「SA参照」及び「ADC参照」)を受信する。より詳細には、比較ストロープ信号(「比較」)がパルスされる場合、閾値比較が、センスアンプ353内でトリガーされ、S/H信号出力(ひいてはノイズ補正ピクセル信号状態)がセンスアンプ参照信号(すなわち、上述したような溢れ閾値又は条件付きリセット閾値)を超えるか否かに従って、論理ハイ又はロー

10

20

30

40

50

比較結果を生成する。比較結果は、上述した条件付きリセット信号としてピクセル列にフイードバックされるとともに、論理ゲート357に供給されて、ADC353内のアナログ/デジタル変換動作を選択的にイネーブルする。すなわち、センスアンプ355が、閾値超え状況を通知する(この例では、論理「1」比較結果)場合、次の変換ストロープパルス(「変換」)がイネーブルされて、論理ANDゲート357を通過して(すなわち、高センスアンプ出力により)ADC353の変換イネーブル入力に到達し、それにより、ADC動作をトリガーする。一実施形態では、バッファ359が提供されて、結果として生成されるNビットADC値(例えば、幾つかの実施形態では8ビット~12ビット値であるが、全ての場合で、より高い又はより低い分解能も適用可能である)を記憶するとともに、センスアンプ355からの比較結果を記憶し、比較結果は有効性ビット「V」を形成し、このビットは、有効データ又は非有効データを含むものとしてバッファ359内のADC内容を見なす。したがって、検出可能な溢れが、読み出し中のピクセル内で発生しなかった場合、論理OR比較結果は、ADC動作を抑制する(電力節減)のみならず、読み出しバッファの内容を定量化もさせ、それにより、出力データストリームの比較を可能にする。この結果は、破線のADCデータ送信によって360でのタイミング波形で示される。ピクセル測値が溢れ閾値($V = 1$)を超える場合のみのADCデータの生成及び送信を示す。

10

【0075】

図15Bは、センスアンプを有さず、代わりに、ADC回路353を適用して、閾値比較及び必要な場合には、完全ピクセル読み出しに対応するADCデータの生成を実行する代替の読み出し回路実施形態365を示す。前と同様に、S/Hバンク351は、溢れ(部分読み出し)中及び完全読み出し動作中の信号状態とリセット状態との差を反映する測定信号を出力する。比較ストロープ(「比較」)は、アサートされる場合、論理ORゲート368を介してADCのイネーブル変換入力に適用され、部分読み出し動作中に取得される測定信号に関してADC動作をイネーブルする(すなわち、上述した選択ピクセルの移動ゲートへの $V_{TG_{partial}}$ の印加)。ADC出力がデジタル閾値(すなわち、マルチビットデジタル値又はデジタル数)を超える場合、コンパレータ367は、条件付きリセット閾値超え信号をアサートし(例えば、示される例では、論理「1」状態に)、それにより、次の変換ストロープパルス(「変換」)をイネーブルして、論理ANDゲート369(及び論理ORゲート368)に通して、今回は、完全読み出し動作中に取得される測定信号に関して、別のADC動作をトリガーする。図15Aの実施形態と同様に、条件付きリセット信号は、ピクセル列に再び駆動されて、対象ピクセル内での完全読み出し(及びピクセルリセット)をイネーブルするとともに、読み出しバッファ359にも出力されて、有効性ビットとして記憶され、そのバッファの対応するADCデータ内容を定量化する。図15Bの実施形態での(すなわち、370で示される)比較ストロープ波形、変換ストロープ波形、及び送信データ波形は、図15Aの波形と一致するものとして示されるが、幾らかより大きな遅延を比較ストロープパルスと変換ストロープパルスとの間に課して、S/H部分読み出し測定値をデジタル化するためにADC内で必要な追加の時間を説明し得る。両事例で、比較ストロープパルスと変換ストロープパルスとの間の間隔は、例えば、読み出しタイミング動作を上述したピクセル動作(例えば、図11に示されるように)と位置合わせするために、示される間隔と異なり得る。

20

30

40

【0076】

図15Cは、図15Bの読み出し回路実施形態の変形(375)を示す。一般に、読み出し動作のシーケンスは、図15Bを参照して考察したようなシーケンスであるが、部分読み出しADC出力は、読み出しバッファ377内でラッチされ、閾値未満(すなわち、条件付きリセットがなく、したがって、続く完全読み出しADC出力もない)の場合、デジタル化された部分読み出し測定値は、閾値超え状況が検出されたか否かを示す閾値超えビット(OT)と一緒にチップ外に送信される。部分読み出しADC出力が溢れ閾値を超える場合、完全読み出し測定値は、第2のADC動作においてデジタル化され、読み出しバッファ内に記憶され、部分読み出しADC値を上書きする。この動作により、部分読み

50

出し (OT = 0) 又は完全読み出し (OT = 1) を反映した有効ピクセル読み出し値は、溢れ閾値を超えるか否かに関係なく、外部宛先に送信され、したがって、部分読み出し値シーケンスを最後のピクセル値内に蓄積 (集積) させる。なお、OTビットの記憶及び送信は、特に、完全又は部分読み出し動作で取得が発生したか否かに関係なく、ADC測定が集計されるか、又は他の方法で結合される実施形態では、省くことができる。

【0077】

イメージデシメーション及びピクセルビニング

本明細書に記載される幾つかの条件付きリセットイメージセンサ実施形態は、最大イメージ解像度未満をもたらすデシメーションモードで動作可能である。例えば、一実施形態では、静止画像モードで8MP (8メガピクセル) 出力を生成可能なイメージセンサは、
10
デシメーション高精細 (HD) ビデオモードでは2MP出力、4:1デシメーション比をもたらす (より高い又はより低い解像度を各モードで適用することもでき、代替の実施形態では、他のデシメーションモード及び比を達成し得、また、静止フレーム及びビデオフレームのアスペクト比が異なる場合、センサの幾つかのエリアは、一方又は他方のモードで全く使用されないことがある)。

【0078】

事後デジタル化論理が、完全解像度データのデシメーションに提供し得る (例えば、ADCバンクの出力におけるオンチップ論理又はオフチップ処理論理) が、幾つかの実施形態では、サンプルホールド記憶要素内のピクセルアレイ及び/又は電圧ビニング内のピクセル電荷集計又は「ビニング」が適用されて、デジタル化前 (すなわち、ADC前、したがってアナログの) デシメーションを行い、ダイを消費するとともに、電力を消費するデジタルビニング論理をなくし、多くの場合、デシメーション出力での信号対雑音比の改善をもたらす。
20

【0079】

図16は、クワッドピクセル共有フローティング拡散イメージセンサアーキテクチャを示し、このアーキテクチャでは、上記実施形態で開示された行及び列移動ゲート制御線 (TGr及びTGc) は、アレイを横切る追加の制御線を必要とせずに、複数のデシメーションモードを可能にするように適用される。より詳細には、共有フローティング拡散401を4個のピクセル (それぞれ、各フォトダイオードPD1~PD4と、移動イネーブルトランジスタ403.1~403.4と、移動ゲート404.1~404.4とを含む)
30
間の中央に配置し、列移動ゲート制御線TGcを別個の奇数及び偶数列イネーブル線 (TGc1及びTGc2、それぞれ各論理OR列線ドライバ421、423に結合される) に分割することにより、デシメーションモードでピクセルの全て又は任意のサブセットを電荷ビニングするとともに、各ピクセルを非デシメーション (完全解像度) モード個々に動作させ読み出すことも可能になる。

【0080】

示される特定の実施形態では、共有フローティング拡散401 (描画を簡潔にするために、2つの相互接続された部分で示される) は、各移動ゲート404.1~404.4を通して4個のピクセルのフォトダイオードPD1~PD4に切り換え可能に結合され、各移動ゲートは、制御信号マトリックス内のTGr信号及びTGc信号の異なる対によって
40
制御される。すなわち、移動ゲート404.1は、制御信号TGr1/TGc1を介して移動イネーブルトランジスタ403.1によって制御され、移動ゲート404.2は、制御信号TGr2/TGc1を介して移動イネーブルトランジスタ403.2によって制御され、移動ゲート404.3は、制御信号TGr1/TGc2を介して移動イネーブルトランジスタ403.3によって制御され、移動ゲート404.4は、制御信号TGr2/TGc2を介して移動イネーブルトランジスタ403.4によって制御される。上述した共有要素ピクセル構成と同様に、共有フローティング拡散401は、共有ソースフォロワ405、行選択トランジスタ407、及びリセットトランジスタ409に結合され、したがって、よりコンパクトなクワッドピクセルレイアウトを可能にする。更に、図17の例示的な物理的レイアウト図に示されるように、4つの移動ゲート (「TG」) は、中央に
50

配置されたフローティング拡散 (FD) の隅に物理的に配置し得、移動イネーブルトランジスタ、リセットゲート、ソースフォロワ、及び行選択トランジスタは、クワッドピクセルレイアウトの周辺に形成され、したがって、マルチメガピクセルアレイにわたり行及び列次元で繰り返し得るかなりコンパクトなクワッドピクセルフットプリントをもたらす。

【0081】

図18A及び図18Bはカラーフィルタアレイ (CFA) パターンを示し、CFAパターンは、図16及び図17のクワッドピクセルアーキテクチャに関して利用し得、実際のデシメーションモードを決め得る。図18AのCFAパターンでは、例えば、フォトダイオードPD1及びPD4を含む緑色コーナピクセル (G) (すなわち、PD1及びPD4は緑色フィルタ要素の下に配置される) は、4:3電荷ビニングデシメーションモードでビニングし得、一方、白色、緑色、赤色、及び青色カラーフィルタを含む図18BのCFAパターンでは、各クワッドピクセル内の両対のコーナピクセル (すなわち、フォトダイオードPD1及びPD4ピクセル並びにフォトダイオードPD2及びPD3を含むピクセル) は、4:2デシメーションモードで電荷ビニングし得る。他のCFAパターン及び/又は白黒 (又はグレースケール) イメージングに関して、他の電荷ビニング構成を利用することも可能である。

【0082】

図19及び図20は、それぞれ図16に示される2x2クワッドピクセル構成を含むイメージセンサ内の完全解像度 (非ビニング) 及びビニングモードピクセル読み出し動作の例示的なフェーズを示すタイミング図を提示する。例を目的として、異なる読み出し利得構成が、各タイミング図内の部分読み出し動作 (閾値テスト) 及び完全読み出し動作中にとられ、別個の組のサンプルホールド要素が適用されて、それらの読み出し動作中にリセット状態サンプル及び信号状態サンプルを捕捉する。異なる利得構成回路及びそれらの利点の例について、図25A~図25C、図26、及び図27を参照して以下に説明する。

【0083】

まず、図19の完全解像度読み出しを参照すると、フェーズ1において、リセット動作が、奇数及び偶数移動ゲート列信号 (TGc1、TGc2) と一緒に、読み出し中の行 (TGr1) について420で示されるように移動ゲート行信号を完全にアサートし、それにより、選択行内の偶数列及び奇数列で完全読み出し電位を移動ゲートに印加し、対応するフォトダイオードから共有フローティング拡散への電荷移動を可能にする (すなわち、電荷集積への準備として、フォトダイオードを初期状態にリセットする) ことにより、実行される。TGr1信号をローにした後、リセットイネーブル信号 (RG) は、422においてパルスされて、リセットトランジスタをオンに切り換え、したがって、フローティング拡散をリセットする。集積フェーズ2中 (持続時間は一定の縮尺で示されていない)、電荷は、入力光の強度に従ってフォトダイオード内に集積/蓄積される。奇数列閾値テストフェーズ3a中、RG信号は、424において、2回目のパルスが行われて、フローティング拡散をリセットし、リセット状態サンプルホールド信号SHRs a及びSHRa dcは、426及び428においてパルスされ、その間、行選択線RSiはハイであり、フローティング拡散のリセット状態をセンサアンプ及びADCのそれぞれのサンプルホールド要素内でサンプリングできるようにする。フローティング拡散のリセット状態がサンプリングされた後、偶数列移動ゲート信号 (TGc2) はローになり (その間、TGc1はハイに維持される)、TGr1はVTG_{partial}に上げられて、奇数列ピクセルに関する閾値テスト読み出しをイネーブルする。430において、信号状態サンプルホールド信号SHSs aはハイになり、フローティング拡散状態のサンプル (すなわち、内部の任意の溢れ電荷) をセンサアンプのサンプルホールド要素内に捕捉できるようにし、432において、比較ストロブ信号 (「比較」) はパルスされて、読み出し回路のセンサアンプ構成要素が、フローティング拡散信号状態 (リセット状態未満) と条件付きリセット (溢れ) 閾値との比較結果を生成できるようにする。

【0084】

奇数列移動ゲート信号 (TGc1) は、奇数ピクセル条件付き読み出しフェーズ4aに

において、432でのフローティング拡散信号状態の捕捉に続き、且つ行移動ゲート信号を完全オン（ $V_{TG_{full}}$ ）電位に上げる前、ローになる。より詳細には、比較結果が閾値未満状況を示す場合、 TG_{c1} 線はローに保持され、一方、 TG_{ri} は $V_{TG_{full}}$ 電位に上げられ、それにより、完全ピクセル読み出しを抑制し、集積フェーズ2中のフォトダイオード内に電荷を集積させ、続く集積間隔中、妨げられないままであり、初期状態として機能する（すなわち、集積を続ける）。これとは対照的に、センスアンプ比較結果が閾値超え状況を示す（すなわち、集積フェーズ2中に蓄積される電荷が条件付きリセット閾値を超える）場合、 TG_{c1} 線は、 TG_{ri} への $V_{TG_{full}}$ 電位の印加と同時に、434において破線パルスで示されるようにハイになり、それにより、 $V_{TG_{full}}$ を奇数ピクセル移動ゲートに適用して、完全ピクセル読み出し動作をイネーブルする。その後程なくして、奇数ピクセル条件付き読み出しが終わる直前、信号状態サンプルホールド信号 SHS_{adc} はパルスされ（436に示されるように）、ADCの信号状態サンプルホールド要素内の奇数ピクセル読み出し信号のサンプルを捕捉する。438において、ADCサンプルホールド要素内の奇数ピクセル読み出し信号を捕捉した後、変換ストロブがパルスされて、リセット状態サンプルと、ADCサンプルホールド要素内で捕捉された信号状態サンプルとの差に関して、ADC動作をトリガーする。

10

【0085】

奇数ピクセル条件付き読み出し（すなわち、フェーズ4a）の終了時、行移動ゲート信号はローになり、それにより、次の偶数ピクセル閾値テストフェーズ3bにおいて、440での奇数ピクセル列移動ゲート信号 TG_{c1} のアサートが、奇数ピクセル移動ゲートをローに駆動し（フォトダイオードとフローティング拡散との分離を保证する）、したがって、奇数列ピクセル状態を妨げずに、442においてフローティング拡散をRGパルスによってリセットできるようにする。なおフェーズ3bにおいて、偶数列移動ゲート信号は、446において、448における SHR_{sa} パルスのアサートと同時にハイになり、フローティング拡散のリセット状態サンプルを取得する。奇数ピクセル閾値テストと同様に、行移動ゲート信号 TG_{ri} は、450において、部分オン電位（ $V_{TG_{partial}}$ ）に上げられ（その間、 TG_{c2} はハイのままである）、それにより、閾値超え状況がフォトダイオード内に存在する場合、偶数ピクセルフォトダイオードからフローティング拡散に電荷を溢れさせることができる。452において、 SHS_{sa} はパルスされて、偶数ピクセル信号状態をサンプリングし、比較ストロブは、454においてパルスされて、読み出しセンスアンプ内での偶数ピクセル閾値超え判断（フローティング拡散リセット状態未満の偶数ピクセル信号状態）をイネーブルする。奇数ピクセルと同様に、センスアンプからの比較結果が閾値超え状況を示す場合、偶数ピクセル列移動ゲート信号は、456において、完全オンレベル（ $V_{TG_{full}}$ ）への TG_{ri} 電位の上昇と同時にアサートされ、したがって、偶数ピクセル信号状態の完全読み出しをイネーブルし、その後、 SHS_{adc} 及び変換ストロブ信号のアサートが続き（それぞれ458及び460において）、偶数ピクセルADC結果を生成する。センスアンプからの比較結果が閾値未満状況を示す場合、456での TG_{c2} パルスは抑制されて、偶数ピクセルフォトダイオードの状態の妨げを回避し、したがって、集積を続けるために、フォトダイオード上の電荷をそのまま残す。

20

30

40

【0086】

なお図19を参照すると、データ移動フェーズ5において、偶数ピクセル及び奇数ピクセルの行i ADC値は順次、オンチップ又はオフチップイメージ処理宛先に送信される（例えば、オフチップイメージ処理宛先）。上述したように、所与のピクセルに関する閾値未満状況の場合、そのピクセルに関するアナログ/デジタル変換は抑制し得、且つ/又は出力データストリームからADC出力を省き得る。何れの場合でも、選択されたピクセル行に関するデータ送信は、例えば、行iピクセルに関する読み出し動作のフェーズと同時の行i-1データの送信により、示されるように後続行内のピクセル読み出し動作とパイプライン化し得る。

【0087】

50

図20のビニングモード読み出しタイミング図では、閾値テストフェーズ3の開始時に、ハードリセット及び集積動作(フェーズ1及び2)は、フローティング拡散リセットと同様に、図19を参照して上述したように実行される(すなわち、TGc1及びTGc2がハイである間、RGをアサートし、SHRs a及びSHRad c信号のアサートに 응답してリセット状態をサンプリングする)。その後、476において、TGc1のアサート及びTGc2のデアサートと同時に、TGr1を部分オン状態に駆動し、次に、478において、TGc2のアサート及びTGc1のデアサートと同時に、TGr2を部分オン状態に駆動することにより、部分読み出し動作がコーナーピクセル(すなわち、示される例では、フォトダイオードPD1及びPD4を含む)に関して順次実行される。この動作により、フォトダイオードPD1及びPD4からの任意の溢れ電荷は、フローティング拡散において集計され、したがって、480において、SHSsaがアサートされる場合、センスアンプサンプルホールド要素内に捕捉される。したがって、482での比較ストロブ信号のアサートにより、PD1及びPD4からの溢れ電荷の集計(フローティング拡散のリセット状態未満)と、条件付きリセット/条件付き読み出し閾値との比較が可能になる。比較結果が閾値超え状況を示す場合、TGc1及びTGc2は、484及び486において順次パルスされ(それぞれ対応する行線TGr1及びTGr2のそれぞれでのVTG_{full}電位のアサートと同時に)、コーナーフォトダイオード(PD1及びPD4)内に蓄積された電荷の残りをフローティング拡散に移動することができ、ピクセル集積結果を電荷ビニングし、次の電荷集積間隔への準備として各ピクセルをリセットする。したがって、488において、SHSad c信号がパルスされる場合、フローティング拡散内でビニング(又は集計)されたフォトダイオード電荷は、ADCの信号状態サンプルホールド要素内に捕捉され、したがって、変換ストロブが490においてパルスされる場合、コーナーピクセルからの結合電荷(フローティング拡散リセット状態未満)に関してADC動作を可能にする。行iの結果として生成されるデジタル化ピクセル値(すなわち、ADC出力)は、続くピクセル行対の読み出し中、オフチップ又はオンチップ処理論理に送信し得る。

10

20

30

40

50

【0088】

なお図20を参照すると、読み出しセンスアンプによって出力される比較結果が閾値未満状況を示す場合、484及び486に示されるTGc1信号及びTGc2信号のアサートは抑制されて、対象フォトダイオードの内容を妨げることが回避され、それにより、続くサブフレーム間隔中に集積を続けることができる。示されるタイミングシーケンスは、フォトダイオードPD1及びPD4を含むコーナーピクセル(すなわち、図16及び図18に示されるレイアウトでの北東隅及び南東隅)からのビニング結果出力を生成し、信号線TGc1及びTGc2への波形出力を交換して、フォトダイオードPD2及びPD3を含むコーナーピクセルからのビニング結果を生成し得る。更に、4つ全てのフォトダイオード内の集計(ビニング)電荷の読み出しは、フェーズ3での追加の部分読み出し動作を実行し(すなわち、TGr1、TGr2部分オンパルスを繰り返すが、列移動ゲート信号TGc1及びTGc2のアサート順を逆にして、フォトダイオードPD2及びPD3の部分読み出しを行う)、次に、閾値超え結果が検出される場合、フェーズ4で追加の完全読み出し動作を実行する(すなわち、TGr1及びTGr2完全オンパルスを繰り返すが、列移動ゲート信号TGc1及びTGc2のアサートシーケンスを逆にすることによって行い得る)。

【0089】

図21は、4×1クワッドピクセルブロック310及び500に示されるカラーフィルタアレイ(CFA)の集まりに関して実行し得る代替のビニング戦略を示す。示される実施形態では、各クワッドピクセルブロック310(CFAフラグメントに関して310.1~310.4に示される)は、一般に図14を参照して説明されるように実施され、図14及び図15A~図15Cを参照して説明される任意の読み出し技法に従って読み出し得る。示されるように、CFAフラグメント500(すなわち、CFAパターンを示すために十分なセンサ幅CFAの部分)は、各3×3ピクセルグループのコーナーピクセルで

の同様の色のフィルタ要素の集まりを含む。したがって、緑色フィルタ要素は陰影付きピクセル「G」上に配置され、青色フィルタ要素は斜線付きピクセル「B」上に配置され、赤色フィルタ要素はハッシュ付きピクセル「R」上に配置される。したがって、この構成では、同じクワッドピクセルブロックに配置される同様のフィルタリング済みピクセルの各対（すなわち、同色フィルタ要素R、G、又はBによってフィルタリングされた光を受ける）は、後述するように、共有フローティング拡散内での電荷ビニングを可能にする。更に、図22を参照すると、各列内のピクセル対と、同じ行線に結合される同様にフィルタリングされたピクセル対との間に列オフセットを固定するとともに（すなわち、示される例での2列の間隔に固定される）、ピクセルアレイ551の列読み出し点に切り換え要素（すなわち、サンプルホールド回路553内の切り換え要素561及び562）を提供することにより、サンプルホールド回路553内の2つの電荷ビニングピクセル対の結果を「電圧ビニング」し、したがって、SA/ADCブロック555のADC要素内でのデジタル化前に、各3×3ピクセルグループ内の4つのコーナーピクセルを結合（すなわち、集計、ビニング）することが可能になる。

10

20

30

40

50

【0090】

図23は、図21及び図22の4×1クワッドピクセルアーキテクチャ内のビニングモード読み出し動作の例示的なタイミング図を示す。示される例では、ピクセル行*i*及び*i*+2の行線はロックステップで動作して、所与のクワッドピクセルブロックの共有フローティング拡散内で2:1電荷ビニングを達成する。より詳細には、4×1クワッドピクセルブロックのピクセル行1及び3（又はそのようなクワッドピクセルブロックの行）の行信号は、一斉にアサートされ、その後、ピクセル行2及び4の行信号のロックステップアサートが続き、それから、4×1クワッドピクセルブロックの次の行の行信号のアサートに進む。サンプルホールドスイッチ要素内で、横断接続が確立され（例えば、図22に示されるように、サンプルホールドブロック553の561及び562において）、2:1電圧ビニングを達成し、したがって、全体的に4:1アナログ信号合算及び付随するイメージデシメーションを達成する。

【0091】

図23をより具体的に参照すると、行選択信号(RS)、リセットゲート信号(RG)、及び行移動ゲート信号(TGr1、TGr3、又は「TGr1,3」)は、ロックステップで動作して、ハードリセットフェーズ1中、選択されたピクセル行のフォトダイオード及び共有フローティング拡散をリセットし、集積フェーズ2中の電荷集積を可能にし、4つのピクセルの列インタリーブされた各集まり（すなわち、図21及び図22を参照して説明された3×3コーナーピクセル）内の電荷ビニングされ且つ電圧ビニングされた電荷蓄積結果が、閾値テストフェーズ3において、条件付きリセット閾値を超えるか否かを判断し、閾値超え状況が検出される場合、条件付き読み出しフェーズ4において、対象となるピクセルの集まり内の完全に電荷ビニングされ電圧ビニングされた蓄積電荷を条件付きで読み出してデジタル化し、それから、出力フェーズ5において、デジタル化されたピクセル値を下流の（オンチップ又はオフチップ）処理論理に送信する。フェーズを1つずつ検討すると、ハードリセットフェーズ1中、行移動ゲート信号TGr1及びTGr3はVTG_{full}にパルスされ（570に示されるように）、それと同時に、列移動ゲート信号TGCをハイにし、したがって、蓄積された電荷をフォトダイオードPD1及びPD3から共有フローティング拡散ノードに移動する。フォトダイオードからフローティング拡散への電荷の移動後、リセット信号RGは、572においてパルスされ、フェーズ2での次の電荷集積への準備として、フローティング拡散から電荷をクリアする。閾値テストフェーズ3の開始時、リセット信号が再びパルスされ（574）、フローティング拡散をリセットし、次に、信号SHRs_a及びSHRad_cは、576及び578においてパルスされ（RS_iがアサートされている間）、センスアンプ及びADCのサンプルホールド要素内のフローティング拡散のリセット状態のサンプルを捕捉する。580において、TGr1及びTGr3は部分オン移動電位VTG_{partial}に上げられて、閾値超え状況が対象ピクセルのフォトダイオードに存在する場合、共有フローティング拡散に電荷を

溢れさせることができる。次に、SHSsa信号が、582においてパルスされ、その間、横断相互接続スイッチ要素（例えば、トランジスタ）は、サンプルホールドバンク内で導通状態に切り換えられて、共有サンプルホールド要素内の関連する列（すなわち、示される実施形態では列j及び列j+2）内のフローティング拡散ノードの信号状態を捕捉し、次に、2つの電荷ビニング溢れサンプルを電圧ビニングする。閾値テストフェーズは、TGc信号をローにし、比較ストロープをアサート（584）して、センスアンプ内に閾値比較をトリガーし、4つの電荷/電圧ビニングピクセルからの集計溢れ電荷を条件付きリセット閾値と比較することによって行われる。比較結果が閾値超え状況を示す場合、VTGfullをTGr1及びTGr3線に印加する（したがって、対応するクワッドピクセルブロック内の共有フローティング拡散へのフォトダイオードPD1及びPD3の完全読み出しを可能にする）間、TGc信号は586においてパルスされ、次に、SHSadc信号は、588においてハイになり、ADCの信号状態サンプルホールド要素内のスイッチ相互接続ピクセル列のフローティング拡散ノードの信号状態を捕捉する（すなわち、電荷ビニングフローティング拡散内容を電圧ビニングする）。その後、変換ストロープは590においてパルスされ、サンプルホールド回路内に捕捉された電圧/電荷ビニング信号状態（もしあれば）に関してADC動作をトリガーし、その後、フェーズ5でのADC出力の送信が続く。上述したように、閾値テストフェーズ4において、閾値超え状況が検出されない場合、ADC動作及びデータ送信動作は抑制されて、電力を節減し、シグナリング帯域幅を低減し得る。

【0092】

図24は、イメージセンサ600のより詳細な実施形態を示し、イメージセンサ600は、図21～図23を参照して説明したデシメーション（ビニング）モードで動作可能な4×1クワッドピクセルブロック601のアレイを有する。図14の実施形態と同様に、行デコーダ/ドライバ605は、移動ゲート電圧（例えば、VTGpartial、VTGfull、及びVTGoff）をオンチップ又はオフチップ電圧源309から受信し、行アドレス値及び行クロック（行信号タイミングの制御に使用される）をシーケンシング論理603から受信し、それに応答して、行制御信号RG、RS、及びTGr1～TGr4を出力する。シーケンシング論理は更に、1組の読み出し制御信号を列読み出し回路607に出力し、1組の読み出し制御信号は、列クロック信号（列読み出し回路607とのセンスアンプ、ADC、メモリバッファ等内のタイミング動作のための複数のタイミング/制御信号で構成し得る）と、上述した比較ストロープ信号及び変換ストロープ信号と、列移動ゲートイネーブル信号（TGcEn）、SHR、及びSHS信号（センスアンプ及びADCサンプルホールド要素に別個の信号を含み得る）とを含む。シーケンシング論理は、デシメーションモード信号（「Dec Mode」）も列読み出し回路607及び行デコーダ/ドライバ605の両方に出力して、上述した電荷及び電圧ビニング動作をイネーブル/ディセーブルする。例えば、一実施形態では、デシメーションモード信号は、ピクセル行及び列が個々に動作して、完全解像度イメージ読み出しを可能にするビニングディセーブル状態と、行デコーダ/ドライバが行信号対（例えば、TGr1/TGr3、次にTGr2/TGr4）をロックステップでアサートして、共有フローティング拡散内で電荷ビニングを達成し、偶数及び奇数列対の列読み出し線（Vout）が横断して結合されて（例えば、図22に示されるように）、サンプルホールド要素内の電圧ビニングを可能にするビニングイネーブル状態とを含む少なくとも2つの可能な状態の1つ（例えば、プログラブル構成レジスタ604内のデシメーションモード設定に従って）で構成可能である。

【0093】

なお図24の実施形態を参照すると、列読み出し回路607は、センスアンプ617及びTGc論理ゲート619（一般に上述したように動作する）に加えて、1組の列エクリプス検出回路615を含み、1組の列エクリプス検出回路615はそれぞれ、サンプルホールドブロック609からピクセルリセット信号を受信するように結合され、フォトダイオード測定値（ビニングされているか、又は観世解像度であるかに関係なく）が飽和閾値

10

20

30

40

50

を超えるか否かを判断する回路を有する。所与のエクリプス検出器 6 1 5 (例えば、閾値コンパレータによって実施される)が飽和状況(すなわち、飽和閾値超え)を検出する場合、エクリプス検出器は、ADC回路 6 1 1の二次イネーブル入力においてエクリプス信号をハイにして、そこでのADC動作をディセーブルする。エクリプス信号がラインメモリ要素 6 2 1にも出力されて、ADC出力を定量化し、飽和状況が検出されなかった(したがって、ADC出力が無効であり、実際に、最大読み出し値で表すべきであることを示す)場合、論理「1」エクリプスビットとして内部に記録され、その他の場合、論理「0」エクリプスビットとして内部に記録される。この動作により、各ピクセル列に記録されるエクリプスビット及び閾値未満ビットは一緒になって、以下(「X」は無関係ステータスを示す)のように対応するADC出力を定量化するように機能する。

10

【0094】
【表1】

閾値未満	エクリプス	ADC値	解釈
0	0	無効	閾値未満:ADC出力は0であると仮定される
X	1	無効	飽和:ADC出力は全て「1」とであると仮定される
1	0	有効	飽和なしの閾値超え

表1

【0095】

なお図 2 4を参照すると、ピニングモードが、列対間(例えば、電圧ピニングされた偶数列と電圧ピニングされた奇数列との間)での電圧ピニングをイネーブルするように設定される場合、各ピニング列対での1列内のセンスアンプ及びADCをディセーブルして、電力を節減し得、送信されるデータストリームは、ピニングモードに従ってデシメーションされる。

20

【0096】

動的利得ピクセル読み出し

図 1 9及び図 2 0に関連して手短に述べたように、部分読み出し動作中及び完全読み出し動作中に異なる利得を適用し得る。すなわち、部分読み出し中の溢れ電荷は、非常に小さいことがある(すなわち、電荷集積レベルが条件付きリセット閾値をわずかに超える)ため、部分読み出し中、より高い利得を適用することが有利であり得る。これとは対照的に、完全読み出しは、最小電荷集積レベル~最大電荷集積レベルの範囲であり得、はるかに低い利得を適用して、これらの電荷レベルを最小及び最大ADC出力値に正規化し得る。したがって、本明細書での幾つかの実施形態(図 1 9~図 2 4を参照して上述した実施形態を含む)では、部分読み出し動作中及び完全読み出し動作中、異なる利得が列読み出し回路によって適用される。

30

【0097】

図 2 5 Aは、高利得部分読み出し及び略1利得完全読み出しをピクセル列内で行うために使用し得る利得選択可能(又はマルチ利得)読み出し回路の一実施形態を示す。より詳細には、示される実装形態では、マルチプレクサ 6 5 1及び6 5 3は、マルチプレクサ制御信号CS及びSFの状態に従って、共通ソースアンプ構成(利得=トランジスタM1の相互コンダクタンス*負荷抵抗 R_L 、式中、「*」は乗算を示す)又はソースフォロウ構成(1利得又は略1利得)の何れかを確立するために使用される。共通ソースアンプ構成では(CS=1、SF=0)、乗算器6 5 3は、負荷抵抗 R_L (6 5 5)を介して列線C o l 2を電圧供給レールV d dに結合し、一方、乗算器6 5 1は、列線C o l 1を接地に結合する。示されるように、C o l 2は、行選択トランジスタ6 8 3のドレイン端子に結合され、それにより、V o u t 1は、印加ゲート電圧(フローティング拡散電荷レベル)及びそのトランジスタの相互インダクタンスの関数である、トランジスタM1を通る電流の流れに従って変化する。より詳細には、図 2 5 B(共通ソース利得構成を示す)から理解することができるように、V o u t 1は、 $V_{dd} - I_{M1} * R_L$ によって与えられ、したがって、 V_{out1} / V_{FD} は概ね $g_m * R_L$ であり、ここで、 g_m はトランジスタM1の相互コンダクタンスを表す。したがって、M1及び/又は R_L を適宜サイジングする

40

50

ことにより、1よりもはるかに大きな共通ソース利得を達成し得、したがって、部分読み出し動作中にフローティング拡散に溢れ得る比較的小さなレベルの電荷への感度を増大させる。なお、リセットトランジスタ685はC o l 2線にも結合され、したがって、共通ソース利得構成である間、R G信号アサートに応答して、フローティング拡散をC SモードV o u tにプルアップ(すなわち、リセット)できるようにする。

【0098】

ソースフォロワ構成(S F = 1、C S = 0)では、乗算器653は、電流源657をC o l 2線に結合し、乗算器651は列線C o l 1をV d dに結合し、したがって、図25Cに示されるように、M1をソースフォロワアンプとして確立する(すなわち、M1ソースにおいて電圧を出力し、したがって、V o u t 2は、M1のゲートにおいて印加されるフローティング拡散電圧を辿る)。より詳細には、C o l 2線を通る略一定の電流を維持するために、一定電流源を維持するフィードバックループは、トランジスタM1内の任意のコンダクタンス電荷を相殺するために必要なように、V o u t 2に電位を上げる。したがって、M1内の略線形の相互コンダクタンスを仮定すると、電流源は、フローティング拡散電位の増減に略線形に対応してV o u t 2を上げ下げし、したがって、V o u t 2とV_{F D}との間で略一定の比例性を達成する。示される実施形態では、ソースフォロワ構成において、比例性の一定性は、1よりもわずかに低い(例えば、示される特定の例では0.85であるが、代替の実施形態又は他のプログラムされた構成では、1を含む他の比例性定数を達成し得る)。

10

【0099】

なお図25Aを参照すると、別個の組のサンプルホールド要素(例えば、容量要素及びスイッチ要素)669及び671は、V o u t 1及びV o u t 2にそれぞれ結合されて、部分読み出し動作及び完全読み出し動作中に適用される異なる利得構成に対応し、それに対応して、別個の組のリセット状態及び信号状態サンプルイネーブル信号が2つのサンプルホールド回路に適用される。示される例では、部分読み出しサンプルホールド回路669(すなわち、共通ソース利得構成において信号S R c s及びS S c sによって制御される)は、差動出力(すなわち、リセット状態サンプル未満の信号状態サンプル)をセンスアンプ回路675に提供し、一方、完全読み出しサンプルホールド回路671(ソースフォロワ利得構成において信号S R s f及びS S s fによって制御される)は、差動出力をA D C 677に提供する。センスアンプ及びA D Cの両方を有する全ての実施形態と同様に、センスアンプは省くことができ、A D Cは、図15B及び図15Cを参照して考察したように、部分及び完全読み出しの両動作中に適用し得る。そのようなA D Cのみの実装形態では、サンプルホールド回路669及び671の出力は、C S信号及びS F信号の状態に従ってA D C 677の入力に多重化し得る。C S信号及びS F信号が常に相補的な状態を有する実施形態では、代替的には、単一の信号を使用して、共通ソース利得構成とソースフォロワ利得構成とで切り換え得る。

20

30

【0100】

図26は、図25Aのマルチ利得構成内でハードリセット、集積、部分読み出し、及び(条件付き)完全読み出し動作中に共通ソース及びソースフォロワ利得構成の交互の適用を示す例示的なタイミング図を提示する。示されるように、共通ソースイネーブル信号(C S)は、ハードリセットR Gパルスと同時に686においてアサートされる(すなわち、電荷集積の準備としてアサートされる)と共に、688においてアサートされる(リセット状態サンプリングの準備としてのフローティング拡散リセット)。電荷集積間隔の少なくとも一部中、信号利得は全体的にディセーブルされて、電力を節減し得る(すなわち、示されるようにS F制御信号及びC S制御信号の両方をローにする)が、実際には、その間隔中、一方又は両方の利得モードを適用して、他のピクセル行での動作を可能にし得る。リセット状態サンプリング中、共通ソース及びソースフォロワ利得構成は、690及び692に示されるように順次イネーブルされ(すなわち、まずC Sをハイに保持し、その間、S Fをローにし、次に、その構成を逆にする)、共通ソース及びソースフォロワ利得構成のそれぞれである間、リセット状態サンプリング信号S R c s及びS R s fは、6

40

50

9 4 及び 6 9 6 においてパルスされて、2つの利得構成に提供される異なるサンプルホールド回路内のリセット状態サンプルを捕捉する。その後、6 9 8 において、CS はハイになり（SF はローになり）、部分読み出し動作中、共通ソース利得構成を適用し（7 0 0 において T G r を部分オン状態に上げ、一方、T G c をハイに保持し、S S c s 及び比較ストロープ信号のアサートで終わることによって実施される）、次に、7 0 2 において、SF はハイになり（且つ CS がローになり）、次の条件付き完全読み出し動作中、ソースフォロワ利得構成を適用する（T G c 信号の条件付きパルスと同時に、7 0 4 において T G r を完全読み出し電位に上げ、S S s f 及び変換ストロープ信号のアサートで終わることによって実施される）。

【0 1 0 1】

10

図 2 5 A ~ 図 2 5 C 及び図 2 6 を参照して説明されるマルチ利得アーキテクチャに反映して、他の利得構成又は利得構成の組合せを代替の実施形態において使用し得ることに留意されたい。例えば、図 2 7 に示されるように、マルチプレクサ 7 0 1 を介して異なるブルアップ抵抗（R L 1 及び R L 2 ）を c o l 2 線に結合し、その後、一般に図 2 6 を参照して説明されるように一方の利得又は他方の利得を選択する（すなわち、制御信号 CS 1 及び CS 2 の適宜アサートを通して）ことにより、2つの異なる共通ソース利得構成を実施し得る。別の実施形態では、プログラマブル利得アンプを c o l 2 線及び / 又は c o l 1 線に結合し、プログラムされた設定間で切り換えて、異なる部分読み出し利得及び完全読み出し利得を実施し得る。より一般的には、代替の実施形態において、部分読み出し動作中及び完全読み出し動作中に適用される利得の調整を可能にする任意の実施可能な構成又はアーキテクチャを利用し得る。

20

【0 1 0 2】

イメージセンサアーキテクチャ、システムアーキテクチャ

図 2 8 は、上部読み出し回路 7 3 2 . 1 と下部読み出し回路 7 3 2 . 2 との間に配置されるピクセルアレイ 7 3 1 を有するイメージセンサの一実施形態を示す。読み出し回路は、アレイ内のピクセル行の各半分に結合され、パラレル動作可能であり、それにより、ピクセルアレイの行を通して走査するために必要な時間を半分にする。一実施形態では、ピクセル行は、ピクセル行が存在するピクセルアレイの物理的な半分により、上部読み出し回路と下部読み出し回路との間に割り振られる。例えば、全ての上部ピクセル行（すなわち、物理的中点の上）は、上部読み出し回路に結合し得、全ての下部ピクセル行は、下部読み出し回路に結合し得、それにより、全体列線長を低減する（各 V o u t 及びリセットフィードバック（T G c ）線に関するキャパシタンス、ノイズ、所要駆動電力等を低減する）。他の実施形態では、上部及び下部読み出し回路へのピクセル行相互接続は、ピクセルアレイの行にわたってインタリーブし得、接続は、ピクセルブロックの各連続行の上部読み出し回路と下部読み出し回路との間で交互になる（例えば、ピクセルアレイ内の 4 つ毎の行は、図 2 1 に示される 4 × 1 クワッドピクセルブロックによって埋められるか、又はピクセルアレイ内の 2 つ毎の行は、図 1 6 及び図 1 7 に示される 2 × 2 クワッドピクセルブロックによって埋められるか、又はピクセルアレイ内の 1 つ置きに行は、専用 V o u t 相互接続を有するピクセルによって埋められる）。示される実施形態では、各読み出し回路（7 3 2 . 1 及び 7 3 2 . 2 ）は、サンプルホールドバンク 7 3 3 （例えば、上述したように列毎容量性記憶要素及び切り換え要素を含む）と、列毎センスアンプ回路（又はラッチ）及びリセットフィードバック論理を含むセンスアンプバンク 7 3 5 と、列毎 A D C バンク 7 3 7 と、デジタル線メモリ 7 3 9 とを含む。列毎 A D C を適用して、部分読み出しサンプルをデジタル化する実施形態では、センスアンプバンク 7 3 5 は省くことができ、列毎 A D C バンクは、リセットフィードバック信号（すなわち、条件付きリセット信号 T G c ）を生成するデジタルコンパレータを備え得る。また、センスホールドバンクは、図 2 2 を参照して説明した横断切り換え要素を含み、電圧ビニング動作をサポートし得る。より一般的には、上部及び下部読み出し回路の様々な回路ブロックは、様々なデシメーションモード及び読み出し選択肢をサポートするように、上述したように動作し、且つ / 又は構成し得る。特に示されていないが、上部及び下部デジタルラインメモリ 7 3 9 は

30

40

50

、例えば、ピクセルアレイの左又は右に配置される共有物理的出力ドライバ（PHY）に供給し得、デジタルラインメモリのそれぞれからパラレルにデータを受信するように結合し得る。代替的には、別個のPHYを2つのデジタルラインメモリに関して提供し得、PHYは、例えば、イメージセンサICの対向する縁部に配置される。更に、上部及び下部読み出し回路は、ピクセルアレイ731と同じ物理的ダイ上に実施し得る（例えば、ダイの周縁（ピクセルアレイを挟む）又はピクセルアレイの各半分間のダイの中心が、読み出し回路は代替的に、別のダイに配置してもよい（例えば、他のイメージング関連ダイを更に含み得る積層構成でピクセルアレイダイに結合される）。

【0103】

図29は、イメージセンサ801と、イメージプロセッサ803と、メモリ805と、ディスプレイ807とを有するイメージングシステム800の一実施形態を示す。イメージセンサ801は、本明細書に開示される任意の実施形態により時間的に過剰サンプリングされた条件付きリセットピクセルによって構成されるピクセルアレイ811を含むとともに、行論理815と、列論理817と、ラインメモリ819と、PHY821とを含む上述したピクセル制御及び読み出し回路も含む。イメージプロセッサ803（システムオンチップ等として実施し得る）は、1つ又は複数の相互接続バス又はリンク836を介して互いに結合されるイメージ信号プロセッサ（ISP）831及びアプリケーションプロセッサ833を含む。示されるように、ISP831は、PHY827（及びシグナリングリンク822、これは例えば、モバイル業界プロセッサインタフェース（「MIPI」バス）又は任意の他の実施可能なシグナリングインタフェースによって実施し得る）を介してピクセルアレイからイメージングデータを受信するように結合され、ISP及びアプリケーションプロセッサは、相互接続836を介してメモリ制御インタフェース835及びユーザインタフェースポート837に結合される。更に、後述するように、相互接続836は、サイドチャンネル838を介してISP831（すなわち、PHY827へのISPインタフェース）にも結合し得、それにより、イメージセンサをエミュレートするように、アプリケーションプロセッサはISPにデータを送ることができる。

【0104】

なお図29を参照すると、イメージシステム800は、イメージプロセッサ803のメモリ制御インタフェース835に結合された1つ又は複数のメモリ構成要素805を更に含む。示される例及び以下の考察では、メモリ構成要素は、イメージサブフレームデータのバッファとして、且つ/又は他の機能用のフレームバッファとして機能し得るダイナミックランダムアクセスメモリ（DRAM）を含むと仮定される。メモリ構成要素は、処理済みイメージの長期記憶用の1つ又は複数の不揮発性メモリを更に含み得る。

【0105】

ユーザインタフェースポート837はユーザディスプレイ807に結合され、ユーザディスプレイ807はそれ自体、フレームメモリ（又はフレームバッファ）を含み、ユーザに表示されるイメージ（例えば、静止イメージフレーム又はビデオフレーム）を記憶し得る。示されていないが、ユーザインタフェースポート837は、キーボード、タッチスクリーン、又はイメージセンサ801内のデシメーションモードの構成に使用し得る動作モード情報を含む情報を、ユーザ入力に対応するイメージプロセッサ803に提供することが可能な他のユーザ入力回路に結合することもできる。これもまた示されていないが、イメージプロセッサ803は、サイドバンドチャンネル又は他の制御インタフェースを通してイメージセンサ801に結合し得、それにより、動作モード、構成情報、動作トリガ命令（イメージ捕捉命令、構成プログラミング命令等を含む）等をイメージセンサに送信できるようにする。

【0106】

図30は、イメージ処理動作に関連して図29のイメージングシステム内で実行し得る例示的な動作シーケンスを示す。851において開始し、アプリケーションプロセッサは、メモリ制御インタフェース835、ひいてはメモリIC805に関してDMA（直接メモリアクセス）動作にISP831を構成する。この構成により、ISPは、イメージ

10

20

30

40

50

センサ 801 とメモリ IC 805 との間で DMA コントローラとして動作するようにイネーブルされ、サブフレームデータをイメージセンサ 801 から行毎に受信し (853 に示されるように)、サブフレームデータをメモリ IC に移動させる。したがって、イメージセンサ 801 内の時間的過剰サンプリングによって生成されるサブフレームデータは、実際には、ISP を通してメモリ IC (例えば、DRAM) に直接パイプ化され、メモリ IC において、アプリケーションプロセッサによってアクセスし得る。なお、示される実施形態では、サブフレームは、最後のサブフレームが受信され記憶されるまで、メモリに順次ロードされる (すなわち、フレーム毎の記憶ループであり、その最終的な終了は判断ブロック 855 において反映される)。このプロセスは、代替の実施形態では、メモリ IC 805 内の最後のサブフレームの記憶を省き、代わりに、最後のサブフレームデータをアプリケーションプロセッサ 833 に直接送ることによって最適化し得る。すなわち、857 に示されるように、アプリケーションプロセッサは、記憶されたサブフレームを検索して結合 (例えば、合算) して、統合 (集積) イメージフレームを生成し、それにより、最後のサブフレームをメモリに記憶し、次に、それを再び読み出す代わりに、最後のサブフレームは、アプリケーションプロセッサに直接送られ、サブフレームデータ統合の開始点として機能し得る。何れの場合でも、859 において、アプリケーションプロセッサは、イメージ処理モードで動作するように ISP 831 を構成し、861 において、イメージフレームデータ (すなわち、時間的に過剰サンプリングされたイメージセンサデータの統合) を ISP のイメージセンサインタフェースに (すなわち、チャンネル 838 を介して ISP のフロントエンドに) 出力し、それにより、ISP 831 の完全イメージフレームのイメージセンサ送達をエミュレートする。863 において、ISP は、アプリケーションプロセッサによって送られるイメージフレームを処理して、最終化されたイメージフレームを生成し、完成 (処理) されたイメージフレームを、例えば、DRAM 又は不揮発性メモリ (すなわち、1 つ又は両方のメモリ IC 805) に書き込み、且つ / 又はディスプレイ 807 内のフレームバッファに直接書き込み、イメージをシステムユーザに表示できるようにする。

【0107】

スプリットゲートアーキテクチャ

図 31 は、図 10 の条件付きリセット信号 250 の実施形態と、本明細書では「スプリットゲート」条件付きリセットピクセル又はスプリットゲートピクセルと呼ばれる改変ピクセルアーキテクチャ 870 の実施形態とを対比する。示される実施形態では、スプリットゲートピクセル 870 は、ピクセル 250 と同じフローティング拡散 262、リセットトランジスタ 259、ソースフォロワ 255、及び読み出し選択トランジスタ 257 と一緒に、フォトダイオード 260 を含むが、スプリット二重制御移動ゲート 871 を優先して移動イネーブルトランジスタ 253 及び単一制御移動ゲート 251 を省く。詳細図 880 を参照すると、二重制御移動ゲート (又は「二重ゲート」) は、光検出器 260 (PD) とフローティング拡散 262 (FD) との間の基板領域にわたり互いに隣接して配置される異なる (別個の) 行及び列移動ゲート要素 881 及び 883 を含む。行及び列移動ゲート要素 (881 及び 883) は、行及び列制御線にそれぞれ結合されて、行及び列制御信号 TGr 及び TGc を受信し、したがって、独立して (別個に) 制御される。更に詳細に後述するように、シリアル結合トランジスタ間 (ひいては隣接するゲート端子間) に通常は必要とされるソース/ドレインインプラントを省くことにより、行及び列移動ゲート要素は、TGr 及び TGc がデアサートされたとき、チャンネルを中断する (信号レベルにおいて、電荷移動を阻止する) 能力を維持しながら、TGr 及び TGc の両方がアサートされる場合、結果として生成されるオーバーラッピング静電場が連続強化チャンネル 885 を形成する (信号レベルにおいて、電荷移動を提供する) のに互いに十分に近くに配置し得る。したがって、ピクセル 250 での移動ゲート 251 と移動イネーブルトランジスタ 253 との結合動作によって実施される論理 AND 関数は、はるかにコンパクトな二重制御ゲート 871 内で達成し得、トランジスタによるピクセルフットプリント (すなわち、ダイ面積消費) 又はピクセル 250 に対するトランジスタの大部分を低減する。クワッド

10

20

30

40

50

ピクセルレイアウトの場合、例えば、二重ゲート構成は、二重ゲート実装に応じて、ピクセル当たりのトランジスタカウントを2.75T(すなわち、ピクセル250が利用される場合)から約1.75T~2Tに下げる。ピクセルフットプリントの低減に加えて、二重ゲート設計では、電荷集積(光蓄積)間隔中、負電位を1つ又は複数の移動ゲートに印加することができ、PDからFDへの漏出電流及び移動ゲート暗電流を低減し、この機能は、負のTGr電圧が移動イネーブルトランジスタ253内の基板ダイオードへのソース/ドレインを破壊的に順方向バイアスするおそれがあるため、実施形態250では容易には利用可能ではない。更に、Tgcがローになるときは常にピクセル250の移動ゲート251において生じるフローティング電位とは対照的に、行移動ゲート要素881及び列移動ゲート要素883は、信号駆動ソースに連続して結合され、したがって、ドライバ出力電圧に連続して駆動され(すなわち、フローティングせず)、ピクセル読み出し動作でのノイズを潜在的に低減する。

【0108】

図32は、図31のスプリットゲートピクセル内の例示的なピクセルサイクル(リセット/電荷集積/読み出し)を示すタイミング図である。上述した実施形態と同様に、ピクセルサイクルは、実行される別個の動作に対応する5つの間隔又はフェーズに分割され、最後の2つのフェーズでの最終的なプログレッシブ読み出しをもたらす(ピクセルは、フェーズ4をスキップする無条件読み出しシーケンスを提供することも可能である)。図32及び図31のスプリットゲートピクセル870の両方を参照すると、リセット動作は、フェーズ1において、TGr信号及びTgc信号を同時にハイにして、フォトダイオード260とフローティング拡散262との間に導通チャネルを確立する(すなわち、図31の885に示されるように)ことにより、フォトダイオード及びフローティング拡散内で実行され、それにより、フォトダイオード内の残留電荷又は蓄積電荷をフローティング拡散に移動できるようにすることにより、フォトダイオードをリセットする。電荷移動動作後(又は同時に)、リセットゲート信号(RG)がパルスされて、リセットトランジスタ259をオンに切り換え、したがって、フローティング拡散をV_{dd}又は他の供給電圧レベルに切り換え可能に結合することにより、フローティング拡散から電荷を出す/空にする。示される実施形態では、TGrは、フォトダイオードリセット動作に続き(例えば、Tgcの同時アサート直後又はリセットフェーズの終了時)、負電位に駆動され、それにより、光検出器とフローティング拡散との間に低漏出分離を確立し、TGr下の領域からの暗電流を低減する。また、行及び列制御信号はまとめて隣接する移動ゲート要素に適用されるため、Tgcは、移動ゲートでの望ましくないフローティングなしで、光検出器リセット動作に続き、次の集積フェーズ(フェーズ2)中、必要に応じてハイ又はローにし得る。したがって、Tgcは、ピクセルリセット後にローになり、次の集積フェーズ及びノイズサンプリングフェーズ(フェーズ2及び3)全体を通してローのまま維持されて示されるが、他のピクセル行でのリセット及び読み出し動作をサポートするために、それらのフェーズ中、ハイ状態とロー状態との間でトグルされる。

【0109】

フェーズ3内のノイズ又はリセットサンプリング動作、フェーズ4内の閾値超え検出、及びフェーズ5内の条件付き読み出し(又は条件付き移動)は一般に、図11を参照して考察したように実行されるが、Tgcは、部分移動動作及び条件付き移動動作中、TGrパルスと併せてのみハイに(すなわち、VTG_{partial}及びVTG_{full})する必要はある。示される実施形態では、クワッド電位TGrドライバが、行デコーダ/ドライバ内(例えば、図14の要素305内)に提供されて、集積フェーズ全体を通してTGrを負電位に維持し、次に、ノイズサンプリングフェーズの開始時、TGrを読み出し前電位(示される例では0ボルト)まで上げ、それからTGrをVTG_{partial}まで更に上げ、最後に、閾値超え検出及び条件付き読み出し動作のそれぞれでVTG_{full}まで上げられる。代替の実施形態では、3電位ドライバを使用して、VTG_{partial}又はVTG_{full}(すなわち、読み出し前電位なし)にパルスされるとき以外、TGrを負電位に維持し得る。

10

20

30

40

50

【0110】

図33は、図31のスプリットゲートピクセルの例示的な低光動作及び高光動作を示し、各事例での静電電位図の下に、光検出器（この例では、フォトダイオード260）、行及び列移動ゲート要素881及び883（すなわち、二重制御移動ゲートを形成する）、並びにフローティング拡散262の概略断面図を示す。前の例と同様に、静電電位の図示のレベルは、実際又はシミュレートされる装置で生成されるレベルの正確な表現であることは意図されず、むしろ、ピクセル読み出しフェーズの動作を示すための一般的な（又は概念的な）表現であることが意図される。低光例から始めると、比較的低いレベルの電荷が、集積フェーズ（フェーズ2）中、フォトダイオード内に蓄積され、したがって、閾値を超え検出フェーズ4中（すなわち、フェーズ3でのノイズサンプリング取得後）、T G c がアサートされ、T G r が部分オン電位（ $V_{T G \text{ p a r t i a l}}$ ）に上げられる場合、電荷レベルは、電荷レベルがフォトダイオード260とフローティング拡散262との間に形成される比較的浅いチャンネルを介して移動するには不十分である。蓄積電荷レベルは、T G r 線へのゲート要素結合に印加される $V_{T G \text{ p a r t i a l}}$ によって確立される溢れ閾値を超えないため、フォトダイオードからフローティング拡散への溢れはなく、代わりに、蓄積電荷はそのままフォトダイオード内に残る。閾値を超えフェーズ中、溢れは検出されないため、条件付き移動（条件付き読み出し）フェーズ5中、T G c はデアサートされる。幾らかの電荷は、T G r アサート中、行ゲート下のウェルに移動するが、T G r がデアサートされる時、その電荷はフォトダイオードウェルに戻り、したがって、続く集積間隔での更なる電荷蓄積のために、フォトダイオード内の電荷レベルを開始点に維持する。これとは対照的に、高光例では、閾値を超え検出フェーズ4中、より高いレベルの蓄積電荷が溢れ閾値を超え、それにより、蓄積電荷の一部（すなわち、移動ゲート部分オン静電電位を上回る電荷キャリアのサブセット）はフローティング拡散ノード262に溢れ、残留蓄積電荷は、918に示されるように、フォトダイオード内に残ったままである。したがって、閾値を超えフェーズ5中、T G r は、T G c のアサートと同時に $V_{T G \text{ f u l l}}$ 電位に上げられ、したがって、二重ゲート構造体によって形成される茶園ルを通して完全導通路を確立して、蓄積電荷全体をフォトダイオード260からフローティング拡散262に移動する。

10

20

【0111】

図34は、図31のスプリットゲートピクセル内の代替の閾値を超え検出動作を示す。示されるように、T G r 線を部分電位（すなわち、 $V_{T G \text{ p a r t i a l}}$ ）に駆動する代わりに、部分（すなわち、幅低減）T G r パルス920が、T G c パルス（これも部分パルス幅を有し得る）と併せて適用され、したがって、光検出器とフローティング拡散との間での電荷移動に利用できる時間を制限する。一実施形態では、例えば、部分パルス920は、二重制御移動ゲートに印加される電圧によって定義される閾値を超える全ての電荷の移動に必要な時間よりも短い時間定数を有する短持続時間パルスであり、したがって、その電荷の全てを移動するのに十分に長い完全幅パルスとは対照的に、部分的にのみ電荷を移動する。したがって、光検出器 - 拡散電荷移動の時間定数及び閾値下特性に起因して、光検出器内の閾値未満電荷集積は、部分パルス間隔中に電荷移動を殆ど又は全く生じさせず、一方、閾値を超え電荷集積は、実際に、完全パルス間隔中の $V_{T G \text{ p a r t i a l}}$ の印加と同様に、検出可能な電荷移動を生じさせる。パルス幅制御は、特にノイズの多い（例えば、切り換えノイズがT G r 線に結合し得る）環境において、又はプログラマブル閾値トリミング若しくは較正が必要であり得る環境において、再現性及び/又は閾値精度に関して、優れた性能を提供し得る（すなわち、電圧レベル制御と比較して）。特にT G c 信号が光検出器に最も近いゲート要素の制御に使用される場合、921に示されるように、部分読み出し制御は代替（又は追加）的に、パルス幅制御されるか、それとも電圧レベル制御されるかに関係なく、T G c 線に適用し得る。また、パルス幅制御及び電圧制御は、例えば、低減された電圧を有する部分パルスをT G c 線又はT G r 線に駆動することにより、結合し得る。更に、条件付き読み出し動作中（及び/又はリセット動作中）にT G r 線及び/又はT G c 線に適用される完全パルスは、922に示されるように、部分パルス

30

40

50

のバーストで置換し得、したがって、適用される各パルスに均一な（部分）共にを確立する。一実施形態では、条件付き読み出しフェーズ5中の完全パルス幅は、約200ナノ秒（ nS ）～1000 nS であり、一方、部分パルス幅は約2 nS ～200 nS であるが、代替の実施形態では、他の部分パルス幅及び/又は完全パルス幅を適用し得る。スプリットゲート実施形態で動作可能なものとして示されるが、同様の部分パルス方法は、例えば、図14又は図16の実施形態の動作にも適用可能である。

【0112】

図35は、図31に示される二重制御ゲート871の例示的な実装形態を示す。示される実装形態では、2つの別個のポリシリコン特徴925及び927が、フォトダイオード260とフローティング拡散262との間の基板領域にわたって互いのすぐ近傍に形成され、分離距離（「 d_{sep} 」）は、ドレイン-ソース結合トランジスタのポリシリコン線に指定される最小ポリ間距離よりも短い、2つのポリシリコン特徴間の電気絶縁を保證するのに十分に長い（すなわち、特徴が互いに短絡するのを回避するのに十分な隔たり）。一製造技法では、2つのポリシリコン特徴は別個に形成されて、最小リソグラフィ特徴サイズ未満の距離 d_{sep} を可能にする。代替の実施形態では、単一のポリシリコン特徴が形成され、次に、エッチングされるか、又は他の方法で2つの別個のポリシリコン特徴にスプリット/分割される（例えば、 d_{sep} は、最小リソグラフィ特徴サイズ以下に設定される）。示される実装形態では、側壁スペーサ929、931は各ポリシリコン線に関して形成され、スペーサ構造体は、933に示されるように、分離領域マージン内に形成され（すなわち、狭い d_{sep} 寸法に起因して）、それにより、ソース/ドレインインプラント構造体を形成するための後続するドーブは、分離領域内にブロックされ、したがって、そのようなキャリア捕捉構造体が、フォトダイオード260とフローティング拡散262との間の本来なら連続した基板領域内に形成されるのを回避し、上述した二重ゲート制御をもたらす。ポリシリコン特徴925（ポリ1）は、TGrに結合されたゲート要素として示され、ポリシリコン特徴927（ポリ1'）はTgcに結合されたゲート要素として示され、その相互接続構成は、代替の実施形態では逆にし得る。

【0113】

図36は、図31に示される二重制御ゲート871を実施する代替の方法を示す。この実施形態では、第1のポリシリコン特徴941が形成され（例えば、リソグラフィプリント及びエッチング）、絶縁材料945の層で覆われ、次に、第2のポリシリコン特徴943が第1の層上に形成される。第2のポリシリコン特徴（図示せず）の一部はエッチングされて除去され、分離領域（すなわち、「 d_{sep} 」で記される領域）に残る（絶縁）材料945を除去せずに、初期ポリシリコン特徴941への金属層接点を露出させ可能にする。この動作により、 d_{sep} は任意に小さくし得（すなわち、分離領域内の絶縁材料の完全性、ひいては2つのポリシリコン特徴間の電気絶縁を維持しながら、可能な限り小さく）、二重制御ゲートの全体フットプリントは、単一制御ゲートと同様である。他の実施形態では、フォトダイオード260とフローティング拡散262との間に二重ゲート構造体を形成するために、様々な代替及び/又は補足的製造技法を利用し得る。

【0114】

図37は、クワッドピクセル共有フローティング拡散イメージセンサアーキテクチャを示し、このアーキテクチャでは、行及び列移動ゲート制御線対（TGr1/TGr2及びTgc1/Tgc2）は、上述したように、4つのスプリットゲートピクセルのそれぞれ内の二重ゲート構造体（957.1～957.4）に結合される。より詳細には、共有フローティング拡散955を4つのピクセル（それぞれ、共有リセットゲートトランジスタ409、ソースフォロワ405、及び読み出し選択トランジスタ407と一緒に、フォトダイオードPD1～PD4のそれぞれ1つ及び二重制御移動ゲート957.1～957.4の1つも含む）の中央に配置し、列移動ゲート制御線Tgcを別個の奇数及び偶数列イネーブル線に分ける（それぞれ、各列線ドライバに結合されるTgc1及びTgc2）ことにより、高度にコンパクトなピクセルレイアウトを達成し得る。図38及び図39は、各二重制御ゲート構造体を介して中央に配置されたフローティング拡散（「FD」）の周

囲に切り替え可能に結合される4つのフォトダイオードを示す、図37のクワッドピクセルの例示的な物理的レイアウトを示す。図38の実施形態では、行線(TGr1、TGr2)は、フォトダイオードに最も近い各ゲート要素961に結合され、列線は、フローティング拡散に最も近いゲート要素962(すなわち、集合的に二重ゲートを形成するゲート要素961及び962)に結合され、一方、その相互接続順は、図39の実施形態では逆になり、行線は、フローティング拡散に最も近いゲート要素972に結合され、列線は、フォトダイオードの最も近いゲート要素971に結合される。両レイアウトで、各行線は、単一の金属-ポリ接触を介して同じ行内のフォトダイオード(例えば、示される例ではPD1/PD3又はPD2/PD4)のゲート要素に結合し得、各列線も同様に、単一の接点を介して同じ列内のフォトダイオード(例えば、PD1/PD2又はPD3/PD4)のゲート要素に結合し得、したがって、クワッドピクセル毎の信号線毎に2つの相互接続を必要とする実装形態と比較して、接点面積を半分にする。また、図38及び図39の両方の実施形態では、共有リセットゲートトランジスタ、読み出し選択トランジスタ、及びソースフォロワトランジスタは、図38の964、965、及び966並びに図39の974、975、及び976に示されるように、フォトダイオードセルの周辺に配置される(各トランジスタは、拡散領域上のポリシリコン線として示され、相互接続線を省略して、図面の他の特徴を曖昧にするのを回避する)。両レイアウトにおいて、トランジスタは、示される位置/ロケーション以外の位置/ロケーションに配置し得る。例えば、3つ全ての共有トランジスタは、所与のピクセルの同じ縁部に配置し得るか、又はトランジスタの全て、1つ、又は複数は、フォトダイオードの行間又は列間のクワッドピクセルの中央領域に配置し得る。また、統合拡散領域が示されるが、拡散領域は、代替的には、2つ以上の相互接続拡散領域に分割し得る。示される構造体では、クワッドグループを有するピクセルの個々の且つ選択的な電荷ビニング読み出しが可能である。

【0115】

図40及び図41は、専用行移動ゲート(TGr)線を有さない代替の実施形態によるスプリットゲートピクセルアーキテクチャ及び対応するタイミング図を示す。より詳細には、読み出し選択及び行移動ゲート制御機能は、示されるように、行ゲート要素881及び読み出し選択トランジスタ257に結合される単一の読み出し選択(又は行選択)信号内に併合され、したがって、ピクセル行当たりの行信号線の本数を3本から2本に低減する(列移動ゲート要素883及び残りの共有トランジスタ(255、259)は、上述したように接続される)。この行線低減は、前面照射実装形態において特に有利であり得、その理由は、33%の行金属低減により、ピクセルアレイの全体の曲線因子が増大するためである。背面照明実施形態であってさえも、行線低減は、セル当たりの信号線相互接続を簡易化し得、必要な金属層の本数を低減し得るか、又は他の方法で製造の複雑性及びコストを低減し得る。なお、前面又は背面照射は、本明細書に開示される任意の実施形態に関して利用し得る。

【0116】

図41を参照すると、リセット動作、集積動作、ノイズサンプリング動作、閾値超え検出動作、及び条件付き読み出し動作は、一般に図32を参照して説明されたように実行されるが、行移動ゲート要素981は、読み出し選択信号(RS)のアサート及びデアサートを通して導通状態と非導通状態とに切り換えられ、閾値超え及び条件付き読み出し動作は、列制御線(TGc)での部分電位(及び/又はパルス幅)及び完全電位(及び/又は完全パルスシーケンス)のアサートによって管理される。したがって、フォトダイオードリセットは、読み出し選択信号のアサートと同時にTGcをアサートすることによって実施され、閾値超え検出は、読み出し選択信号のアサートと同時に、TGcをVTG_{par}tial電位に上げる(及び/又は幅低減TGcパルスを適用する)ことによって実行され、条件付き読み出しは、示されるように、TGcをVTG_{full}電位に条件付きで(選択的に)上げることによって実行される。図40の実施形態では、行ゲート要素981はフローティング拡散の最も近くに配置され、列ゲート要素983はフォトダイオードの最も近くに配置される。代替の実施形態では、この配置は逆にし得る。

【 0 1 1 7 】

図 4 2 A は、代替の二重制御ゲート構成を示し、この構成では、二重制御ゲートのゲート要素は、移動ゲートダイオード 9 8 7 の p ドープ領域及び n ドープ領域のそれぞれによって形成される。ドープは、低濃度又は真性ドープされたポリシリコンを堆積させ、ピンインプラント及び F D インプラントを使用して、T G の P D 側及び F D 側をそれぞれドープすることによって達成される。代替の方法を利用することも可能である。この構造体を用いる場合、T G r 信号は、第 1 の接点（図示せず）を介してダイオード 9 8 7 の p 型側に接続され、T G c 信号は、別個の第 2 の接点（これも図示せず）を介してダイオード 9 8 7 の n 型側に接続される。2 つのゲート制御信号の電気絶縁は、ダイオード分離によって達成され、2 つの物理的に別個のポリシリコン構造体を必要としない。その結果、二重制御ゲートはより小さい。

10

【 0 1 1 8 】

図 4 2 B は、別の代替の二重制御ゲート構成を示し、この構成では、二重制御移動ゲート 9 9 0 のゲート要素は、共有 n ドープ領域 9 9 1 を有する背向ダイオードの各 p ドープ領域によって形成される。ドープは、低濃度又は真性ドープポリシリコンを堆積させ、ピンインプリント、F D インプラント、及び / 又は特定の移動ゲートドープインプラントを使用して、二重制御移動ゲートの P D 側、F D 側、及び中央 n 型領域（9 9 1）をドープすることによって達成される。本明細書に開示される全ての実施形態と同様に、代替の製造法を利用することも可能である。この構造体を使用する場合、T G r 信号は、別個の接点（図示せず）を介して P D に隣接するダイオードの p 型側に接続され、T G c 信号は、別個の接点（図示せず）を介して F D に隣接するダイオード 9 9 0 の p 型側に接続される。2 つのゲート制御信号の電気絶縁は、ダイオード分離（介在する n 型領域 9 9 1）により達成され、2 つの物理的に別個のポリシリコン構造体を必要としない。

20

【 0 1 1 9 】

図 4 3 は、例えば、図 2 1 を参照して上述したようなピニング又は独立ピクセルモードで動作し得るスプリットピクセル（クワッド、スプリットピクセルブロック）の 4 × 1 ブロックを示す。示されるように、上部及び下部ピクセル対のそれぞれのフローティング拡散領域 F D_{1 2} 及び F D_{3 4} は、導体 9 9 2 を介して相互接続され（又は代替的には、単一のフローティング拡散領域によって形成される）、したがって、例えば、フォトダイオード P D 1 及び P D 3 又はフォトダイオード P D 2 及び P D 4 の状態を併せて読み出せるようにする（すなわち、同時読み出し又は 1 つとして）。4 × 1 ピクセルブロック内の各フォトダイオードは、二重制御ゲートを介してフローティング拡散ノードに切り替え可能に結合され、行ゲート要素 9 9 3 は 4 本の行線のそれぞれ 1 つ（すなわち、フォトダイオード P D 1 ~ P D 4 それぞれの T G r 1 ~ T G r 4）に結合され、列ゲート要素 9 9 4 はブロック毎の列線に結合される。示される実装形態では、共有列線接点が、所与のフローティング拡散に隣接する 2 つの列ゲート要素のそれぞれに結合され、したがって、必要な列線相互接続数を半分にする。共有トランジスタ 9 9 5、9 9 6、及び 9 9 7（すなわち、リセットゲートトランジスタ、ソースフォロワトランジスタ、及び読み出し選択トランジスタ）は、フォトダイオード P D 1 ~ P D 4 間の領域に配置されるが、それらのトランジスタの任意又は全てのトランジスタは、他の位置に配置することも可能である。また、行線は、フォトダイオードに最も近い二重制御ゲート要素に結合されるが、列線は、フローティング拡散に最も近いゲート要素に結合され、代替の実装形態では、その構成は逆にし得る。

30

40

【 0 1 2 0 】

1 つ又は複数のコンピュータ可読媒体を介してコンピュータシステム内で受信される場合、上述した回路のそのようなデータ及び / 又は命令ベースの表現は、ネットリスト生成プログラム、配置配線プログラム等を含むが、これらに限定されない 1 つ又は複数の他のコンピュータプログラムの実行と併せて、コンピュータシステム内の処理エンティティ（例えば、1 つ又は複数のプロセッサ）によって処理して、そのような回路の物理的な発現の表現又はイメージを生成することができる。その後、そのような表現又はイメージは、

50

例えば、デバイス製造プロセスにおいて回路の様々な構成要素の形成に使用される1つ又は複数のマスクの生成を可能にすることにより、デバイス製造に使用することができる。

【0121】

上記説明及び添付図面では、特定の用語及び図面シンボルが、開示される実施形態の完全な理解を提供するために記載されている。場合によっては、用語及びシンボルは、それらの実施形態の実施に必要な特定の詳細を暗示し得る。例えば、任意の特定数のビット、信号路幅、シグナリング又は動作周波数、構成要素回路又はデバイス等は、代替の実施形態では、上述したものと異なることができる。更に、集積回路デバイス又は内部回路要素又はブロック間のリンク又は他の相互接続は、バスとして、又は単一信号線として示すことができる。各バスは代替的には、単一信号線であることができ、各単一信号線は代替的には、バスであることができる。しかし、示されるか、又は記載される信号及びシグナリングリンクは、シングルエンド又は差動であることができる。信号駆動回路は、信号駆動回路が信号駆動回路と信号受信回路との間に結合される信号線上で信号をアサート（又は明示的に述べられるか、若しくは文脈により示される場合、デアサート）する場合、信号を信号受信回路に「出力」と言える。「結合される」という用語は、本明細書では、直接接続及び1つ又は複数の介在する回路又は構造体を通しての接続を表現するために使用される。集積回路デバイスの「プログラミング」は、限定ではなく例として、ホスト命令に応答して、又はワнтаムプログラミング動作を通して（例えば、デバイス製造中に構成回路内のヒューズを飛ばす）、集積回路デバイス内のレジスタ又は他の記憶回路に制御値をロードする（ひいては、デバイスの動作態様を制御し、且つ/又はデバイス構成を確立する）こと、及び/又はデバイスの1つ又は複数の選択されたピン又は他の接点構造体を参照電圧線（ストラッピングとも呼ばれる）に接続して、特定のデバイス構成又はデバイスの動作態様を確立することを含むことができる。「光」という用語は、放射に適用するために使用される場合、可視光に限定されず、センサ機能の説明に使用される場合、特定のピクセル構築（任意の対応するフィルタを含む）が感度を有する1つ又は複数の波長帯に適用されることが意図される。「例示的」及び「実施形態」という用語は、優先又は要件ではなく、例を表すために使用される。また、「し得る」及び「できる」という用語は同義で使用されて、任意選択的な（許容される）主題を示す。何れの用語もないことは、所与の特徴又は技法が必要とされることを意味するものとして解釈されるべきではない。

10

20

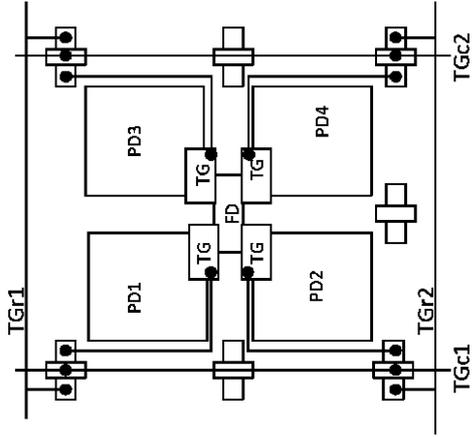
30

【0122】

上記詳細な説明でのセクションの見出しは、参照の便宜のみのために提供されており、本明細書に提示される実施形態の対応するセクション又は任意の実施形態の範囲又は広がりを決して定義、限定、解釈、又は記述するために提供されているものではない。また、本開示のより広い趣旨及び範囲から逸脱せずに、本明細書に提示される実施形態に対する様々な変形形態及び変更形態をなすことができる。例えば、任意の実施形態の特徴又は態様は、少なくとも実施可能な場合、任意の他の実施形態と組み合わせ、又は対応する特徴若しくは態様の代わりに適用することが可能である。したがって、本明細書及び図面は、限定の意味ではなく例示の意味で見なされるべきである。

【 図 17 】

FIG. 17



【 図 18 A 】

G	R
B	G

FIG. 18A

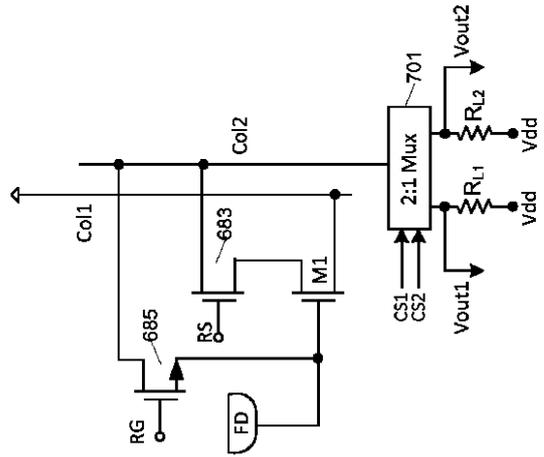
【 図 18 B 】

W	G	W	R
G	W	R	W
W	B	W	G
B	W	G	W

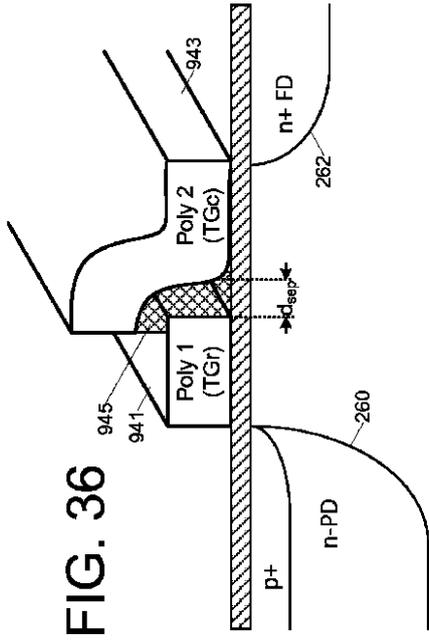
FIG. 18B

【 図 27 】

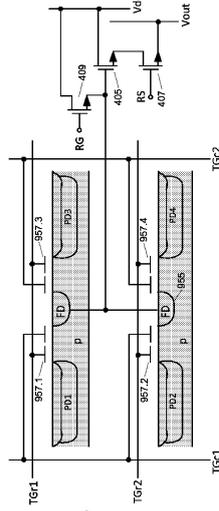
FIG. 27



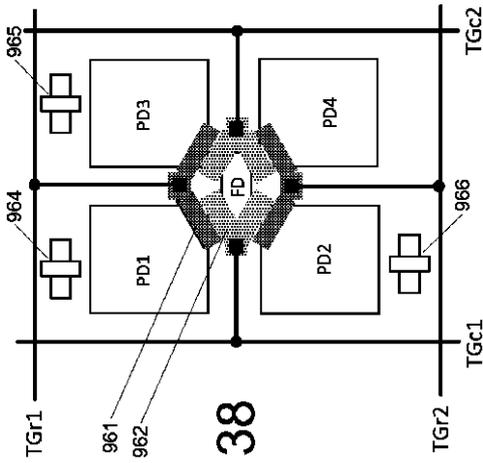
【 36 】



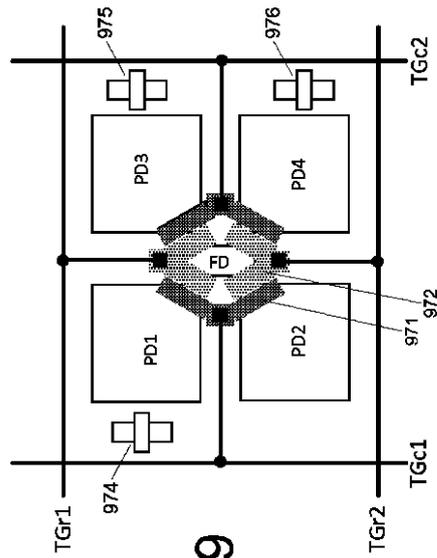
【 37 】



【 38 】



【 39 】



【 図 4 2 A 】

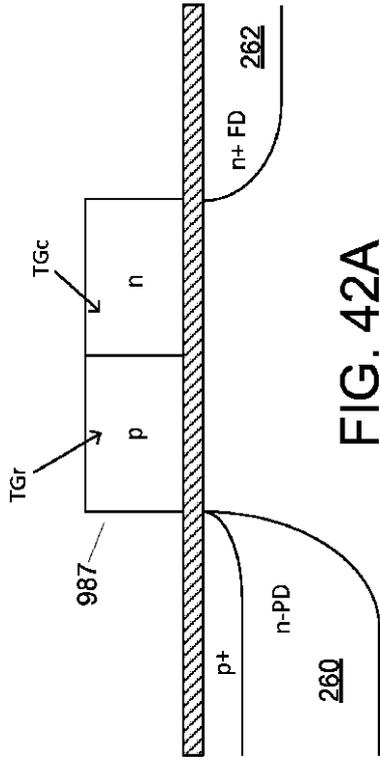


FIG. 42A

【 図 4 2 B 】

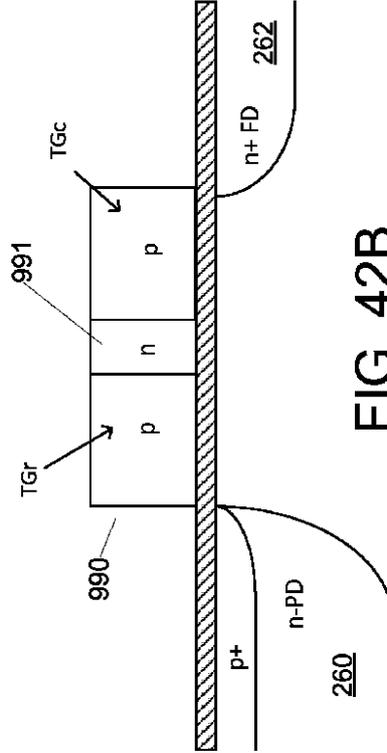


FIG. 42B

【 図 4 3 】

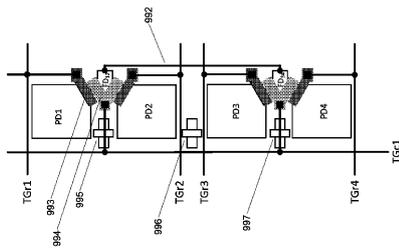
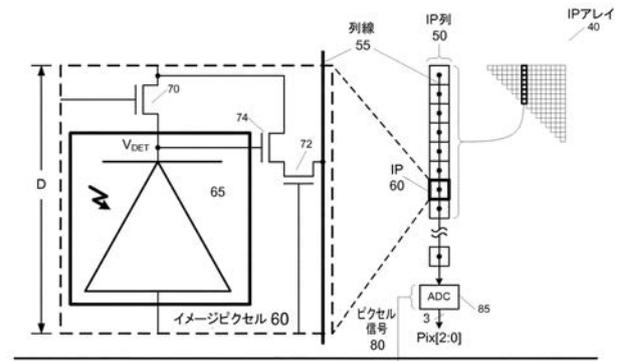
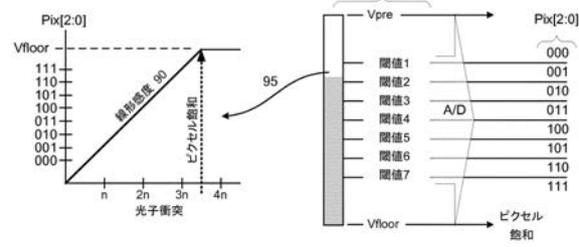
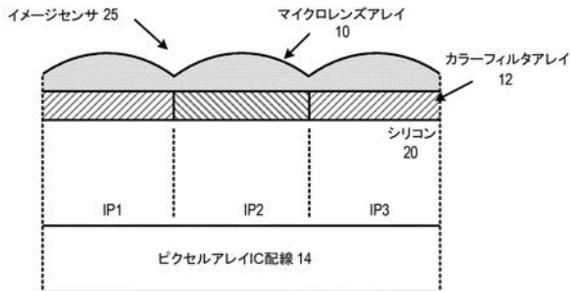


FIG. 43

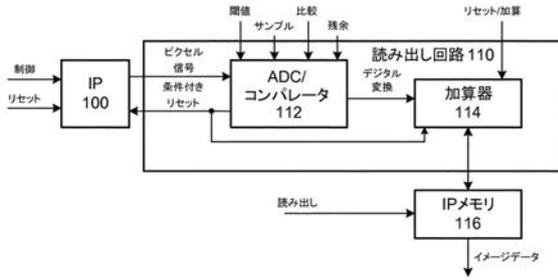
【 図 2 】



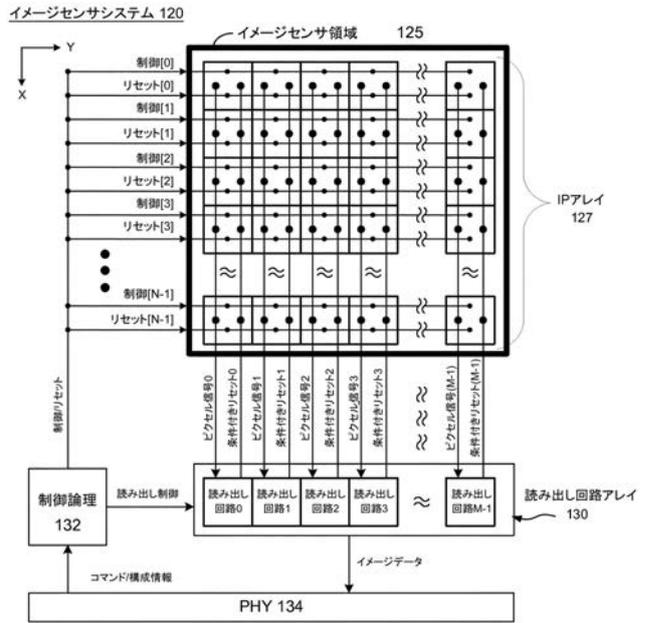
【 図 1 】



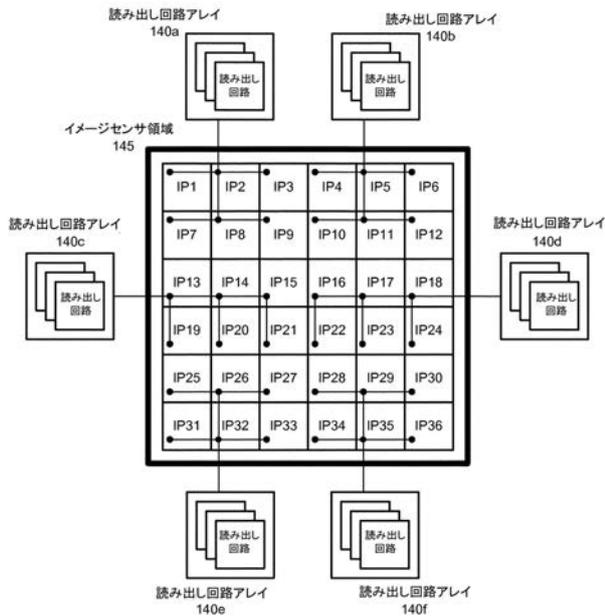
【 図 3 】



【 図 4 】



【 図 5 】



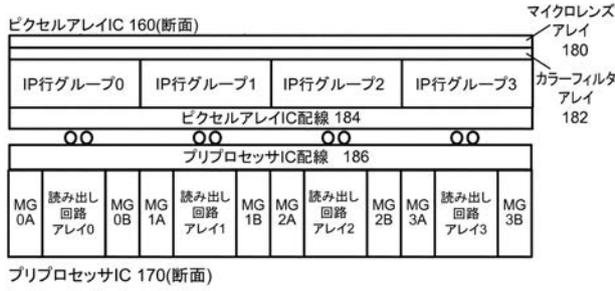
【 図 6 a 】



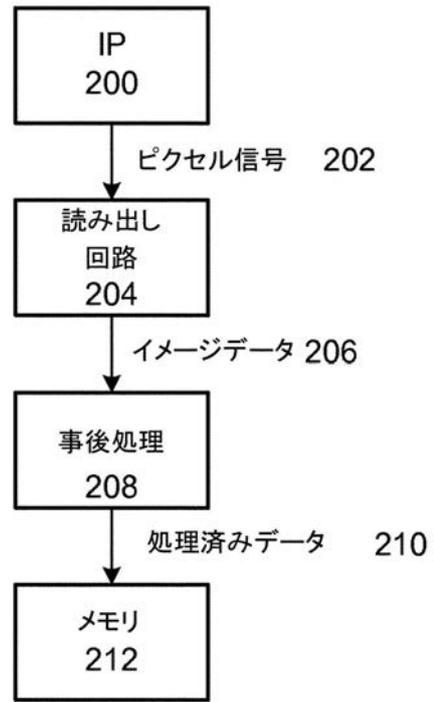
【 図 6 b 】



【図 6 c】



【図 8】

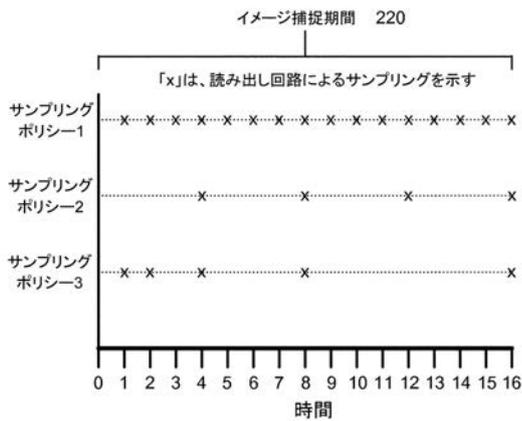


【図 7】

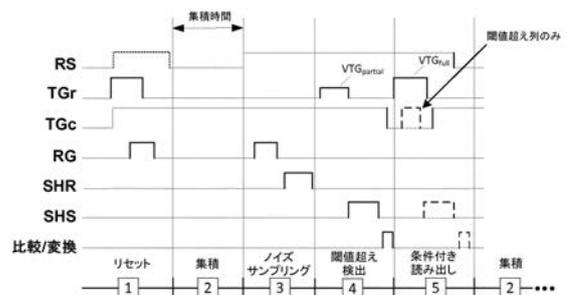
制御	サンプリング 間隔	光子 (検出-蓄積)	閾値を 満たすか?	ADC値	メモリ要素
露光開始、 閾値=20	0	N/A	N/A	X X X X X X	X X X X X X X X X X
1	4-4	n	0 0 1 0 0	0 0 0 0 0 0 0 0 0 0	
2	7-11	n	0 1 0 1 1	0 0 0 0 0 0 0 0 0 0	
3	2-13	n	0 1 1 0 1	0 0 0 0 0 0 0 0 0 0	
4	11-24	y	1 1 0 0 0	0 0 0 0 0 1 1 0 0 0	
5	14-14	n	0 1 1 1 0	0 0 0 0 0 1 1 0 0 0	
6	8-22	y	1 0 1 1 0	0 0 0 0 1 0 1 1 1 0	
7	4-4	n	0 0 1 0 0	0 0 0 1 0 1 0 1 1 0	
8	0-4	n	0 0 1 0 0	0 0 0 1 0 1 0 1 1 0	
9	6-10	n	0 1 0 1 0	0 0 0 1 0 1 0 1 1 0	
10	13-23	y	1 0 1 1 1	0 0 1 0 0 0 0 1 0 1	
11	1-1	n	0 0 0 0 1	0 0 1 0 0 0 0 1 0 1	
12	2-3	n	0 0 0 1 1	0 0 1 0 0 0 0 1 0 1	
13	12-15	n	0 1 1 1 1	0 0 1 0 0 0 0 1 0 1	
14	13-28	y	1 1 1 0 0	0 0 1 1 0 0 0 0 1 1	
15	26-26	y	1 1 0 1 0	0 0 1 1 1 1 0 0 1 1	
リセット、 残余	16	19-19	n	1 0 0 1 1	1 0 0 0 1 1 1 1 0 0

残余 190 イメージデータ 195

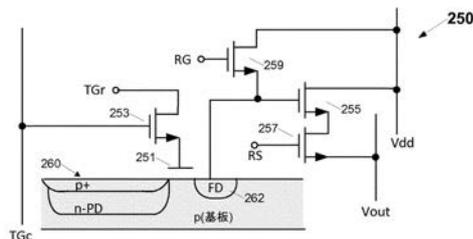
【図 9】



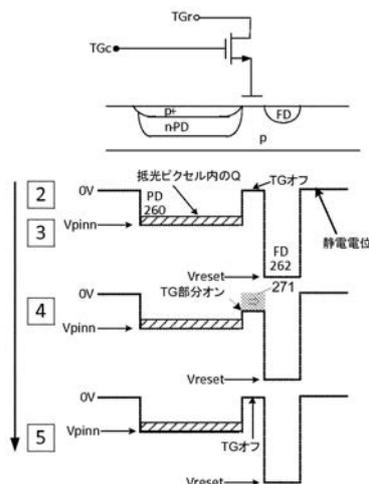
【図 1 1】



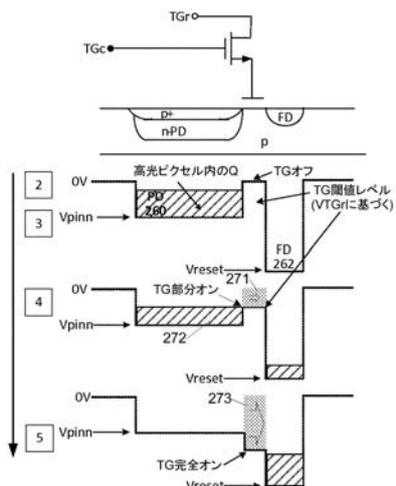
【図 1 0】



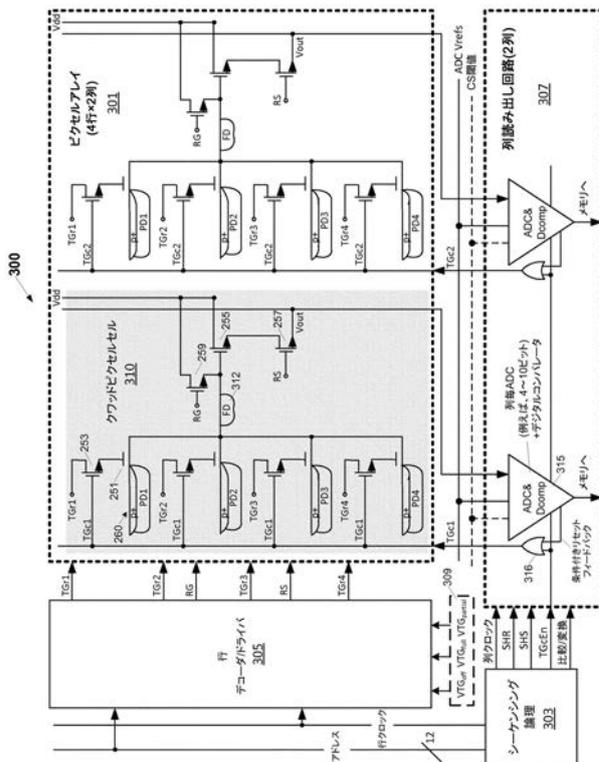
【図 1 2】



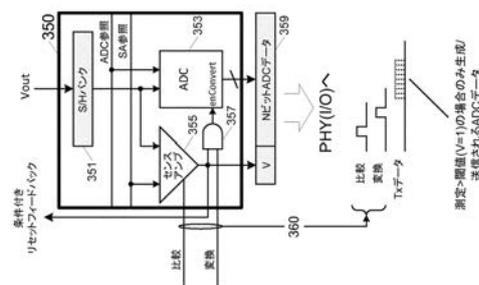
【図 1 3】



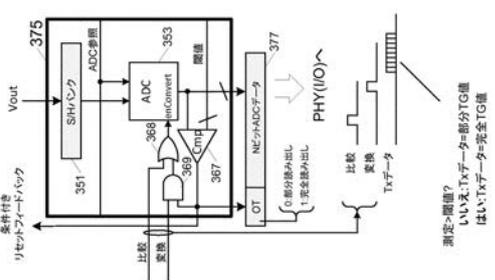
【図 1 4】



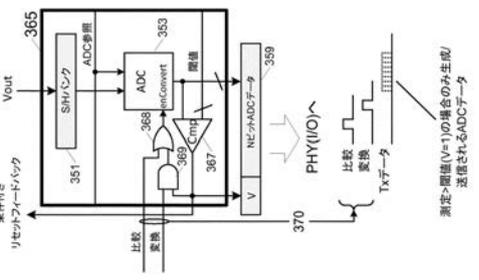
【図 1 5 A】



【図 1 5 C】



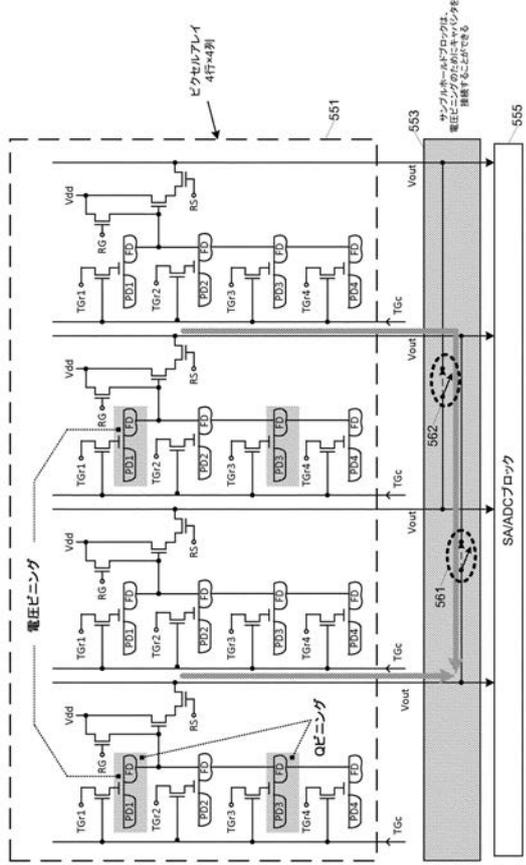
【図 1 5 B】



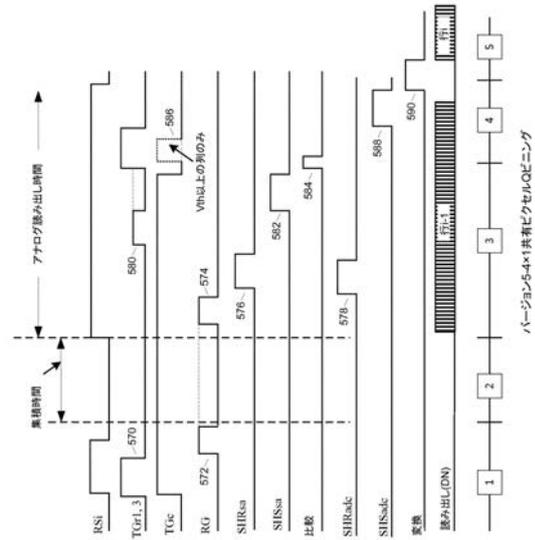
測定=閾値(V=1)の場合のみ生成/送信されるADCデータ

測定=閾値? いいえ、Txデータ=部分TG値
はい、Txデータ=完全TG値

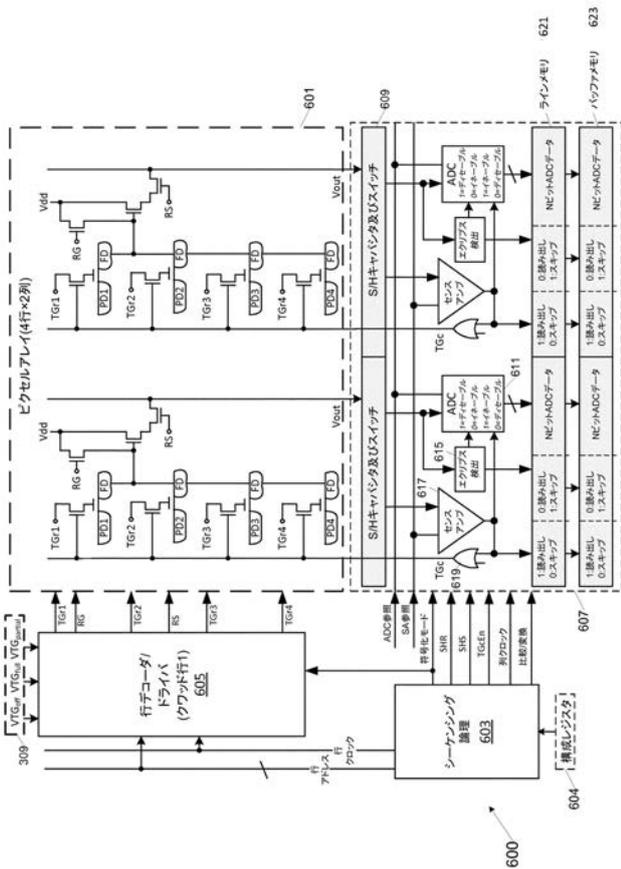
【図 2 2】



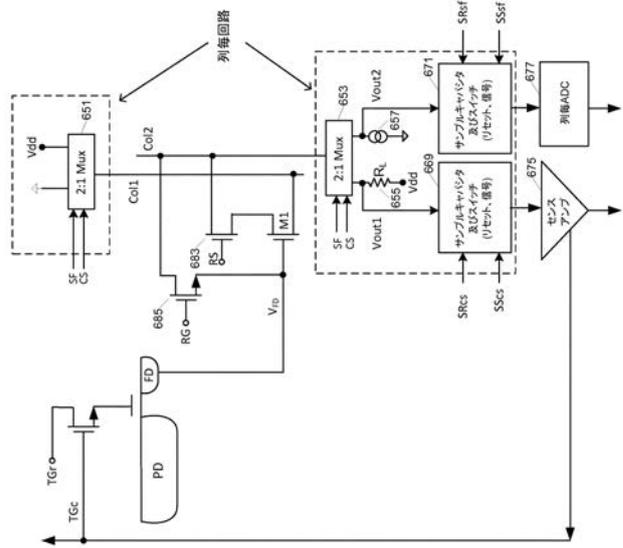
【図 2 3】



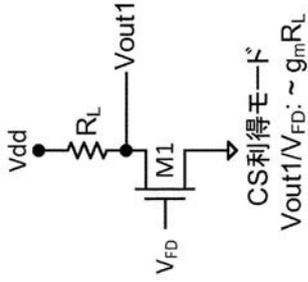
【図 2 4】



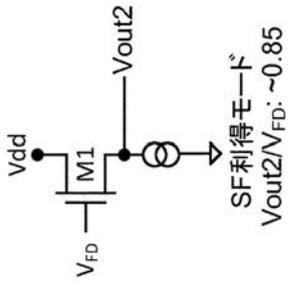
【図 2 5 A】



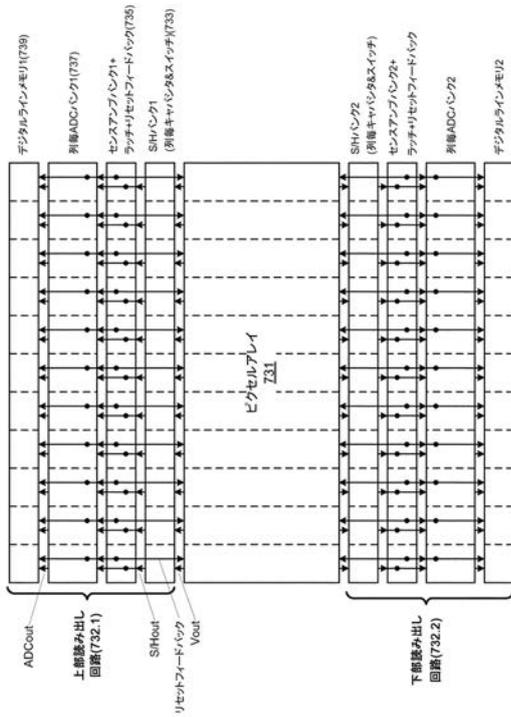
【 図 2 5 B 】



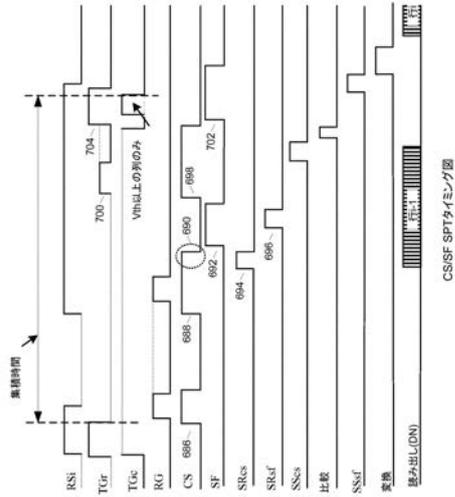
【 図 2 5 C 】



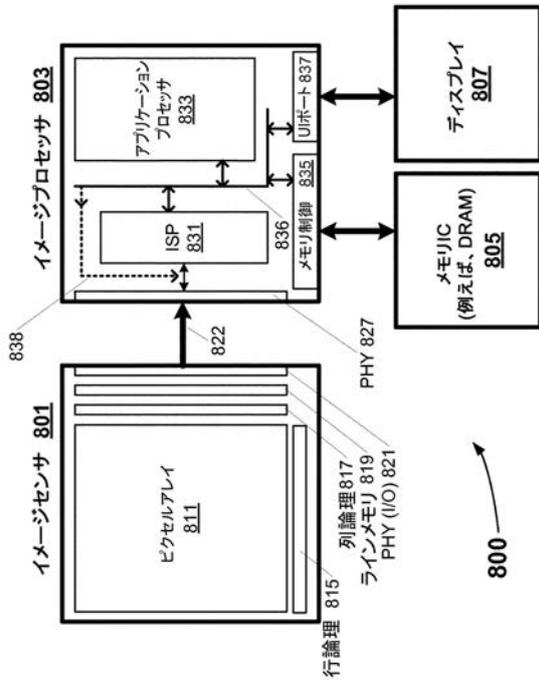
【 図 2 8 】



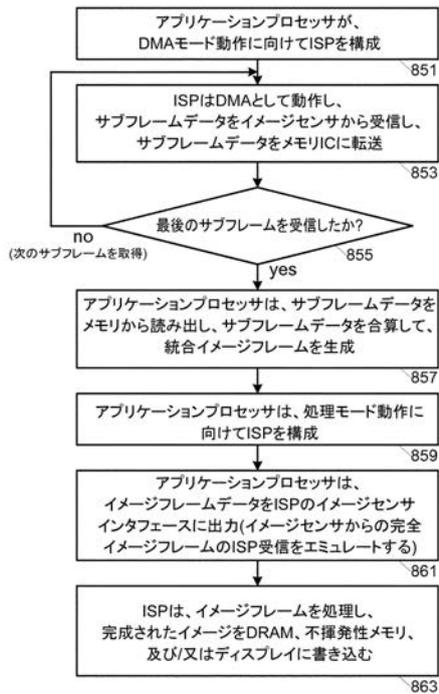
【 図 2 6 】



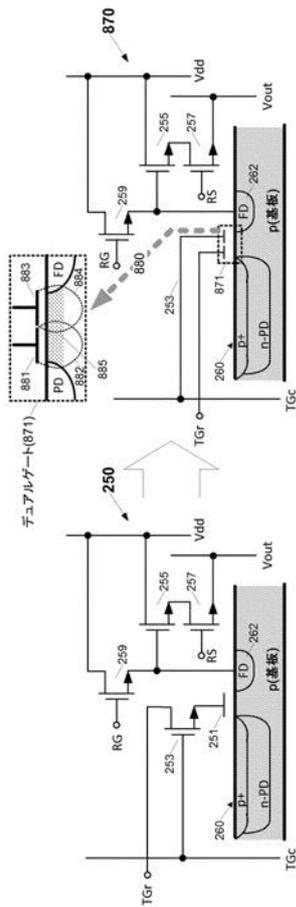
【 図 2 9 】



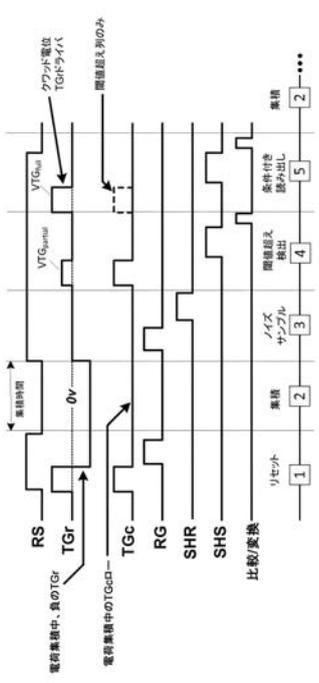
【図30】



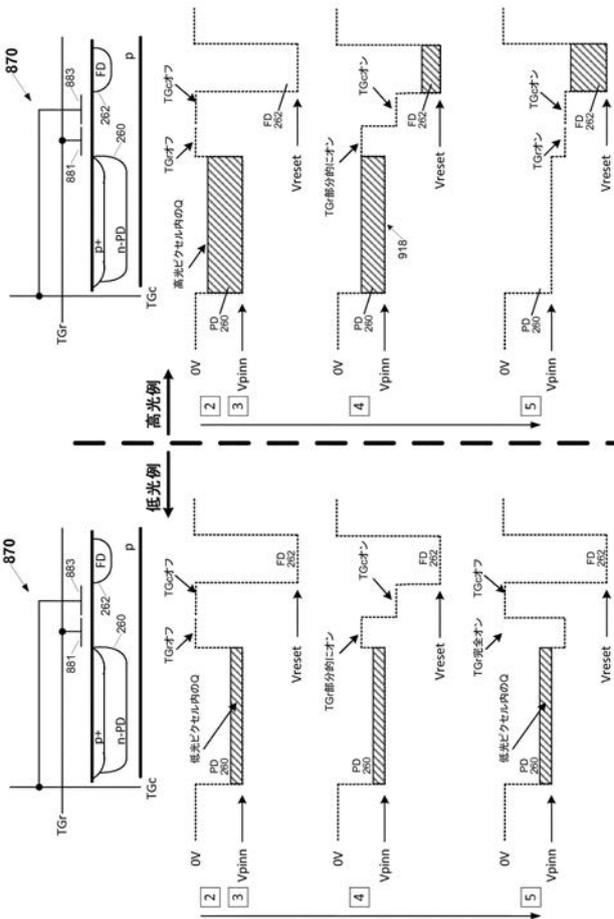
【図31】



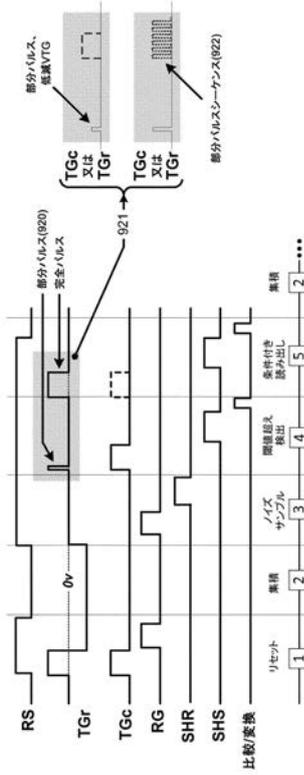
【図32】



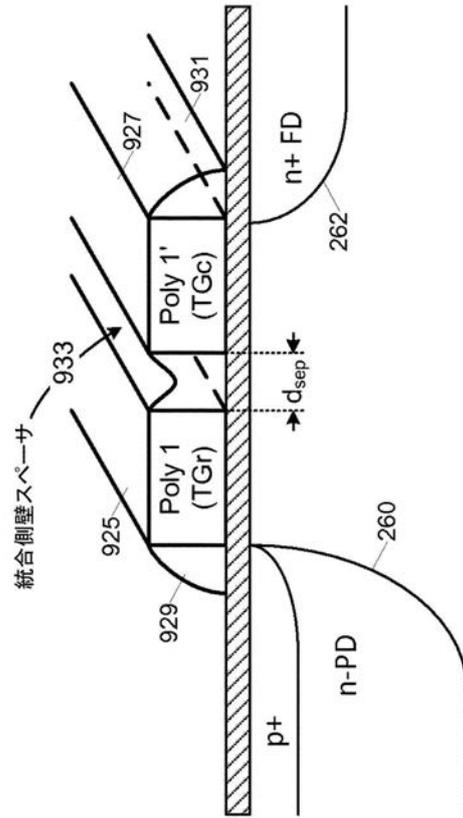
【図33】



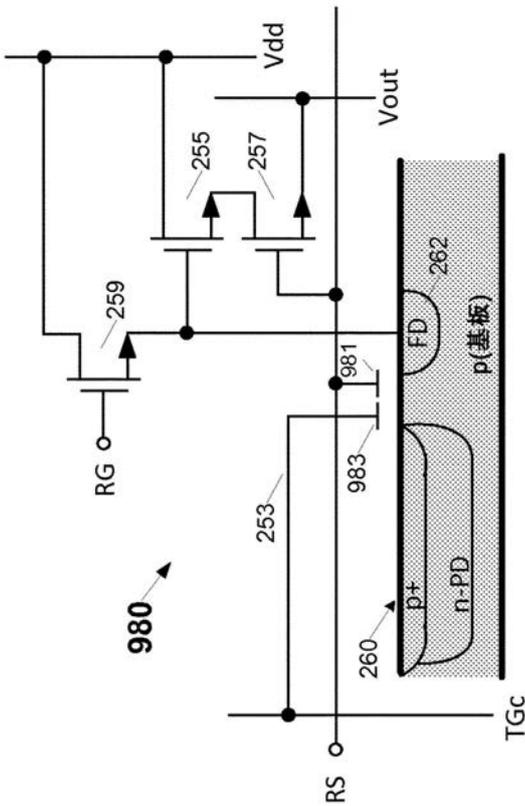
【 図 3 4 】



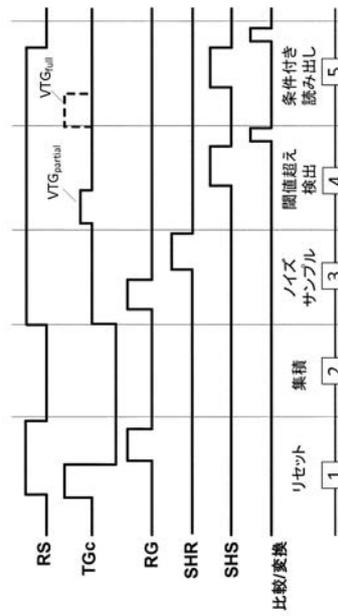
【 図 3 5 】



【 図 4 0 】



【 図 4 1 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No PCT/US2014/041596

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L27/146 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2006/138581 A1 (LADD JOHN [US]) 29 June 2006 (2006-06-29) paragraphs [0035] - [0037], [0047] figures 3, 10 -----	1,8,9
X	US 2009/179232 A1 (ADKISSON JAMES W [US] ET AL) 16 July 2009 (2009-07-16) paragraphs [0060], [0061] figures 3, 4 -----	1,8,9
X	US 2008/111170 A1 (KIM MI JIN [KR] ET AL) 15 May 2008 (2008-05-15) paragraphs [0093] - [0097] figure 8 -----	1,8,9
X	US 2006/138489 A1 (AHN JUNG-CHAK [KR] ET AL) 29 June 2006 (2006-06-29) paragraphs [0055] - [0066] figure 2a -----	1,8,9
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
7 August 2014		05/11/2014
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer
		Markmann, Markus

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2014/041596**Box No. II Observations where certain claims were found unsearchable (Continuation of Item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of Item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. As all searchable claims could be searched without effort justifying an additional fees, this Authority did not invite payment of additional fees.

3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:
1, 8, 9

Remark on Protest

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2014/041596

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2006138581 A1	29-06-2006	US 2006138581 A1 US 2007102781 A1 US 2009322913 A1	29-06-2006 10-05-2007 31-12-2009
US 2009179232 A1	16-07-2009	NONE	
US 2008111170 A1	15-05-2008	JP 4722112 B2 JP 2008125084 A US 2008111170 A1 US 2012187279 A1	13-07-2011 29-05-2008 15-05-2008 26-07-2012
US 2006138489 A1	29-06-2006	JP 2006186355 A US 2006138489 A1	13-07-2006 29-06-2006

International Application No. PCT/ US2014/ 041596

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. claims: 1, 8, 9

Split-gate transfer gate

2. claims: 2-7, 13-18

Shared floating diffusion

3. claims: 10-12, 19-22

Control circuitry for applying control signals

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 ゲイダッシュ, マイケル

アメリカ合衆国, カリフォルニア州 94089, サニーヴェール, スイート 700, エンタープライズ ウェイ 1050

(72)発明者 ヴォゲルサン, トーマス

アメリカ合衆国, カリフォルニア州 94089, サニーヴェール, スイート 700, エンタープライズ ウェイ 1050

Fターム(参考) 4M118 AA05 BA14 CA02 DD04 DD12 FA06 GA02 GC07 GD04

5C024 CX43 EX43 EX52 GX03 GX16 GX22 GX24 GY31 GZ41 HX12

HX23 HX29 HX50 JX41