

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4354917号
(P4354917)

(45) 発行日 平成21年10月28日(2009.10.28)

(24) 登録日 平成21年8月7日(2009.8.7)

(51) Int.Cl. F I
G 1 1 C 11/407 (2006.01) G 1 1 C 11/34 3 5 4 D
G 1 1 C 11/403 (2006.01) G 1 1 C 11/34 3 6 3 M

請求項の数 1 (全 20 頁)

(21) 出願番号	特願2004-568741 (P2004-568741)	(73) 特許権者	308014341 富士通マイクロエレクトロニクス株式会社 東京都新宿区西新宿二丁目7番1号
(86) (22) 出願日	平成15年2月27日(2003.2.27)	(74) 代理人	100068755 弁理士 恩田 博宣
(86) 国際出願番号	PCT/JP2003/002185	(74) 代理人	100105957 弁理士 恩田 誠
(87) 国際公開番号	W02004/077444	(72) 発明者	佐藤 一 日本国愛知県春日井市高蔵寺町二丁目18 44番2 富士通ヴィエルエスアイ株式会 社 内
(87) 国際公開日	平成16年9月10日(2004.9.10)	(72) 発明者	中川 祐之 日本国愛知県春日井市高蔵寺町二丁目18 44番2 富士通ヴィエルエスアイ株式会 社 内
審査請求日	平成17年2月16日(2005.2.16)		最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

各々がワード線を有し、リフレッシュモードにおいて選択的にリフレッシュされる複数のメモリセルブロックと、

複数のメモリセルブロックに接続され対応するメモリセルブロックのワード線を駆動するとともに、リフレッシュモード信号とメモリセルブロック選択信号とに従ってリフレッシュモードにおいて選択されなかったメモリセルブロックに関連するワード線を制御するための制御信号を生成するワード線駆動回路を含む複数のワードデコーダであって、

前記ワード線駆動回路は、

第1の電源に基づいてワード線を駆動する第1の駆動トランジスタと、

第1の駆動トランジスタに接続され、前記第1の電源の電位よりも低い第2の電源に基づいてワード線を駆動する第2の駆動トランジスタと

を含み、

各ワードデコーダは、リフレッシュモードにおいて対応するメモリセルブロックが選択されなかったとき、前記第1及び第2の駆動トランジスタに流れるテーリング電流を設定することで、前記第1及び第2の駆動トランジスタを前記制御信号に従ってオフさせて前記メモリセルブロックに関連するワード線をグランドレベルに制御する半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置に関するものである。

近年、D R A M (Dynamic Random Access Memory) 等の半導体記憶装置は低消費電力化の要求が高まっており、その中でもスタンバイ時にメモリセルのデータを保証する目的でデータ保持動作を自動で行うセルフリフレッシュ動作時の消費電流を低減することが強く望まれている。

【背景技術】

【0002】

図8は、従来のセルフリフレッシュ動作を説明するための半導体記憶装置(D R A M)の概略的なブロック図である。

【0003】

半導体記憶装置81は、メモリセルアレイ82、アドレスバッファ83、内部アドレスカウンタ84、プリデコーダ85、ブロック選択回路86、ブロックコントローラ87a~87d、ワードラインセクタ88a~88d及びワードデコーダ89a~89dを含む。

【0004】

メモリセルアレイ82は、複数のメモリセルを1単位とする複数(図は例えば4つ)のセルブロックBLK0~BLK3に分割され、ブロックコントローラ87a~87d、ワードラインセクタ88a~88d及びワードデコーダ89a~89dは、各セルブロックBLK0~BLK3にそれぞれ対応して設けられている。

【0005】

内部アドレスカウンタ84は、リフレッシュ時に内部アドレス信号IADDを供給し、通常動作時には外部から供給されるアドレス信号ADDをアドレスバッファ83を介して入力し、内部アドレス信号IADDを供給する。

【0006】

ブロック選択回路86は、そのアドレス信号IADDに基づいて、セルフリフレッシュを行うセルブロックを選択するための選択信号 i ($i = 0 \sim 3$ 、以下同様)を生成する。

【0007】

ブロックコントローラ87a~87dは、その選択信号 i に基づいて各セルブロックBLK0~BLK3に対応したワードラインセクタ88a~88d及びワードデコーダ89a~89dを選択するための制御信号BLKEN i 、WLEN i を生成する。

【0008】

ワードラインセクタ88a~88dは、制御信号BLKEN i 及びプリデコーダ85から出力されるプリデコード信号PRE i により活性化され、それぞれ対応するセルブロックBLK0~BLK3のワード線を駆動するための駆動信号WLDRV i を生成する。

【0009】

ワードデコーダ89a~89dは、制御信号WLEN i 及びプリデコーダ85から出力されるプリデコード信号PRE i により活性化され、それぞれ対応するセルブロックBLK0~BLK3のワード線をワードラインセクタ88a~88dから供給される駆動信号WLDRV i により駆動する。

【0010】

各セルブロックBLK0~BLK3のビット線は、ブロック選択回路86から出力される選択信号 i に基づいて、ビット線プリチャージ回路91及びセンスアンプ92(図9参照)により駆動される。

【0011】

上記のような構成では、例えばセルブロックBLK0が選択される場合には、そのセルブロックBLK0に含まれるメモリセルのみがリフレッシュされるようになっている。

【0012】

ところで、リフレッシュ動作時に消費する電流(リフレッシュ電流)は、定常的に消費するD C電流成分とメモリセルのリフレッシュ動作時に消費するA C電流成分から成り立っている。因みに、D C電流成分は、周辺回路のサブスレッシュヨルドによるテーリング電

10

20

30

40

50

流（又はオフリーク電流ともいう）及び物理的欠陥による消費電流であり、A C電流成分は、メモリセルのリフレッシュ動作に伴う充放電電流である。

【0013】

このため、リフレッシュ電流の低減化を図る上で、D C電流成分やA C電流成分を低減することは重要な課題の一つとなっている。

従来より、リフレッシュ電流を増加させる要因の一つに、プロセス欠陥に起因してワード線とビット線とがショートすることで、その欠陥部位（ショート部位）を介してビット線からワード線に定常的にリーク電流（欠陥電流）が流れるという問題がある。

【0014】

図9は、この欠陥電流を説明するための回路図である。

今、図9に示すように、ワード線W Lとビット線B Lがショートしている（図において一点鎖線で示す）。このビット線B Lに接続されるセンスアンプ9 2には、ビット線プリチャージ回路9 1からプリチャージ信号P Rが供給され、これによりビット線B Lはセルブロックの非選択時に所定電位（例えば1 / 2 V D D）にプリチャージされる。尚、電源V D Dは各回路の動作電源である。一方、ワードデコーダ8 9 a（8 9 b ~ 8 9 d）は、セルブロックの非選択時にワード線W Lを低電位電源V S S（例えばグランド）に接続する。従って、図に示す矢印のように、ビット線B Lからワード線W Lに向かって定常的なリーク電流が流れる。

【0015】

このようなプロセス欠陥に起因する不良箇所（ワード線W Lやビット線B L等）は、予め用意されている冗長回路によって置き換えることはできる。しかしながら、このことは欠陥部位の物理的な電氣的欠陥特性を除去する訳ではない。従って、欠陥部位に流れる電流が定常的な消費電流となり、上述したD C電流成分を増加させることになる。こうした欠陥部位はランダムに発生し、その箇所もメモリセルの集積度が増して微細プロセスになる毎に増えていく。その結果、セルフリフレッシュ時の消費電力は定常的な欠陥電流分だけ増加し、低消費電力を図る上での大きな阻害要因となっている。

【0016】

このような欠陥電流を低減させるため、例えば特許文献1に開示された第1の方法が提案されている。この第1の方法は、セルフリフレッシュ時にワード線とビット線がショートしている場合は、ビット線に与えるプリチャージレベルをフローティング状態（例えばグランドレベル）にすることで欠陥電流を低減している。

【0017】

しかしながら、第1の方法は、セルフリフレッシュ（スタンバイ状態）からリード/ライト動作（通常状態）に戻る場合に、略グランドレベルのビット線を正常なレベル（センスレベル）に復帰させるには時間を要するため、スタンバイ状態から通常状態に早く復帰することができないという問題がある。

【0018】

また、第1の方法は、欠陥電流防止のためにリフレッシュ未実行のメモリセルに接続されるビット線の電位をフローティング状態にし、リフレッシュ実行時に所定電位（1 / 2 V D D）に戻す制御を行うため、それに伴う充放電動作がA C成分の電流増加となり、逆に消費電力の増大を招く。

【0019】

さらに、第1の方法は、欠陥部位を特定するために予め全てのビット線に対してフューズや分離ゲート等の試験部を設ける必要があるとともに、それにより得た欠陥情報をもとにビット線の制御を行う制御部を設ける必要があるため、チップ面積の著しい増大を招くという問題がある。加えて、上記のような試験部を用いて欠陥部位の特定を行う試験工程と、それにより得た欠陥情報を記憶させる欠陥情報記憶工程（フューズ切断、分離ゲートをオフする等）が必要であるため、試験コストの増大を招くという問題がある。尚、これらの問題を有する他の従来構成に関連する先行技術として、例えば特許文献2が開示されている。

10

20

30

40

50

【 0 0 2 0 】

又、例えば特許文献 3 には以下のような第 2 の方法が提案されている。第 2 の方法は、良品・欠陥を問わず、メモリセルの非アクセス期間（即ちセルブロックの非選択時）には全てのビット線をフローティング状態に制御することで、欠陥電流を低減している。

【 0 0 2 1 】

しかしながら、第 2 の方法は、現実的ではない。特に D R A M では、限りなく小さな面積を有する容量に蓄積された微少な電荷をメモリセルの情報としてビット線に伝え、そのビット線の微少振幅を差動増幅するといった動作が行われる。そのため、全てのビット線をフローティングにすると、全てのビット線の電位が不安定となり、欠陥部位のビット線に隣接するビット線（非欠陥ビット線）にカップリングノイズによって簡単に意図しないノイズ電位が生じ、それによって、隣接するビット線に接続されたメモリセルをオンさせて記憶内容を変化させてしまう、所謂情報破壊を招く虞がある。

【 0 0 2 2 】

更に、例えば特許文献 4 には以下のような第 3 の方法が提案されている。第 3 の方法は、大容量 D R A M の高速化・低消費電力化を図るべく、ワード線がメインワード線とサブワード線から成る 2 重ワード線方式の構成において、各メインワード線にフューズを配置し、欠陥のある個所ではフューズを切断してサブワード線をフローティング状態に制御することで欠陥電流を低減している。

【 0 0 2 3 】

しかしながら、第 3 の方法は、各メインワード線にフューズを配置するため、上述した第 1 の方法と同様に、チップ面積の問題、及び試験コストの問題を有している。

また、第 3 の方法は、欠陥部位のワード線をフローティング状態に制御すると、その欠陥ワード線に隣接するワード線（非欠陥ワード線）にカップリングノイズが生じるため、上述した第 2 の方法と同様にメモリセルの情報破壊を招く虞がある。さらに、この場合は、欠陥ワード線がフローティング制御されるために、有用なメモリセルに接続されているビット線にカップリングノイズが生じ、誤読み出しを招く虞もある。

【特許文献 1】特開 2 0 0 0 - 2 6 8 5 7 1 号公報

【特許文献 2】米国特許第 6, 3 6 6, 5 0 9 号明細書

【特許文献 3】特開平 8 - 2 0 3 2 6 8 号公報

【特許文献 4】特開平 8 - 1 0 2 5 2 9 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 2 4 】

本発明の目的は、チップ面積を増大させることなく、ノイズ耐性に優れ、低消費電力化を実現することのできる半導体記憶装置を提供することにある。

【課題を解決するための手段】

【 0 0 2 5 】

本発明の第 1 の態様において、半導体記憶装置が提供される。各々がワード線を有し、リフレッシュモードにおいて選択的にリフレッシュされる複数のメモリセルブロックと、複数のメモリセルブロックに接続され対応するメモリセルブロックのワード線を駆動するとともに、リフレッシュモード信号とメモリセルブロック選択信号とに従ってリフレッシュモードにおいて選択されなかったメモリセルブロックに関連するワード線を制御するための制御信号を生成するワード線駆動回路を含む複数のワードデコーダであって、前記ワード線駆動回路は、第 1 の電源に基づいてワード線を駆動する第 1 の駆動トランジスタと、第 1 の駆動トランジスタに接続され、前記第 1 の電源の電位よりも低い第 2 の電源に基づいてワード線を駆動する第 2 の駆動トランジスタとを含み、各ワードデコーダは、リフレッシュモードにおいて対応するメモリセルブロックが選択されなかったとき、前記第 1 及び第 2 の駆動トランジスタに流れるテーリング電流を設定することで、前記第 1 及び第 2 の駆動トランジスタを前記制御信号に従ってオフさせて前記メモリセルブロックに関連するワード線をグラウンドレベルに制御するようにした。

【発明を実施するための最良の形態】

【0029】

以下、本発明を、半導体記憶装置11に具体化した第一実施形態を図1～図4に従って説明する。

【0030】

図1は、第一実施形態の半導体記憶装置11の概略的なブロック図である。

半導体記憶装置11は、メモリセルアレイ12、アドレスバッファ13、内部アドレスカウンタ14、プリデコーダ15、ブロック選択回路16、ブロックコントローラ17a～17d、ワード線制御回路18a～18d、ワードラインセレクタ19a～19d及びワードデコーダ20a～20dを含む。尚、図8に示す従来の半導体記憶装置81と同様な構成部分は同一名称で記載して詳細な説明を省略する。

10

【0031】

メモリセルアレイ12は、複数のメモリセルを1単位とする複数（図は例えば4つ）のセルブロックBLK0～BLK3に分割されている。ブロックコントローラ17a～17d、ワード線制御回路18a～18d、ワードラインセレクタ19a～19d及びワードデコーダ20a～20dは、各セルブロックBLK0～BLK3にそれぞれ対応して設けられている。

【0032】

ワード線制御回路18a～18dは、リフレッシュモード信号SELFXと、ブロック選択回路16からの選択信号 i （ $i = 0 \sim 3$ 、以下同様）とに基づいて、それぞれ対応するセルブロックBLK0～BLK3内におけるワード線電位を制御するための制御信号WDEC i を生成する。

20

【0033】

ここで、リフレッシュモード信号SELFXは、セルフリフレッシュモード中か否かを示し、セルフリフレッシュ時に例えばLレベルとなる信号である。選択信号 i は、それぞれ対応するセルブロックBLK0～BLK3が選択されるときに例えばHレベルとなる信号である。

【0034】

図2は、半導体記憶装置11の動作原理を説明する回路図である。ここでは、セルブロックBLK0に含まれる1つのメモリセルCに着目し、そのセルブロックBLK0に対応して設けられているワード線制御回路18aとワードデコーダ20aの動作について説明する。尚、各セルブロックBLK1～BLK3にそれぞれ対応して設けられているワード線制御回路18b～18dとワードデコーダ20b～20dの動作についても同様である。

30

【0035】

ワード線制御回路18aは、NOR回路21及びインバータ回路22を含み、リフレッシュモード信号SELFXと選択信号0とに基づいて制御信号wdecenb0、wdecen0を生成する。より詳しくは、NOR回路21は、リフレッシュモード信号SELFXと選択信号0とに基づいて制御信号wdecenb0を出力し、インバータ回路22は、NOR回路21からの制御信号wdecenb0を反転して制御信号wdecen0を出力する。

【0036】

ワードデコーダ20aは、NAND回路23、NOR回路24及びワード線駆動回路25を含む。ワード線駆動回路25は、トランジスタTr1（第1の駆動トランジスタ）とトランジスタTr2（第2の駆動トランジスタ）とから構成されている。尚、トランジスタTr1はpチャンネルMOSトランジスタで構成され、トランジスタTr2はnチャンネルMOSトランジスタで構成されている。

40

【0037】

トランジスタTr1とトランジスタTr2は直列に接続され、その接続ノードN1にワード線WLが接続されている。トランジスタTr1のソースには、ワードラインセレクタ19a（図1参照）から第1の電源としての駆動電源VPPが供給される。トランジスタTr2のソースには、第2の電源としての低電位電源VSS（この場合、接地電源）が供給される。

【0038】

50

また、第一実施形態では、トランジスタ $T r 1$ のテーリング電流 $A 1$ とトランジスタ $T r 2$ のテーリング電流 $A 2$ が、以下のような関係に設定されている。

$$\text{テーリング電流 } A 1 < \text{テーリング電流 } A 2 \cdots \text{(式 1)}$$

ここで、テーリング電流 $A 1$, $A 2$ は、各トランジスタ $T r 1$, $T r 2$ がオフされる状態でソース・ドレイン間に流れる微少電流であり、サブスレッショルド電流とも呼ばれる。尚、上記(式 1)のようなテーリング電流 $A 1$, $A 2$ の設定は、例えば、トランジスタ $T r 1$ をトランジスタ $T r 2$ よりも小さなトランジスタサイズで形成することで実現可能である。

【 0 0 3 9 】

NAND回路 2 3 は、アドレス信号 IADD がデコードされて生成されるワード線選択信号 $wl sel$ とインバータ回路 2 2 から出力される制御信号 $wdecen$ に基づいてトランジスタ $T r 1$ のオン/オフを制御する。NOR回路 2 4 は、ワード線選択信号 $wl sel$ と NOR回路 2 1 から出力される制御信号 $wdecenb$ に基づいてトランジスタ $T r 2$ のオン/オフを制御する。

10

【 0 0 4 0 】

詳しくは、リフレッシュモード信号 SELFX が H レベルである非セルフリフレッシュモード時(即ち通常動作時)には、制御信号 $wdecenb$ は L レベル、制御信号 $wdecen$ は H レベルとなり、ワード線駆動回路 2 5 はワード線選択信号 $wl sel$ に基づいて活性化される。即ち、通常動作時において、ワード線 $W L$ は、選択信号 0 に依らず、ワード線選択信号 $wl sel$ に基づいて活性化される。

20

【 0 0 4 1 】

具体的には、各トランジスタ $T r 1$, $T r 2$ のうち一方がオンされるとともに他方がオフされる。ここで、トランジスタ $T r 1$ がオンされると、そのオンしたトランジスタ $T r 1$ を介して駆動電源 $V P P$ がワード線 $W L$ に供給され、該ワード線 $W L$ が活性化される。これにより、メモリセル C がオンされ、ビット線 $B L$ を介してメモリセル 1 0 の読み出し/書き込みが行われる。

【 0 0 4 2 】

逆に、トランジスタ $T r 2$ がオンされると、そのオンしたトランジスタ $T r 2$ を介してグラウンドレベルの低電位電源 $V S S$ がワード線 $W L$ に供給される。従って、この場合はメモリセル C はオンされず、そのメモリセル C の情報は維持される。

30

【 0 0 4 3 】

リフレッシュモード信号 SELFX が L レベルであるセルフリフレッシュモードにおいて、セルブロック $BLK 0$ がリフレッシュ対象として選択される場合(選択信号 0 が H レベル)には、上述した通常動作時と同様、制御信号 $wdecenb$ は L レベル、制御信号 $wdecen$ は H レベルとなる。従って、ワード線駆動回路 2 5 は、同様にワード線選択信号 $wl sel$ に基づいて活性化される。

【 0 0 4 4 】

そして、ワード線選択信号 $wl sel$ に基づいて、ワード線駆動回路 2 5 のトランジスタ $T r 1$ がオンされ、駆動電源 $V P P$ がワードラインセレクタ 1 9 a からワード線 $W L$ に供給される。これにより、ワード線 $W L$ が活性化されて、メモリセル C がリフレッシュされる。

40

【 0 0 4 5 】

セルフリフレッシュモードにおいて、セルブロック $BLK 0$ がリフレッシュ対象ブロックとして選択されない場合(選択信号 0 が L レベル)には、制御信号 $wdecenb$ は H レベル、制御信号 $wdecen$ は L レベルとなる。従って、ワード線駆動回路 2 5 の各トランジスタ $T r 1$, $T r 2$ はともにオフされる。

【 0 0 4 6 】

即ち、この場合、ワード線駆動回路 2 5 は非活性状態に制御され、セルブロック $BLK 0$ のワード線 $W L$ はワードデコーダ 2 0 a に対して実質的に非接続状態(所謂フローティング状態)に制御される。

50

【 0 0 4 7 】

ここで、フローティング状態におけるワード線W Lの電位について詳述する。

第一実施形態では、ワード線駆動回路25の非活性状態における各トランジスタTr1、Tr2のテーリング電流A1、A2が上記(式1)のように設定されている。このため、接続ノードN1の電位は低電位電源VSSに放電され、ワード線W Lは、上記(式1)の関係を満たすテーリング電流A1、A2の電流比に依存したフローティング電位に制御される。尚、第一実施形態では、ワード線W Lが略グランドレベルのフローティング電位に制御されるようにテーリング電流比が設定される。

【 0 0 4 8 】

従って、非選択のセルブロックBLK0内に、ビット線B Lとショートしている欠陥のあるワード線W Lが存在している場合、フローティング状態に制御された欠陥ワード線W Lを介して消費電流が流れることになるが、その時の電流はテーリング電流でリミットされるので、DC電流を低減することが可能となる。よって、非選択状態における欠陥ワード線W Lの欠陥電流は低減される。

10

【 0 0 4 9 】

因みに、この際、欠陥ワード線W Lのフローティング電位は、当該欠陥部位では、ショート抵抗等によって、上述したテーリング電流A1、A2によって決まる接続ノードN1の電位から若干引き上げられることになる(以下、この時の欠陥ワード線W Lの電位を欠陥電位という)。しかしながら、この欠陥ワード線W Lに接続されたメモリセルCは、図示しない冗長メモリセルに置き換えられることになるため、万一、ノイズ等によって欠陥ワード線W Lに接続されたメモリセルCがオンされることになっても問題ない。

20

【 0 0 5 0 】

又、第一実施形態では、非選択状態にあるセルブロックBLK0のワード線W Lは、欠陥・非欠陥を問わずに、全てのワード線W Lがフローティング電位に制御される。このため、欠陥のないワード線W Lについても、略グランドレベルのフローティング電位に設定される。従って、非選択状態のセルブロックBLK0のメモリセルCがオンされて情報破壊が生じることはない。また、隣接する欠陥ワード線W LとのカップリングノイズによるメモリセルCの情報破壊も生じない。

【 0 0 5 1 】

さらに、上記のようにワード線W Lが略グランドレベルのフローティング電位に制御されることで、セルブロックBLK0が非選択状態から選択状態に切り替えられる際や、スタンバイ状態から通常状態に移行する際は、ワード線W Lの電位が低電位電源VSS(グランドレベル)に速やかにリセットされる。

30

【 0 0 5 2 】

その際、セルブロックBLK0内に欠陥ワード線W Lが含まれている場合は、その欠陥ワード線W Lの電位は上記欠陥電位となるため、それにおけるリセット時間は上述した非欠陥ワード線W Lに比べて若干長くなる。しかしながら、一般に欠陥ワード線W Lが1つのセルブロック内に含まれている本数は少ないため(例えば1024本のワード線W Lに対して欠陥ワード線W Lは1~2本)、その影響は殆どない。従って、非選択状態から選択状態への切り替え、スタンバイ状態から通常状態への復帰を高速に行うことが可能であり、又、ノイズ等の影響を小さくした安定的な復帰が可能である。

40

【 0 0 5 3 】

次に、セルフリフレッシュモード時にセルブロックBLK0が選択されている時のワード線W Lの電位について詳述する。

上記したように、セルブロックBLK0が選択状態のとき、ワード線駆動回路25はワード線選択信号wselに基づいて活性化される。即ち、セルブロックBLK0内の全てのワード線W Lは、通常動作時と同様に、活性時に駆動電源VPPに制御され、非活性時に低電位電源VSSに制御される。換言すれば、セルブロックBLK0が選択されるときには、欠陥・非欠陥を問わず、ワード線W Lはフローティング状態に制御されない。

【 0 0 5 4 】

50

このため、第一実施形態では、セルブロックBLK0が選択される場合に、欠陥ワード線WLが非活性状態のときは、該欠陥ワード線WLの電位がグラウンドレベルの低電位電源VSSに制御されることにより、それに隣接する非欠陥ワード線WLのノイズ耐性を向上させることができる。

【0055】

つまり、欠陥ワード線WLに隣接する非欠陥ワード線WLにカップリングノイズが生じることを抑制することができる。従って、リフレッシュ未実行時にメモリセルCがオンされて情報破壊が生じることはない。また、欠陥電位によってビット線BLにカップリングノイズが生じることも抑制されるため、誤読み出しを防止することができる。

【0056】

図3、図4は、図1に示す半導体記憶装置11の具体例を示す回路図である。尚、各図は、セルブロックBLK0の制御に関連する構成部分について示している。

図3は、プリデコーダ15、ブロック選択回路16、ブロックコントローラ17aの具体例を示す回路図である。尚、図は省略するが、ブロックコントローラ17b~17dの構成も同様である。

【0057】

プリデコーダ15は、例えば3つのプリデコーダ31a~31cを含み、内部アドレスカウンタ14(図1参照)から出力されるワード線選択用のアドレス信号add0~add5に基づいてプリデコード信号pra0~pra3, prb0~prb3, prc0~prc3を生成する。

【0058】

ブロック選択回路16は、内部アドレスカウンタ14から出力されるセルブロック選択用のアドレス信号blkadd0, blkadd1に基づいて選択信号blksel0~blksel3を生成する。

【0059】

ブロックコントローラ17aには、ブロック選択回路16から出力される選択信号blksel0と、図示しないメモリコントローラからの制御信号blkset0, wlset0とが入力される。

【0060】

そして、ブロックコントローラ17aは、Hレベルの選択信号blksel0(セルブロックBLK0の選択時)とHレベルの制御信号blkset0に基づいてワードラインセクタ19a(図4参照)を選択するためのHレベルの制御信号blken0を生成する。又、ブロックコントローラ17aは、Hレベルの選択信号blksel0とHレベルの制御信号wlset0に基づいてワードデコーダ20a(図4参照)を選択するためのHレベルの制御信号wlen0を生成する。

【0061】

図4は、ワード線制御回路18a、ワードラインセクタ19a、ワードデコーダ20aの具体例を示す回路図である。尚、図は省略するが、ワード線制御回路18b~18d、ワードラインセクタ19b~19d、ワードデコーダ20b~20dの構成も同様である。

【0062】

ワード線制御回路18aは、図2に示す原理的な回路に基づいたより具体的な回路である。即ち、図において、ワード線制御回路18aは、NOR回路32と差動増幅回路33と2つのインバータ回路34, 35とを含む。

【0063】

ワード線制御回路18aは、NOR回路32に入力されるリフレッシュモード信号SELF_Xと前記選択信号blksel0に基づいて制御信号wdecenb0, wdecen0を生成する。具体的には、リフレッシュモード信号SELF_XがLレベルであるセルフリフレッシュモードであって、選択信号blksel0がLレベルであるセルブロックBLK0の非選択時には、Hレベルの制御信号wdecenb0とLレベルの制御信号wdecen0を生成する。そして、それ以外の時は、Lレベルの制御信号wdecenb0とHレベルの制御信号wdecen0を生成する。

【0064】

10

20

30

40

50

ワードラインセクタ19aは、ラッチ回路36とNOR回路37とインバータ回路38とを含む。ラッチ回路36は、ブロックコントローラ17aから出力されるHレベルの制御信号blken0とプリデコーダ31aから出力されるHレベルのプリデコード信号pra0によりHレベルにセットされ、図示しないメモリコントローラからのリセット信号blkreset0によりLレベルにリセットされる。

【0065】

そして、ワードラインセクタ19aは、ワード線制御回路18aから出力される制御信号wdecenb0と上記ラッチ回路36のラッチ信号とに基づいて駆動信号wldrv0, wldrvb0を生成する。

【0066】

具体的には、セルフリフレッシュモード時におけるセルフブロックBLK0の非選択時には、Hレベルの駆動信号wldrv0(駆動電源VPP)と、Lレベルの駆動信号wldrvb0(低電位電源VSS)を出力する。

【0067】

また、セルフリフレッシュモード時あるいは通常動作時におけるワード線WLの活性化時には、Hレベルの駆動信号wldrv0(駆動電源VPP)と、Lレベルの駆動信号wldrvb0(低電位電源VSS)を出力する。

【0068】

また、セルフリフレッシュモード時あるいは通常動作時におけるワード線WLの非活性化時には、Lレベルの駆動信号wldrv0(低電位電源VSS)と、Hレベルの駆動信号wldrvb0(駆動電源VPP)を出力する。

【0069】

ワードデコーダ20aは、図2に示す原理的なデコーダに基づいたより具体的なものである。尚、図4に示すワードデコーダ20aは、セルフブロックBLK0に、例えば4本のワード線WL0~WL3を備える場合に対応した構成である。

【0070】

このワードデコーダ20aは、ラッチ回路39とNAND回路40とNOR回路41と4つのワード線駆動回路42~45とを含む。

各ワード線駆動回路42~45は、上述した図2に示すトランジスタTr1, Tr2からなり、その接続ノードN1には、nチャンネルMOSトランジスタから成るトランジスタTr3がトランジスタTr2と並列に接続されている。このトランジスタTr3のゲートには、上記ワードラインセクタ19aからの駆動信号wldrvb0が入力される。

【0071】

ラッチ回路39は、ブロックコントローラ17aから出力されるHレベルの制御信号wlen0とプリデコーダ31b, 31cから出力されるHレベルのプリデコード信号prb0, prc0とに応答して、Hレベルのワード線選択信号wlselを出力する。また、ラッチ回路39は、図示しないメモリコントローラからのリセット信号wlreset0に応答して、Lレベルのワード線選択信号wlselを出力する。

【0072】

NAND回路40及びNOR回路41は、上述した図2に示すNAND回路23及びNOR回路24と同様、制御信号wdecenb0がHレベル、制御信号wdecen0がLレベルとなる時(セルフリフレッシュモード時であってセルフブロックBLK0の非選択時)に各ワード線駆動回路42~45を非活性状態にする。即ち、トランジスタTr1, Tr2をそれぞれオフして(尚、このときトランジスタTr3は駆動信号wldrvb0によってオフされる)、各ワード線WL0~WL3をフローティング状態にする。

【0073】

そして、NAND回路40及びNOR回路41は、制御信号wdecenb0がLレベル、制御信号wdecen0がHレベルとなる時(セルフリフレッシュモード時におけるセルフブロックBLK0の選択時あるいは通常動作時)にワード線選択信号wlselに基づいて各ワード線駆動回路42~45を活性化させる。

10

20

30

40

50

【 0 0 7 4 】

次に、本発明における第一実施形態の半導体記憶装置 1 1 の特徴を以下に記載する。

(1) セルブロック BLK0 ~ BLK3 のうち、セルフリフレッシュモード時に選択されないセルブロックの全てのワード線 W L は、略グランドレベルのフローティング電位に制御される。従って、セルブロック BLK0 ~ BLK3 の非選択時には、欠陥電流を削減して低消費電力化を図ることができる。

【 0 0 7 5 】

(2) セルブロック BLK0 ~ BLK3 を非選択状態から選択状態へ切り替える際、スタンバイ状態 (セルフリフレッシュモード) から通常状態へ復帰させる際には、略グランドレベルのフローティング電位に制御されているワード線 W L が低電位電源 V S S にリセットされる。従って、それに伴う A C 電流の増加も防止される。

10

【 0 0 7 6 】

(3) セルブロック BLK0 ~ BLK3 の非選択時に、ワード線 W L を略グランドレベルのフローティング電位に制御するため、非選択状態から選択状態への切り替え、スタンバイ状態 (セルフリフレッシュモード) から通常状態への復帰を高速に行うことができる。

【 0 0 7 7 】

(4) セルフリフレッシュモード時において、セルブロック BLK0 ~ BLK3 が選択状態のときには、ワード線 W L は駆動電源 V P P あるいは低電位電源 V S S に制御される (即ち、ワード線 W L はフローティング状態に制御されない) 。従って、セルブロック BLK0 ~ BLK3 の選択時におけるワード線 W L の非活性時に、欠陥ワード線からのカップリングノイズに起因したメモリセル C の情報破壊は生じない。このため、ノイズ耐性に優れた半導体記憶装置 1 1 を実現することができる。

20

【 0 0 7 8 】

(5) セルブロック BLK0 ~ BLK3 が非選択状態のときには、欠陥・非欠陥を問わず、全てのワード線 W L をフローティング電位に制御するようにしたため、各ワード線 W L に欠陥部位を特定するためのフューズや分離ゲート等の試験部を設ける必要はない。このため、それら試験部によって得られる欠陥情報をもとにワード線 W L を制御するための制御部等も当然ながら不要である。従って、チップサイズの増大を防止することができる。

【 0 0 7 9 】

(6) ワード線 W L に生じている欠陥部位を特定するための試験工程や、それにより得た欠陥情報を記憶させるための欠陥情報記憶工程 (フューズ切断、分離ゲートをオフする等) も不要である。従って、それらに伴う試験コストを削減することができる。

30

【 0 0 8 0 】

以下、本発明を、半導体記憶装置 5 1 に具体化した第二実施形態を図 5 に従って説明する。尚、第二実施形態は、上述した第一実施形態において、ワード線 W L のフローティング電位の設定方法を変更したものである。

【 0 0 8 1 】

図 5 は、半導体記憶装置 5 1 を説明するための回路図である。尚、図は、セルブロック BLK0 の制御に関連する構成部分を示し、同図において、第一実施形態と同様な構成部分には同一符号を付す。この半導体記憶装置 5 1 は、第一実施形態におけるワードラインセレクタ 1 9 a の構成を一部変更したものであり、その他の構成は同様である。

40

【 0 0 8 2 】

詳しくは、図 5 に示すように、本実施形態のワードラインセレクタ 5 2 a は、ラッチ回路 5 3 と 2 つの N O R 回路 5 4 , 5 5 とを含み、第一実施形態との相違点はインバータ回路 3 8 を N O R 回路 5 5 に変更した点である。即ち、ラッチ回路 5 3 及び N O R 回路 5 4 の動作は、第一実施形態の図 4 に示すラッチ回路 3 6 及び N O R 回路 3 7 と同様である。

【 0 0 8 3 】

このようなワードラインセレクタ 5 2 a では、セルフリフレッシュモード時におけるセルブロック BLK0 の非選択時に、各駆動信号 w l d r v 0 , w l d r v b 0 がそれぞれ L レベル (低電位電源 V S S) に制御される。即ち、この場合、ワード線駆動回路 4 2 ~ 4 5 のトランジス

50

タTr 1のソースには、グランドレベルの低電位電源VSSが供給されるようになっている。

【0084】

従って、第二実施形態では、第一実施形態における(式1)に示すようなテーリング電流A1, A2の設定が不要であり、セルフリフレッシュモード時におけるセルフブロックBLK0の非選択時には、各ワード線WL0~WL3の電位を確実に略グランドレベルのフローティング電位に制御することが可能である。

【0085】

次に、本発明における第二実施形態の半導体記憶装置51の特徴を以下に記載する。

(1)上記(式1)に示すようなテーリング電流A1, A2の設定を不要としながらも、セルフリフレッシュモード時におけるセルフブロックBLK0~BLK3の非選択時には、ワード線WLが確実に略グランドレベルのフローティング電位に制御される。従って、上述した第一実施形態の(1)~(4)の特徴に関して、より優れた効果を奏する。

【0086】

以下、本発明を、半導体記憶装置61に具体化した第三実施形態を図6及び図7に従って説明する。尚、第三実施形態は、パーシャルリフレッシュ機能を有する半導体記憶装置61に係り、上述した第一実施形態において、ワード線WLのフローティング電位の設定方法を変更したものである。

【0087】

ここで、パーシャルリフレッシュ機能とは、各セルフブロックBLK0~BLK3のうち特定のセルフブロックのみをリフレッシュする機能である。このようなパーシャルリフレッシュでは、リフレッシュを行わないセルフブロックはデータ保証の必要がないため、消費電力を極めて小さくすることができる。

【0088】

図6は、半導体記憶装置61の動作を説明するための原理的な回路図である。尚、図は、セルフブロックBLK0の制御に関連する構成部分を示し、同図において、第一実施形態と同様な構成部分には同一符号を付す。この半導体記憶装置61は、第一実施形態におけるワードラインセクタ19aとワードデコーダ20aの構成を一部変更したものであり、その他の構成は同様である。

【0089】

詳しくは、図6に示すように、本実施形態のワードラインセクタ62aは、NAND回路64とNOR回路65と電源制御回路66とを含み、電源制御回路66は、トランジスタTr4(第3の駆動トランジスタ)とトランジスタTr5(第4の駆動トランジスタ)とから構成されている。

【0090】

ここで、本実施形態では、トランジスタTr4はpチャネルMOSトランジスタで構成され、トランジスタTr5はnチャネルMOSトランジスタで構成されている。

【0091】

また、トランジスタTr4のテーリング電流A4とトランジスタTr5のテーリング電流A5は、

$$\text{テーリング電流 } A_4 < \text{テーリング電流 } A_5 \dots (\text{式 } 2)$$

となるように設定されている。

【0092】

ワードデコーダ63aは、NOR回路67とワード線駆動回路68とを含み、該ワード線駆動回路68はワード線WLに接続されている。尚、ワード線駆動回路68は、上記第一実施形態におけるワード線駆動回路25と同様に構成されている。

【0093】

このワード線駆動回路68には、電源制御回路66のトランジスタTr4とトランジスタTr5との接続ノードN2から出力される駆動信号wldrv0が供給されるようになっている。

【 0 0 9 4 】

このように構成された半導体記憶装置 6 1 では、セルフリフレッシュモード時におけるセルブロック BLK0 の非選択時にワードラインセクタ 6 2 a の電源制御回路 6 6 が非活性状態に制御される。

【 0 0 9 5 】

詳しくは、各トランジスタ $T r 4$, $T r 5$ がともにオフされ、それによって、駆動信号 wl_{drv0} は、上記 (式 2) の関係を満たすテーリング電流 $A 4$, $A 5$ の電流比とトランジスタ $T r 4$ の閾値電圧とによって決定されるフローティング電位に制御される。尚、本実施形態では、駆動信号 wl_{drv0} は、略グランドレベルのフローティング電位に制御されるようになっている。

10

【 0 0 9 6 】

これにより、ワードデコーダ 6 3 a のワード線駆動回路 6 8 は、その電源制御回路 6 6 から出力される駆動信号 wl_{drv0} を受けて、セルブロック BLK0 のワード線 $W L$ を略グランドレベルのフローティング電位に制御するようになっている。

【 0 0 9 7 】

図 7 は、図 6 に示すワード線制御回路 1 8 a 、ワードラインセクタ 6 2 a 及びワードデコーダ 6 3 a の具体例を示す回路図である。尚、図において、ワード線制御回路 1 8 a の構成は、第一実施形態の図 4 と同様である。

【 0 0 9 8 】

ワードラインセクタ 6 2 a は、図 6 に示す原理的なセクタに基づいたより具体的なものである。即ち、ワードラインセクタ 6 2 a は、ラッチ回路 7 1 と $N A N D$ 回路 7 2 と $N O R$ 回路 7 3 と電源制御回路 7 4 とを含み、電源制御回路 7 4 は上述した図 6 に示すトランジスタ $T r 4$, $T r 5$ から構成されている。

20

【 0 0 9 9 】

このワードラインセクタ 6 2 a は、セルフリフレッシュモード時におけるセルブロック BLK0 の非選択時には、各トランジスタ $T r 4$, $T r 5$ をそれぞれオフして、接続ノード $N 2$ から略グランドレベルのフローティング電位を有する駆動信号 wl_{drv0} を出力する。尚、セルフリフレッシュモード時あるいは通常動作時におけるワードラインセクタ 6 2 a の動作は、第一実施形態と同様である。

【 0 1 0 0 】

ワードデコーダ 6 3 a は、図 6 に示す原理的なデコーダに基づいたより具体的なものである。尚、図 7 に示すワードデコーダ 6 3 a は、セルブロック BLK0 に、例えば 4 本のワード線 $W L 0 \sim W L 3$ を備える場合に対応した構成である。

30

【 0 1 0 1 】

即ち、このワードデコーダ 6 3 a は、ラッチ回路 7 5 と $N O R$ 回路 7 6 と 4 つのワード線駆動回路 7 7 ~ 8 0 とを含む。

各ワード線駆動回路 7 7 ~ 8 0 は、上述した第一実施形態と同様、トランジスタ $T r 1$, $T r 2$ から成り、その接続ノード $N 1$ には n チャネル $M O S$ トランジスタから成るトランジスタ $T r 3$ がトランジスタ $T r 2$ と並列に接続されている (図 4 参照) 。

【 0 1 0 2 】

このトランジスタ $T r 3$ のゲートには、上記ワードラインセクタ 6 2 a の $N O R$ 回路 7 3 から出力される信号が駆動信号 wl_{drv0} として入力される。尚、本実施形態では、各ワード線駆動回路 7 7 ~ 8 0 を構成するトランジスタ $T r 1$, $T r 2$ において、上記 (式 1) のようなテーリング電流 $A 1$, $A 2$ の設定は不要である。

40

【 0 1 0 3 】

このワードデコーダ 6 3 a は、セルフリフレッシュモード時におけるセルブロック BLK0 の非選択時には各ワード線駆動回路 7 7 ~ 8 0 のトランジスタ $T r 1$ をオンして、各ワード線 $W L 0 \sim W L 3$ の電位を、上記ワードラインセクタ 6 2 a から供給される略グランドレベルのフローティング電位に設定する。尚、セルフリフレッシュモード時あるいは通常動作時におけるワードデコーダ 6 3 a の動作は第一実施形態と同様である。

50

【 0 1 0 4 】

このような半導体記憶装置 6 1 では、ワードデコーダ 6 3 a を、第一実施形態のワードデコーダ 2 0 a (図 4 参照) に比べて配線数を削減して、極めて簡易な構成で実現することができる。

【 0 1 0 5 】

しかしながら、こうした構成は、パーシャルリフレッシュ機能を利用してセルフリフレッシュを行う場合にのみ有効である。これは、パーシャルリフレッシュでは、リフレッシュ対象のセルブロックを除く他のセルブロックのデータ保証を行う必要がないためである。

【 0 1 0 6 】

詳述すると、今、セルブロック BLK0 ~ BLK3 のうち、パーシャルリフレッシュの対象をセルブロック BLK2 とする場合、非リフレッシュ対象のセルブロック BLK0 , BLK1 , BLK3 のワード線は略グランドレベルのフローティング電位に制御される。従って、第一実施形態と同様、非選択セルブロックにおける欠陥電流を削減することができる。

【 0 1 0 7 】

ここで、例えば、セルブロック BLK0 のワード線 W L 0 が欠陥ワード線であった場合、その欠陥ワード線 W L 0 の欠陥電位に起因して、ワードラインセクタ 6 2 a から出力される駆動信号 wldrv0 の電位が同様に略欠陥電位となる。

【 0 1 0 8 】

すると、その欠陥ワード線 W L 0 に隣接する非欠陥ワード線 W L 1 が同様に略欠陥電位となり、それによりワード線 W L 1 に接続されているメモリセルがオンされて情報破壊される可能性がある。これは、セルブロック BLK0 の非選択状態には、全てのワード線 W L 0 ~ W L 3 が同一の駆動信号 wldrv0 によってフローティング制御されるからである。しかしながら、上記したように、パーシャルリフレッシュでは、非リフレッシュ対象のセルブロック BLK0 , BLK1 , BLK3 はデータ保証の必要がないため、特に問題にはならない。

【 0 1 0 9 】

次に、本発明における第三実施形態の半導体記憶装置 6 1 の特徴を以下に記載する。

(1) パーシャルリフレッシュを行う半導体記憶装置 6 1 において、上述した第一実施形態の (1) ~ (6) の特徴と同様な効果が得られるとともに、ワードデコーダ 6 3 a を第一実施形態のワードデコーダ 2 0 a に比べて配線数を削減した極めて簡易な構成で実現

【 0 1 1 0 】

尚、上記各実施形態は、以下の態様で実施してもよい。

各実施形態では、メモリセルアレイ 1 2 が例として 4 つのセルブロック BLK0 ~ BLK3 に分割される場合について説明したが、勿論それ以外の複数ブロックに分割される場合であってもよい。

【 0 1 1 1 】

各実施形態では、リフレッシュモード時におけるセルブロック BLK0 ~ BLK3 の非選択時に、ワード線 W L を略グランドレベルのフローティング電位に制御するようにしたが、ワード線 W L のフローティング電位はメモリセル C がオンしない電位であればよい。

【 0 1 1 2 】

各実施形態では、第 2 の電源としての低電位電源 V S S が負電源であってもよい。

第一及び第二実施形態の構成をパーシャルリフレッシュを行う半導体記憶装置に適用しても勿論よい。

【 0 1 1 3 】

ワード線駆動回路 2 5 , 4 2 ~ 4 5 , 6 8 , 7 7 ~ 8 0 を構成するトランジスタ T r 1 , T r 2 (第 1 及び第 2 の駆動トランジスタ) を他の極性で構成 (例えばそれぞれ n チャネル M O S トランジスタにて構成) してもよい。尚、この場合は、それに応じた論理にワードデコーダ 2 0 a , 6 3 a の構成を変更する。

【 0 1 1 4 】

10

20

30

40

50

各実施形態では、スタンバイ時に行うセルフリフレッシュの制御方法について説明したが、必ずしもセルフリフレッシュのみに限定されない。

上記各実施形態から把握できる技術思想を以下に記載する。

【0115】

(付記1) リフレッシュモードにおいて半導体記憶装置の複数のメモリセルブロックを選択的にリフレッシュするための方法であって、半導体記憶装置は、対応するメモリセルブロックのワード線を駆動する複数のワード線駆動回路を含むものであり、

前記リフレッシュモードにおいて複数のメモリセルブロックのうちの一つを選択する工程と、

選択されなかったメモリセルブロックに関連するワード線駆動回路を非活性化して、前記ワード線をフローティング電位に制御する工程とを備える半導体記憶装置のリフレッシュ方法。

10

【0116】

(付記2) 前記フローティング電位は略グランドレベルを有する付記1記載の半導体記憶装置のリフレッシュ方法。

(付記3) 前記フローティング電位は負電位である付記1記載の半導体記憶装置のリフレッシュ方法。

【0117】

(付記4) 前記各ワード線駆動回路は、第1の電源に基づいて対応するワード線を駆動する第1の駆動トランジスタと、前記第1の駆動トランジスタに直列に接続され、前記第1の電源の電位よりも低い第2の電源に基づいて、対応するワード線を駆動する第2の駆動トランジスタとを含み、前記フローティング電位は前記第1及び第2の駆動トランジスタのテーリング電流比によって決定される付記1乃至3の何れか一項記載の半導体記憶装置のリフレッシュ方法。

20

【0118】

(付記5) 前記第1の駆動トランジスタのテーリング電流よりも前記第2の駆動トランジスタのテーリング電流が大きくなるように前記テーリング電流比が設定される付記4記載の半導体記憶装置のリフレッシュ方法。

【0119】

(付記6) 前記ワード線駆動回路は、第1の電源に基づいて対応するワード線を駆動する第1の駆動トランジスタと、前記第1の駆動トランジスタに直列に接続され、前記第1の電源の電位よりも低い第2の電源に基づいて、対応するワード線を駆動する第2の駆動トランジスタとを含み、

30

前記ワード線駆動回路が非活性化されるとき、前記第1の駆動トランジスタに前記第2の電源を供給する工程を備える付記1乃至3の何れか一項記載の半導体記憶装置のリフレッシュ方法。

【0120】

(付記7) リフレッシュモードにおいて半導体記憶装置の複数のメモリセルブロックの少なくとも1つリフレッシュするための方法であって、前記半導体記憶装置は、対応するメモリセルブロックのワード線を駆動する複数のワード線駆動回路と、対応するワード線駆動回路に前記ワード線を駆動するための電源を供給する複数の電源制御回路とを含むものであり、

40

前記リフレッシュモードにおいて前記複数のメモリセルブロックのうちの一つを選択する工程と、

選択されなかったメモリセルブロックに関連するワード線駆動回路を活性化する工程と、

選択されなかったメモリセルブロックに関連する電源制御回路を非活性化して、選択されなかったメモリセルブロックに関連するワード線をフローティング電位に制御する工程とを備える半導体記憶装置のリフレッシュ方法。

【0121】

50

(付記 8) 前記フローティング電位は略グランドレベルを有する付記 7 記載の半導体記憶装置のリフレッシュ方法。

(付記 9) 前記フローティング電位は負電位である付記 7 記載の半導体記憶装置のリフレッシュ方法。

【0122】

(付記 10) 前記各電源制御回路は、第 1 の電源を受け取る第 1 の駆動トランジスタと、前記第 1 の駆動トランジスタに直列に接続され、前記第 1 の電源の電位よりも低い第 2 の電源を受け取る第 2 の駆動トランジスタと含み、前記フローティング電位は前記第 1 及び第 2 の駆動トランジスタのテーリング電流比と前記第 1 の駆動トランジスタの閾値電圧とによって決定される付記 7 乃至 9 の何れか一項記載の半導体記憶装置のリフレッシュ方法。

10

【0123】

(付記 11) 前記第 1 の駆動トランジスタのテーリング電流よりも前記第 2 の駆動トランジスタのテーリング電流が大きくなるように前記テーリング電流比が設定される付記 10 記載の半導体記憶装置のリフレッシュ方法。

【0124】

(付記 12) リフレッシュモードにおいて半導体記憶装置の複数のメモリセルブロックを選択的にリフレッシュするための方法であって、

リフレッシュモードにおいて複数のメモリセルブロックのうちの一つを選択して選択されたメモリセルブロックのリフレッシュを行う工程と、

20

選択されなかったメモリセルブロックのワード線をフローティング電位に制御する工程と、

前記選択されなかったメモリセルブロックが次に選択されたとき、前記フローティング電位を前記ワード線の非活性時に対応した電位に切り換える工程と、

前記ワード線の電位を該ワード線の活性時の電位に設定して、次に選択されたメモリセルブロックのリフレッシュを行う工程とを備える半導体記憶装置のリフレッシュ方法。

【0125】

(付記 13) 半導体記憶装置は、

各々がワード線を有し、リフレッシュモードにおいて選択的にリフレッシュされる複数のメモリセルブロックと、

30

リフレッシュモード信号とメモリセルブロック選択信号とに従ってリフレッシュモードにおいて選択されなかったメモリセルブロックに関連するワード線をフローティング電位に制御するための制御信号を生成するワード線制御回路とを備える半導体記憶装置。

【0126】

(付記 14) 複数のメモリセルブロックに接続され、対応するメモリセルブロックのワード線を駆動するワード線駆動回路を含む複数のワードデコーダであって、前記ワード線駆動回路は、第 1 の電源に基づいてワード線を駆動する第 1 の駆動トランジスタと、第 1 の駆動トランジスタに接続され、前記第 1 の電源の電位よりも低い第 2 の電源に基づいてワード線を駆動する第 2 の駆動トランジスタとを含むものである前記複数のワードデコーダを備え、各ワードデコーダは、リフレッシュモードにおいて対応するメモリセルブロックが選択されなかったとき、前記第 1 及び第 2 の駆動トランジスタを前記制御信号に従ってオフさせる付記 13 記載の半導体記憶装置。

40

【0127】

(付記 15) 前記第 1 の駆動トランジスタのサイズは、前記第 2 の駆動トランジスタのサイズよりも小さい付記 14 記載の半導体記憶装置。

(付記 16) 複数のワードデコーダにそれぞれ接続された複数のワードラインセレクタを備え、各ワードラインセレクタは、前記リフレッシュモードにおいて対応するメモリセルブロックが選択されなかったとき、前記制御信号に従って前記第 1 の駆動トランジスタに前記第 1 の電源を供給する付記 14 又は 15 記載の半導体記憶装置。

【0128】

50

(付記 17) 複数のワードデコーダにそれぞれ接続された複数のワードラインセクタを備え、各ワードラインセクタは、前記リフレッシュモードにおいて対応するメモリセルブロックが選択されなかったとき、前記制御信号に従って前記第 2 の駆動トランジスタに前記第 1 の電源を供給する付記 14 又は 15 記載の半導体記憶装置。

【0129】

(付記 18) 複数のメモリセルブロックに接続され、各々が対応するメモリセルブロックのワード線を駆動するワード線駆動回路を含む複数のワードデコーダであって、前記ワード線駆動回路は、第 1 の電源に基づいてワード線を駆動する第 1 の駆動トランジスタと、第 1 の駆動トランジスタに接続され、前記第 1 の電源の電位よりも低い第 2 の電源に基づいてワード線を駆動する第 2 の駆動トランジスタとを含むものである前記複数のワードデコーダと、

10

複数のワードデコーダにそれぞれ接続され、対応するワードデコーダの前記ワード線駆動回路の前記第 1 の駆動トランジスタに電源を供給する複数のワードラインセクタであって、各々が前記第 1 の電源と前記第 2 の電源の間に直列に接続された第 3 の駆動トランジスタと第 4 の駆動トランジスタとを含み、前記第 3 の駆動トランジスタと前記第 4 の駆動トランジスタとの間のノードから前記電源が供給される前記複数のワードラインセクタとを備え、

前記各ワードラインセクタは、前記リフレッシュモードにおいて対応するメモリセルブロックが選択されなかったとき、前記制御信号に従って前記第 3 及び第 4 のトランジスタをオフさせてフローティング電位を前記第 1 の駆動トランジスタに供給し、前記各ワードデコーダは、前記フローティング電位を前記第 1 の駆動トランジスタを介してワード線に供給する付記 13 記載の半導体記憶装置。

20

【0130】

(付記 19) 前記第 3 の駆動トランジスタのサイズは、前記第 4 の駆動トランジスタのサイズよりも小さい付記 18 記載の半導体記憶装置。

(付記 20) 半導体記憶装置は、

各々がワード線を有し、リフレッシュモードにおいて選択的にリフレッシュされる複数のメモリセルブロックと、

複数のメモリセルブロックに接続され、対応するメモリセルブロックのワード線を駆動する複数のワード線駆動回路と、

30

複数のワード線駆動回路に接続され、リフレッシュモードにおいて選択されなかったメモリセルブロックに関連するワード線駆動回路を非活性化して、前記ワード線をフローティング電位に制御する複数のワード線制御回路とを備える半導体記憶装置。

【図面の簡単な説明】

【0131】

【図 1】本発明の第一実施形態の半導体記憶装置の概略的なブロック図である。

【図 2】図 1 の半導体記憶装置の一部の原理的な回路図である。

【図 3】図 1 の半導体装置におけるブロック選択回路、プリデコーダ、ブロックコントローラの回路図である。

【図 4】図 1 の半導体装置におけるワード線制御回路、ワードラインセクタ、ワードデコーダの回路図である。

40

【図 5】本発明の第二実施形態の半導体記憶装置の回路図である。

【図 6】本発明の第三実施形態の半導体記憶装置の原理的な回路図である。

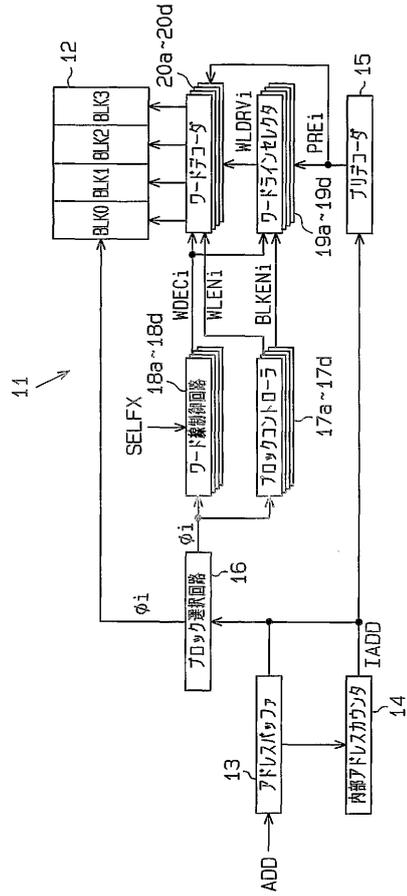
【図 7】本発明の第三実施形態の半導体記憶装置におけるワード線制御回路、ワードラインセクタ及びワードデコーダの回路図である。

【図 8】従来の半導体記憶装置の概略的なブロック図である。

【図 9】図 8 の半導体記憶装置における欠陥電流を説明するための回路図である。

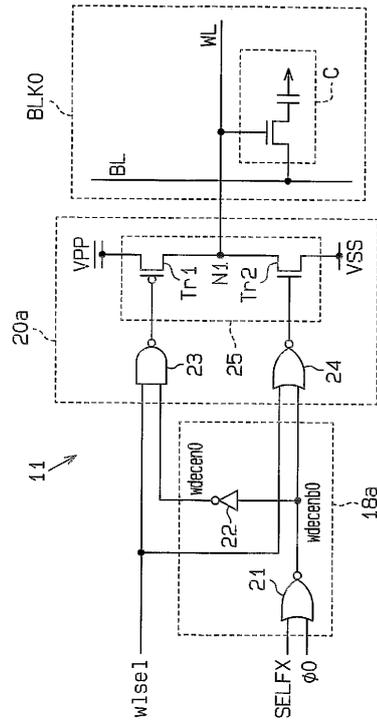
【図1】

Fig. 1



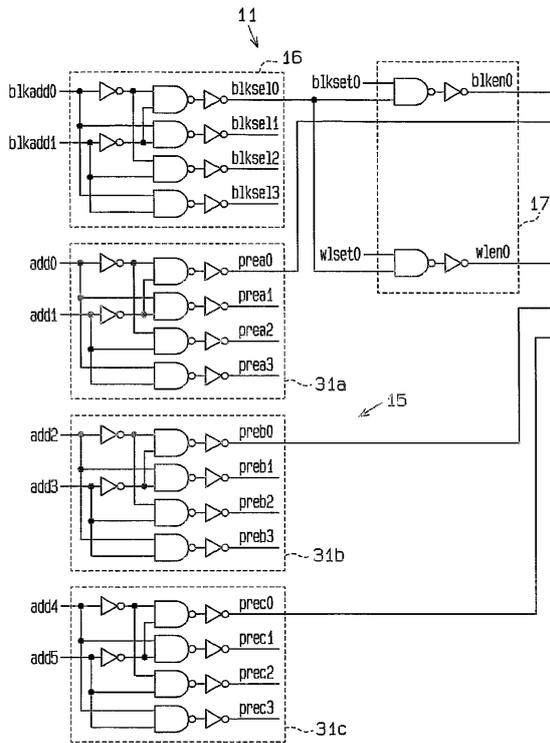
【図2】

Fig. 2



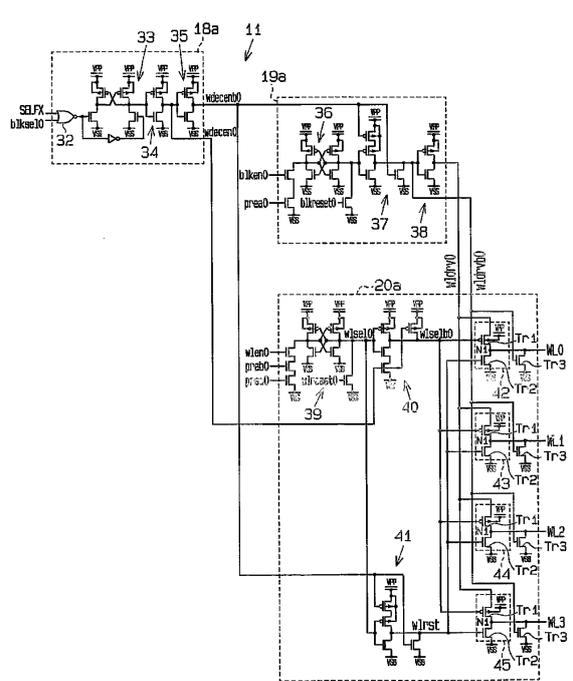
【図3】

Fig. 3



【図4】

Fig. 4



フロントページの続き

(72)発明者 川本 悟

日本国愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴィエルエスアイ株式会社 内

審査官 堀田 和義

(56)参考文献 特開平11-328955(JP,A)

特開平10-64260(JP,A)

特開平4-155692(JP,A)

特開2000-268571(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/407