

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4138392号
(P4138392)

(45) 発行日 平成20年8月27日(2008.8.27)

(24) 登録日 平成20年6月13日(2008.6.13)

(51) Int.Cl. F I
G 1 1 C 11/22 (2006.01) G 1 1 C 11/22 5 0 1 H

請求項の数 8 (全 11 頁)

<p>(21) 出願番号 特願2002-222840 (P2002-222840)</p> <p>(22) 出願日 平成14年7月31日(2002.7.31)</p> <p>(65) 公開番号 特開2003-68070 (P2003-68070A)</p> <p>(43) 公開日 平成15年3月7日(2003.3.7)</p> <p>審査請求日 平成17年4月27日(2005.4.27)</p> <p>(31) 優先権主張番号 2001-47263</p> <p>(32) 優先日 平成13年8月6日(2001.8.6)</p> <p>(33) 優先権主張国 韓国 (KR)</p> <p>前置審査</p>	<p>(73) 特許権者 591024111 株式会社ハイニックスセミコンダクター HYNIX SEMICONDUCTOR INC. 大韓民国京畿道利川市夫鉢邑牙美里山136-1 San 136-1, Ami-Ri, Bubaal-Eup, Ichon-Shi, Kyoungki-Do, Korea</p> <p>(74) 代理人 100064621 弁理士 山川 政樹</p> <p>(74) 代理人 100067138 弁理士 黒川 弘朗</p> <p>(74) 代理人 100076392 弁理士 紺野 正幸</p> <p style="text-align: right;">最終頁に続く</p>
-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

(54) 【発明の名称】 不揮発性強誘電体メモリ装置の参照電圧発生回路

(57) 【特許請求の範囲】

【請求項1】

温度が上昇すると、参照キャパシタノードへ出力される信号のレベルを上昇させるように出力する温度補償制御回路と、

一方の電極は接地電圧端に共通に連結され、他方の電極は前記温度補償制御回路の出力信号を受ける前記参照キャパシタノードに共通接続されるように並列に連結され、そのノードに接続された全てのビットラインに共通の参照電圧を与えるための複数の強誘電体キャパシタと、

ドレイン端は前記参照キャパシタノードに共通に接続され、ソース端は各々のビットラインに連結され、ゲート端は参照ワードライン信号によって共通に制御される複数のスイッチング素子とから構成され、

前記スイッチング素子が前記複数の強誘電体キャパシタと共に単位参照セルアレイを成すことを特徴とし、

前記温度補償制御回路は、温度が上昇するときい電圧が下降してドレインノードの電圧を上昇させる第1スイッチング素子と、

温度の上昇時、前記第1スイッチング素子のドレインノードの信号を受けて、温度上昇前より多くの電流が流れるようにする第2スイッチング素子と、

温度が上昇すると抵抗増加によって電圧ドロップが大きくなるように、前記第2スイッチング素子のソースに接続された第4スイッチング素子と、

温度が上昇するとドレイン端の電圧が上昇するように、N個のダイオード接続されたト

ランジスタが直列連結された基準電圧出力部と、

前記基準電圧出力部の出力信号 (V r e f _ t e m p) と、前記第 2 スイッチング素子のソース端へ伝達された信号とを比較して、差動増幅して出力する差動増幅器と、を含むことを特徴とする不揮発性強誘電体メモリ装置の参照電圧発生回路。

【請求項 2】

前記温度補償制御回路は、さらに

チップ活性化の間のみオンとなるようにする制御信号 (T E M P _ E N) を受けスイッチング動作するように、前記第 2 スイッチング素子のドレイン端に接続された第 3 スイッチング素子と、

参照制御信号 (R E F _ C O N) により制御され、前記差動増幅器の出力信号を前記参照キャパシタノード (R E F _ P W R) へ伝達する第 5 スイッチング素子と、を有することを特徴とする請求項 1 記載の不揮発性強誘電体メモリ装置の参照電圧発生回路。

10

【請求項 3】

前記第 1 スイッチング素子はダイオード接続された N M O S トランジスタから構成されることを特徴とする請求項 2 記載の不揮発性強誘電体メモリ装置の参照電圧発生回路。

【請求項 4】

前記第 2 , 第 3 スイッチング素子は N M O S トランジスタから構成されることを特徴とする請求項 2 記載の不揮発性強誘電体メモリ装置の参照電圧発生回路。

【請求項 5】

前記第 4 , 第 5 スイッチング素子は P M O S トランジスタから構成されることを特徴とする請求項 2 記載の不揮発性強誘電体メモリ装置の参照電圧発生回路。

20

【請求項 6】

前記温度補償制御回路と前記参照キャパシタノードとの間に、信号伝達の速度を早くするためのスイッチングトランジスタを備えることを特徴とする請求項 2 記載の不揮発性強誘電体メモリ装置の参照電圧発生回路。

【請求項 7】

前記スイッチングトランジスタは前記温度補償制御回路の出力信号によって制御され、一方の電極は電源電圧端 V C C へ連結され、他方の電極は参照キャパシタノードへ連結される N M O S トランジスタから構成されることを特徴とする請求項 6 記載の不揮発性強誘電体メモリ装置の参照電圧発生回路。

30

【請求項 8】

前記参照電圧発生回路は、前記単位参照セルアレイと同様の構成を有する参照セルアレイが更に複数個備えられており、

その際、各参照セルアレイを構成する複数の強誘電体キャパシタの一方の電極は共通接地されており、他方の電極は前記参照キャパシタノードに共通に連結されており、

前記各参照セルアレイは、各々の参照ワードライン信号を受けて動作するように構成されることを特徴とする請求項 1 記載の不揮発性強誘電体メモリ装置の参照電圧発生回路。

【発明の詳細な説明】

【 0 0 0 1】

【発明の属する技術分野】

本発明は半導体メモリ装置に係り、特に、不揮発性強誘電体メモリ装置における参照電圧発生回路に関する。

40

【 0 0 0 2】

【従来の技術】

一般に、不揮発性強誘電体メモリである F R A M (Ferroelectric Random Access Memory) は D R A M 程度のデータ処理速度を有し、電源のオフ時にもデータが保存される特性のため次世代記憶素子として注目を浴びている。

F R A M は D R A M とほぼ同一構造を有する記憶素子であって、キャパシタの材料として強誘電体を使用して強誘電体の特性である高い残留分極を利用したものである。このよう

50

な残留分極の特性のため電界を除去してもデータは保存される。

【0003】

以下、添付の図面を参照して、従来の不揮発性強誘電体メモリ装置の参照電圧発生回路について説明する。

【0004】

図1は一般的なセルアレイ周辺関連回路図であり、図2は図1のメインセルの単位回路図であり、図3は従来の参照セルの単位回路図である。

図4は従来参照セルの電荷発生ヒステリシス曲線である。

図5は従来参照セルの動作タイミング図である。

【0005】

セルアレイ部は、図1に示すように、複数のサブセルアレイから構成される。そのうち、上、下に隣接したサブセルアレイ sub_T 、 sub_B の間にはセンスアンプ S/A ブロックが構成される。ここで、 sub_T は上側アレイであり、 sub_B は下側アレイである。本明細書において、上下左右など方向を示す用語は単なる図面上の方向にすぎず、説明の便宜のために、絶対的な方向を意味するものではない。

【0006】

それぞれのサブセルアレイは、ビットライン Top_B/L 、 Bot_B/L と、それぞれのビットライン Top_B/L 、 Bot_B/L に連結された複数のメインセル MC 及び参照セル RC と、カラム選択部 CS とから構成される。

この際、センスアンプ S/A を中心にその上側に配置されるサブセルアレイ部 sub_T 内の参照セル RC は、下側に配置されるサブセルアレイ部 sub_B 内のメインセル MC と同時にアクセスされる。

【0007】

同様に、下側に配置されるサブセルアレイ部 sub_B 内の参照セル RC は、上側に配置されるサブセルアレイ部 sub_T 内のメインセル MC と同時にアクセスされる。

【0008】

カラム選択部 CS は Y -カラムアドレスを用いて対応するカラムビットラインを選択的に活性化させる。カラム選択部 CS がハイレベルであれば、対応するカラムのビットラインとデータバスとが連結され、データの伝達を行うことができる。

【0009】

ここで、メインセル MC の構成は、図2の示すように、一方向にビットライン B/L が形成され、そのビットライン B/L と交差する方向にワードライン W/L が形成され、そのワードライン W/L に一定の間隔を置いてワードラインと同一の方向にプレートライン P/L が形成され、ゲートがワードライン W/L に連結され、ソースはビットライン B/L に連結されるようトランジスタ T が形成され、2つの端子のうち第1端子がトランジスタ T のドレインに連結され、第2端子はプレートライン P/L に連結されるように強誘電体キャパシタ FC が形成される。

【0010】

そして、各々の参照セル RC は、図3に示すように、一方向に形成されたビットライン B/L と、そのビットライン B/L を横切る方向に形成された参照ワードライン REF_W/L と、その参照ワードライン REF_W/L 信号によって制御され、強誘電体キャパシタに格納された参照電圧を選択的にビットラインへ伝達するスイッチング部と、強誘電体キャパシタと連結されスイッチング部の入力端のレベルを選択的に初期化させるレベル初期化部と、スイッチング部とレベル初期化部の接続ノード SN と接地電圧端 VSS との間に強誘電体キャパシタ FC とを含んで構成されている。

【0011】

ここで、スイッチング部は、ゲートが参照ワードライン REF_W/L に連結され、ドレインがビットライン $B/L <n>$ に連結され、ソースがストレージノード SN に連結される $NMOS$ トランジスタ(以下、第1トランジスタ $T1$)で構成されている。

【0012】

10

20

30

40

50

一方、レベル初期化部は、参照セルのストレージノードSNを初期化させるための制御信号である参照セルプルアップ制御信号REF_P/Uにより制御され、第1トランジスタT1のソースと電源電圧端VCCとの間に連結されたPMOSトランジスタ(以下、第2トランジスタT2)で構成されている。

【0013】

強誘電体キャパシタの第1電極は第1トランジスタT1のソースと連結され、第2電極は参照プレートラインREF_P/Lに連結される。

第2トランジスタT2はロー信号を受けてONされ、ストレージノードSNのレベルをハイレベルに初期化する。

【0014】

図4は参照レベル発生のためのヒステリシス曲線上での動作領域を示すもので、b-1からb-2への移動時に発生する強誘電体キャパシタのノンスイッチ電荷 Q_{ns} をビットラインへ伝達することにより、ビットラインに参照レベルを発生させる。なお、b-2からb-3への移動時に発生するノンスイッチング電荷は Q_{ns}^* として表す。

【0015】

次に、従来参照セルの動作は図5に示す通りであって、1サイクルはアクティブ区間とプリチャージ区間とから構成され、アクティブ区間はチップイネーブルパッドCEBpadがローに遷移するとき始まり、プリチャージ区間を経てサイクルが完成する。

A区間は前のサイクルのプリチャージ区間である。

【0016】

チップのアクティブ区間が始まると、B区間の間にアドレスがデコーディングされ、各種の制御信号が活性化され、参照プルアップ信号REF_P/Uがローからハイへ遷移する。それに伴って、第2トランジスタT2はオフとなる。

【0017】

そして、C区間のスタートと共に、参照ワードライン信号REF_W/Lと参照プレートラインREW_P/Lがローからハイへ遷移して、第1トランジスタT1がオンとなって参照セルのハイデータが各々のビットラインへ伝達される。

【0018】

参照プルアップ信号REF_P/Uがプリチャージ区間Dで再びローレベルに遷移し、参照ワードライン信号REF_W/Lと参照プレートラインREW_P/Lもわずかに遅れてローに遷移するので、残りのプリチャージ区間で強誘電体キャパシタのストレージノードSNをハイ状態にさせる。

【0019】

【発明が解決しようとする課題】

上記のような従来不揮発性強誘電体メモリ装置の参照電圧発生回路は、参照レベルが動作温度により Q_{ns} と Q_{ns}^* との間で一定ではなく大きく変化し、温度上昇に伴って参照レベルが減少するという特性があるので、センシングマージンが減少するという問題があった。

【0020】

本発明は上記問題点を解決するために成されたもので、特に、温度が上昇すると参照レベルも共に高くすることによって、センシングマージンを改善させるようにした不揮発性強誘電体メモリ装置の参照電圧発生回路を提供することが目的である。

【0021】

【課題を解決するための手段】

上記目的を達成するための本発明の不揮発性強誘電体メモリ装置の参照電圧発生回路は、温度が上昇すると、参照キャパシタノードへ出力される信号のレベルを上昇させるように出力する温度補償制御回路と、一方の電極は接地電圧端に共通に連結され、他方の電極は前記温度補償制御回路の出力信号を受ける前記参照キャパシタノードに共通接続されるように並列に連結された複数の強誘電体キャパシタと、ドレイン端は前記参照キャパシタノードに共通に接続され、ソース端は各々のビットラインに連結され、ゲート端は参照ワー

10

20

30

40

50

ドライン信号によって共通に制御される複数のスイッチング素子とから構成され、前記スイッチング素子が前記複数の強誘電体キャパシタと共に単位参照セルアレイを成すことを特徴とする。

【 0 0 2 2 】

本発明は不揮発性強誘電体メモリ装置に適用できるもので、温度による参照電圧を異なるように調整することにより、メインデータの温度依存性と参照レベルの温度依存性との関係を最適化することに関する。

即ち、疲労現象のないノンスイッチ電荷の Q_{ns} を用いることによって、温度の依存性を活用して、より正確且つ安定的な参照レベルを発生させるようにしたものである。そのために、温度の上昇に伴って参照レベルも共に高くなるのでセンシングマージンを改善している。

10

【 0 0 2 3 】

【発明の実施の形態】

以下、添付の図面を参照して本発明の不揮発性強誘電体メモリ装置の参照電圧発生回路について説明する。

【 0 0 2 4 】

図 8 は本発明の温度補償制御回路の参照電圧と参照電荷との相関関係を示すヒステリシス特性図である。図 8 は本発明の温度補償参照電圧発生の基本原理を説明したもので、温度が上昇すると V_1 の参照動作電圧で動作させ、温度が下降すると下降の程度に応じて V_2 と V_3 の参照動作電圧で動作させる。

20

V_1 電圧では $Q(V_1)$ だけの参照電荷を発生させ、 V_2 と V_3 電圧では $Q(V_2)$ と $Q(V_3)$ だけの参照電荷を発生させる。

上記のように、参照電圧発生回路で参照動作電圧を異なるように調整することにより、それに伴う参照電荷もを異なるように調整する。

【 0 0 2 5 】

かかる動作を行う本発明による参照電圧発生回路の構成について以下に説明する。

【 0 0 2 6 】

本発明の不揮発性強誘電体メモリ装置の参照電圧発生回路は、図 9 に示すように、温度補償制御回路 90 と、複数の参照強誘電体キャパシタと複数のトランジスタとから構成された参照セルアレイ 91 とから構成されている。

30

ここで、参照セルアレイ 91 は、温度補償制御回路 90 の出力信号を受けた第 1 ノード N_1 と接地電圧端 V_{SS} との間に並列構成された複数個の強誘電体キャパシタ (F_{9-1} , F_{9-2} , F_{9-3} , F_{9-4} , ...) と、参照ワードライン REF_W/L 信号を受けて動作し、ドレイン端子が第 1 ノード N_1 に共通に接続され、ソース端子は各々のビットライン (BL_1 , BL_2 , BL_3 , BL_4 , ...) に連結されている複数のトランジスタ (T_{9-1} , T_{9-2} , T_{9-3} , T_{9-4} , ...) とから構成される。

【 0 0 2 7 】

図 8 に説明した動作原理により動作する温度補償制御回路 90 の構成をさらに説明すると以下の通りである。

【 0 0 2 8 】

40

本発明の温度補償制御回路 90 は、図 12 に示すように、温度が上昇するとしきい電圧が下降して、ドレインノードの電圧が上昇する第 1 NMOS トランジスタ NM_1 と、温度の上昇時、第 1 NMOS トランジスタ NM_1 のドレインノードの上昇した信号を受けてゲート電圧が上昇することにより、電流の流れがより多くなる第 2 NMOS トランジスタ NM_2 と、チップが活性化している間は ON に保ち、その他の区間はオフさせる $TEMP_EN$ 信号により制御されるスイッチ素子として動作する第 3 NMOS トランジスタ NM_3 と、温度が上昇すると抵抗が大きくなり、電圧ドロップが大きくなる第 1 PMOS トランジスタ PM_1 と、温度が上昇すると、ドレインノードの電圧が上昇するようにダイオード接続された N 個の NMOS トランジスタが直列連結されている基準電圧出力部 120 と、その基準電圧出力部 120 の出力信号 V_{ref_temp} と第 5 ノード N_5 の信号とを比較

50

して、差動増幅して出力する差動増幅器121と、参照キャパシタノードへの電圧供給REF_PWRを一旦停止させるように、参照制御信号REF_CONにより制御されるスイッチ素子の役割を果たす第4PMOSTランジスタPM4とから構成されている。

【0029】

差動増幅器121は、Vref_temp信号を受けて動作する第6NMOSTランジスタNM6と、第5ノードN5の信号を受けて動作する第7NMOSTランジスタNM7と、TEMP_EN信号を受けて動作する第8NMOSTランジスタNM8と、電源電圧端VCCと第6NMOSTランジスタNM6の一端との間に構成された第2PMOSTランジスタPM2と、PM2とゲート端が連結されており、VCCと第7NMOSTランジスタNM7の一端との間に構成された第3PMOSTランジスタPM3とから構成されている。

10

【0030】

第5ノードN5にかかる電圧は、第2,第3NMOSTランジスタNM2,NM3の抵抗成分と、第1PMOSTランジスタPM1の抵抗成分と比によって決定される。

【0031】

上記回路においては、前記のように温度が上昇すると第2NMOSTランジスタNM2のゲート電圧は高くなって抵抗が減少し、第1PMOSTランジスタPM1の抵抗が大きくなるが、全体として第5ノードN5の電圧は下降するように選定されている。

前述のように、基準電圧出力部120は、温度が上昇するほどドレイン端の電圧Vref_tempが高くなる一方、第5ノードN5は温度上昇に伴って電圧が低くなる。

20

【0032】

温度の上昇時に第5ノードN5の電圧がVref_tempより小さいと、差動増幅器121を介して出力されるREF_PWRは高くなる。

【0033】

以上のように、温度に従って参照電荷電圧を調整することができる。

【0034】

次に、本発明の第1実施形態と第2実施形態による参照電圧発生回路の構成について説明する。

【0035】

まず、本発明の第1実施形態による参照電圧発生回路は、図10に示すように、温度補償電圧調整回路100と、スイッチングトランジスタNMと、参照セルアレイ101とから構成されている。

30

図10の参照セルアレイ101は、図9の参照セルアレイ91と同一の構成を有し、図10の温度補償電圧調整回路100とスイッチングトランジスタNMは、図9の温度補償制御回路90に対応する。

【0036】

図10のスイッチングトランジスタNMは、ゲートが温度補償電圧調整回路100の出力信号を受けるように第2ノードN2に接続され、ドレインとソースがそれぞれ電源電圧端VCCと参照セルアレイ部101(ノードN3)とに接続されている。

上記した第2ノードN2の電圧は、低温の場合は高温の場合より低く調整されるので、参照セルアレイ101に入力される第3ノードN3の電圧が低く制御される。前述のように第3ノードN3が温度に従って制御されることに伴い、参照セルアレイ101の参照キャパシタに格納される電荷も温度に従って制御される。

40

【0037】

次に、本発明の第2実施形態による参照電圧発生回路は、図11に示すように、温度補償制御回路110とn個の参照セルアレイ部とから構成されている。

【0038】

第2実施形態による本発明は、第1実施形態が一つの参照セルアレイを備えているのとは異なり、n個の参照セルアレイから構成されている。その各々の参照セルアレイは、図9に示した参照セルアレイ91の構成と同様であり、n個の参照セルアレイの参照強誘電体

50

キャパシタの一方の電極は共通に連結され、接地電圧に固定されており、他方の電極は温度補償制御回路110の出力信号を受ける第4ノードN4に共通に接続されている。この第1から第nの参照セルアレイのゲート端子は、各々第1, ..., 第n参照ワードラインREF_W/L < 1 >, ..., REF_W/L < n > 信号を受けて動作する。

【0039】

上記のように、参照強誘電体キャパシタのサイズを他の参照セルアレイの参照強誘電体キャパシタにも共通に用いられるので、各々の参照強誘電体キャパシタのサイズを縮小し且つ、電流消費も減らすことができる。

【0040】

このように、本発明の第2実施形態による参照電圧発生回路は、複数の参照セルアレイが第4ノードN4に共通連結され、セルアレイ選択参照ワードラインREF_W/Lのみ個別に調整するのである。

10

【0041】

かかる構成を有する本発明の第2実施形態による参照電圧発生回路では、低温の場合は高温の場合より第4ノードN4の電圧が低く制御される。

従って、参照強誘電体キャパシタに格納される電荷も温度に従って制御することができる。

【0042】

次に、本発明による不揮発性強誘電体メモリ装置の参照電圧発生回路の動作について説明する。

20

【0043】

図10と図13、図14に示すように、1サイクルはアクティブ区間とプリチャージ区間とで構成され、1サイクルはチップイネーブル信号CEBpadがローに遷移して始まる。始まる前のA区間は前のサイクルのプリチャージ区間である。

チップのアクティブ区間が始まると、B区間の間アドレスがデコーディングされ、各種の制御信号が活性化される。その間、参照制御信号REF_CONがハイとなり、トランジスタPM4をオフとする。その状態でC区間で参照ワードラインREF_W/Lがローからハイへ遷移する。

【0044】

C区間で参照ワードラインREF_W/Lがローからハイへ遷移することにより、トランジスタPM4のオフでキャパシタの電圧が確定された参照強誘電体キャパシタのデータが各々のビットラインへ伝達される。

30

第1ノードN1はC区間でのみフローティング状態であり、他のA, B, D, E区間では、温度が上昇するほど参照調整電圧もV3, V2, V1となっている。ここで、V3 < V2 < V1である。

参照ワードラインはC区間でのみハイであり、他のA, B, D, E区間ではローレベルである。

【0045】

ビットラインセンスアンプの活性化信号のセンスイネーブル信号SENは、D区間でハイレベルにセンスアンプを活性化させる。従って、C区間でメインセルのデータと参照セルのデータがビットラインへ伝達され、D区間でセンスイネーブル信号SENによってビットラインデータが増幅する。

40

【0046】

強誘電体キャパシタは充電と放電時に温度及び電圧による依存性が大きく、その温度の依存性を充電時にはA, B区間の参照電圧により調整し、ビットラインへの放電時にはC区間で調整する。

【0047】

温度補償電圧調整回路(温度補償制御回路)によって第2ノードN2へ出力される信号を、図12と図13を参照して以下に説明する。

【0048】

50

アクティブ区間の間にチップイネーブル信号がローに活性化されており、第3NMOSTランジスタNM3を制御するTEMP_EN信号はハイレベルに活性化されており、参照制御信号REF_CONがハイレベルとなっている。すなわち、B区間に入る前にREF_CONを一旦ハイにしてPM4をオフにし、温度補償回路からの電圧またはその回路からの電圧で制御される電圧が参照キャパシタへ供給されるのを遮断して、その間にREF_WLをハイに活性化させて温度変化に応じて変化した参照キャパシタの電圧をビットラインへ読み出す。

【0049】

図13でV1, V2, V3は図8に示すようにV1 > V2 > V3である。

【0050】

上記のような構成を有する本発明において、温度による参照レベルの変化程度を従来技術と比較すると次の通りである。

【0051】

図6は本発明と従来技術の温度による参照レベルの変化程度を示すもので、従来技術の場合、温度が上昇すると参照レベルが減少する特性を有するに対し、本発明の場合、温度が上昇すると参照レベルも共に高くなる特性を有している。

【0052】

また、図7は動作電圧によるビットラインセンシングレベルを示すもので、メインセルのローデータは温度の上昇と共に上昇する特性を現し、本発明による参照レベルのデータも同様の特性を有していることが分かる。

【0053】

【発明の効果】

以上のような本発明の半導体メモリ装置の参照電圧発生回路は、温度の上昇時にメインセルのローデータが上昇すると、参照レベルのデータも共に上昇するので、センシングマージンを改善させることができる。

【図面の簡単な説明】

【図1】 一般的なセルアレイ周辺関連回路図。

【図2】 図1のメインセルの単位回路図。

【図3】 従来参照セルの単位回路図。

【図4】 従来参照セルの電荷発生ヒステリシス特性図。

【図5】 従来参照セルの動作タイミング図。

【図6】 従来技術と本発明の温度による参照レベルの変化特性図。

【図7】 従来技術と本発明の動作電圧によるビットラインセンシングレベルの温度依存性を示す特性図。

【図8】 本発明による温度補償制御回路の参照電圧と参照電荷との相関関係を示すヒステリシス特性図。

【図9】 本発明による半導体メモリ装置の参照電圧発生回路の構成図。

【図10】 本発明の第1実施形態による半導体メモリ装置の参照電圧発生回路図。

【図11】 本発明の第2実施形態による半導体メモリ装置の参照電圧発生回路図。

【図12】 図9及び図11の温度補償制御回路の詳細回路図。

【図13】 図12の温度補償制御回路の動作タイミング図。

【図14】 図9の参照セルの動作タイミング図。

【符号の説明】

90, 100 : 温度補償制御回路

91, 101 : 参照セルアレイ

100 : 温度補償電圧調整回路

111, 112 : 第1セルブロック、第nセルブロック

120 : 基準電圧出力部

121 : 差動増幅器

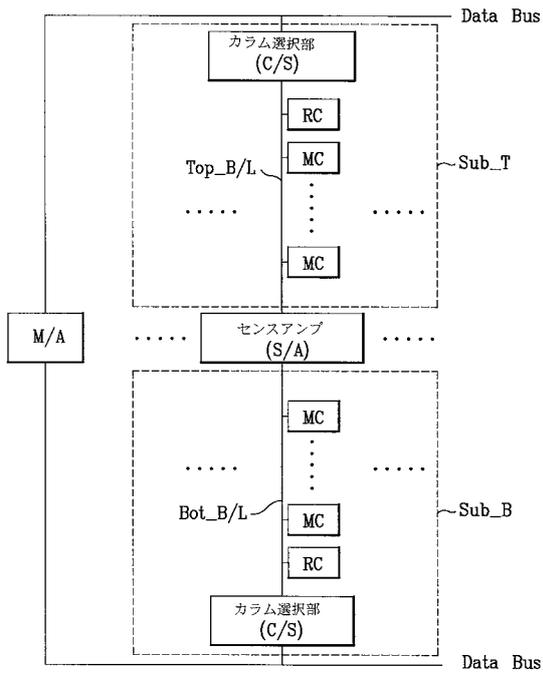
10

20

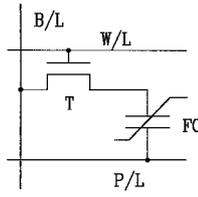
30

40

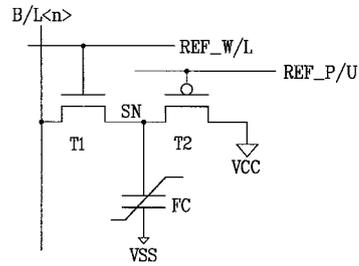
【図1】



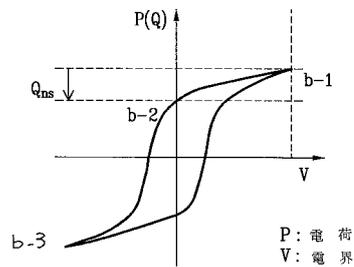
【図2】



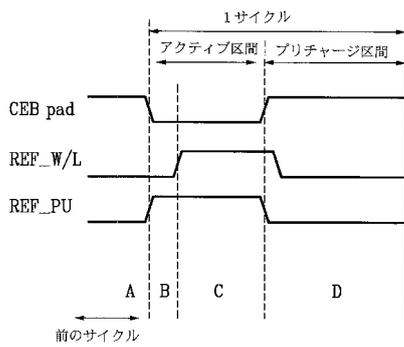
【図3】



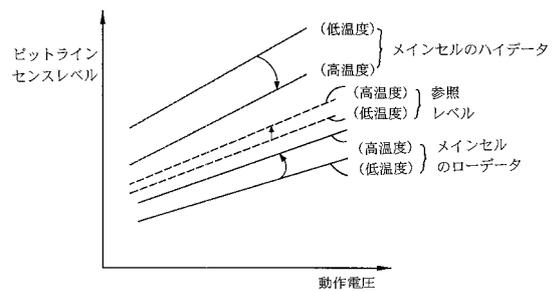
【図4】



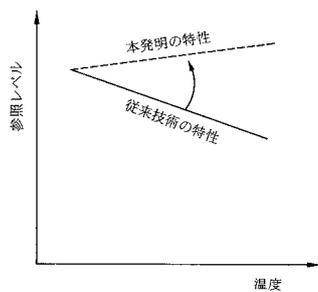
【図5】



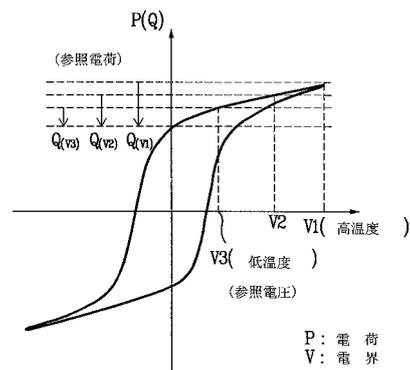
【図7】



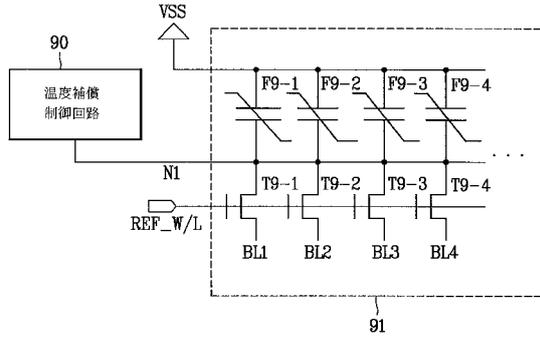
【図6】



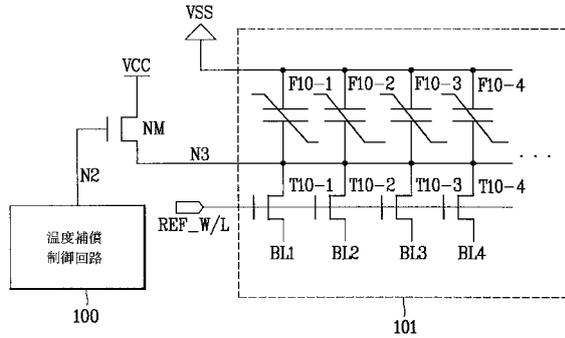
【図8】



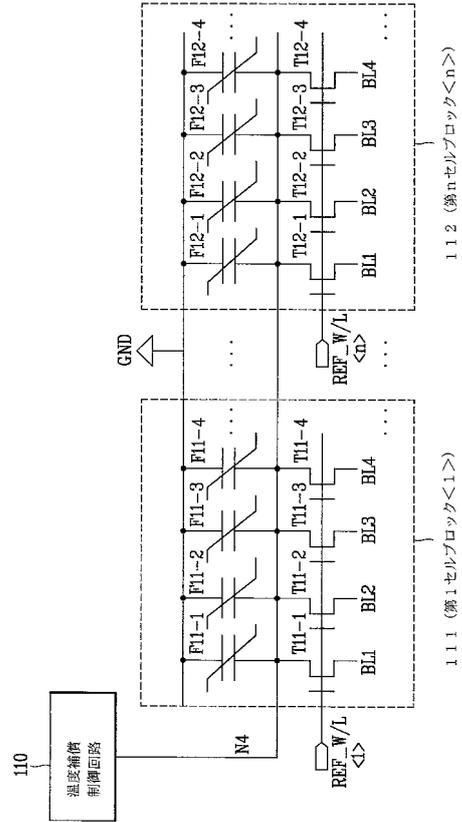
【図9】



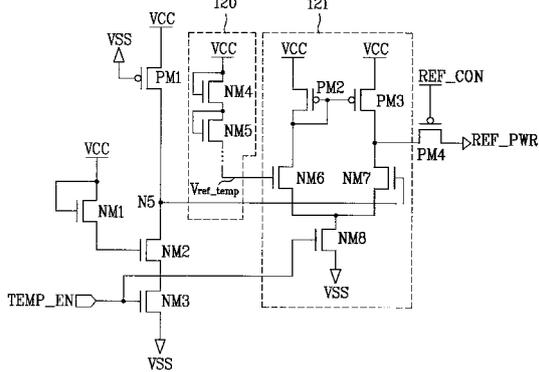
【図10】



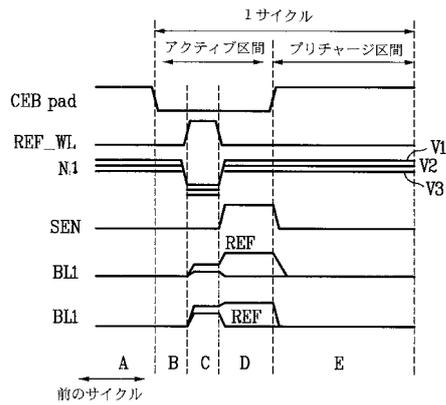
【図11】



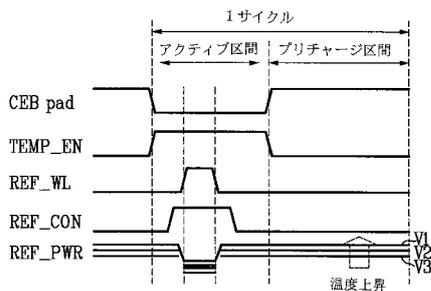
【図12】



【図14】



【図13】



フロントページの続き

- (74)代理人 100081743
弁理士 西山 修
- (74)代理人 100098394
弁理士 山川 茂樹
- (72)発明者 カン, ヒー・ボク
大韓民国・ダエジェオン - シ・ソ - ク・トマ 2 - ドン・(番地なし)・キョンナム アパートメ
ント・109 - 203
- (72)発明者 キイ, フン・ウー
大韓民国・キョンギ - ド・イチョン - シ・ブバル - ウブ・ウンガム - リ・97・イワ アパートメ
ント・101 - 1102
- (72)発明者 キム, ドック・ジュ
大韓民国・チェジュ - ド・チェジュ - シ・イワ 2 - ドン・1048
- (72)発明者 パク, ジェ・ホーン
大韓民国・キョンギ - ド・ソンナム - シ・ブンダン - ク・クムゴク - ドン・181・チョンソルハ
ンラ アパートメント・307 - 1403

審査官 加藤 俊哉

- (56)参考文献 特開平10 - 209387 (JP, A)
特開2001 - 210080 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G11C 11/22