

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4685206号  
(P4685206)

(45) 発行日 平成23年5月18日(2011.5.18)

(24) 登録日 平成23年2月18日(2011.2.18)

(51) Int.Cl.	F I	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 5 8 A
HO 1 L 29/78 (2006.01)	HO 1 L 29/74	C
HO 1 L 29/744 (2006.01)	HO 1 L 29/74	F
HO 1 L 29/74 (2006.01)	HO 1 L 29/74	3 0 1
HO 1 L 21/332 (2006.01)	HO 1 L 29/78	6 5 5 B
請求項の数 11 (全 8 頁) 最終頁に続く		

(21) 出願番号	特願平11-366596	(73) 特許権者	510075882
(22) 出願日	平成11年12月24日(1999.12.24)		アーベーベー テクノロジー アクチュエン
(65) 公開番号	特開2000-195870(P2000-195870A)		ゲゼルシャフト
(43) 公開日	平成12年7月14日(2000.7.14)		スイス ツェーハー8050 チューリッ
審査請求日	平成18年6月8日(2006.6.8)		ヒ アフォルターンシュトラーセ 44
(31) 優先権主張番号	19860581:1	(74) 代理人	100082005
(32) 優先日	平成10年12月29日(1998.12.29)		弁理士 熊倉 禎男
(33) 優先権主張国	ドイツ(DE)	(74) 代理人	100067013
			弁理士 大塚 文昭
		(74) 代理人	100086771
			弁理士 西島 孝喜
		(74) 代理人	100109070
			弁理士 須田 洋之
		(74) 代理人	100109335
			弁理士 上杉 浩
最終頁に続く			

(54) 【発明の名称】 半導体素子の製造方法

(57) 【特許請求の範囲】

【請求項1】

カソード(3')及びアノード(5)を有する半導体素子(HL)をウェーハ(1)から製造する方法であって、

a) 初めに、上記カソード(3')とは反対の側から不純物を拡散することにより、ドーピングプロファイル(20)を有する拡散領域(2)を付加するステップを含み、

b) 次いで、上記ウェーハ(1)のカソード側に、上記カソード(3')及びカソード金属被覆(4)を有するカソード構造を形成するステップと、

c) 次いで、上記カソード(3')とは反対の側から上記ウェーハ(1)の厚みを薄くするステップと、

d) 次いで、上記カソード(3')とは反対の側上にアノード(5)を形成させるステップと、を有し、

上記ステップc)では、上記拡散領域(2)の端部分が残るように、上記カソード(3')とは反対の側で上記ウェーハの厚みが薄くされ、上記端部分はバリア領域(21)を構成し、

上記ステップd)では、上記アノード(5)は、上記カソード(3')とは反対の側の上記バリア領域(21)上に形成されることを特徴とする方法。

【請求項2】

上記カソード構造(3)は、制御電極(7)を具備することを特徴とする請求項1に記載の方法。

## 【請求項 3】

上記バリア領域(21)は、上記半導体素子(HL)がオフ状態にあって電圧が増加した時に、電場が上記アノード(5)に達する前にブレイクダウンが発生するように調和されていることを特徴とする請求項1に記載の方法。

## 【請求項 4】

上記拡散領域(2)を形成する上記不純物が、1200°C以上の温度で拡散されることを特徴とする請求項1に記載の方法。

## 【請求項 5】

上記ステップa)及びc)では、上記バリア領域(21)が、上記アノード(5)のカソード側において、 $5 \times 10^{14} \text{ cm}^{-3}$ 以上、 $6 \times 10^{16} \text{ cm}^{-3}$ 以下のピークドーピングを有するように、上記拡散領域を付加し、上記ウェーハの厚みを薄くすることを特徴とする請求項1に記載の方法。

10

## 【請求項 6】

上記ステップa)及びc)では、上記バリア領域(21)が、上記アノード(5)のカソード側において、 $1 \times 10^{15} \text{ cm}^{-3}$ 以上のピークドーピングを有するように、上記拡散領域を付加し、上記ウェーハの厚みを薄くすることを特徴とする請求項5に記載の方法。

## 【請求項 7】

上記ステップa)及びc)では、上記バリア領域(21)が、上記アノード(5)のカソード側において、 $1 \times 10^{16} \text{ cm}^{-3}$ 以下のピークドーピングを有するように、上記拡散領域を付加し、上記ウェーハの厚みを薄くすることを特徴とする請求項5に記載の方法。

20

## 【請求項 8】

上記ステップa)及びc)では、上記バリア領域(21)が、上記アノード(5)のカソード側において、 $1 \times 10^{16} \text{ cm}^{-3}$ 以下のピークドーピングを有するように、上記拡散領域を付加し、上記ウェーハの厚みを薄くすることを特徴とする請求項6に記載の方法。

## 【請求項 9】

上記拡散領域(2)は、イオン注入およびそれに続く拡散、堆積およびそれに続く拡散、または気相からの拡散によって形成されることを特徴とする請求項1に記載の方法。

## 【請求項 10】

上記拡散は上記ウェーハの2つの側になされ、1つの側の上記拡散が完全に取り除かれることを特徴とする請求項9に記載の方法。

30

## 【請求項 11】

上記拡散は上記ウェーハの1つの側になされることを特徴とする請求項9に記載の方法。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、電力半導体の分野に関する。本発明は、特許請求の範囲の請求項1のプリアンブルに記載の半導体素子の製造方法と、特許請求の範囲の請求項7のプリアンブルに記載の半導体素子とに関する。

## 【0002】

40

## 【従来の技術】

IGBT(絶縁ゲートバイポーラトランジスタ)のような半導体電力スイッチの最良可能な電気的特性を達成するためには、半導体素子のアクティブゾーンの厚みを可能な限り物理的材料境界に近づけるように選択しなければならない。

## 【0003】

例えば、厚みはオン状態損失に直接的な効果を有している。それ故、ブレイクダウン電圧が600V - 1800Vである場合には、半導体素子は60 - 250  $\mu\text{m}$ の厚みであることが好ましい。しかしながら、製造中に破損する危険性を最小にするために、100mm以上の直径を有するウェーハの厚みは少なくとも300  $\mu\text{m}$ を有しているべきであるから、このような薄い厚みは半導体素子の製造上大きな問題である。

50

## 【 0 0 0 4 】

従来、この問題はいわゆるエピタキシャル技術によって解決してきた。これは400 - 600  $\mu$ mの比較的大きい厚みを有する取付用基体（サブストレート）上に電氣的にアクティブな領域を成長させることを含む。これにより取付用基体は、第1に、製造される半導体素子のために必要な頑丈さを保証し、第2に、取付用基体が半導体素子のアノードを構成するようになる。

## 【 0 0 0 5 】

一般的には、取付用基体と電氣的にアクティブな領域との間に配列された、バッファとも呼ばれるバリア層が存在する。オフ状態においては、バリア層はアノードの前の電場を急速に減速させて電場をアノードに近づけないようにする（もし電場がアノードに達すれば、半導体素子が破壊されてしまう）。アクティブな領域を成長させるのは長くて複雑なプロセスであるので、このエピタキシャル技術は比較的高価である。更にこの技術は、取付用基体、即ちアノードを十分に弱くドーピングすることができないという欠陥を有している。しかしながら、理想的な電氣的特性を得るためには電力半導体素子のアノードはできる限り弱くドーピングすべきであるから、これは長所である。弱いドーピングは高い固有抵抗を意味するが、取付用基体の厚みが比較的大きい場合には抵抗値が無視できなくなる。

## 【 0 0 0 6 】

従って、エピタキシャル層を必要としない比較的新しい半導体素子の製造方法が提唱されている。これらの方法は、例えばIEEE 0-7803-3106-0/1996の109 - 112頁に所載のDarryl Burnsらの論文“NPT-IGBT-Optimizing for manufacturability”、1998年1月発行のPCIM Europeの8 - 12頁に所載のAndreas Karlの論文“IGBT Modules Reach New Levels of Efficiency”、及びIEEE 0-7803-3993-2/1997の331 - 334頁に所載のJ. Yamashitaらの論文“A novel effective switching loss estimation of non-punchthrough and punchthrough IGBTs”から公知である。この方法を使用して製造された半導体素子は、エピタキシャル方法に基づくパンチスルー半導体素子に対して、NPT（非パンチスルー）と呼ばれる。

## 【 0 0 0 7 】

この方法においては、エピタキシャル層を有していない比較的厚いウェーハを開始材料として使用する。典型的な厚みは400 - 600  $\mu$ mである。第1のステップにおいて、ウェーハはカソード側が処理される。即ち、フォトリソグラフィ、イオン注入、拡散、エッチング、及び半導体素子の製造に必要な他のプロセスが遂行される。第2のステップにおいて、ウェーハは、カソードとは反対の側から所望の厚みまで薄くされる。これは、一般的には研削及びエッチングのような普通の技術によって遂行される。第3のステップにおいて、この薄くされた側にアノードが拡散される。

## 【 0 0 0 8 】

この方法は、その低い費用によってエピタキシャル方法とは区別されるが、それでも多くの欠陥を有している。即ち、この方法のステップにおいてはウェーハが既に極めて薄くされていて容易に破壊し得るので、アノードの拡散が比較的困難になる。更に、500°C以上の温度で溶融する金属層が第1のステップにおいて既にカソード側に付着されているので、素子を強く加熱してはならない。これは、アノードを弱くしかドーピングできないことを意味している。実を言えば、これは、半導体素子の電氣的特性にプラスの効果をもたしている。しかしながら、バッファとして使用できる層が十分に高いドーピング量を受入れることができないために、オフ状態モードにおいて電場がアノードに達する前にアバランシェブレークダウンを発生させるためには半導体素子を十分に厚くしなければならない。従って、原理的にはこの手法で製造された半導体素子は、エピタキシャル技術を使用して製造された素子よりも厚くなる。これは、弱くドーピングされたアノードの長所が、上述した厚過ぎるアクティブ領域の欠陥によって少なくとも部分的に打消されてしまうことを意味している。

## 【 0 0 0 9 】

EP-A-0,700,095は、高いオフ状態電圧に適するターンオフサイリスタを更に開示している

10

20

30

40

50

。このサイリスタは、アノード及びカソードを有する半導体素子からなり、アノードはトランスペアレントエミッタを有している。これらのアノードエミッタは、太陽電池、ダイオード、またはトランジスタのような電力成分に関して公知である。トランスペアレントアノードエミッタは、比較的弱く注入されたアノード側エミッタであると理解されており、従ってカソードから到来する電子流の大部分は再結合することなく、従って注入された正孔を解放することなく抽出することができる。このトランスペアレントアノードエミッタの前にバリア層が存在している。このバリア層は、第1に、オフ状態モードにおいて電場を減少させ、第2に、トランスペアレントアノードの注入効率に影響を与えるためにも使用することができる。この場合、バリア層は拡散させるか、またはエピタキシャルで製造されており、そのドーピングプロファイルは第1の場合にはガウス分布を有し、第2の場合には層の厚み全体に均一またはステップ状である分布を有している。この半導体素子は動作状態においてはポジティブな挙動を呈するが、破壊の危険があるので所望の厚みで同じものを製造することはできない。

10

【0010】

【発明の概要】

従って、本発明の目的は、可能な限り薄く、且つ経済的に製造することができる半導体素子を提供することである。

【0011】

この目的は、特許請求の範囲の請求項1の特色を有する方法によって、及び特許請求の範囲の請求項7の特色を有する半導体素子によって達成される。

20

【0012】

本発明の方法によれば、エピタキシャル技術を使用して製造される半導体素子の特色と、NPT技術を使用して製造される半導体素子の特色とを組み合わせることによって、これら2つの公知の方法を使用して製造された半導体素子の電気的特性とは明らかに異なる電気的特性を有する半導体素子が得られる。

【0013】

本発明による手順はエピタキシャル層を有していないNPT技術と同様であるが、開始材料のカソード側が処理される前にバリア領域が付加される。バリア領域は、ウェーハの将来のカソードとは反対の側からのドーピングによって付加される。これにより、密度が将来のアノードに向かって増加するドーピングプロファイルが発生し、これはカットオフドーピングプロファイルを有している。カソード側を処理した後に、弱くドーブされた端領域までドーピングプロファイルを除去し、本質的にバリア領域を形成するようにウェーハを薄くする。次いで、好ましくはトランスペアレントアノードエミッタを有する弱くドーブされたアノードを製造することができる。アノードは、オフ状態モードにおいて、隣接する、好ましくは密着するバリア領域によって電場から保護される。

30

【0014】

さらなる長所は、本発明による半導体素子が、オン状態モードにおいて、エピタキシャル技術による素子とは異なって、電圧降下に対して正の温度係数を有していることである。

【0015】

本発明による方法は、広範な半導体素子、特にIGBT（絶縁ゲートバイポーラトランジスタ）、GTO（ゲートターンオフサイリスタ）、または普通のサイリスタの製造に使用することができる。

40

【0016】

他の有利な実施の形態は、従属請求項に見出すことができよう。

【0017】

以下に、添付図面に基づいて本発明による方法、及び本発明による半導体素子を詳細に説明する。

【0018】

【実施の形態】

図1a乃至1eに示すように、本質的に、本発明による半導体素子はウェーハ1から製造

50

され、ウェーハ 1 は好ましくは均一に  $n^+$  ドープされている (図 1 a)。ウェーハ 1 はその開始材料形状では比較的厚く、ウェーハ 1 を取扱う際に破損させる恐れを最小にするようにその厚みが調和されている。典型的な値は 400 - 600  $\mu\text{m}$  である。

#### 【 0 0 1 9 】

第 1 のステップにおいて、ウェーハ 1 は、イオン注入と、それに続く拡散、堆積と、それに続く拡散、または気相からの拡散のような公知の技術を使用して、一方の側から  $n^+$  ドープされる。図 1 b に矢印で示してあるように、ドーピングは一方の側に遂行される。しかしながら、ウェーハの 2 つの側にドーピングすることも可能であり、この場合その後ウェーハの一方の側を薄くする。これによりウェーハ 1 には拡散領域 2 が得られ、この拡散領域 2 はソース側が増加、即ち、弱く  $n$  ドープされた領域から高度にドーピングされた  $n^+$  領域まで移っているドーピングプロファイル 20 を有している。このドーピングプロファイルは、製造技術に依存する。一般的に言えば、それはガウスの形状であるか、または相補誤差関数に対応する。

10

#### 【 0 0 2 0 】

浸透の深さは比較的大きくし、好ましくはウェーハ 1 の厚みの少なくとも半分まで到達させるが、反対側までは到達させない。図 1 b においてはドーピングはドットで示されており、ドットの密度がおおよそそのドーピング密度を表している。しかしながらドーピングプロファイルは、図 1 b に示されているようにではなく、非ステップ状であることが好ましい。

20

#### 【 0 0 2 1 】

浸透の深さ及びドーピングプロファイル 20 の勾配の選択は、後述するように得られる半導体素子の厚みを予め限定するために使用することができる。拡散は一般に比較的高温で、好ましくは 1200 °C 以上で行われる。浸透の深さを大きくするには比較的長い拡散時間、一般には複数日を必要とする。

#### 【 0 0 2 2 】

次のステップにおいては、ウェーハ 1 の非拡散側が処理される。即ち、 $n^+$  ドープされたカソード 3' を有するカソード構造 3、カソード金属被膜 4、及び好ましくは制御電極 7 が公知のプロセスを使用して形成または導入される。これらのプロセスは、NPT 技術におけるものと同様であり、従って詳細な説明は省略する。これらのプロセスは、これらによって製造されるアクティブ領域 3 の構造が異なると同様に、製造される半導体素子の型によっても異なる。従って、図 1 c に示されているカソード側に対するこのような処理の結果は、多くの可能性の中の単なる一例にしか過ぎない。

30

#### 【 0 0 2 3 】

次のステップにおいては、NPT 技術において遂行されるように、好ましくは研削及びエッチングによって、カソード金属被膜 4 とは反対の側のウェーハ 1 の厚みを薄くする。好ましくは、少なくともおおよそそのバリア領域 21 を形成する弱く  $n$  ドープされた端領域まで、全拡散領域を除去する。

#### 【 0 0 2 4 】

最終ステップ (図 1 e) においては、境界領域を適切にドーピングすることによってウェーハ 1 を薄くした側にトランスペアレントアノードエミッタを有するアノードを付加する。この境界領域は得られる半導体素子の厚みに比して狭い。図示の場合には、全アノードを形成しているアノードエミッタは、この場合  $p^+$  ドープされており、アノードにおいて  $p$  ドーピング原子が占める領域は  $2 \times 10^{14} \text{ cm}^{-2}$  以下、好ましくは  $1 \times 10^{13}$  以下である。半導体素子の型に依存して、アノードはさまざまな種類の構造を有している。接触を行わせる目的のために、この側に第 2 の金属層、即ちアノード金属被膜 6 を付加することができる。最後に、アノード 5、及びアノード 5 に隣接するバリア層 21 の部分を高エネルギーイオンで照射することによって、アノード効率を減少させることが好ましい。

40

#### 【 0 0 2 5 】

図 1 e に示すように、以上のプロセスの結果得られた半導体素子 HL は、カソード金属被膜 4 及び制御電極 7 が組込まれているカソード構造 3 と、アノード金属被膜 6 が組込まれ

50

ているアノード5と、アノード5の次の（好ましくはそれに接している）バリア領域21とを有し、バリア領域21はアノード5に向かってカットオフされているドーピングプロファイルを有している。本発明による半導体素子HLは、典型的には80 - 180 μmのような比較的薄い厚みを有しているが、この厚みは半導体素子の電圧クラスに依存する。

【0026】

図2は、本発明による半導体素子HLに不可欠なドーピングの全プロファイルを示している。横軸上の区分AからA'まではウェーハ1の始めの厚みを表しており、区分AからBまでが完成した半導体素子HLの厚みを表している。縦軸の一方は電場を表し、他方は  $\text{cm}^3$  当たりのドーピング原子の数を対数目盛で表している。

【0027】

図2に示すように、第1のステップにおいて、 $n^-$ ドーピングされた開始材料は $n$ または $n^+$ ドーピングによって注入された、またはドーピングされた側から除去される。密度は、ドーピングされた側の方が大きくなっている。ウェーハの厚みを薄くする時に残されるドーピングされた端領域、即ちバリア領域21は、半導体素子がオフ状態モードにある時に電場がアノード5に達する前にアバランシェブレークダウンが発生するように調和されている。エミッタの有効性を最適化するために、バリア領域のドーピングは、陽極において少なくとも  $5 \times 10^{14} \text{ cm}^{-3}$ 、好ましくは  $1 \times 10^{15} \text{ cm}^{-3}$ 、そして多くとも  $6 \times 10^{16} \text{ cm}^{-3}$ 、好ましくは  $1 \times 10^{16} \text{ cm}^{-3}$  のピークドーピングが得られるように高く選択される。陽極においては、本例では、位置 = 点B - アノードの厚みである。但し点Bは、図1eに示すように完成した半導体素子の厚みを表している。

【0028】

図2には、オフ状態モードにおける電場も示されている。

【0029】

以上に説明したように、本発明による方法によれば、トランスペアレントアノード及び集積されたバリア層を有する薄い電力半導体素子を製造することが可能である。

【図面の簡単な説明】

【図1】 aは、本発明による半導体素子の製造方法における開始材料を示す断面図、bは、本発明による半導体素子の製造方法の第1のステップにおけるドーピングを示す断面図、cは、本発明による半導体素子の製造方法の第2のステップにおけるカソード構造の形成を示す断面図、dは、本発明による半導体素子の製造方法の第3のステップにおいてウェーハを薄くし、バリア層の形成を示す断面図、及び、eは、本発明による半導体素子の製造方法の最終ステップにおいてアノードを形成させ、完成した半導体素子を示す断面図である。

【図2】 図1bのA - A'及び図1eのA - B矢視断面図であって、拡散プロファイル及びオフ状態モードにおける電場をグラフ的に示す図である。

【符号の説明】

- 1 ウェーハ
- 2 拡散領域
- 3 カソード構造
- 3' カソード
- 4 カソード金属被膜
- 5 アノード
- 6 アノード金属被膜
- 7 制御電極
- 20 ドーピングプロファイル
- 21 バリア領域
- HL 半導体素子
- E<sub>sp</sub> オフ状態モードにおける電場

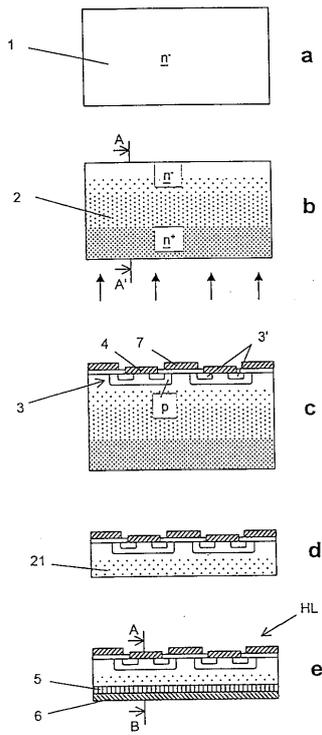
10

20

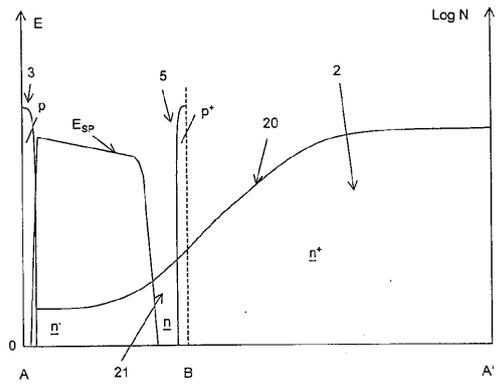
30

40

【図1】



【図2】



---

フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 29/739 (2006.01) H 0 1 L 29/78 6 5 5 C

(74)代理人 100121979

弁理士 岩崎 吉信

(72)発明者 ステファン リンデル

スイス ツェーハー4800 ソフィンゲン ビファングストラーセ 12

審査官 恩田 春香

(56)参考文献 特開昭60-145660(JP,A)  
特開平09-082955(JP,A)  
特開平01-253279(JP,A)  
特開平06-326317(JP,A)  
特開平02-007569(JP,A)  
特開平05-003324(JP,A)  
特開平11-274484(JP,A)  
特開昭58-087870(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/78

H01L 21/336

H01L 29/74

H01L 29/861

H01L 21/329