

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-64523  
(P2005-64523A)

(43) 公開日 平成17年3月10日(2005.3.10)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
HO 1 L 21/822	HO 1 L 27/04 C	5E082
HO 1 G 4/33	HO 1 G 13/00 391C	5F038
HO 1 G 13/00	HO 1 L 21/316 M	5F058
HO 1 L 21/316	HO 1 L 27/10 621Z	5F083
HO 1 L 21/8242	HO 1 L 27/10 651	

審査請求 未請求 請求項の数 33 O L (全 12 頁) 最終頁に続く

(21) 出願番号	特願2004-237223 (P2004-237223)	(71) 出願人	390019839 三星電子株式会社
(22) 出願日	平成16年8月17日 (2004.8.17)		
(31) 優先権主張番号	2003-056857	(74) 代理人	100064414 弁理士 磯野 道造
(32) 優先日	平成15年8月18日 (2003.8.18)		
(33) 優先権主張国	韓国 (KR)	(72) 発明者	李 正 賢 大韓民国 京畿道 龍仁市 豊▲徳▼川2 洞 530-1番地 泰 榮レスビルアパート 106棟 803号
		(72) 発明者	徐 範 錫 大韓民国 ソウル特別市 九老區 高尺1 洞 324番地 信元ブ ラザー 1207号

最終頁に続く

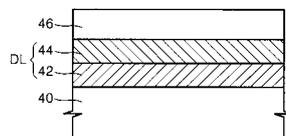
(54) 【発明の名称】 半導体装置のキャパシタとその製造方法、およびそのキャパシタを備えるメモリ装置

(57) 【要約】

【課題】 誘電膜とその誘電膜が蒸着される下部電極の間の望ましくない反応を防止でき、ALD法を利用した誘電膜の形成過程で誘電膜に多量の水蒸気が吸収されることを防止して、誘電膜の電気的な特性の低下を防止できる。

【解決手段】 下部電極と、誘電膜と、上部電極とを含む半導体装置のキャパシタにおいて、前記下部電極と前記誘電膜の間に、前記下部電極と前記誘電膜の反応を防止する第1反応防止膜を備える半導体装置のキャパシタとその製造方法および前記キャパシタを備えるメモリ装置。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

下部電極と、  
前記下部電極の上に形成された誘電膜と、  
前記誘電膜の上に形成された上部電極と、  
前記下部電極と前記誘電膜の間に設けられた、前記下部電極と前記誘電膜の反応を防止する第 1 反応防止膜と、を含むことを特徴とする半導体装置のキャパシタ。

## 【請求項 2】

前記下部電極は、導電性不純物がドーピングされたシリコン電極であることを特徴とする請求項 1 に記載の半導体装置のキャパシタ。

10

## 【請求項 3】

前記第 1 反応防止膜は、前記誘電膜が含む陽イオンよりも半径が小さい陽イオンを含む、ハフニウム酸化膜またはアルミニウム酸化膜であることを特徴とする請求項 1 に記載の半導体装置のキャパシタ。

## 【請求項 4】

前記誘電膜は、ランタニド系列の元素を含む酸化膜であることを特徴とする請求項 1 に記載の半導体装置のキャパシタ。

## 【請求項 5】

前記ランタニド系列の元素を含む酸化膜が、 $La_2O_3$  膜であることを特徴とする請求項 4 に記載の半導体装置のキャパシタ。

20

## 【請求項 6】

前記上部電極は、チタンナイトライド膜であることを特徴とする請求項 1 に記載の半導体装置のキャパシタ。

## 【請求項 7】

前記上部電極は、導電性不純物がドーピングされたシリコン電極であり、前記上部電極と前記誘電膜の間に、さらに第 2 反応防止膜が設けられていることを特徴とする請求項 1 に記載の半導体装置のキャパシタ。

## 【請求項 8】

前記第 2 反応防止膜は、前記誘電膜が含むものよりも半径の小さい陽イオンを含むハフニウム酸化膜またはアルミニウム酸化膜であることを特徴とする請求項 7 に記載の半導体装置のキャパシタ。

30

## 【請求項 9】

前記誘電膜は、ランタニド系列の元素を含む酸化膜であることを特徴とする請求項 3 に記載の半導体装置のキャパシタ。

## 【請求項 10】

下部電極を形成する段階と、  
前記下部電極の上に第 1 反応防止膜を形成する段階と、  
前記第 1 反応防止膜の上に金属元素を含む前駆体層を形成する段階と、  
前記前駆体層を酸化させて前記第 1 反応防止膜の上に前記金属元素を含む酸化膜を形成する段階と、  
前記酸化膜を乾燥させる段階と、  
前記乾燥された酸化膜の上に上部電極を形成する段階と、を含むことを特徴とするキャパシタの製造方法。

40

## 【請求項 11】

前記上部電極を形成する前に、前記乾燥された酸化膜の上に第 2 反応防止膜をさらに形成することを特徴とする請求項 10 に記載のキャパシタの製造方法。

## 【請求項 12】

前記下部電極は導電性不純物がドーピングされたシリコン電極で形成し、前記上部電極はチタンナイトライド膜で形成することを特徴とする請求項 10 に記載のキャパシタの製造方法。

50

## 【請求項 13】

前記下部電極および上部電極は、導電性不純物がドーピングされたシリコン電極またはチタンナイトライド膜で形成することを特徴とする請求項 11 に記載のキャパシタの製造方法。

## 【請求項 14】

前記上部電極および下部電極は、チタンナイトライド膜で形成することを特徴とする請求項 10 に記載のキャパシタの製造方法。

## 【請求項 15】

前記前駆体層を形成した後、排気工程を実施することを特徴とする請求項 10 に記載のキャパシタの製造方法。

## 【請求項 16】

前記酸化膜を形成した後、排気工程を実施することを特徴とする請求項 10 に記載のキャパシタの製造方法。

## 【請求項 17】

前記酸化膜を乾燥した後、排気工程を実施することを特徴とする請求項 10 に記載のキャパシタの製造方法。

## 【請求項 18】

前記酸化膜を形成する段階において、前記前駆体層の上に水蒸気を流して前記前駆体層を 1 次酸化させることを特徴とする請求項 10 に記載のキャパシタの製造方法。

## 【請求項 19】

前記 1 次酸化された前駆体層の上にオゾンを供給して、前記 1 次酸化された前駆体層を 2 次酸化させることを特徴とする請求項 18 に記載のキャパシタの製造方法。

## 【請求項 20】

前記酸化膜を形成する段階において、前記 1 次酸化および 2 次酸化を繰返して行なうことを特徴とする請求項 19 に記載のキャパシタの製造方法。

## 【請求項 21】

前記金属元素は、ランタニド系列の元素であることを特徴とする請求項 10 に記載のキャパシタの製造方法。

## 【請求項 22】

前記酸化膜を乾燥させる段階において、前記酸化膜はその上にオゾンを流して乾燥させることを特徴とする請求項 10 に記載のキャパシタの製造方法。

## 【請求項 23】

前記第 1 反応防止膜は、前記誘電膜が含むものよりも半径の小さい陽イオンを含むハフニウム酸化膜またはアルミニウム酸化膜で形成することを特徴とする請求項 10 に記載のキャパシタの製造方法。

## 【請求項 24】

前記第 2 反応防止膜は、前記誘電膜が含むものよりも半径の小さい陽イオンを含むハフニウム酸化膜またはアルミニウム酸化膜で形成することを特徴とする請求項 11 に記載のキャパシタの製造方法。

## 【請求項 25】

前記金属元素は、ランタニド系列の元素であることを特徴とする請求項 18 に記載のキャパシタの製造方法。

## 【請求項 26】

前記金属元素は、ランタニド系列の元素であることを特徴とする請求項 19 に記載のキャパシタの製造方法。

## 【請求項 27】

トランジスタとそれに連結されたキャパシタとを備える半導体メモリ装置において、前記キャパシタは、下部電極と、前記下部電極の上に形成された誘電膜と、

10

20

30

40

50

前記誘電膜の上に形成された上部電極と、

前記下部電極と前記誘電膜の間に設けられた、前記下部電極と前記誘電膜の反応を防止する第1反応防止膜と、を含むことを特徴とする半導体メモリ装置。

【請求項28】

前記下部電極は導電性不純物がドーピングされたシリコン電極であり、前記上部電極はチタンナイトライド電極であることを特徴とする請求項27に記載の半導体メモリ装置。

【請求項29】

前記第1反応防止膜は、前記誘電膜が含むものよりも半径の小さい陽イオンを含むハフニウム酸化膜またはアルミニウム酸化膜であることを特徴とする請求項27に記載の半導体メモリ装置。

【請求項30】

前記上部電極と前記誘電膜の間に、さらに第2反応防止膜が設けられていることを特徴とする請求項27に記載の半導体メモリ装置。

【請求項31】

前記誘電膜は、ランタニド系列の元素を含む酸化膜であることを特徴とする請求項27に記載の半導体メモリ装置。

【請求項32】

前記第2反応防止膜は、前記誘電膜が含むものよりも半径の小さい陽イオンを含むハフニウム酸化膜またはアルミニウム酸化膜であることを特徴とする請求項30に記載の半導体メモリ装置。

【請求項33】

前記誘電膜は、ランタニド系列の元素を含む酸化膜であることを特徴とする請求項30に記載の半導体メモリ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に係り、さらに詳細には半導体装置のキャパシタとその製造方法、および前記キャパシタを備えるメモリ装置に関する。

【背景技術】

【0002】

半導体装置のキャパシタに使われる誘電膜として、ランタン酸化膜( $\text{La}_2\text{O}_3$ )が使われている。

シリコン層上にランタン酸化膜が蒸着される場合、ランタン酸化膜がシリコンと反応し、その結果、キャパシタにシリケートが形成される。このシリケートの形成によって、キャパシタの特性が低下する。

【0003】

半導体装置の集積度が高くなるにつれて、狭い領域に高静電容量を有するキャパシタを形成することが求められている。キャパシタの静電容量は電極の表面積に比例する。したがって、キャパシタの電極を立体的に形成することによって、キャパシタの静電容量を増加させることができる。

【0004】

一方、キャパシタの電極が複雑な構造を有していても誘電膜の厚さおよび成分は均一であることが望ましい。

【0005】

しかし、化学気相蒸着(Chemical Vapor Deposition: CVD)方法のような既存の薄膜蒸着方法は、工程の特性上、複雑な構造を有する電極上に均一な厚さおよび成分を有する誘電膜を形成し難い。

【0006】

10

20

30

40

50

そこで、最近では、原子層堆積 (Atomic Layer Deposition: ALD) を利用して複雑な構造を有する下部構造物に薄膜を形成する方法が紹介されている。

【0007】

ALD法を利用する場合、形成しようとする薄膜の成分を複雑な構造を有する下部構造物の深い所まで到達させることができる。したがって、薄膜の厚さの均一性および成分の均一性をある程度確保できる。

【0008】

したがって、ALD法を利用する場合、複雑な構造を有するキャパシタ電極の上に均一な厚さおよび成分を有する誘電膜を形成できる。

10

【0009】

前記ランタン酸化膜もALD法を利用して形成できる。しかし、問題は、ランタニド系列の物質が吸湿性を有しているため、ランタニド系列の物質が空気中に露出される場合、水蒸気 ( $H_2O$ ) を吸収してその特性が変わることである。

【0010】

すなわち、ランタン酸化膜をALD法を利用して形成する場合、ランタン前駆体層を蒸着した後、水蒸気を使用して前記ランタン前駆体層を酸化させる過程で水蒸気がランタン酸化膜内に多量に吸収される。この場合、ランタン酸化膜の電気的な特性、例えば、漏れ電流特性が低下する。

【0011】

図1は、ALD法を利用してランタン酸化膜等の幾つかの酸化膜を形成する過程で酸化ガスとして水蒸気を使用した時の問題点、すなわち漏れ電流密度が増加することを表す。B1は40の厚さに形成されたアルミニウム酸化膜における漏れ電流密度を表し、B2は45の厚さに形成されたハフニウム酸化膜における漏れ電流密度を表す。そして、B3は前駆体、 $La(tmhd)_3$ における漏れ電流密度を表し、B4は $La(N(Si(Me)_3)_2)_3$ における漏れ電流密度を表す。また、B5は、 $La(iPrCp)_3$ における漏れ電流密度を表す。

20

【発明の開示】

【発明が解決しようとする課題】

【0012】

本発明が解決しようとする技術的課題は、前記従来技術の問題点を改善するためのものであって、誘電膜とその誘電膜が蒸着される下部電極の間の望ましくない反応を防止でき、ALD法を利用した誘電膜の形成過程で誘電膜に多量の水蒸気が吸収されることを防止して、誘電膜の電気的な特性の低下を防止できる半導体装置のキャパシタを提供することである。

30

【0013】

本発明が解決しようとする他の技術的課題は、前記キャパシタの製造方法を提供することである。

【0014】

本発明が解決しようとするさらに他の技術的課題は、前記キャパシタを備える半導体メモリ装置を提供することである。

40

【課題を解決するための手段】

【0015】

前記課題を達成するために、本発明は、下部電極と、誘電膜と、上部電極とを含む半導体装置のキャパシタにおいて、前記下部電極と前記誘電膜の間に、前記下部電極と前記誘電膜の反応を防止する第1反応防止膜を備えることを特徴とする半導体装置のキャパシタを提供する。

【0016】

前記誘電膜は、ランタニド系列の元素を含む酸化膜である。

前記上部電極と前記誘電膜の間に、さらに第2反応防止膜が設けられていてもよい。

50

前記第1反応防止膜および第2反応防止膜は、 $\text{La}_2\text{O}_3$ よりイオン半径の小さいハフニウム酸化膜またはアルミニウム酸化膜である。

【0017】

前記他の課題を達成するために、本発明は、下部電極を形成する段階と、前記下部電極の上に第1反応防止膜を形成する段階と、前記第1反応防止膜の上に金属元素を含む前駆体層を形成する段階と、前記金属元素を酸化させて前記第1反応防止膜の上に前記金属元素を含む酸化膜を形成する段階と、前記金属元素を含む酸化膜を乾燥させる段階と、前記乾燥された酸化膜の上に上部電極を形成する段階とを含むことを特徴とするキャパシタの製造方法を提供する。

【0018】

前記下部電極は、導電性不純物がドーピングされたシリコン電極で形成し、前記上部電極はチタンナイトライド膜で形成できる。

【0019】

前記乾燥された酸化膜と前記上部電極の間に第2反応防止膜をさらに形成できるが、この時、前記下部電極および前記上部電極は全て導電性不純物がドーピングされたシリコン電極またはチタンナイトライド膜で形成する。

【0020】

前記上部電極および前記下部電極は全てチタンナイトライド膜で形成できる。

【0021】

前記前駆体層を形成した後、前記金属元素を含む酸化膜を形成した後、および前記酸化膜を乾燥した後に、それぞれ排気工程を実施できる。

【0022】

前記酸化膜を形成する段階で、前記前駆体層は、前記前駆体層の上に水蒸気を流して1次酸化させる。

【0023】

前記前駆体層を1次酸化させた後、前記前駆体層上にオゾン进行流して前記1次酸化された前駆体層を2次酸化させる。この時、前記1次および2次酸化工程は数回繰返して行なうことができる。

【0024】

前記酸化膜は、その酸化膜の上にオゾン进行流して乾燥させる。

【0025】

前記第1反応防止膜および第2反応防止膜は、前記誘電膜が含むものよりも半径の小さい陽イオンを含むハフニウム酸化膜またはアルミニウム酸化膜で形成できる。

【0026】

さらに他の課題を解決するため、本発明は、トランジスタとそれに連結されたキャパシタとを備える半導体メモリ装置において、前記キャパシタが、下部電極と、誘電膜と、上部電極とを含み、前記下部電極と前記誘電膜の間に、前記下部電極と前記誘電膜の反応を防止する第1反応防止膜を備えることを特徴とする半導体メモリ装置を提供する。

【発明の効果】

【0027】

本発明によるキャパシタは、誘電膜として使われるランタニド系列の元素を含む酸化膜と、シリコンを含む下部電極または/および上部電極の間に両者の反応を防止するための反応防止膜を備える。これにより、ランタニド系列の元素を含む酸化膜とシリコンの反応に起因するシリケートが形成されないため、キャパシタの電気的特性の劣化を防止することができる。また、ALDを利用したランタニド系列の元素を含む酸化膜形成過程で、酸化工程後にオゾン进行流して酸化された結果物から水蒸気を完全に除去する。すなわち、酸化された結果物を乾燥する。これにより、ランタニド系列の元素を含む酸化膜に水蒸気が多量に含まれることに起因するキャパシタの電気的特性の劣化も防止することができる。さらに、このようなキャパシタを半導体メモリ装置に備える場合、メモリ装置に保存されたデータを長期間正常な状態で維持できるので、メモリ装置の信頼性も高くなる。

10

20

30

40

50

## 【発明を実施するための最良の形態】

## 【0028】

以下、本発明の実施形態による半導体装置のキャパシタとその製造方法、およびキャパシタを備えるメモリ装置について、添付図面を参照して詳細に説明する。なお、図面に示された層や領域の厚さは、明細書の明確性のために誇張して示した。

## 【0029】

まず、本発明の実施形態によるキャパシタ（以下、本発明のキャパシタという）について説明する。

図2は、本発明の実施形態によるキャパシタの断面図である。

図2に示すとおり、本発明のキャパシタは、下部電極40と、誘電膜DLと、上部電極46とを備える。下部電極40は、導電性不純物がドーピングされたシリコン電極である。下部電極40は、チタンナイトライド(TiN)で形成されていてもよい。誘電膜DLは、第1誘電膜42と第2誘電膜44とを含む。第1誘電膜42は、下部電極40と第2誘電膜44との望ましくない反応、例えば、シリケート形成反応を防止するためのものである。第1誘電膜42は、第2誘電膜44におけるよりも半径が小さい陽イオンを含む誘電膜、例えば、ハフニウム酸化膜(HfO<sub>2</sub>)またはアルミニウム酸化膜(Al<sub>2</sub>O<sub>3</sub>)であることが望ましい。第1誘電膜42の厚さは2nm程度が望ましいが、多少厚いか、または薄くても良い。しかし、第1誘電膜42の厚さは、第2誘電膜44より薄いことが望ましい。第2誘電膜44は、ランタニド系列の元素を含む酸化膜、例えば、ランタン酸化膜(La<sub>2</sub>O<sub>3</sub>)であることが望ましい。第2誘電膜44の厚さは、2nm~10nm程度が望ましいが、多少厚いか、または薄くても良い。上部電極46は、チタンナイトライド(TiN)電極が望ましいが、導電性不純物がドーピングされたシリコン電極であってもよい。但し、後者の場合、上部電極46と第2誘電膜44の間のシリケート反応を防止するために、上部電極46と第2誘電膜44の間に、第1誘電膜42と同等な役割を有する反応防止膜をさらに形成してもよい。上部電極46と下部電極40とは、同じ素材で形成されていてもよい。

10

20

## 【0030】

図3は、前記本発明のキャパシタの電気的特性、すなわち、印加電圧に対する漏れ電流特性を表すグラフである。図3において、T、BおよびCは、それぞれ、図2に示したキャパシタの形成されたウェーハを垂直に立てた時、前記ウェーハの上側、下側および中央に形成されたキャパシタを対象として印加電圧による漏れ電流密度を測定した結果を表す第1グラフないし第3グラフである。

30

## 【0031】

第1グラフT、第2グラフBおよび第3グラフCから、前記ウェーハの上側、下側および中央に形成されたキャパシタの漏れ電流密度は大きい差がなく、動作電圧の範囲では全て漏れ電流密度は $1 \times 10^{-7} \text{ A/cm}^2$ 以下と低いことが分かる。

## 【0032】

また、第1グラフT、第2グラフBおよび第3グラフCから、前記ウェーハの全領域に形成されたキャパシタに対する漏れ電流特性も、前記ウェーハの上側、下側および中央に形成されたキャパシタの漏れ電流特性と同様に優秀であることが分かる。

40

## 【0033】

次いで、図2に示した本発明のキャパシタの製造方法（以下、「本発明の製造方法」という）を説明する。

## 【0034】

図4に示すとおり、本発明の製造方法は、第1段階60、第2段階62および第3段階64を含む。

## 【0035】

第1段階60では、下部電極の上に第1酸化膜を形成する。前記下部電極は、導電性不純物がドーピングされたシリコン電極で形成することが望ましいが、他の導電性電極、例えば、チタンナイトライド電極で形成できる。前記第1酸化膜は、前述した本発明のキャ

50

パシタの第1誘電膜42と同等なものである。すなわち、前記第1酸化膜は、キャパシタの誘電膜の一部として利用されるが、主に、後述する第2酸化膜と前記下部電極の間の望ましくない反応を防止するための反応防止膜の役割を有する。したがって、前記第1酸化膜は、前記下部電極を構成する物質、例えば、シリコン(Si)と反応しない成分で形成することが望ましい。前記第1酸化膜は、後述する第2酸化膜より薄く、例えば、2nm程度の厚さに形成することが望ましいが、これより厚いか、または薄く形成できる。このように、前記第1酸化膜は、数nmの厚さに形成されるため、CVD方法のように既存の広く使われている薄膜蒸着方法を使用するよりは厚さの均一性および成分の均一性に優れ、厚さを微細に調節できるALDで形成することが望ましい。前記第1酸化膜は、単一膜に形成することが望ましいが、二重膜に形成しても良い。したがって、前記第1酸化膜は、ハフニウム酸化膜および/またはアルミニウム酸化膜で形成できる。

10

**【0036】**

第2段階62において、前記第1酸化膜の上に第2酸化膜を形成する。前記第2酸化膜は、前記本発明のキャパシタの第2誘電膜44と同等のものである。したがって、前記第2酸化膜は、前記第1酸化膜が含むものよりも半径の大きい陽イオンを含む酸化膜で形成することが望ましい。例えば、前記第2酸化膜は、ランタン酸化膜(La<sub>2</sub>O<sub>3</sub>)等のランタニド系列の元素を含む酸化膜で形成することが望ましい。前記第2酸化膜は、前記第1酸化膜と同様に数nmの厚さに形成することが望ましい。しかし、前記第2酸化膜は、前記第1酸化膜と同じ厚さであるか、または前記第1酸化膜よりも厚く形成される。このように、前記第2酸化膜も数nmの厚さに形成するため、既存の薄膜蒸着方法よりもALD法で形成することが望ましい。ALD法を利用した前記第2酸化膜形成過程については後述する。

20

**【0037】**

第3段階64では、前記第2酸化膜の上に上部電極を形成する。前記上部電極は、チタンナイトライド電極で形成される。前記上部電極は、導電性不純物がドーピングされたシリコン電極でもよい。

**【0038】**

図5に示すとおり、前記第2段階62は、さらに3つの下位段階62a, 62b, 62cに細分できる。3つの下位段階62a, 62b, 62cにおいて、ALDを利用した前記第2酸化膜の形成方法をさらに詳細に説明する。ここで、前記第2酸化膜は、ランタン酸化膜(La<sub>2</sub>O<sub>3</sub>)とする。

30

**【0039】**

具体的には、第1の下位段階62aにおいて、前記第1酸化膜の上に、前記第2酸化膜の金属性分(La)を含む前駆体、例えばLa(tmhd)<sub>3</sub>, La(N(Si(Me)<sub>3</sub>)<sub>2</sub>)<sub>3</sub>, またはLa(iPrCp)<sub>3</sub>を蒸着する。次いで、第1排気工程を実施して前記前駆体層を形成し、残りの前駆体を反応チャンバーから除去する。

**【0040】**

第2の下位段階62bでは、前記前駆体層が酸化される。

具体的には、前記第1排気工程が実施された以後、前記反応チャンバーに、酸化ガス、例えば、水蒸気(H<sub>2</sub>O)を供給する。前記酸化ガスと前記前駆体層との間の置換反応を通じて前記前駆体層が酸化されて、前記下部電極の上に前記第2酸化膜、すなわち、ランタン酸化膜が形成される。次いで、第2排気工程を実施して、前記反応チャンバー内に存在する残りの酸化ガスを除去する。

40

**【0041】**

第3の下位段階62cでは、前記第2酸化膜から不純物が除去される。

具体的には、前記第2排気工程後に前記反応チャンバーにオゾン(O<sub>3</sub>)を供給して前記第2酸化膜に過度に含まれている水蒸気を除去する。次に、前記反応チャンバーに残留するオゾンを除去するための第3排気工程を実施する。

**【0042】**

前記第2酸化膜に含まれた水蒸気が除去されるという点で、第3の下位段階62cは、

50

前記第2酸化膜を乾燥する段階と見なすことができる。

【0043】

また、前記第3の下位段階62cでは、前記不純物が除去されると同時に、流入された前記オゾンによって前記前駆体層が2次酸化される。したがって、前記第3の下位段階62cは、前記前駆体に対する2次酸化段階とも見なすことができる。

【0044】

下記の表1は、前記ALDを利用して前記下部電極の上に前記第2酸化膜を形成する過程において、酸化過程によって成膜されるか否か、水蒸気が残存するか否か、および第2酸化膜の漏れ電流密度を示す。

【表1】

酸化過程	O <sub>3</sub>	H <sub>2</sub> O	H <sub>2</sub> O → O <sub>3</sub>	O <sub>3</sub> → H <sub>2</sub> O
項目区分				
成膜	×	○	○	×
水蒸気含有	—	○	×	—
漏れ電流密度(A/cm <sup>2</sup> )	—	1 × 10 <sup>-1</sup>	1 × 10 <sup>-7</sup>	

10

【0045】

表1に示すとおり、オゾン酸化ガスとして使用した時、およびオゾン酸化をまず供給した後に水蒸気を供給した時には、下部電極の上に第2酸化膜が形成されない。

20

【0046】

そして、水蒸気を酸化ガスとして使用した時は、下部電極の上に第2酸化膜が形成されるが、形成された第2酸化膜に水蒸気が含まれており、漏れ電流密度は1 × 10<sup>-1</sup> A/cm<sup>2</sup>と高い。

【0047】

これに対して、本発明の製造方法によって、水蒸気をまず供給した後にオゾン酸化を供給した場合には、下部電極の上に第2酸化膜が形成されるだけでなく、形成された第2酸化膜に水蒸気が残存せず、漏れ電流密度は1 × 10<sup>-7</sup> A/cm<sup>2</sup>と非常に低い。

【0048】

次いで、図2に示したキャパシタを備える本発明の実施形態による半導体メモリ装置（以下、「本発明のメモリ装置」という）について説明する。

30

【0049】

図6に示すとおり、本発明のメモリ装置は、基板70に導電性不純物がドーピングされて形成された第1領域74および第2領域76を有する。第1領域74および第2領域76は、所定の間隔だけ離れている。第1領域74はソース領域であり、第2領域76はドレイン領域である。基板70における第1領域74と第2領域76の間にチャンネル領域が形成され、前記チャンネル領域の上にゲート積層物72が配置される。ゲート積層物72は、印加される電圧によって第1領域74と第2領域76の間に形成されたチャンネル領域をスイッチングする役割を有する。ゲート積層物72は、ゲート絶縁膜（図示せず）とゲート導電層（図示せず）を含む。基板70と、第1領域74および第2領域76と、ゲート積層物72とは、MOSFETを構成する。基板70上に、ゲート積層物72を覆う第1層間絶縁膜78が形成されており、第1層間絶縁膜78に第2領域76を露出する第1コンタクトホール80が形成されている。第1コンタクトホール80には、第1導電性プラグ82、例えば、導電性不純物がドーピングされたポリシリコンが充填されている。第1層間絶縁膜78の上に、第1導電性プラグ82の全面を覆うキャパシタCが形成されている。キャパシタCは、図2に示したキャパシタと同じであることが望ましい。したがって、キャパシタCの構成および作用に関する具体的な説明は省略する。下部電極40と第1導電性プラグ82とは同じ導電性物質で形成されていることが望ましいが、相異なる導電性物質で形成されていてもよい。第1層間絶縁膜78の上に、キャパシタCを覆う第2層間絶縁膜84が形成されている。第1層間絶縁膜78および第2層間絶縁膜84に、

40

50

第1領域74を露出する第2コンタクトホール86が形成されている。第2コンタクトホール86には、第2導電性プラグ88が充填されている。第2導電性プラグ88は、例えば、導電性不純物がドーピングされたポリシリコンで形成されていることが望ましいが、他の導電性物質で形成されていてもよい。第2層間絶縁膜84の上に、第2導電性プラグ88の全面を覆う導電層90が形成されている。導電層90はビットラインであり、ゲート積層物72に垂直に交差する。導電層90と第2導電性プラグ88とは、同じ導電性物質で形成されていることが望ましいが、相異なる導電性物質で形成されていてもよい。

【0050】

前述したメモリ装置の場合、図2に示したキャパシタを備えるため、キャパシタに保存されたデータは正常な状態で長期間保存できる。これは、保存されたデータを長時間経過後も正常に読み出せることを意味し、前述したメモリ装置の信頼性は高くなる。

10

【0051】

前記説明で多くの事項が具体的に記載されているが、それらは本発明の範囲を限定するものではなく、望ましい実施形態の例示として解釈されなければならない。例えば、当業者ならば、反応防止膜として使われた第1誘電膜42として非酸化膜を使用できる。また、上部電極および下部電極を全てシリコンを含まない電極に代え、誘電膜DLをランタン酸化膜に代えることができる。したがって、本発明の範囲は、前述した実施形態に限定されず、特許請求の範囲に記載された技術的思想によって決定されなければならない。

【産業上の利用可能性】

【0052】

本発明のキャパシタおよびそれを用いたメモリ装置は、メモリチップが使われる全ての機器に使用され、特に、各種のコンピュータ、カムコーダ、デジタルカメラ、携帯電話、計算機、メモリスティックやカード、信用カードをはじめとする各種のカードなどに使用することができる。

20

【図面の簡単な説明】

【0053】

【図1】従来のキャパシタにおいて、誘電膜の種類および厚さによる漏れ電流密度の変化を示すグラフである。

【図2】本発明の実施形態によるキャパシタの断面図である。

【図3】図2に示したキャパシタの漏れ電流特性を表すグラフである。

30

【図4】図2に示したキャパシタの製造方法を段階別に表すブロック図である。

【図5】図4に示したキャパシタの製造方法の第2段階を構成する下位段階を表すブロック図である。

【図6】図2に示したキャパシタを備える半導体メモリ装置の断面図である。

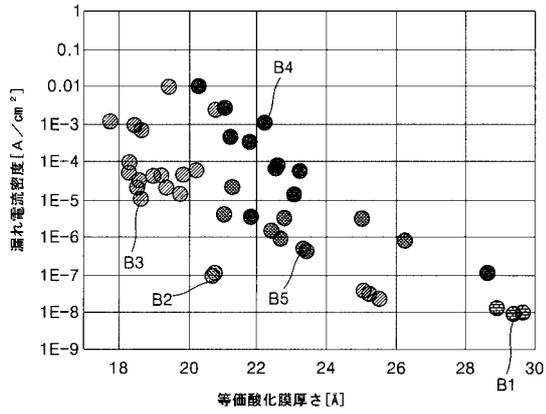
【符号の説明】

【0054】

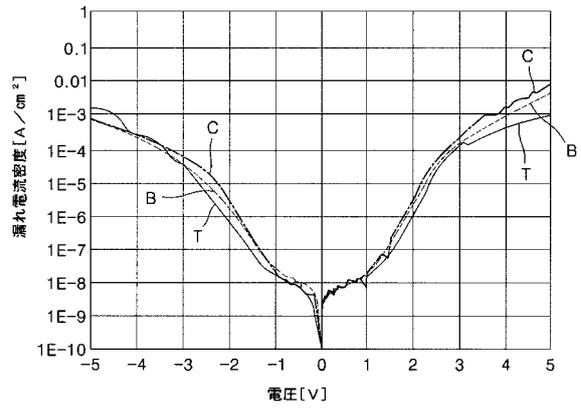
40	下部電極
42	第1誘電膜
44	第2誘電膜
46	上部電極
DL	誘電膜

40

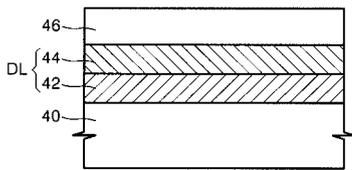
【 図 1 】



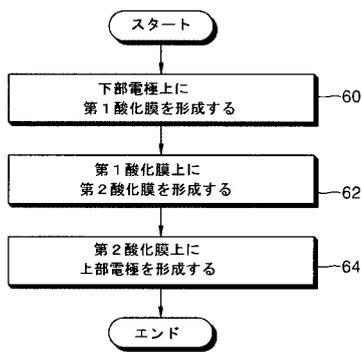
【 図 3 】



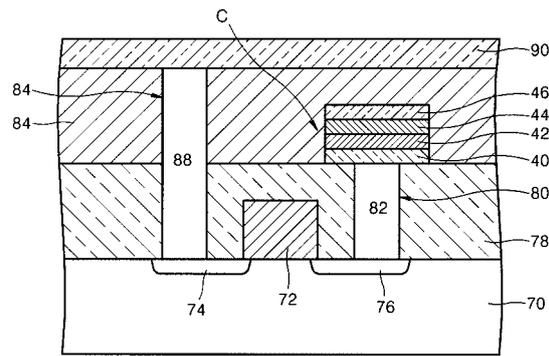
【 図 2 】



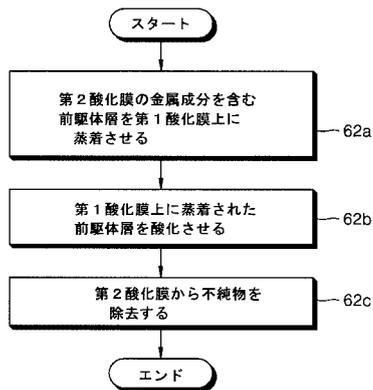
【 図 4 】



【 図 6 】



【 図 5 】



## フロントページの続き

(51)Int.Cl.<sup>7</sup> F I テーマコード(参考)  
H 0 1 L 27/04 H 0 1 G 4/06 1 0 2  
H 0 1 L 27/108

Fターム(参考) 5E082 AA20 AB10 BB10 BC14 DD11 EE05 EE23 EE37 FF05 FG03  
FG27 FG42 FG56  
5F038 AC03 AC05 AC16 AC17 AC18 DF05 EZ14 EZ16 EZ20  
5F058 BA01 BA11 BA20 BB04 BD01 BD05 BF02 BF27 BF29 BF37  
BH03 BJ04  
5F083 AD21 JA02 JA40 MA06 MA17 MA20 NA08