

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5430380号
(P5430380)

(45) 発行日 平成26年2月26日(2014.2.26)

(24) 登録日 平成25年12月13日(2013.12.13)

(51) Int.Cl. F I
HO4N 5/374 (2011.01) HO4N 5/335 740
HO4N 5/378 (2011.01) HO4N 5/335 780

請求項の数 3 (全 12 頁)

(21) 出願番号	特願2009-282296 (P2009-282296)	(73) 特許権者	000001007
(22) 出願日	平成21年12月11日(2009.12.11)		キヤノン株式会社
(65) 公開番号	特開2011-124894 (P2011-124894A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成23年6月23日(2011.6.23)	(74) 代理人	100126240
審査請求日	平成24年11月27日(2012.11.27)		弁理士 阿部 琢磨
		(74) 代理人	100124442
			弁理士 黒岩 創吾
		(72) 発明者	野田 智之
			東京都大田区下丸子3丁目30番2号キヤノン株式会社内
		(72) 発明者	板野 哲也
			東京都大田区下丸子3丁目30番2号キヤノン株式会社内
		審査官	鈴木 肇

最終頁に続く

(54) 【発明の名称】 固体撮像装置及び固体撮像装置の駆動方法

(57) 【特許請求の範囲】

【請求項1】

複数の画素から信号が出力される、複数の共通出力線と、
 前記各共通出力線に設けられ、該共通出力線に出力された信号を増幅する、複数の列増幅部と、

前記各列増幅部から出力される信号を保持する、複数の保持容量と、
 前記列増幅部の出力ノードと前記保持容量の入力ノードの間に配され、前記出力ノードと入力ノードとの間の電気的導通を制御するトランジスタと、

前記列増幅部の動作のための電流を第1の電流と該第1の電流よりも小さい第2の電流とに切替える切替手段と、を有する固体撮像装置において、

前記列増幅部を流れる電流が前記第2の電流となる期間に前記列増幅部の出力ノードの電位が、前記トランジスタのオフ時に該トランジスタのゲートに供給されるオフ電圧に近づくのを抑制する制御手段を有し、

前記制御手段は、前記列増幅部の出力ノードにソースもしくはドレインの一方が接続されたトランジスタと、該トランジスタのソースもしくはドレインの他方に前記オフ電圧とは異なる電圧を供給する電圧供給部とを有し、さらに、

前記列増幅部は演算増幅器を含んで構成され、前記制御手段を構成するトランジスタは、前記演算増幅器の出力ノードと前記演算増幅器の非反転入力ノードとの電気的導通を制御することを特徴とする固体撮像装置。

【請求項2】

前記列増幅部の出力ノードと前記保持容量の入力ノードとの間の電氣的導通を制御するトランジスタがC M O Sトランジスタであることを特徴とする請求項1に記載の固体撮像装置。

【請求項3】

複数の画素から信号が出力される、複数の共通出力線と、

前記各共通出力線に設けられ、該共通出力線に出力された信号を増幅する、複数の列増幅部と、

前記各列増幅部から出力される信号を保持する、複数の保持容量と、
前記列増幅部の出力ノードと前記保持容量の入力ノードの間に配され、前記出力ノードと入力ノードとの間の電氣的導通を制御するトランジスタと、を有する固体撮像装置の駆動方法において、

前記列増幅部は演算増幅器を含んで構成され、

前記列増幅部の動作のための電流を第1の電流と該第1の電流よりも小さい第2の電流に切り替えるステップと、

前記列増幅部を流れる電流が前記第2の電流となる期間に、前記列増幅部の出力ノードの電位が、前記トランジスタのオフ時に該トランジスタのゲートに供給されるオフ電圧に近づくのを抑制するステップと、を有し、

前記抑制するステップにおいて、前記演算増幅器の出力ノードと前記演算増幅器の非反転入力ノードとを短絡することを特徴とする固体撮像装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ビデオカメラ、デジタルスチルカメラ等に用いられる固体撮像装置に関するものである。

【背景技術】

【0002】

近年、固体撮像装置の1種である画素増幅型固体撮像装置は高画質、高解像度が両立できるため、デジタルカメラやデジタルビデオカメラに広く用いられている。多画素化にともない画素の微細化が進み、固体撮像装置に求められる性能も増えている。中でも消費電力の低減は、電池の連続使用時間を左右するため要求が厳しくなっている。固体撮像装置の消費電力の低減方法としてパワーセーブモードを有した構成が特許文献1に記載されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2005-217771号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献1では、画素列に列増幅部を有し、列増幅部の出力ノードに転送用のM O Sトランジスタを介して保持容量を配置している。消費電力を低減するために、不要な期間に列増幅器の電流を遮断もしくは低減する。上述したように画素の微細化が進み固体撮像装置を構成するトランジスタのサイズが小さくなるにつれて、上述の転送用M O Sトランジスタも微細化する。微細なゲート長のM O Sトランジスタでは、ゲートとソース電位が同じ場合、サブスレッシュホールド電流が流れることが懸念される。

【0005】

特許文献1に記載された手法では列増幅部と列増幅部からの信号を保持する保持容量と間のトランジスタを微細化したときにオフ電流が流れるという点で更に検討が必要である。このメカニズムを下記に詳細に説明する。

【0006】

10

20

30

40

50

特許文献 1 においては、列増幅器の電流が遮断された期間に列増幅器の出力ノードの電位が最高電位（例えば VDD）もしくは最低電位（例えば接地電位）となる。

【0007】

ここで転送スイッチに PMOS トランジスタが含まれた場合、オフ時にゲートに供給される電圧は VDD である。このため、パワーセーブモード時に列増幅部の出力ノードが VDD となると、PMOS トランジスタのソースの電位が VDD となるためサブスレッシュホールド電流が流れる。転送スイッチに NMOS トランジスタが含まれると、オフ時にゲートに供給される電圧は接地電位であるため、パワーセーブモード時に列増幅部の出力ノードが接地電位となると、ソースの電位が接地電位となりサブスレッシュホールド電流が流れる。

10

【0008】

このサブスレッシュホールド電流により保持容量で保持された電荷の放電が起こり、保持された信号が減衰し好ましい画質を得られない場合があるという課題が生じる。

【0009】

本発明は、上記課題に鑑み、保持容量からの信号がリーク電流により減衰することを抑制可能な固体撮像装置を提供するものである。

【課題を解決するための手段】

【0010】

複数の画素から信号が出力される、複数の共通出力線と、前記各共通出力線に設けられ、該共通出力線に出力された信号を増幅する、複数の列増幅部と、前記各列増幅部から出力される信号を保持する、複数の保持容量と、前記列増幅部の出力ノードと前記保持容量の入力ノードの間に配され、前記出力ノードと入力ノードとの間の電氣的導通を制御するトランジスタと、前記列増幅部の動作のための電流を第 1 の電流と該第 1 の電流よりも小さい第 2 の電流とに切替える切替手段と、を有する固体撮像装置において、前記列増幅部を流れる電流が前記第 2 の電流となる期間に前記列増幅部の出力ノードの電位が、前記トランジスタのオフ時に該トランジスタのゲートに供給されるオフ電圧に近づくのを抑制する制御手段を有し、前記制御手段は、前記列増幅部の出力ノードにソースもしくはドレインの一方が接続されたトランジスタと、該トランジスタのソースもしくはドレインの他方に前記オフ電圧とは異なる電圧を供給する電圧供給部とを有し、さらに、前記列増幅部は演算増幅器を含んで構成され、前記制御手段を構成するトランジスタは、前記演算増幅器の出力ノードと前記演算増幅器の非反転入力ノードとの電氣的導通を制御することを特徴とする。

20

30

【発明の効果】

【0011】

本発明によれば、列増幅部からの信号を保持する保持容量での信号の減衰を抑制することが可能となる。

【図面の簡単な説明】

【0012】

【図 1】実施例 1 の固体撮像装置を示す等価回路図である。

【図 2】列増幅器を構成する演算増幅器の回路図の一例である。

40

【図 3】画素部の等価回路の一例である。

【図 4】実施例 1 の固体撮像装置の駆動タイミング図である。

【図 5】列増幅器を構成する演算増幅器の回路図の他の例である。

【図 6】実施例 2 の固体撮像装置を示す等価回路図である。

【図 7】実施例 2 の固体撮像装置の駆動タイミング図である。

【発明を実施するための形態】

【0013】

（実施例 1）

図 1 は本実施例の固体撮像装置の回路構成図である。画素が 2 次元アレイ状に配列されている。ここでは簡単の為に画素アレイの 1 画素列分の等価回路を示している。各画素列

50

は少なくとも1つの画素が含まれていれば良い。

【0014】

本実施例の固体撮像装置は通常動作モードとパワーセーブモードとを切替可能な切替手段を有する。パワーセーブモードとは、列増幅器に供給する電流もしくは電圧を、動作が不要な期間において遮断もしくは通常動作モードに比べて供給値を小さくするモードである。ここで列増幅部のパワーセーブモードは例えば水平転送期間が該当する。

【0015】

図1において、1-1、1-2は画素、2は第1の共通出力線、3は電流源である。

【0016】

第1の共通出力線2には、複数の画素からの信号が出力される。例えば1画素列に含まれる画素からの信号が出力される。第1の共通出力線2は垂直出力線とよぶこともできる。電流源3は画素に含まれる増幅トランジスタをソースフォロワ動作させるためのものである。

10

【0017】

4は演算増幅器、5はクランプ容量、6は帰還容量、7はクランプスイッチである。これらを含んで列増幅部14を構成している。列増幅部14は、第1の共通出力線に出力された信号の増幅を行なう。クランプ容量5を介して第1の共通出力線の信号が反転入力ノードへ入力され、非反転入力ノードには基準電圧(Vref)が入力される。列増幅部14は固体撮像装置全体に対して複数設けられている。各画素列毎に1つずつ設けられていることが好ましいが、複数の画素列に1つ、もしくは1画素列に複数設けられていてもよい。列増幅部は容量5、6の容量値の比によりゲインを可変とすることができる。

20

【0018】

8は列増幅部の出力ノードAの電位をパワーセーブモード中に所定電位に固定可能な電圧供給部である。電圧供給回路8が、パワーセーブモード期間に列増幅部の出力ノードの電位を抑制する制御手段として機能する。より具体的には電圧供給部8は、後述の第1のスイッチを構成するトランジスタのオフ時に列増幅部の出力ノードの電位が該トランジスタのゲートに供給されるオフ電圧に近づくのを抑制する機能を有する。

【0019】

電圧供給部8は列増幅部の出力ノードにソースもしくはドレインの一方が接続されたトランジスタを有し、このトランジスタのソースもしくはドレインの他方にトランジスタのオフ時にゲートに供給されるオフ電圧とは異なる電圧を供給する構成である。ここで、VMはPMOSTランジスタのオフのためにゲートに供給される電圧の絶対値よりも小さい電圧である。

30

【0020】

9は第1のスイッチである。CMOSスイッチにより構成されている。保持容量10の入力ノードと列増幅部の出力ノードとの間の経路に設けられ、PMOSTランジスタとNMOSTランジスタが並列接続された構成である。各トランジスタのゲートには逆位相のパルスが供給される。CMOSスイッチ9は、列増幅部の出力ノードと保持容量10の入力ノードとの電氣的導通を制御する。

【0021】

10は保持容量である。列増幅部からの出力信号を一定期間保持する。更に列増幅部14のオフセットを保持する容量を有していても良いし、水平転送期間中に次に読み出しを行なう画素行の信号を保持しておくための容量を設けることもできる。

40

【0022】

11は第2のスイッチである。保持容量10と第2の共通出力線12との間の経路に配されている。第2の共通出力線12は水平出力線とよぶこともできる。第2のスイッチ11は保持容量10と第2の共通出力線12との電氣的導通を制御可能な構成となっている。第2のスイッチ11を画素列毎もしくは複数の画素列毎に順次オンしていくことにより第2の共通出力線12に信号を読み出す。

【0023】

50

13は第2の共通出力線に出力された信号を増幅もしくはバッファする出力アンプである。出力アンプ12は必要に応じて設けられる。

【0024】

15はモード切替手段である。列増幅部14の動作のために供給される電流もしくは電圧を通常動作モードとパワーセーブモードとによって切り替える。より具体的には列増幅部の動作のための電流を、第1の電流と該第1の電流よりも小さい第2の電流とに切り替える。第1の電流が供給されている期間が通常動作モードであり、第2の電流が供給されている期間がパワーセーブモードである。

【0025】

図2は図1に示した演算増幅器4の等価回路図の一例である。

201は第1導電型のトランジスタにより構成される第1の入力トランジスタである。ここではN型のMOSトランジスタである。演算増幅器の反転入力ノードに対応する。第1の入力トランジスタ201のゲートに第1の共通出力線2からの信号が入力される。本実施例においてはクランプ容量を介して供給されるが介されずに直接入力されても良い。202は第1導電型のトランジスタにより構成される第2の入力トランジスタである。演算増幅器の非反転入力ノードに対応する。基準電圧である V_{ref} が供給される。

【0026】

203は入力トランジスタ201、202のソースに接続された共通の負荷トランジスタである。負荷トランジスタ203は演算増幅器4を動作させるための電流(バイアス電流)を供給するためのものである。

【0027】

204はモード切替用のトランジスタである。切替手段15からゲートへ供給されるパルスにより、バイアス電流の演算増幅部4への供給を遮断もしくはバイアス電流が小さくなる構成となっている。例えば、負荷トランジスタ203と入力トランジスタ201、202のソースとの間に直列に設けることができる。

【0028】

205、206は入力トランジスタ201、202のドレイン側に設けられたカレントミラーを構成する第2導電型のトランジスタである。P型のMOSトランジスタで構成できる。トランジスタ205、206のソースには電源電圧 V_{DD} が供給される。

【0029】

ここでパワーセーブモード時の演算増幅器4の動作を説明する。モード切替用のトランジスタ204をオフもしくはオフに近づけると、演算増幅器4の出力ノードの電圧は V_{DD} になる、もしくは V_{DD} に近づく。説明を分かりやすくするためオフの場合についてこのメカニズムを説明する。

【0030】

モード切替用のトランジスタ204がオフすると負荷トランジスタ203により供給されていた電流が遮断される。そうすると入力トランジスタ201、202を流れる電流が遮断される。そうすると、入力トランジスタ201とトランジスタ206との接続ノード(演算増幅器の出力ノード)の電位は、電圧降下の影響が小さくなり V_{DD} に近づく。最終的には演算増幅器の出力ノードの電位が V_{DD} となる。オフに近づけると程度の違いはあるが V_{DD} に近づくことに変わらない。

【0031】

図3は、図1の画素回路の一例を示したものである。

301は光電変換素子として機能するフォトダイオード、303は光電変換素子で生じた信号を増幅して第1の共通出力線2に出力する増幅トランジスタである。302は光電変換素子14で発生した電荷を増幅トランジスタのゲートに転送するための転送トランジスタである。304は増幅トランジスタのゲートをリセットするためのリセットトランジスタである。305は画素ごともしくは複数の画素を選択するための選択トランジスタである。

【0032】

10

20

30

40

50

他にも増幅トランジスタ、リセットトランジスタを複数画素で共有化する構成や、専用の選択トランジスタを設けずにリセットトランジスタにより増幅トランジスタのゲート電位を切り換えることにより画素の選択を行なうような構成としても良い。

【0033】

図4は本実施例の固体撮像装置の駆動タイミング図である。図4を用いて、パワーモード時の電圧供給部8の動作を説明する。

presはリセットトランジスタ304のゲートに供給されるパルスを示す。pse1は選択トランジスタ305のゲートに供給されるパルスを示す。ptxは転送トランジスタ302のゲートに供給されるパルスを示す。ptsは第1のスイッチ9を構成するPMOSトランジスタ9aに供給されるパルスを示す。対となるNMOSトランジスタ9bにはPMOSトランジスタのゲートに供給されるパルスの反転パルスが供給される。PSAVEはモード切替用のトランジスタ204に供給されるパルスである。pc0rはクランプスイッチ7のゲートに供給されるパルスである。prは電圧供給部8に含まれるトランジスタのゲートに供給されるパルスである。h1、h2、hxは水平走査回路から第2のスイッチに供給されるパルスを示し、添え字は各画素列に対応している。

10

【0034】

ptsはHighパルスによりPMOSトランジスタ9aが導通し、LowパルスによりPMOSトランジスタ9aが非導通となる。対を成すNMOSトランジスタにはptsの反転パルスが供給され、PMOSトランジスタ及びNMOSトランジスタは略同時に導通、非導通状態となる。その他のパルスは全てHighパルスによりアクティブ状態となる。

20

【0035】

まず図4の動作の前に、所定の露光時間が経過し、光電変換素子301には信号電荷が蓄積されているものとする。

【0036】

第1段階として、presがHighレベルからLowレベルへと遷移し、増幅トランジスタ303のゲート電極のリセット動作が解除される。同時に行選択パルスpse1がLowレベルからHighレベルへと遷移することで選択トランジスタ305を導通させ、暗時出力が第1の共通出力線2に出力される。

【0037】

第2段階として、pc0rがLowレベルからHighレベルへと遷移することで演算増幅器4を電圧フォロワ状態にし、第1の共通出力線2に出力された暗時出力を基準としてクランプする。

30

【0038】

第3段階として、ptxがLowレベルからHighレベルへと遷移することで光電変換素子301に蓄積された電荷が増幅トランジスタ303のゲートに転送され、画素信号分に応じて第1の共通出力線2の電位が低下する。電位の変化方向は増幅トランジスタ303がNMOSトランジスタの場合である。増幅トランジスタがPMOSトランジスタに変更された場合には電位の変化方向は逆となる。

【0039】

第4段階として、第1の共通出力線2の電位変化分をptsがLowレベルからHighレベルへと遷移しさらにLowレベルへと遷移することにより保持容量10にサンプルホールドし、その後hxにより第2の共通出力線12に順次転送する。

40

【0040】

次に保持容量10に信号が保持されている時刻T1～時刻T3について詳細に説明する。

【0041】

時刻T1において信号が保持容量10にサンプルホールドされると、T2においてPSAVEがHighレベルからLowレベルへと遷移し演算増幅器4の電流が遮断もしくは電流量が小さくされる(第1のステップ)。通常動作モードからパワーセーブモードへと

50

遷移する。同時に $p r$ が $L o w$ レベルから $H i g h$ レベルに遷移することにより、演算増幅器 4 の出力ノード $O U T$ に $V M$ を供給する（第 2 のステップ）。このステップにより、列増幅部の出力ノードの電位が、 $P M O S$ トランジスタ 9 a のオフ時に $P M O S$ トランジスタのゲートに供給されるオフ電圧に近づくのを抑制する。

【 0 0 4 2 】

次に、時刻 $T 2$ ~ 時刻 $T 3$ （パワーセーブモード期間）において、第 1 のスイッチ 9 を構成する $P M O S$ トランジスタ 9 a のゲート電圧は $V D D$ 、ソース電圧は $V M$ になっている。このため、ゲート - ソース間電圧は $V G S = V G - V S = V D D - V M$ となり $V G S$ が正となる。このため、ソース電圧が $V D D$ の時に比べてオフ電流は流れにくい。

【 0 0 4 3 】

したがって電圧供給部 8 を設けることにより $P M O S$ トランジスタのリーク電流を抑制することができる。

【 0 0 4 4 】

一方 $N M O S$ トランジスタのゲート電圧は $0 V$ ($G N D$)、ソース電圧は $V M$ であるため $V G S = V G - V S = - V M$ となり $V G S$ が負となるため、やはり、ソース電圧が $0 V$ ($G N D$) の時に比べて更にオフ電流は流れにくい。

【 0 0 4 5 】

このような動作をすることにより、パワーセーブモードにおいても $P M O S$ トランジスタを含んで構成された第 1 のスイッチのオフ電流を少なくすることができる。これにより保持容量 1 0 により保持された信号の放電を抑制することが可能となる。

【 0 0 4 6 】

本実施例においては第 1 のスイッチとして $C M O S$ スイッチを例に説明したがこれに限られるものではない。より本質的には、パワーセーブモード期間に列増幅部の出力ノードの電位が、トランジスタのオフ時に該トランジスタのゲートに供給されるオフ電圧に近づくのを抑制する制御手段を有していれば良い。したがって例えば第 1 のスイッチが $P M O S$ トランジスタのみで構成されていたとしても、列増幅部の出力ノードがパワーセーブモード期間に $V D D$ に近づく構成であれば適用可能である。 $V D D$ は $P M O S$ トランジスタのオフ時にゲートに供給されるオフ電圧そのものもしくはオフ電圧に近い電圧であるためである。第 1 のスイッチが $N M O S$ トランジスタのみで構成されている場合には、列増幅部の出力ノードがパワーセーブモード期間に接地電位に近づく構成であれば適用可能である。接地電位は $N M O S$ トランジスタのオフ時にゲートに供給されるオフ電圧そのものもしくはオフ電圧に近い電圧であるためである。図 2 においてはパワーセーブモードに $V D D$ に近づく例を示した。次に接地電位に近づく例を図 5 に示す。

【 0 0 4 7 】

図 5 において 5 0 1 は P 型の $M O S$ トランジスタにより構成される第 1 の入力トランジスタである。演算増幅器の反転入力ノードに対応する。第 1 の入力トランジスタ 5 0 1 のゲートに第 1 の共通出力線 2 からの信号が供給される。本実施例においてはクランプ容量を介して供給される。5 0 2 は P 型の $M O S$ トランジスタにより構成される第 2 の入力トランジスタである。演算増幅器の非反転入力ノードに対応する。基準電圧である $V r e f$ が供給される。

【 0 0 4 8 】

5 0 3 は入力トランジスタ 5 0 1、5 0 2 のソースに接続された共通の負荷トランジスタである。負荷トランジスタ 5 0 3 は演算増幅器を動作させるための電流（バイアス電流）を供給するためのものである。

【 0 0 4 9 】

5 0 4 はモード切替用のトランジスタである。制御部 1 5 からゲートへ供給されるパルスにより、バイアス電流の演算増幅部への供給を遮断可能な構成となっている。電流を通常動作時に比べて低減させるものであってもよい。負荷トランジスタ 5 0 3 と入力トランジスタ 5 0 1、5 0 2 のソースとの間に直列に設けることができる。

【 0 0 5 0 】

10

20

30

40

50

505、506は入力トランジスタ501、502のドレイン側に設けられたカレントミラーを構成するN型のMOSトランジスタである。トランジスタ505、506のソースには接地電位が供給される。この演算増幅器はパワーセーブモードになると、演算増幅器の出力ノードの電位はGNDとなり、図2の演算増幅器とは出力ノードの電位の極性が逆になる。したがって第1のスイッチ9にNMOSトランジスタを含んでいる場合に、パワーセーブモード時の出力ノードの電位がNMOSトランジスタのオフ時にゲートに供給されるオフ電圧に近づく。これに対して電圧供給部8によりオフ電圧に近づくのを抑制する電圧を供給することにより、サブスレッシュホールド電流を抑制することが可能となりNMOSトランジスタのオフ電流を抑制することが可能となる。

【0051】

10

(実施例2)

図6は第2の実施例の回路図である。

図6で、図1と同様の符号を付した部分は同様の機能を有するため詳細な説明は省略する。実施例1と異なるのは、演算増幅器4の基準電圧Vrefが供給される非反転入力ノードと、列増幅部の出力ノードAとの間にこれらの電氣的導通を制御するスイッチ60が追加されている点である。このスイッチ60がパワーセーブモード時に列増幅部の出力ノードの電位が第1のスイッチ9に含まれるトランジスタのオフ電圧に近づかないように制御する制御手段となる。

【0052】

更にクランプスイッチ7と演算増幅器4の出力ノードとの接続ノードと、列増幅部のフィードバックループと出力ノードとが接続されるノードとの間にスイッチ61が追加されている。

20

【0053】

スイッチ61はCMOSトランジスタで構成されておりNMOSトランジスタにはPMOSトランジスタに供給される制御信号の反転信号が供給される。演算増幅器4の回路構成は図2、5に示したいずれかを用いることが可能である。本実施例においては、電位関係は $GND < V_{ref} < V_{DD}$ となっている。

【0054】

図7は図6の固体撮像装置の駆動タイミング図である。スイッチ61を構成するPMOSトランジスタのゲートにはpeが供給される。

30

【0055】

先ず、時刻T1～時刻T2のクランプ動作時に、出力スイッチ61をオフした状態でスイッチ60とクランプスイッチ7とを導通させるパルスが供給される。このとき、帰還容量6に演算増幅器4のオフセット電圧をサンプルすることが可能となる。

【0056】

時刻T3においてpeがLowからHighへ遷移すると演算増幅器4のオフセット電圧Voffが $1 / (1 + G)$ に圧縮される(Gは演算増幅器4のオープンループゲイン)。

【0057】

このような動作をする演算増幅器において、以下のような動作をすると第1のスイッチのオフ電流を抑える動作をすることが可能となる。

40

【0058】

保持容量10に信号が保持されている時刻T4～時刻T6において、PSAVEがLowとなり演算増幅器4へのバイアス電流が遮断される(パワーセーブモード)。この動作と略同時にスイッチ60のゲートにパルスを供給して導通させることにより、演算増幅器4の出力ノードにVrefを供給する。

【0059】

時刻T5～時刻T6(パワーセーブモード)において、PMOSトランジスタ9aのゲート電圧はVDD、ソース(列増幅部の出力ノード)電圧はVrefになっている。このためゲート-ソース間電圧は $V_{GS} = V_G - V_S = V_{DD} - V_{ref}$ となりVGSが正と

50

なるためオフ電流は流れにくくなる。一方NMOSトランジスタのゲート電圧は0V、ソース電圧(点A)はVrefになっているため $V_{GS} = V_G - V_S = -V_{ref}$ となりVGSが負となるためオフ電流は流れにくくなる。このような動作をすることにより、パワーセーブモード時でも第1のスイッチ9のオフ電流を抑制することが可能となる。

【0060】

なお、上記実施例は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

【0061】

たとえば各実施例においては列増幅器として演算増幅器を例に説明した。他にソース接地回路のみで構成した場合にも適用可能である。ソース接地回路は反転増幅回路となるため、ソース接地増幅回路の入力MOSトランジスタとしてNMOSトランジスタを用いた場合に、パワーセーブモードとすると出力ノードの電位は接地電位に近づく。したがって第1のスイッチとしてNMOSトランジスタを用いた場合にNMOSトランジスタのオフ電圧に近づく。これを抑制する制御手段を設ければよい。ソース接地増幅回路の入力をPMOSトランジスタとした場合には逆の関係になるため、第1のスイッチとしてPMOSトランジスタを含む場合にPMOSトランジスタのオフ電圧に近づく。これを抑制する制御手段を設ければよい。

【0062】

またソースフォロワのみで構成することもできる。この場合にもソース接地回路と同様に入力MOSトランジスタとしてNMOSトランジスタを用いると、第1のスイッチとしてNMOSトランジスタを含んでいるとNMOSトランジスタのオフ電圧に近づく。入力MOSトランジスタとしてPMOSトランジスタを用いると、第1のスイッチとしてPMOSトランジスタを含んでいるとPMOSトランジスタのオフ電圧に近づく。したがってこれらを抑制する制御手段を設ければよい。

【産業上の利用可能性】

【0063】

本発明はデジタルカメラ(スチルカメラ)、デジタルビデオカメラ等の固体撮像装置に用いられるものである。

【符号の説明】

【0064】

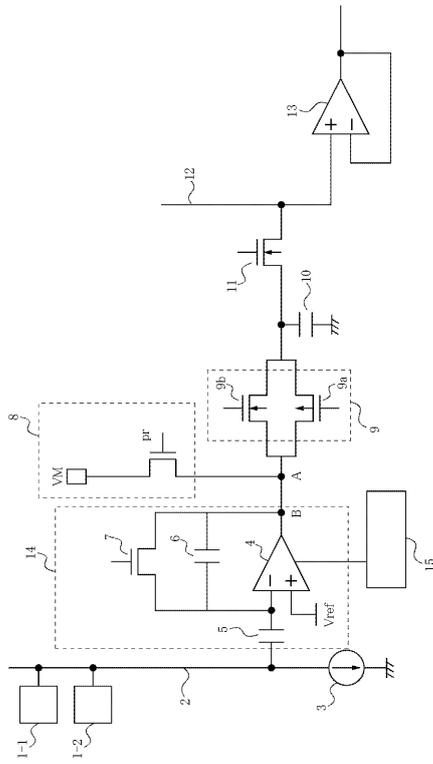
- 2 共通出力線
- 14 列増幅部
- 10 保持容量
- 15 切替手段
- 8 制御手段
- 9 トランジスタ

10

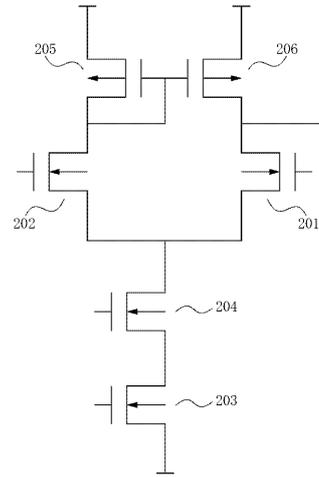
20

30

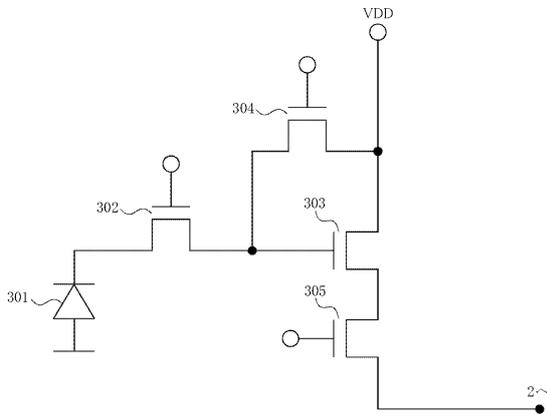
【図 1】



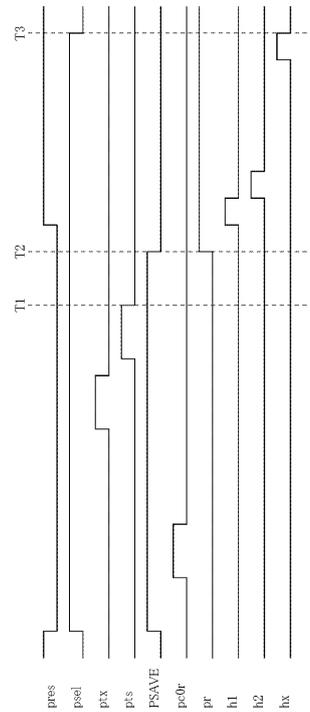
【図 2】



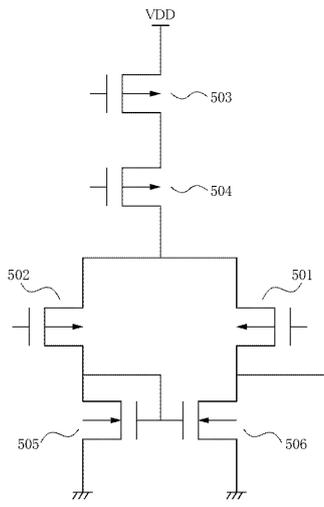
【図 3】



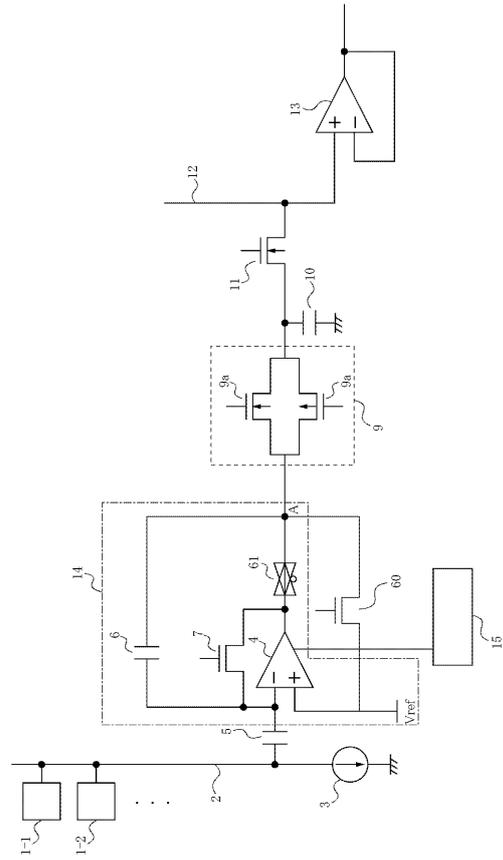
【図 4】



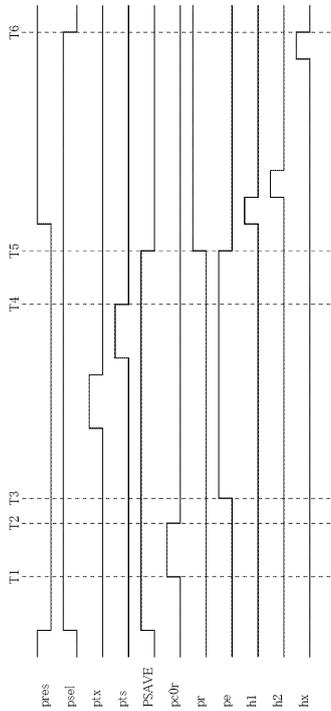
【図5】



【図6】



【図7】



フロントページの続き

- (56)参考文献 特開2005 - 143078 (JP, A)
特開2005 - 093549 (JP, A)
特開平09 - 321595 (JP, A)
特開2005 - 217771 (JP, A)
特開平08 - 331459 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378