



(12)发明专利申请

(10)申请公布号 CN 109791787 A

(43)申请公布日 2019.05.21

(21)申请号 201780053154.9

(74)专利代理机构 西安毅联专利代理有限公司
61225

(22)申请日 2017.07.04

代理人 陆佳

(30)优先权数据

10-2016-0085736 2016.07.06 KR

(51)Int.Cl.

G11C 11/419(2006.01)

(85)PCT国际申请进入国家阶段日

G11C 11/413(2006.01)

2019.02.28

G11C 7/16(2006.01)

(86)PCT国际申请的申请数据

G11C 8/10(2006.01)

PCT/KR2017/007097 2017.07.04

(87)PCT国际申请的公布数据

WO2018/008946 KO 2018.01.11

(71)申请人 UX 株式会社

地址 韩国京畿道城南市盆唐区板桥站路
182,704号(三坪洞)

(72)发明人 金昌贤 朴俊荣

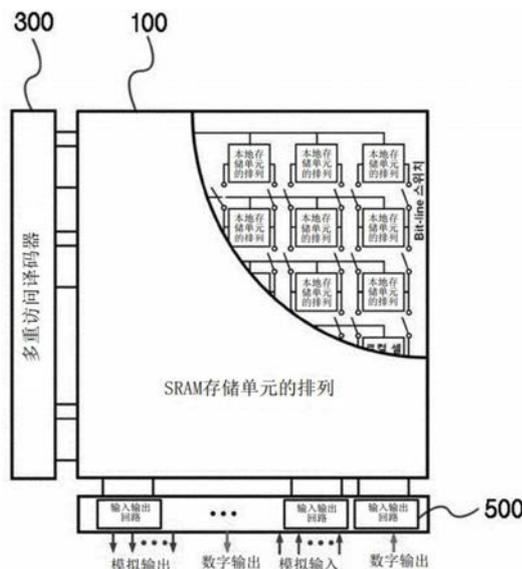
权利要求书2页 说明书6页 附图15页

(54)发明名称

模拟数字接口SRAM结构

(57)摘要

本发明是在已存SRAM的IO回路和位线构造基础上,改进了开关的构造而使储存的数字数据解读成模拟数据,并可以把模拟数据转换成数字数据而储存的模拟数字接口SRAM结构,为了能够各自选择竖向本地存储单元而存在的一侧的位线和对侧的位线进行均匀分配的位元开关在位线上形成的存储单元数组,一边选择横向本地存储单元,同时选择竖向复数的本地存储单元,能够进行多重访问的多重译码器和把从外部输入的模拟数据转换成数字数据并且使之存储在本地存储单元,把在本地存储单元储存的数字数据转换成模拟数据且构成使之能够输出到外部的输入输出回路。根据本发明即使没有DAC和ADC,模拟数据也能在SRAM上使用或者解读,可以减少根据变换过程而消耗的能量。



1. 模拟数字接口SRAM结构,其特征在于,使从外部输入的模拟数据转换为数字数据并在本地存储单元中储存,或者使在本地存储单元中储存的数字数据转换为模拟数据,在没有被分离的其它的模拟数字转换器或者数字模拟转换器,将模拟数据作为数字数据来储存或者数字数据能够通过模拟数据来解读,通过多重译码器以及操控位线的位元开关,使本地存储单元按照顺序地被分成 2^n 的比率。

2. 根据权利要求1所述的模拟数字接口SRAM结构,其特征在于,使从外部输入的模拟数据转换为数字数据并在本地存储单元中储存,或者使本地存储单元中储存的数字数据转换为模拟数据的,在SRAM结构中,包括输出模拟信号或者数字信号的输入输出回路,以及横向,竖向复数的本地存储单元,还包含了选择竖向复数本地存储单元的位线,和本地存储单元进行竖向区分而把位线进行均匀分配的位线上形成的位元开关的存储单元数组;一边选择横向本地存储单元,同时操控位元开关,竖向选择复数的本地存储单元,包含能够竖向地多重访问的多重译码器。

3. 根据权利要求2所述的模拟数字接口SRAM结构,其特征在于,上述多重译码器关于竖向操控位元开关,以 2^n 的比率,本地存储单元按照顺序地被分配,形成位线,在各自的位线上,储存形成4比特数据的比特中的一个比特的本地存储单元,一个一个地被配置,属于第一个位数上的本地存储单元被配置在以8的比率来区分的位线上,属于第二个位数上的本地存储单元被配置在以4的比率来区分的位线上,属于第三个位数上的本地存储单元被配置在以2的比率来区分的位线上,属于第四个位数上的本地存储单元被配置在以1的比率来区分的位线上。

4. 根据权利要求3所述的模拟数字接口SRAM结构,其特征在于,使从外部输入的模拟数据转换为数字数据并在本地存储单元中储存,关于竖向,通过多重译码器被选择的数字数据,将要储存的4个本地存储单元,使之清零;

紧接着,通过多重译码器的操控,生成属于2进数1000(2)的基准电压,通过输入输出回路,比较基准电压和输入电压,输入电压更大的情况下,在最上面的第一个本地存储单元上,储存1,输入电压更小或者二者相同的话,就储存0;

紧接着,通过操控多重译码器,生成属于2进数 $\{D[3], 100\}$ (2)的基准电压,通过输入输出回路,比较基准电压和输入电压,输入电压更大的情况下,在是第二个位置的第二个本地存储单元上,储存1,输入电压更小或者二者相同的话,就储存0;

紧接着,通过操控多重译码器,生成属于2进数 $\{D[3], D[2], 10\}$ (2)的基准电压,通过输入输出回路,比较基准电压和输入电压,输入电压更大的情况下,在是第三个位置的第三个本地存储单元上,储存1,输入电压更小或者二者相同的话,就储存0;

紧接着,通过操控多重译码器,生成属于2进数 $\{D[3], D[2], D[1], 1\}$ (2)的基准电压,通过输入输出回路,比较基准电压和输入电压,输入电压更大的情况下,在是第四个位置的第四个本地存储单元上,储存1,输入电压更小或者二者相同的话,就储存0。

5. 根据权利要求4所述的模拟数字接口SRAM结构,其特征在于,使储存在本地存储单元的数字数据转换为模拟数据且输出到外部,以关闭对侧位线的位元开关的状态,通过VDD电压给对侧位线充电;

紧接着,操控位元开关,将对侧位线分成带有8:4:2:1的比率的四个位线的同时,使带有8:4:2:1的比率的寄生电容生成,紧接着,通过多重译码器,激活属于配置在4个位线上的

4个本地存储单元的word line;

紧接着,关闭位元开关,通过charge sharing,生成4比特分辨率的模拟输出电压,再通过输入输出回路,输出到外部。

模拟数字接口SRAM结构

技术领域

[0001] 本发明涉及电路结构领域,尤其涉及一种模拟数字接口SRAM结构。

背景技术

[0002] 通常Mixed-Signal Processing是将从bio-sensor温度感应器这样的模拟感应器那儿获得的数据变换成为数字数据,然后处理复杂的运算或者将数字数据变换成为模拟数据从而做出有效率的模拟处理。

[0003] 在生物医学用集成电路,低功耗神经网络集成电路等方面,这样的Mixed-Signal Processing被使用。

[0004] 在这个过程中,为了将模拟数据变换成为数字数据的模拟-数字变换器(ADC)和将数字数据变换成为模拟数据的数字-模拟变换器(DAC)是需要的。

[0005] 并且在很多的情况中,被转换成了数字或者把将要被转换的数据储存在缓冲区,为了储存很多的量,在作为晶载记忆体而被使用的SRAM上储存数据。

[0006] ADC是将通过电压的大小来表现的模拟数据转换成为通过比特来表现的数字数据,其中具有代表性的是SAR ADC;SAR ADC是由Capacitive DAC,Comparator,Register还有SAR控制器组成的。

[0007] Capacitive DAC是把数字比特转换成为模拟电压的转化器。

[0008] 由1C,2C,4C,8C,...的电容器组成的,根据数字比特的位数,符合的电容器被分配。

[0009] 比如说,代表12的数字比特,利用电容性的DAC将 $D=1100$ (2) 转换成为模拟电压的时候,符合 $D[3]$ 的电容器是8C, $D[2]$ 则是4C, $D[1]$ 则是2C, $D[0]$ 则是符合C,根据所属比特的值来决定是否通过VDD将电容器进行充电,以及是否通过0来放电。

[0010] 据此,各个电容器的电容量根据各个电容器的电压和电容器的大小积数而决定,通过合计各个电容器里储存的电容量,可以输出符合数字比特的电压。

[0011] 在电容性DAC中形成的电压和通过比较器的输入电压进行比较,按照顺序地在上位MSB中,通过折半查找法找到下位LSB,然后储存在寄存器中,再去寻找和模拟数据有关的数字数据。

[0012] SRAM中有储存比特的存储单元的阵列,这个阵列,通过在行方向的字线,将存储单元以行为单位进行选择,选择的一行的存储单元,通过以列为单位的位线来解读数据。

[0013] 一列有两个位线,在解读存储单元的数据之前,通过VDD电压进行充电,并且字线如果被打开,各个存储单元把位线放电或者使维持VDD状态。

[0014] 此时,BL和BLB解读相反的比特。

[0015] 比如说,如果在选择的存储单元中,0被储存的话,BL就会放电,BLB就会维持VDD状态。

[0016] 如果1被储存的话,BL就会维持,BLB就会放电。

[0017] 每个BL,BLB中都有读出放大器,比较BL和BLB大小关系,然后判断存储单元中储存的值是0还是1再输出。

[0018] 在Mixed-Signal Processing中,为了数据的转换,使用ADC和DAC

[0019] 但是,因为这样的变换器的面积非常大,使用Multi-Channel的生物传感器应用程序或者Mixed-Signal Processing神经网络应用程序这样的情况,为了一次就能转换很多数据,就会使用多个转换器,因此就会占据很多的面积。

[0020] 并且为了让通过ADC变形的数据存储在晶载记忆体上,主要使用SRAM,通过DAC将数字数据转换成为模拟数据的时候,在SRAM中读取数据,经历转换的过程,在SRAM,ADC,DAC中,有一个发生很多的能量消耗的问题点。

发明内容

[0021] 本发明的目的在于提供一种模拟数字接口SRAM结构,为了解决上述的问题点而被构想出来的,为了具现Mixed-Signal Processing,即使没有DAC和ADC,模拟数据也能在SRAM上使用或者解读,使通过模拟写的值可以通过数字来解读,并且通过数字写的值可以通过模拟来解读,可以减少为了使ADC和DAC这样的变化器在On-Chip上具现而需要的面积,提供可以减少根据转换过程而消耗的能量模拟数字接口SRAM构造。

[0022] 本发明采用的技术是:

[0023] 为了达成上述目的的本发明的模拟数字接口SRAM结构,使从外部输入的模拟数据转换成为数字数据并在本地存储单元中储存,或者使本地存储单元中储存的数字数据转换成为模拟数据,在没有被分离的其它的模拟数字转换器或者数字模拟转换器的情况下,为了将模拟数据作为数字数据来储存或者数字数据能够通过模拟数据来解读,为了通过多重译码器以及操控位线的位元开关,使本地存储单元按照顺序地被分成2的n次方的比率。

[0024] 为了达成上述目的的本发明的模拟数字接口SRAM结构,使从外部输入的模拟数据转换成为数字数据并在本地存储单元中储存,或者使本地存储单元中储存的数字数据转换成为模拟数据,在SRAM结构中,包括输出模拟信号或者数字信号的输入输出回路,以及横向,竖向复数的本地存储单元的形成,还包含了把为了能够选择竖向复数本地存储单元而存在的位线,和复数的本地存储单元进行竖向区分而把位线进行均匀分配的位线上形成的位元开关的存储单元数组;一边选择横向本地存储单元,同时操控位元开关,竖向选择复数的本地存储单元,包含能够竖向地多重访问的多重译码器。

[0025] 上述多重译码器关于竖向操控位元开关,以2的n次方的比率,本地存储单元按照顺序地被分配,形成位线,在各自的位线上,储存形成4比特数据的比特中的一个比特的本地存储单元,一个一个地被配置,属于第一个位数上的本地存储单元被配置在以8的比率来区分的位线上,属于第二个位数上的本地存储单元被配置在以4的比率来区分的位线上,属于第三个位数上的本地存储单元被配置在以2的比率来区分的位线上,属于第四个位数上的本地存储单元被配置在以1的比率来区分的位线上。

[0026] 使从外部输入的模拟数据转换成为数字数据并在本地存储单元中储存,关于竖向,通过多重译码器被选择的数字数据,将要储存的4个本地存储单元,使之清零,紧接着,通过多重译码器的操控,生成属于2进数1000(2)的基准电压,通过输入输出回路,比较基准电压和输入电压,输入电压更大的情况下,在最上面的第一个本地存储单元上,储存1,输入电压更小或者二者相同的话,就储存0,紧接着,通过操控多重译码器,生成属于2进数{D[3],100}的基准电压,通过输入输出回路,比较基准电压和输入电压,输入电压更大的情况

下,在是第二个位置的第二个本地存储单元上,储存1,输入电压更小或者二者相同的话,就储存0,紧接着,通过操控多重解码器,生成属于2进数 $\{D[3], D[2], 10\}$ 的基准电压。通过输入输出回路,比较基准电压和输入电压,输入电压更大的情况下,在是第三个位置的第三个本地存储单元上,储存1,输入电压更小或者二者相同的话,就储存0,紧接着,通过操控多重解码器,生成属于2进数 $\{D[3], D[2], D[1], 1\}$ 的基准电压。通过输入输出回路,比较基准电压和输入电压,输入电压更大的情况下,在是第四个位置的第四个本地存储单元上,储存1,输入电压更小或者二者相同的话,就可以储存0。

[0027] 为了使储存在本地存储单元的数字数据转换为模拟数据且输出到外部,以关闭对侧位线的位元开关的状态,通过VDD电压给对侧位线充电,紧接着,操控位元开关,将对侧位线分成带有8:4:2:1的比率的四个位线的同时,使带有8:4:2:1的比率的寄生电容生成,紧接着,通过多重解码器,激活属于配置在4个位线上的4个本地存储单元的word line,紧接着,关闭位元开关,通过charge sharing,生成4比特分辨率的模拟输出电压,再通过输入输出回路,输出到外部。

[0028] 与现有技术相比,本发明的有益效果是:

[0029] 如上所述,根据本发明的模拟数字变换器接口SRAM构造结构,为了具现Mixed-Signal Processing,即使没有DAC和ADC,模拟数据也能在SRAM上使用或者解读,模拟写的值可以通过数字来解读,并且数字写的值可以通过模拟来解读,可以减少ADC和DAC这样的变化器在On-Chip上具现而需要的面积,还有可以减少根据变换过程而消耗的能量。

附图说明

[0030] 图1和图2是表现出根据本发明的实施例的模拟数字接口SRAM结构的框图;

[0031] 图3到图5是为了说明根据本发明的实施例的本地存储单元的连接状态的框图;

[0032] 图6和图7是为了说明根据本发明的实施例的输入输出回路的框图;

[0033] 图8到图11是为了说明根据本发明的实施例的将数字数据转换为模拟数据的过程的示例图;

[0034] 图12到图17是为了说明根据本发明的实施例的将模拟数据转换为数字数据的过程的示例图;

[0035] 图18是为了说明根据本发明的实施例的本地存储单元的连接状态的其它例子的示例图;

[0036] 图19是表现出历来的SAR ADC的框图;

[0037] 图中:100:存储单元数组;110:位线;111:位元开关;150:位线;151:位元开关;170:word line;300:多重译码器;500:输入输出回路。

具体实施方式

[0038] 以下,为了让在本发明所属的技术领域具有通常的知识的人,能够容易的实施本发明,故而进行详细的说明,参照添加了本发明可取的实施例的图纸进行详细的说明。

[0039] 根据本发明的实施例的模拟数字接口SRAM,如同图1展示的那样,包含存储单元数组(100),多重译码器(300)以及输入输出回路(500),以及所有芯片形态构成的集成电路。

[0040] 根据通过这个所具现的本发明的模拟数字接口SRAM,每个横向数据向量都可以通

过模拟来解读,并且经过5时钟,将4比特分辨率的模拟数据转换为数字数据来使用,每行都是可能的。

[0041] 上述存储单元数组(100),横向和竖向复数的本地存储单元形成,如同图2和图3所展示的那样,为了各自选择上述竖向本地存储单元的一侧位线以及均匀分配对侧位线的位元开关在位线上各自形成。

[0042] 使用位元开关,使位线在中间断落或者连接。

[0043] 被均匀分配的各个位线具有统一的个数的本地存储单元,各个本地存储单元每个阵列都具备寄生电容。

[0044] 寄生电容与本地存储单元的个数成比例变大

[0045] 并且关于各个竖向,操控位元开关,是位线能够以8:4:2:1的形态的比率被分配,这时各个位线具备8C:4C:2C:1C的寄生电容值。

[0046] 即,关于一个竖向,以2的n次方的比率形成的各个位线,具备2的n次方的电容比率。

[0047] 并且在各个位线上,储存着形成4比特数据的比特中的一个比特的本地存储单元一个一个地被配置。

[0048] 属于第一个位数上的本地存储单元被配置在以8的比率来区分的位线上,属于第二个位数上的本地存储单元被配置在以4的比率来区分的位线上,属于第三个位数上的本地存储单元被配置在以2的比率来区分的位线上,属于第四个位数上的本地存储单元被配置在以1的比率来区分的位线上。

[0049] 上述多重译码器如同图4展示的那样,通过word line一边横向选择本地存储单元,同时对于竖向,操控位元开关,为了使本地存储单元,以2的n次方的比率,按照顺序地进行分配而形成位线,关于本地存储单元的多重访问是可能的。

[0050] 已存译码器特定的地址输入进来的话,属于那里的word line,只有一个进行访问,本发明的多重译码器,如同图4和图5所展示的那样,为了一次性横向选择许多个的本地存储单元,就会使用能够多重访问的译码器。

[0051] 上述输入输出回路如同图6所展示的那样,接收从外部输入的模拟数据,转换为数字数据之后,使之在本地存储单元上储存。本地存储单元上储存的数字数据如果转换为模拟数据,就将其传达,向外部进行输出的这样一个回路。

[0052] 基本上来讲,在已存的SRAM的输入输出回路这样的构造上,在write驱动上,储存比值器的输出量的触发器的输出量,以及为了可以根据种类选择接收数字输入的触发器数据,追加了MUX。

[0053] 将模拟数据转换为数字数据且使之储存在本地存储单元上的过程,和已存SAR ADC是相同的,在SAR ADC中,将电容性DAC替换成本发明中的位线,把比值器替换成读出放大器,把储存结果的寄存器替换成本地存储单元,活用已存的SRAM构造,提高了面积效率。

[0054] 并且,输入输出回路如同图6所展示的那样,作为经过5时钟,将4比特分辨率的模拟数据转换为数字数据然后输入的过程中使用的输入输出回路,发挥出比较在位线上生成的基准电压和输入电压而再将转换的数字数据,输入到本地存储单元的作用。

[0055] 所以,就像图7所展示的模拟结果一样,将模拟数据和基准电压进行比较之后,决定4比特数字数据,储存在被决定的4比特数据所属位置的本地存储单元上。

[0056] 即,已存的输入输出回路发挥出接收从外部输入的数字数据,输入到Bit存储单元,或者在Bit存储单元上,通过位线接收的数字数据向外部传达的作用。

[0057] 但是,在本发明的输入输出回路,不仅是数字数据,而且将模拟数据转换为数字数据,然后再储存在本地存储单元上。

[0058] 如上所述,在所构成的模拟数据接口SRAM构造上,为了将储存在本地存储单元的数字数据转换为模拟数据然后再向外部输出,首先,如同图8所展示的那样,以关闭对侧位线的位元开关的状态,通过 V_{DD} 电压给对侧位线进行充电。

[0059] 紧接着,如同图9所展示的那样,操控位元开关,为了将对侧位线分配成为带有8:4:2:1的比率的4个位线,而打开所属位元开关。

[0060] 这样子被分配的各个位线,具备各个8:4:2:1的寄生电容。

[0061] 紧接着,如同图10所展示的那样,在被分配成4个位线的状态下,激活属于在通过多重译码器来解读的4个位线上被配置的4个本地存储单元的word line。

[0062] 此时,各个位线根据储存在本地存储单元上的各个数据而放电或者维持电荷并且维持 V_{DD} 的电压。

[0063] 紧接着,如同图11所展示的那样,关闭位元开关,通过Charge Sharing,生成4比特分辨率的模拟输出电压。

[0064] 此时,模拟输出电压通过数学式1也可以生成。

[0065] **【数学式1】** $V_{Aout} = 8/15V_{DD}$

[0066] 在此处 V_{Aout} 是模拟输出电压, V_{DD} 是数字输出电压。

[0067] 为了将模拟数据转换为数字数据且使之储存在本地存储单元上,如图12所示,通过输入输出回路比较模拟电压和基准电压且利用大小关系来判断所属Bit是1还是0。

[0068] 首先,如图13所示,关于竖向,将要储存数字数据的4个本地存储单元初始化为0,紧接着,如图14所示,通过一侧的位线,生成属于2进数1000(2)的基准电压,和通过输入输出回路输入的输入电压进行对比,输入电压更大的情况下,在最上面的第一个本地存储单元上,储存1,输入电压更小或者二者相同的话,就储存0。

[0069] 紧接着,如图15所示,生成属于2进数{(D[3],100)}(2)的基准电压,和通过输入输出回路输入的输入电压进行对比,输入电压更大的情况下,在第二个本地存储单元上,储存1,输入电压更小或者二者相同的话,就储存0。

[0070] 紧接着,如图16所示,生成属于2进数{(D[3],D[2],10)}(2)的基准电压,和通过输入输出回路输入的输入电压进行对比,输入电压更大的情况下,在第三个本地存储单元上,储存1,输入电压更小或者二者相同的话,就储存0。

[0071] 紧接着,如图17所示,生成属于2进数{(D[3],D[2],D[1],1)}(2)的基准电压,和通过输入输出回路输入的输入电压进行对比,输入电压更大的情况下,在第四个本地存储单元上,储存1,输入电压更小或者二者相同的话,就储存0。

[0072] 并且,为了形成基准电压,根据顺序,所属位数的比特应该维持1,那上面的数据依靠在前面写的的数据,那后面的位数固定为0。

[0073] 为了生成属于这个的基准电压,将刚开始的时候,数据被写的本地存储单元初始化为0,属于在各个顺序上的比特的本地存储单元不会打开word line,维持通过 V_{DD} 充电的电荷。

[0074] 除此之外的本地存储单元打开word line,在前面写的数据,位线放电为0或者维持。

[0075] 那之后,和模拟输出的时候一样,利用电荷共享来生成基准电压。

[0076] 作为参考,在图2中,属于8N和4N的本地存储单元展现出来自于一侧位线的本地存储单元电流的流淌的状态,且展现出这样子一来,一侧位线和本地存储单元之间就会产生电压差异,根据这个电流流淌,所以一侧位线的电荷流淌出来然后成为0。

[0077] 反面,属于4N和N的本地存储单元,展现出来自于一侧位线的本地存储单元电流的不流淌的状态,且展现出这样子一来,一侧位线和本地存储单元之间电压是相同的,所以没有电压差异,因而展现出电荷照原样地留在一侧位线上。

[0078] 在本发明中,以8:4:2:1的比率来竖向分配本地存储单元的话,各个区间就可以储存一个位数的比特,此时,1N区间的情况,在一个本地存储单元全部都可以储存,但是8N区间的情况,7N个的本地存储单元剩下来,发生不均衡的问题。

[0079] 图18是为了解决储存配置在位线上的各个位数的空间是以8:4:2:1的比率构成的不均衡问题的数据储存构造图。

[0080] 如图18所示,储存4比特数据的话,和配置0,1,2,3一起,调节开关,将位线以8:4:2:1的比率进行分配,然后就可以关于一行解读模拟数据。

[0081] 即,利用由N个Bit存储单元形成的本地存储单元开关,来分配一个位线,如图18所示,将比特开关调到开或者关,利用4个配置来制成,利用比特开关的多样的构成,可以将本地存储单元捆绑成为1M:2M:4M:8M,通过各个比特开关连接的本地存储单元中,一个地方储存一个比特。

[0082] 在图18中,在4个开关配置中,用线条来分开就是开关打开,连接断开了的意思,没有用线条来分开就是开关打开,连接成功的意思。

[0083] 图19展示了由电容性DAC,电容器,寄存器,SAR控制器等形成的历来的逐次比较形模拟数字转换回路。

[0084] 在本发明中,将历来的逐次比较形模拟数字转换回路的电容性DAC替换成位线电容,将电容替换成读出放大器,将控制器替换成本地存储单元,已存的SRAM构造依然使用,做出像逐次比较形模拟数字转换回路这样的动作,将模拟数据转换成为数字,然后马上可以储存在本地存储单元上。

[0085] 所以,本发明即使没有追加的ADC和DAC,模拟和数字数据也能在SRAM上写并且解读。

[0086] 根据如上所示的本发明的模拟数字接口SRAM结构,为了具现Mixed-Signal Processing,即使没有DAC和ADC,模拟数据也能在SRAM上使用或者解读,模拟写的值可以通过数字来解读,并且数字写的值可以通过模拟来解读,可以减少ADC和DAC这样的变化器在On-Chip上具现而需要的面积,还有可以减少根据变换过程而消耗的能量,所以在生物医学用集成电路,低电率神经网络集成电路等方面被使用。

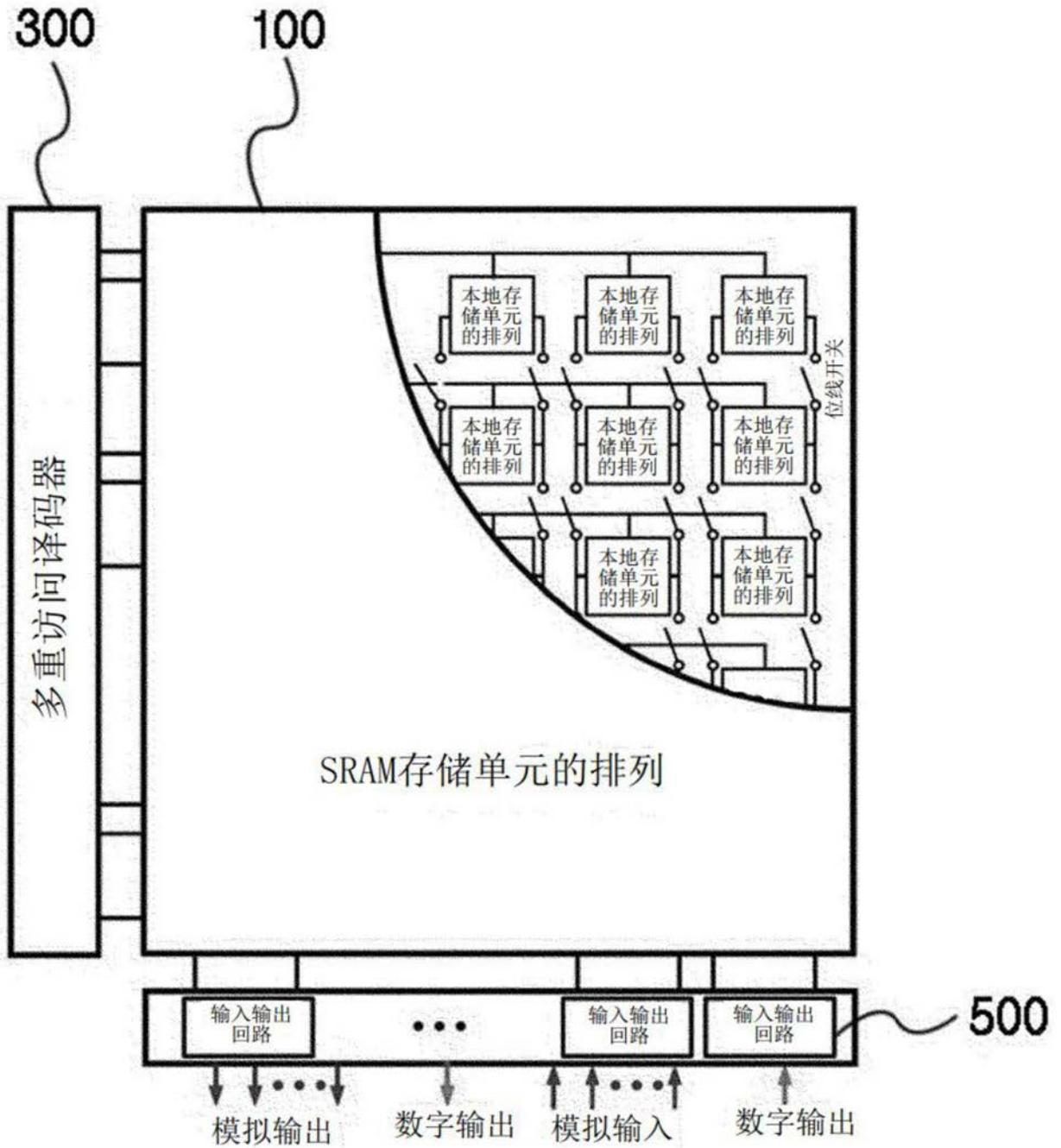


图1

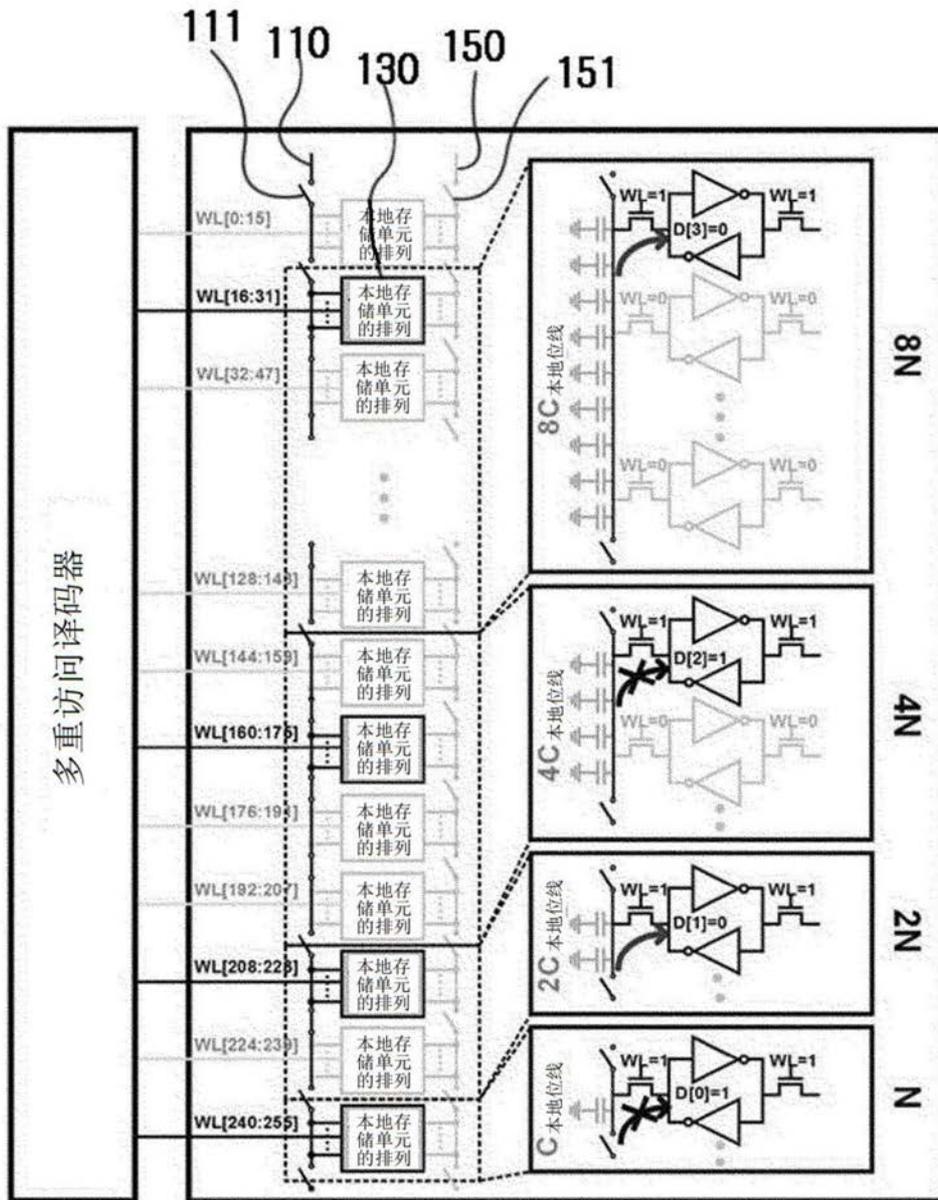


图2

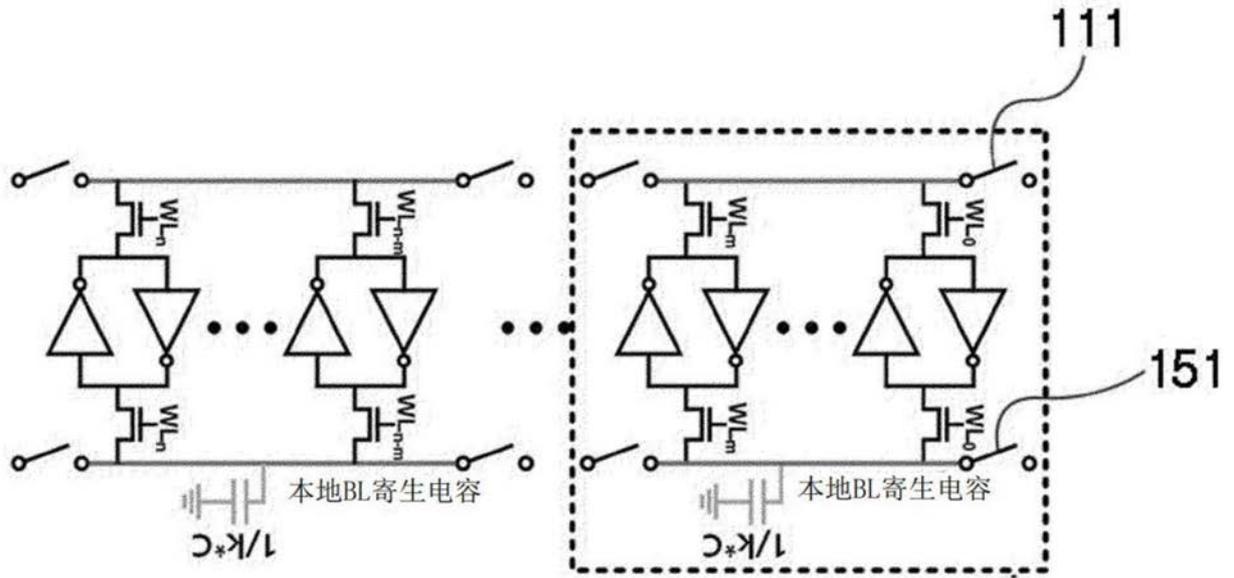


图3

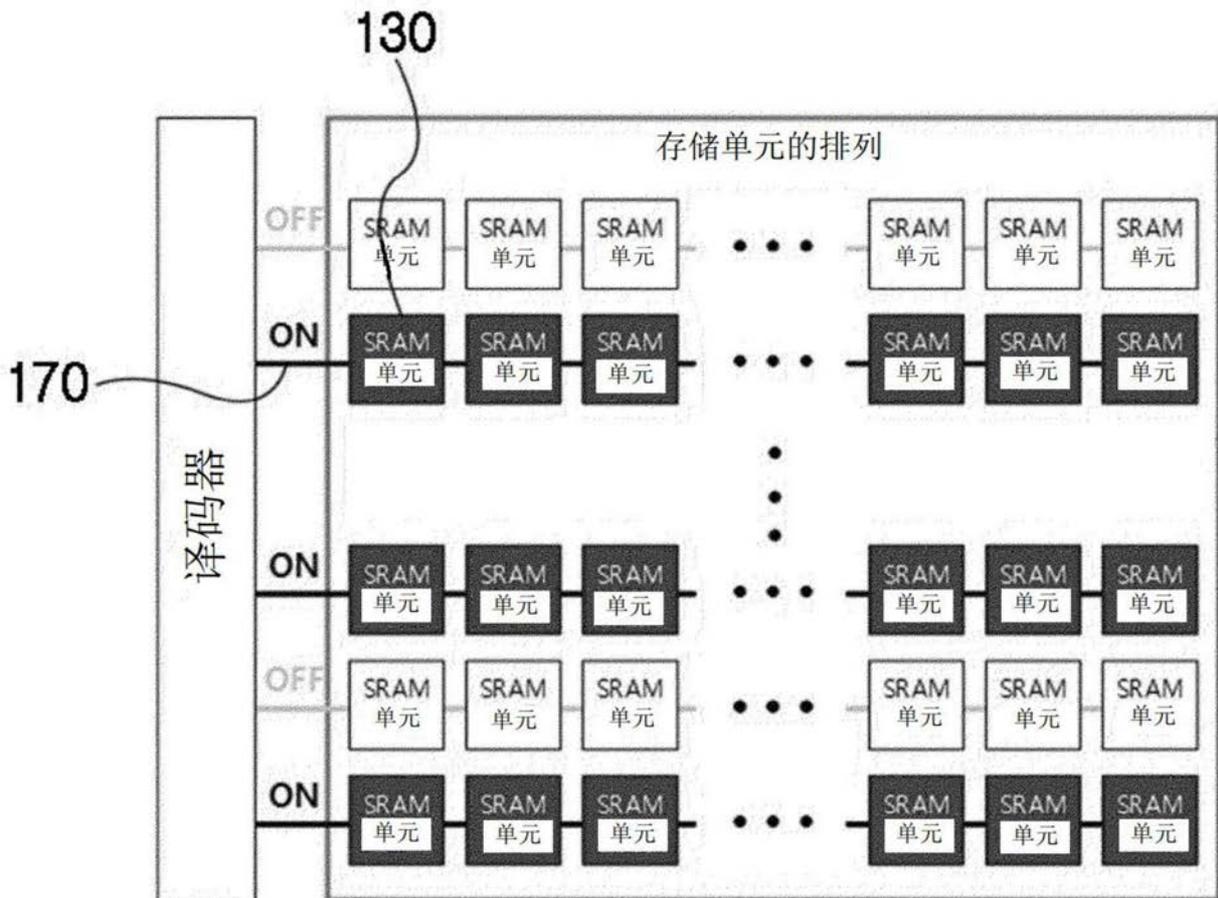
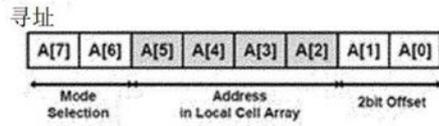
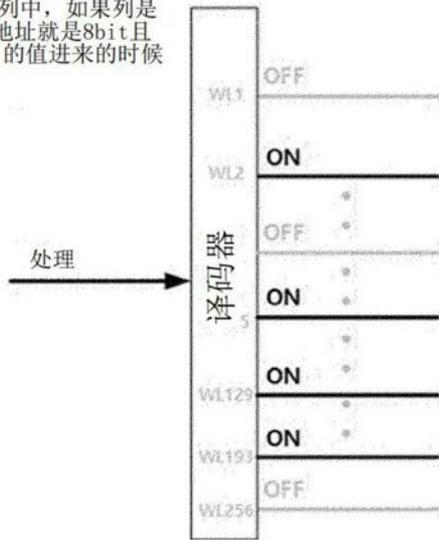


图4

多重访问译码器

在存储单元排列中，如果列是256个的话，地址就是8bit且00001001 (2) 的值进来的时候



256个WL中，4个WL同时打开，4个被选择的基准除去下位2bit的值，比如说00001001 (2) 此中，下位2bit被忽视，分成4个的64个角中属于000010 (2) 的WL打开

图5

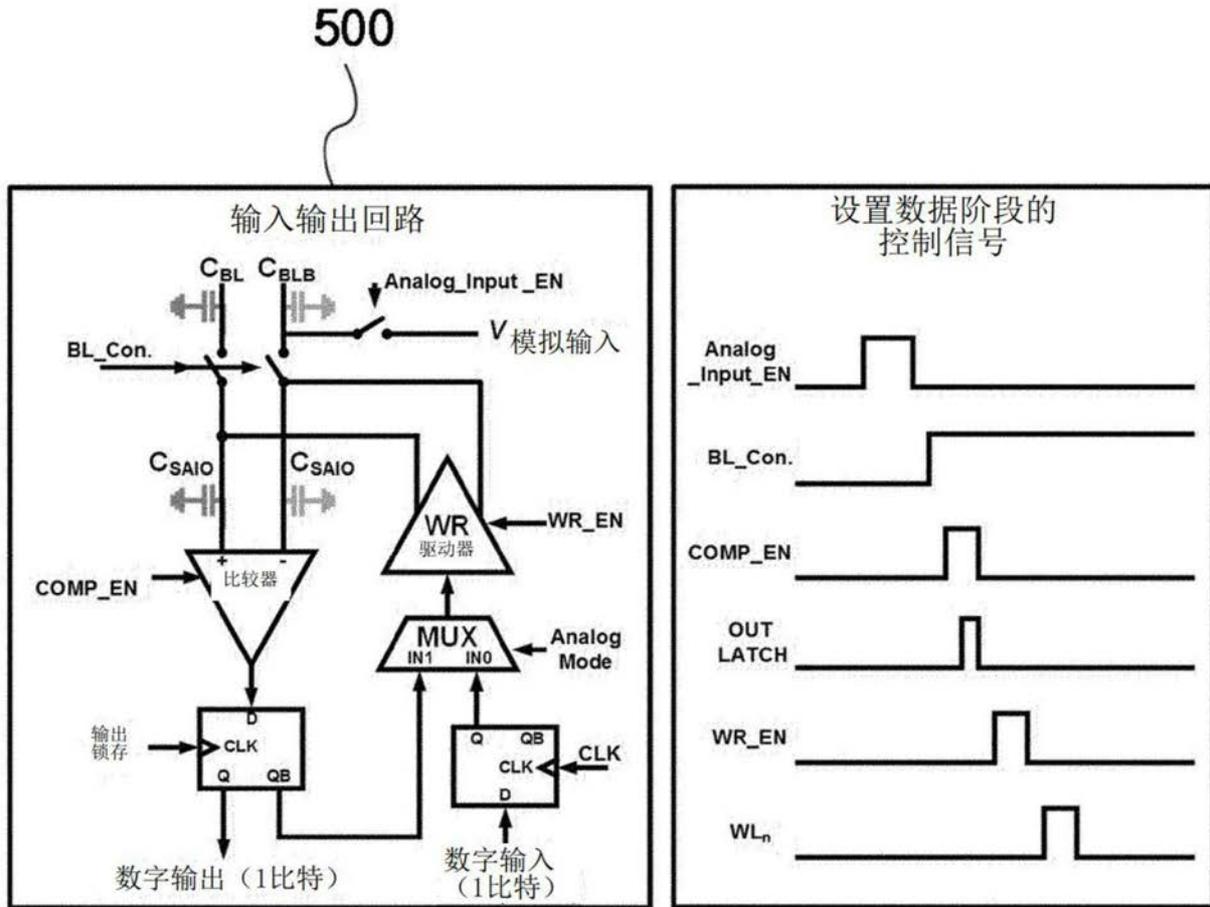


图6

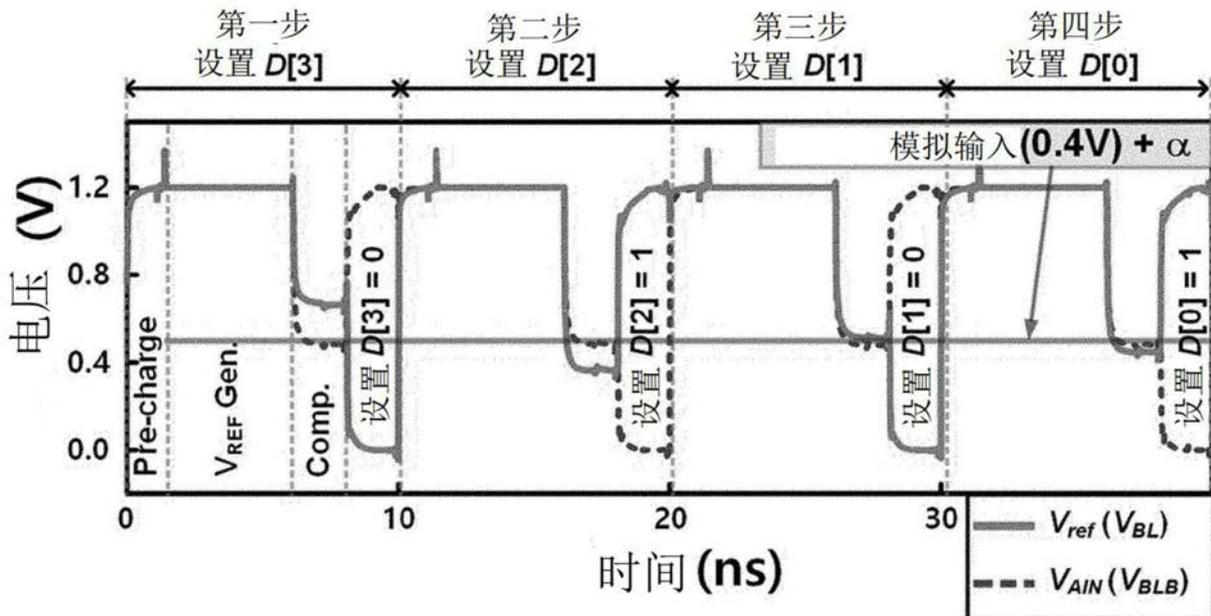


图7

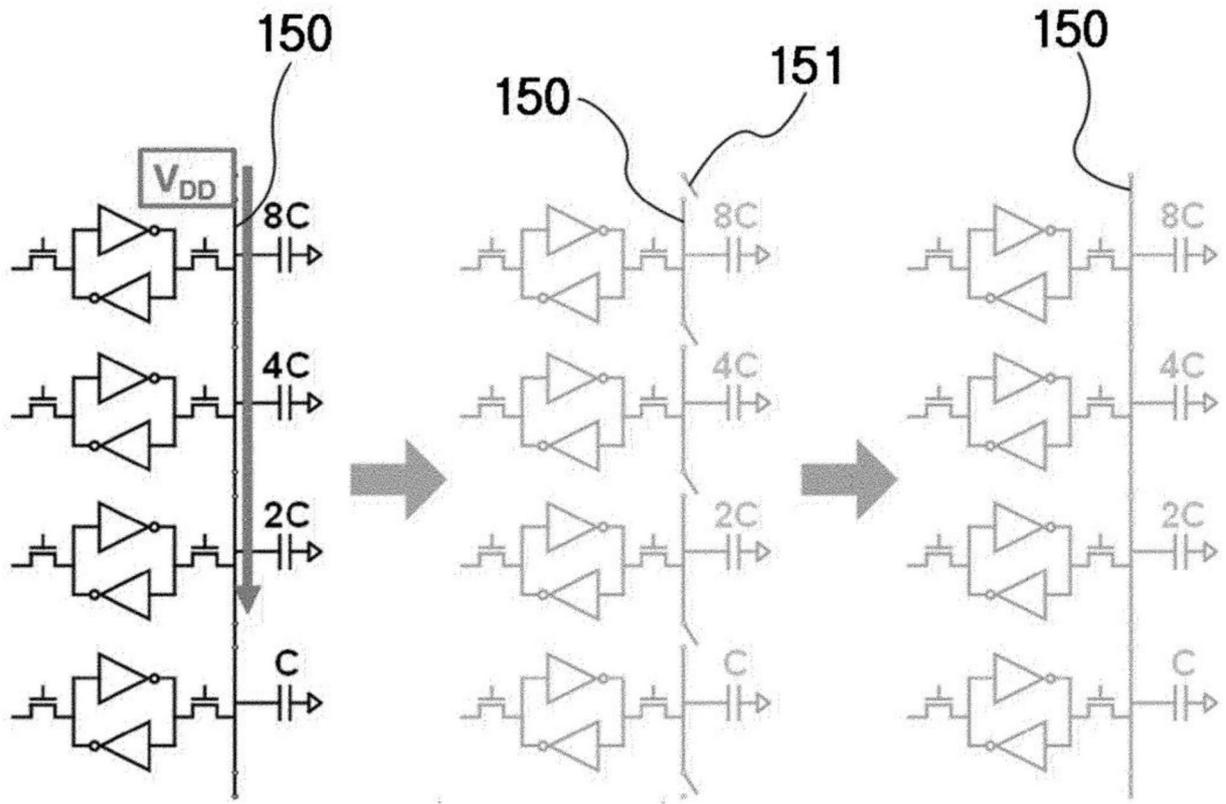


图8

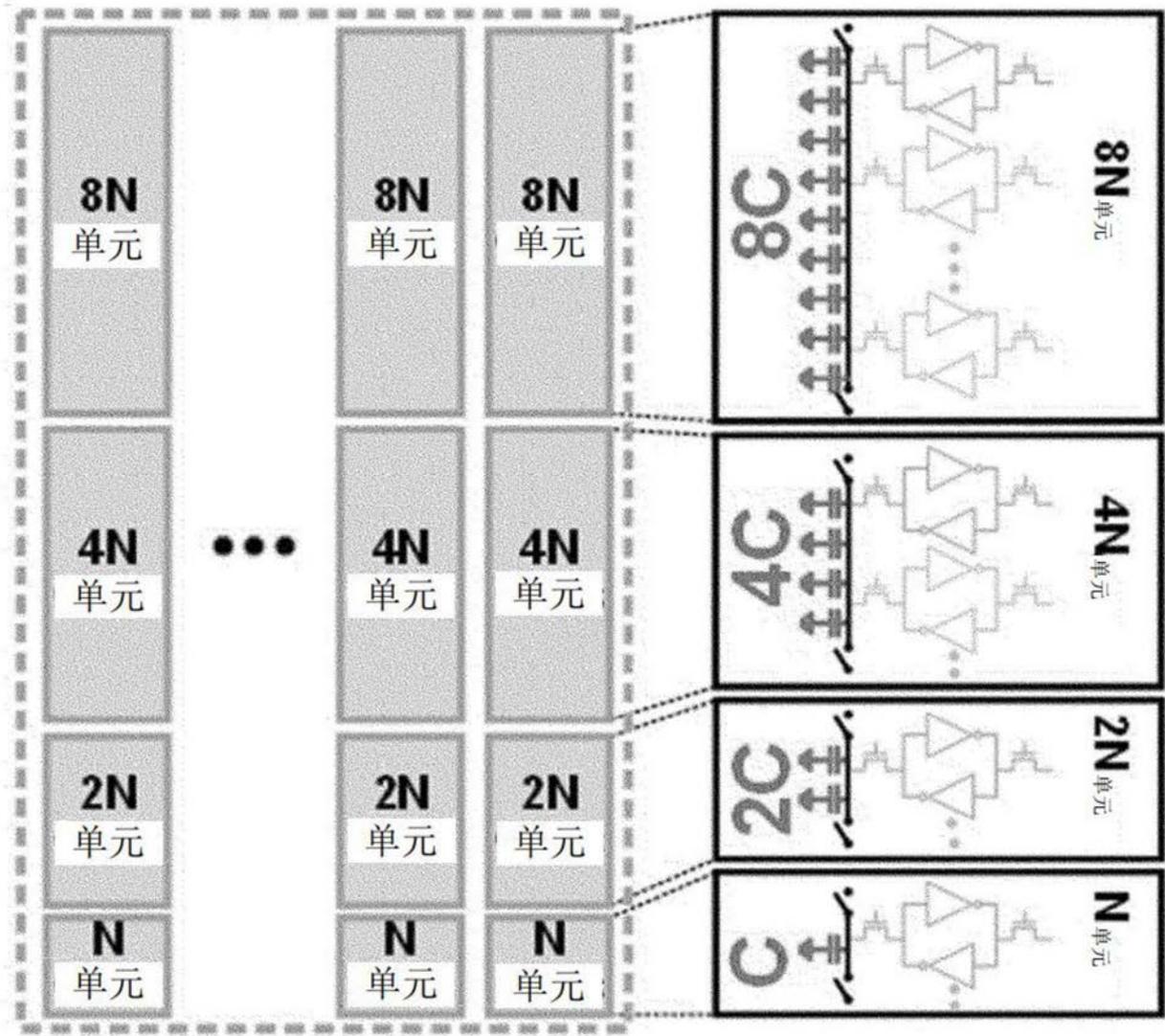


图9

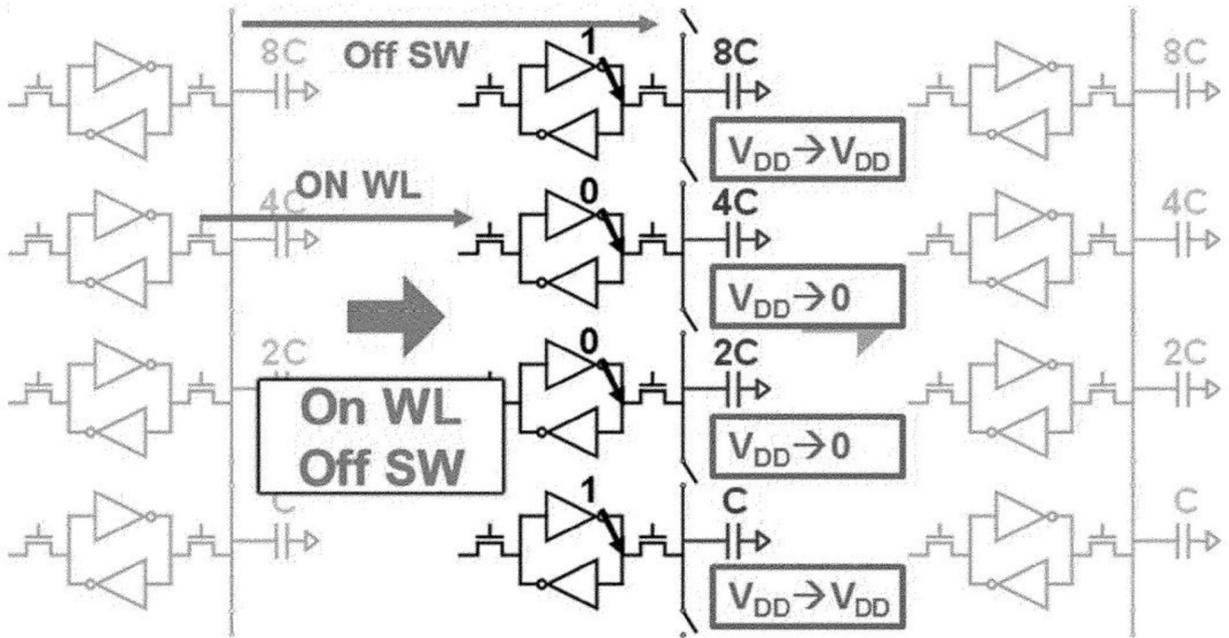


图10

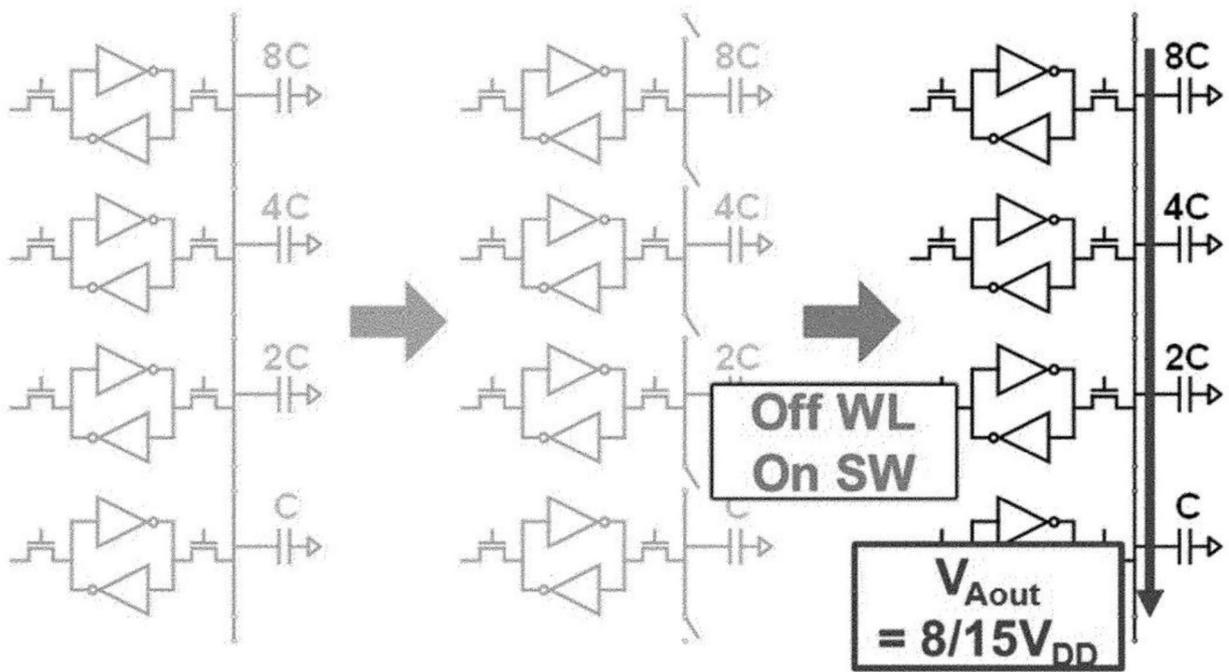


图11

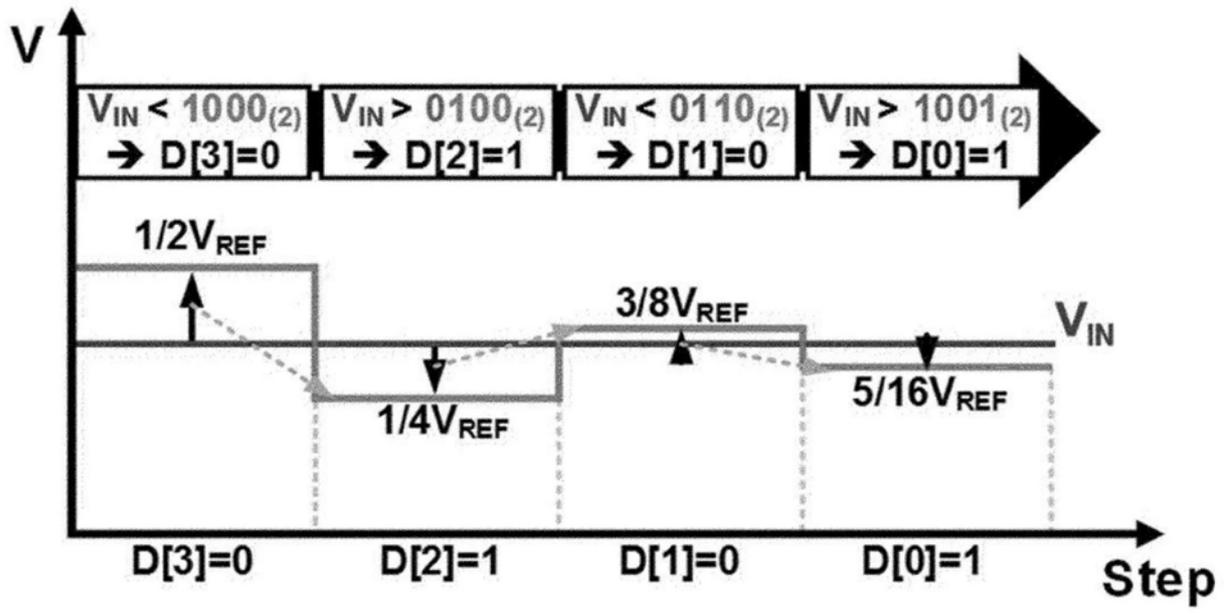


图12

□ 步骤 1/5: 重置已分配的位单元

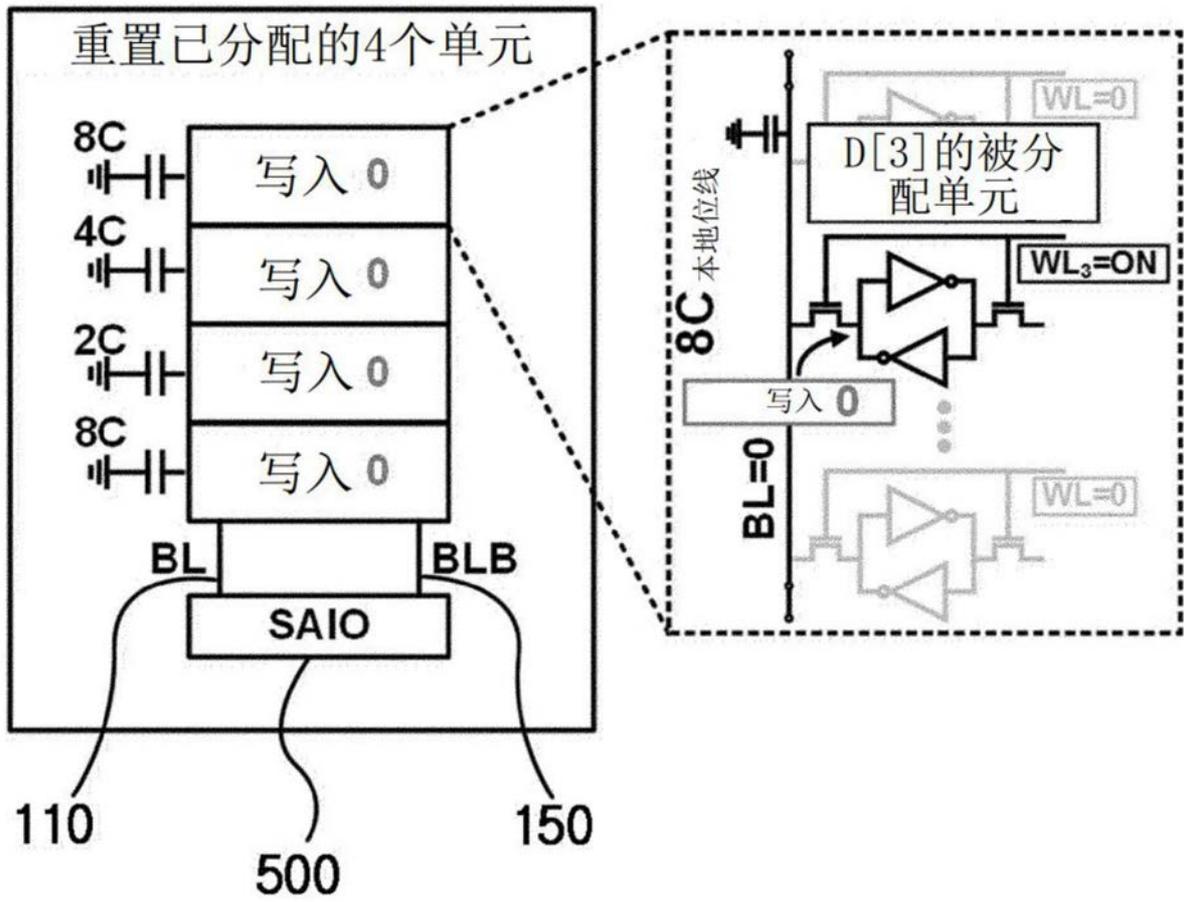


图13

□ 步骤 2/5: 判定并给D[3]写入一个位

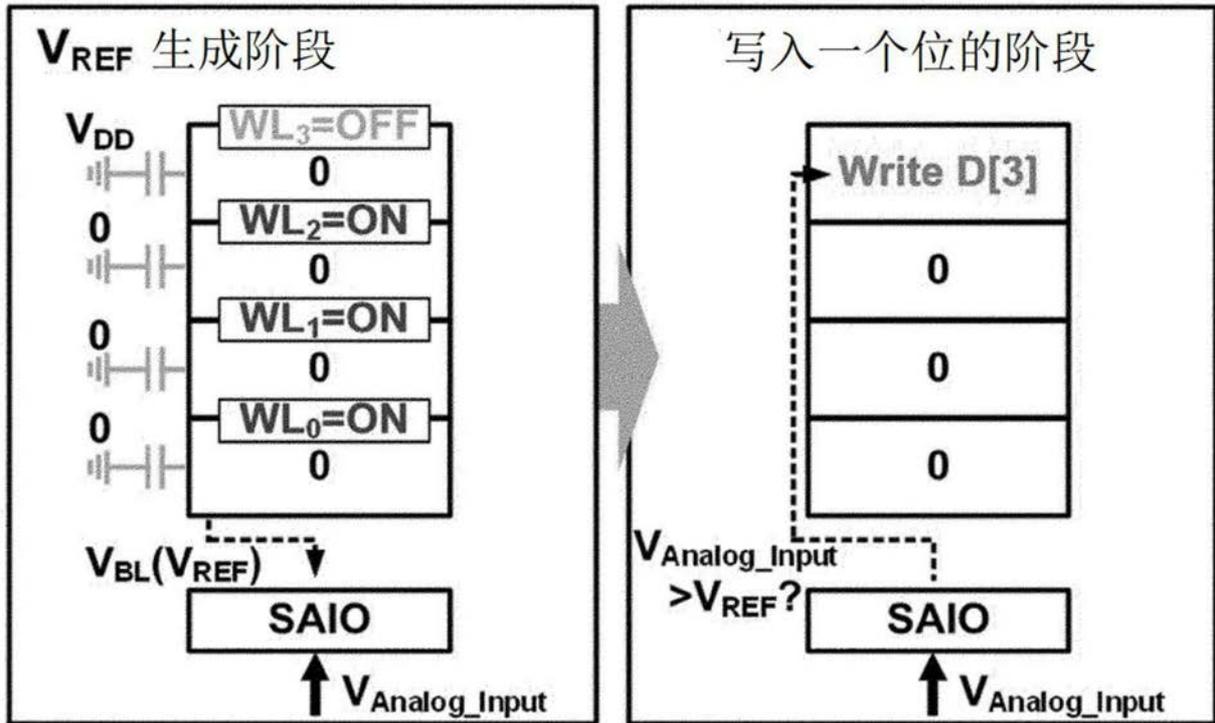


图14

□ 步骤 3/5: 判定并给D[2]写入一个位

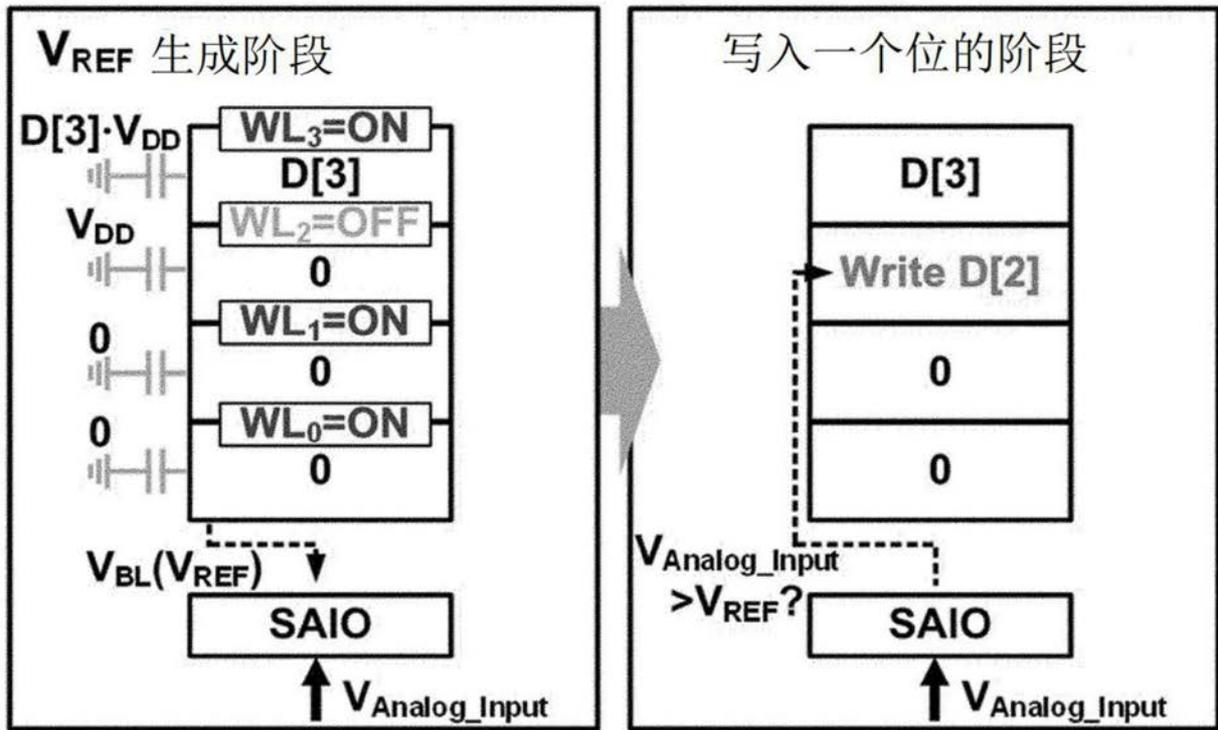


图15

□ 步骤 4/5: 判定并给D[1]写入一个位

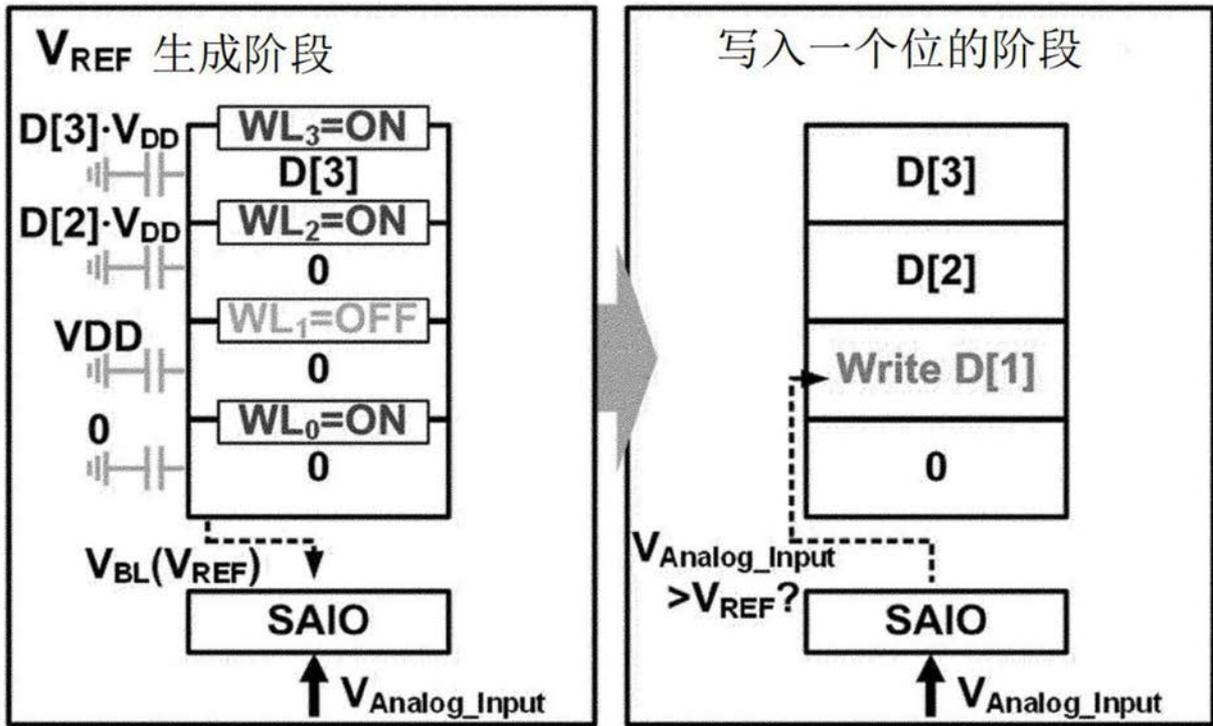


图16

□ 步骤 5/5: 判定并给D[0]写入一个位

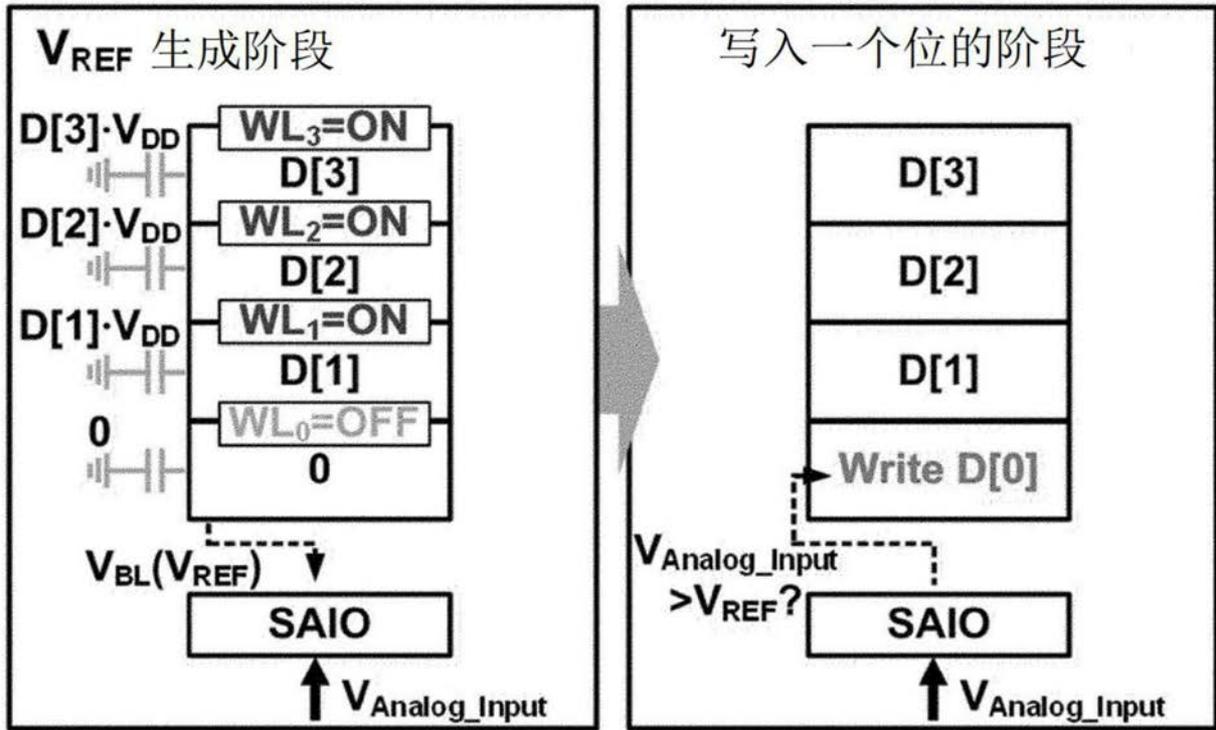


图17

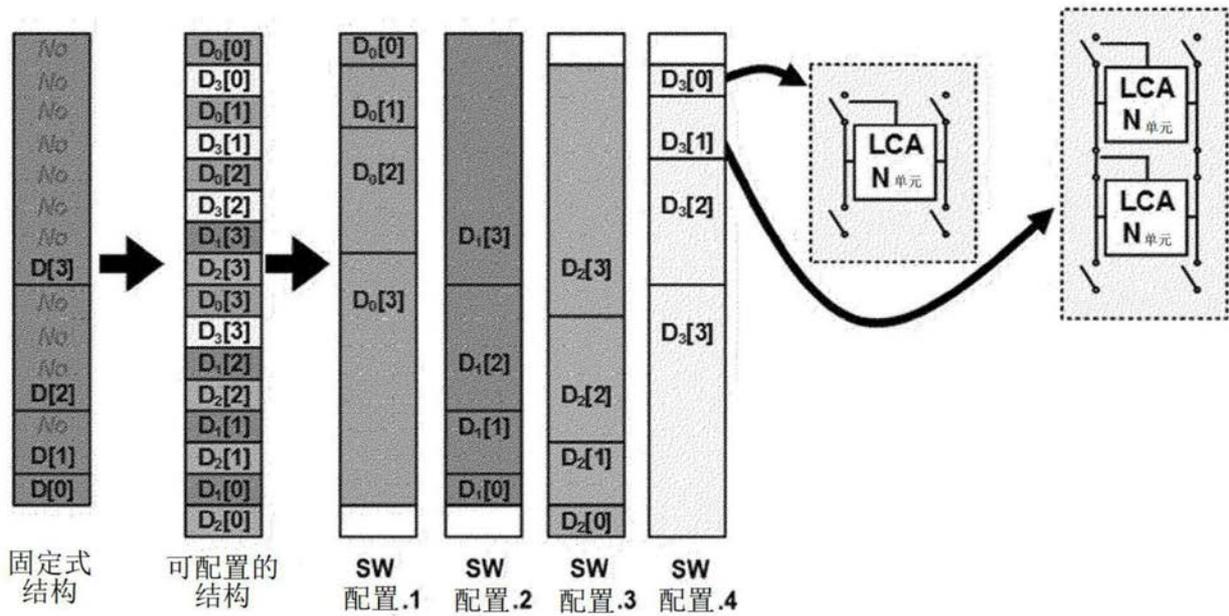


图18

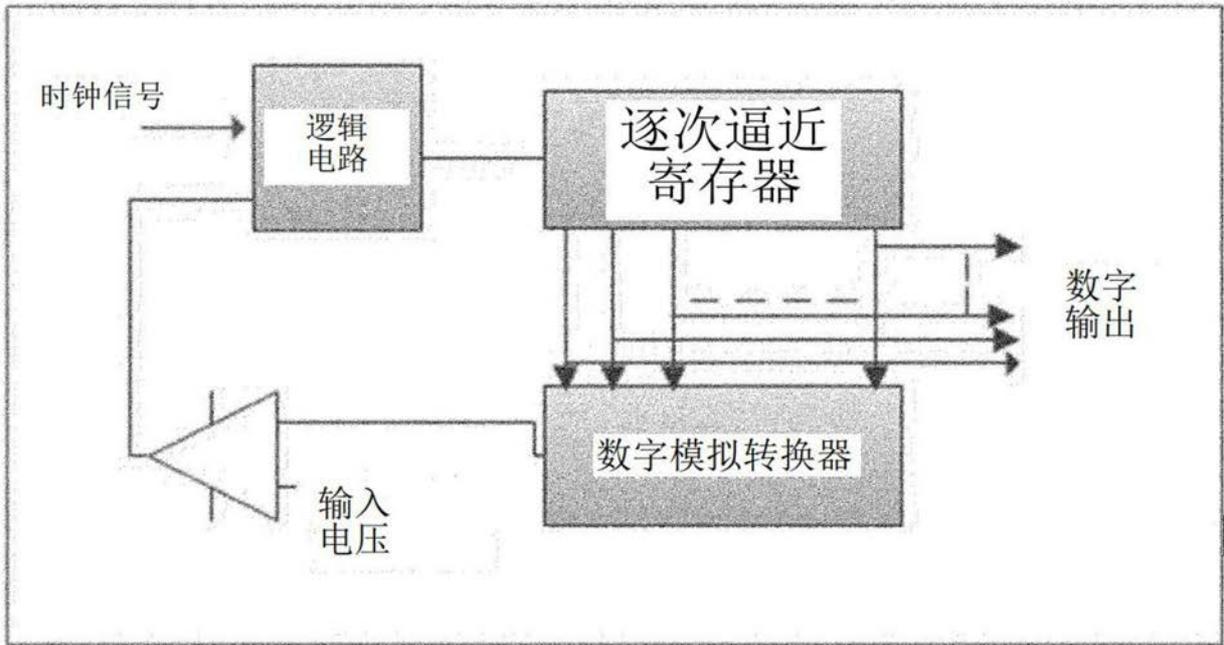


图19