



(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2018 107 089.6**

(22) Anmeldetag: **26.03.2018**

(43) Offenlegungstag: **15.11.2018**

(51) Int Cl.: **H03K 17/16 (2006.01)**

(30) Unionspriorität:

<b>62/505,835</b>	<b>12.05.2017</b>	<b>US</b>
<b>15/902,880</b>	<b>22.02.2018</b>	<b>US</b>

(74) Vertreter:

**BOEHMERT & BOEHMERT Anwaltspartnerschaft  
mbB - Patentanwälte Rechtsanwälte, 28209  
Bremen, DE**

(71) Anmelder:

**Taiwan Semiconductor Manufacturing Co., Ltd.,  
Hsinchu, TW**

(72) Erfinder:

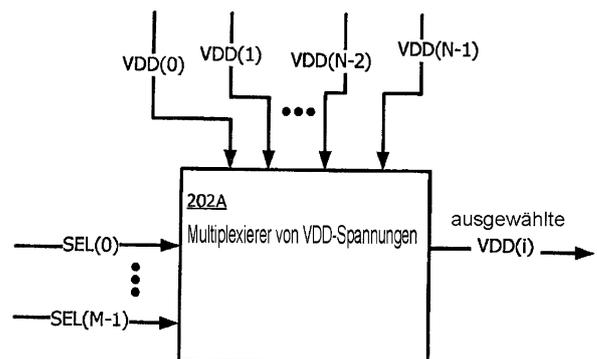
**Yen, Yang-Chi, Hsinchu, TW; Chen, Bo-Ting,  
Hsinchu, TW**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.**

(54) Bezeichnung: **Multiplexierer-Schaltkreis, Halbleitervorrichtung zum Multiplexieren von Spannungen, und Verfahren für seinen Betrieb**

(57) Zusammenfassung: Ein Multiplexierer-Schaltkreis von Stromversorgungs (Power Supply, PS)-Spannungen enthält wählbare Fingerschaltkreise, die den PS-Spannungen entsprechen, wobei jeder wählbare Fingerschaltkreis einen Eingangsknoten, der Fingerschaltkreis-spezifisch ist, und einen Ausgabeknoten, der den Fingerschaltkreisen gemein ist, aufweist; und dafür konfiguriert ist, eine entsprechende der PS-Spannungen von dem Eingangsknoten zu empfangen und, wenn ausgewählt, eine erste Version der entsprechenden PS-Spannung in den Ausgabeknoten einzuspeisen. Jeder der wählbaren Fingerschaltkreise enthält: einen Nicht-Erweiterungsmodus-Transistor eines ersten Leitfähigkeits (C1)-Typs (C1-Transistor) und erste und zweite Erweiterungsmodus-Transistoren eines zweiten Leitfähigkeits (C2)-Typs (C2-Transistor), die zwischen dem Eingangsknoten und dem Ausgabeknoten in Reihe geschaltet sind.



**Beschreibung**

## HINTERGRUND

**[0001]** Zwar ist die Senkung des Stromverbrauchs schon lange ein Ziel beim Design von Halbleitervorrichtungen, doch hat dieses Ziel in der jüngeren Vergangenheit durch die rasante Verbreitung von mobilen Computer- und Elektronikgeräten noch mehr Aufmerksamkeit erfahren. Bei Systemen, die aus diskreten Komponenten bestehen, die auf einer gedruckten Leiterplatte (PCB) montiert sind, kann der Stromverbrauch gesenkt werden, indem verschiedene Komponenten auf verschiedenen Spannungsebenen und/oder Frequenzen betrieben werden. Bei einem System-on-Chip (SoC) werden Energie-Inseln (oder Spannungsinseln) als eine Technik zum Senken des Stromverbrauchs verwendet, wobei die Energie-Inseln entsprechende Energiebereiche repräsentieren, von denen einige oder alle auf verschiedenen Spannungsebenen und/oder Frequenzen arbeiten.

## Figurenliste

**[0002]** Aspekte der vorliegenden Offenbarung werden am besten anhand der folgenden detaillierten Beschreibung verstanden, wenn sie zusammen mit den begleitenden Figuren gelesen wird. Es wird darauf hingewiesen, dass gemäß der üblichen Praxis in der Industrie verschiedene Merkmale nicht maßstabsgetreu gezeichnet sind. Die Abmessungen der verschiedenen Merkmale können vielmehr beliebig vergrößert oder verkleinert werden, um die Besprechung besser verständlich zu machen.

**Fig. 1** ist ein Blockschaubild einer Halbleitervorrichtung gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**Fig. 2A** ist ein Blockschaubild eines Multiplexierer-Schaltkreises gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**Fig. 2B** ist ein Blockschaubild eines Multiplexierer-Schaltkreises gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**Fig. 3A** ist ein Schaltbild eines Multiplexierer-Schaltkreises gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**Fig. 3B** ist ein Schaltbild eines Multiplexierer-Schaltkreises gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**Fig. 3C-3F** sind entsprechende Tabellen von Steuersignalen, die durch die Auswahllogik von **Fig. 3B** generiert werden, gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**Fig. 4A** ist ein Layout-Schaubild eines Multiplexierer-Schaltkreises zum Multiplexieren von

Spannungen gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**Fig. 4B** ist ein Layout-Schaubild eines Multiplexierer-Schaltkreises zum Multiplexieren von Spannungen gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**Fig. 5** ist ein Schaltbild eines Multiplexierer-Schaltkreises gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**Fig. 6A** ist ein Flussdiagramm eines Verfahrens zum Multiplexieren von Stromversorgungs (Power Supply, PS)-Spannungen gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**Fig. 6B** ist ein Flussdiagramm, das einen Block von **Fig. 6A** in größerer Detailliertheit beschreibt, gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**Fig. 6C** ist ein Flussdiagramm, das einen Block von **Fig. 6A** in größerer Detailliertheit beschreibt, gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**Fig. 6D** ist ein Flussdiagramm, das einen Block von **Fig. 6A** in größerer Detailliertheit beschreibt, gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**Fig. 6E** ist ein Flussdiagramm, das einen Block 604 von **Fig. 6A** in größerer Detailliertheit beschreibt, gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**Fig. 6F** ist ein Flussdiagramm, das einen Block von **Fig. 6A** in größerer Detailliertheit beschreibt, gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**Fig. 7A** ist ein Flussdiagramm eines Verfahrens zum Generieren eines Layout-Schaubildes einer Halbleitervorrichtung zum Multiplexieren von Stromversorgungs (Power Supply, PS)-Spannungen gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**Fig. 7B** ist ein Flussdiagramm, das einen Block von **Fig. 7A** in größerer Detailliertheit beschreibt, gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**Fig. 7C** ist ein Flussdiagramm, das einen Block von **Fig. 7A** in größerer Detailliertheit beschreibt, gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**Fig. 7D** ist ein Flussdiagramm, das einen Block von **Fig. 7A** in größerer Detailliertheit beschreibt, gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**Fig. 7E** ist ein Flussdiagramm, das einen Block von **Fig. 7A** in größerer Detailliertheit beschreibt,

gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**Fig. 8** ist ein Blockschaubild eines elektronischen Designautomatisierungs (EDA)-Systems gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**Fig. 9** ist ein Blockschaubild eines Integrierten-Schaltkreis (IC)-Fertigungssystems und eines damit verknüpften IC-Produktionsflusses gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

#### DETAILLIERTE BESCHREIBUNG

**[0003]** Die folgende Offenbarung stellt viele verschiedene Ausführungsformen oder Beispiele zum Implementieren verschiedener Merkmale des hier besprochenen Gegenstandes bereit. Konkrete Beispiele von Komponenten, Werten, Operationen, Materialien, Instruktionen oder dergleichen werden unten beschrieben, um die vorliegende Offenbarung zu vereinfachen. Diese sind natürlich lediglich Beispiele und sollen nicht einschränkend sein. Andere Komponenten, Werte, Operationen, Materialien, Instruktionen oder dergleichen werden ebenfalls in Betracht gezogen. Zum Beispiel kann die Ausbildung eines ersten Strukturelements über oder auf einem zweiten Strukturelement in der folgenden Beschreibung Ausführungsformen enthalten, bei denen die ersten und zweiten Strukturelemente in direktem Kontakt ausgebildet werden, und können auch Ausführungsformen enthalten, bei denen weitere Strukturelemente zwischen den ersten und zweiten Strukturelementen ausgebildet sein können, so dass die ersten und zweiten Strukturelemente möglicherweise nicht in direktem Kontakt stehen. Des Weiteren kann die vorliegende Offenbarung Bezugswerte und/oder -buchstaben in den verschiedenen Beispielen wiederholen. Diese Wiederholung dient der Einfachheit und Klarheit und schafft nicht automatisch eine Beziehung zwischen den verschiedenen besprochenen Ausführungsformen und/oder Konfigurationen.

**[0004]** Des Weiteren können räumlich relative Begriffe, wie zum Beispiel „unterhalb“, „unter“, „unterer“, „oberhalb“, „oberer“ und dergleichen, im vorliegenden Text verwendet werden, um die Beschreibung zu vereinfachen, um die Beziehung eines Elements oder Strukturelements zu einem oder mehreren anderen Elementen oder Strukturelementen zu beschreiben, wie in den Figuren veranschaulicht. Die räumlich relativen Begriffe sollen neben der in den Figuren gezeigten Ausrichtung noch weitere Ausrichtungen der Vorrichtung während des Gebrauchs oder Betriebes umfassen. Die Vorrichtung kann auch anders ausgerichtet (90 Grad gedreht oder anders ausgerichtet) sein, und die im vorliegenden Text verwendeten räumlich relativen Deskriptoren können gleichermaßen entsprechend interpretiert werden.

**[0005]** In einigen Ausführungsformen wird ein Multiplexierer von Stromversorgungs (Power Supply, PS)-Spannungen bereitgestellt, der wählbare Fingerschaltkreise enthält, die den PS-Spannungen entsprechen, wobei jeder der wählbaren Fingerschaltkreise einen Kriechstromschutz-Transistor, einen Selektor-Transistor und einen Treiber-Transistor enthält. In einigen Ausführungsformen ist der Kriechstromschutz-Transistor ein NMOS-Transistor. In den nicht-ausgewählten Fingerschaltkreisen würden, wenn statt dessen der NMOS-Transistor nicht vorhanden wäre, die Selektor- und Treiber-Transistoren sich als in Durchlassrichtung vorgespannte Dioden verhalten und Kriechstrompfade zwischen (A) den Körpern der Selektor- und Treiber-Transistoren und (B) den entsprechenden PS-Spannungen repräsentieren. Ein Vorteil des Kriechstromschutz-Transistors (NMOS-Transistors) ist, dass solche Kriechstrompfade reduziert, wenn nicht gar vermieden werden. In einigen Ausführungsformen ist der Kriechstromschutz-Transistor ein nativer NMOS-Transistor. Ein Vorteil, wenn der Kriechstromschutz-Transistor in mindestens einigen Ausführungsformen ein nativer Transistor (nativer NMOS-Transistor) ist, liegt daran, dass der Spannungsabfall an dem Kriechstromschutz-Transistor klein, wenn nicht gar vernachlässigbar ist, was die Strombelastbarkeit des entsprechenden Fingerschaltkreises verbessert. In einigen Ausführungsformen sind die Körper der Selektor- und Treiber-Transistoren zu der ausgewählten der PS-Spannungen vorgespannt. Wenn die Körper der Selektor- und Treiber-Transistoren statt dessen zu der größten der PS ( $P_{Smax}$ )-Spannungen vorgespannt werden würden, dann würden einige oder alle der „anderen“ Fingerschaltkreise (die verwendet werden, um einige der PS-Spannungen auszuwählen, die nicht die größte PS-Spannung sind) eine schlechte Stromsteuerfähigkeit aufweisen, wenn sie ausgewählt werden würden, weil die Körper der Selektor- und Treiber-Transistoren in den „anderen“ Fingerschaltkreisen mit der  $P_{Smax}$ -Spannung vorgespannt werden würden, die größer wäre als entsprechende empfangene PS-Spannungen, dadurch bewirkt werden würde, dass mindestens einige der Selektor- und Treiber-Transistoren in den entsprechenden Grenzregionen arbeiten. Entsprechend liegt in mindestens einigen Ausführungsformen ein Vorteil des Vorspannens der Körper der Selektor- und Treiber-Transistoren auf die ausgewählte der PS-Spannungen darin, dass keiner der Selektor- und Treiber-Transistoren veranlasst wird, in den entsprechenden Grenzregionen zu arbeiten.

**[0006]** **Fig. 1** ist ein Blockschaubild einer Halbleitervorrichtung **100** gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**[0007]** In **Fig. 1** enthält das Halbleitervorrichtung **100** unter anderem ein Schaltkreismakro-/modul (im Weiteren Makro) **101**. In einigen Ausführungsformen ist

das Makro **101** ein System-on-Chip (SOC)-Makro. Das Makro **101** enthält einen Multiplexierer-Schaltkreis **102**, wobei der Multiplexierer-Schaltkreis **102** dafür konfiguriert ist, Spannungen zu multiplexieren. In einigen Ausführungsformen ist der Multiplexierer-Schaltkreis **102** dafür konfiguriert, verschiedene Stromversorgungsspannungen zu multiplexieren (siehe Positionen **202A** von **Fig. 2A**, **Fig. 202B** von **Fig. 2B** oder dergleichen, wie unten besprochen).

**[0008]** In einigen Ausführungsformen wird das Makro **101** im Kontext einer Analogie zu der Architekturhierarchie einer modularen Programmierung verstanden, bei der Subroutinen/-verfahren durch ein Hauptprogramm (oder durch andere Subroutinen) aufgerufen werden, um eine bestimmte Berechnungsfunktion auszuführen. In diesem Kontext verwendet die Halbleitervorrichtung **100** das Makro **101**, um eine oder mehrere bestimmte Funktionen auszuführen. Dementsprechend ist das Halbleitervorrichtung **100** in diesem Kontext und in Hinblick auf die Architekturhierarchie dem Hauptprogramm analog, und das Makro (im Weiteren das Makro) **101** ist den Subroutinen/-verfahren analog. In einigen Ausführungsformen ist das Makro **101** ein Soft-Makro. In einigen Ausführungsformen ist das Makro **101** ein Hard-Makro. In einigen Ausführungsformen ist das Makro **101** ein Soft-Makro, das in Register-Transfer Level (RTL)-Code beschrieben/formuliert wird. In einigen Ausführungsformen müssen Synthese, Platzierung und Verlegung noch an dem Makro **101** ausgeführt werden, so dass das Soft-Makro für eine Vielzahl verschiedener Prozessknoten synthetisiert, platziert und verlegt werden kann. In einigen Ausführungsformen ist das Makro **101** ein Hard-Makro, das in einem Binärdateiformat (zum Beispiel Grafic Database System II (GDSII)-Stream-Format) beschrieben/formuliert wird, wobei das Binärdateiformat planare geometrische Formen, Text-Label, andere Informationen und dergleichen eines oder mehrerer Layout-Schaubilder des Makros **101** in hierarchischer Form repräsentiert. In einigen Ausführungsformen werden Synthese, Platzierung und Verlegung an dem Makro **101** so ausgeführt, dass das Hard-Makro für einen bestimmten Prozessknoten spezifisch ist.

**[0009]** **Fig. 2A** ist ein Blockschaubild eines Multiplexierer-Schaltkreises **202A** von Spannungen gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung. In einigen Ausführungsformen ist der Multiplexierer-Schaltkreis **202A** ein Beispiel eines Multiplexierer-Schaltkreises **102** von **Fig. 1**.

**[0010]** In **Fig. 2A** ist der Multiplexierer-Schaltkreis **202A** dafür konfiguriert, eine unter **N** verschiedenen Spannungen auszuwählen und die ausgewählte der **N** Spannungen auszugeben, wobei **N** eine ganze Zahl ist und  $N \geq 2$ . Genauer gesagt, ist der Multiplexierer-Schaltkreis **202A** für Folgendes konfiguriert: Empfangen von **N** Spannungen **VDD(0)**,

**VDD(1)**, ..., **VDD(N-2)** und **VDD(N-1)** und **M** Steuersignalen **SEL(0)**, ..., **SEL(M-1)**, wobei **M** eine ganze Zahl ist und  $M \geq 1$ ; Auswählen einer unter Spannungen **VDD(0)-VDD(N-1)** gemäß Steuersignalen **SEL(0)-SEL(M-1)**; und Ausgeben der ausgewählten Spannung **VDD(i)**, wobei **i** eine ganze Zahl ist, die der ausgewählten der ganzen Zahlen **0**, **1**, ..., **N-2** und **N-1** entspricht. Obgleich **Fig. 2A** mindestens zwei Steuersignale zeigt, ist in einigen Ausführungsformen  $M=1$ , so dass es ein einziges Steuersignal **SEL** gibt.

**[0011]** In **Fig. 2A** repräsentieren die Spannungen **VDD(0)-VDD(N-1)** Stromversorgungsspannungen. In einigen Ausführungsformen repräsentieren die Spannungen **VDD(0)-VDD(N-1)** Stromversorgungsspannungen, die verschiedenen SOC-Makros entsprechen. In einigen Ausführungsformen repräsentieren die Spannungen **VDD(0)-VDD(N-1)** andere Spannungen als Stromversorgungsspannungen.

**[0012]** **Fig. 2B** ist ein Blockschaubild eines Multiplexierer-Schaltkreises **202B** der Spannungen gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung. In einigen Ausführungsformen ist der Multiplexierer-Schaltkreis **202B** ein Beispiel eines Multiplexierer-Schaltkreises **102** von **Fig. 1**.

**[0013]** Der Multiplexierer-Schaltkreis **202B** von **Fig. 2B** ist eine Implementierung eines Multiplexierer-Schaltkreises **202A** von **Fig. 2A**, wobei zur Vereinfachung der Erläuterung  $M=2$  und  $N=4$ . Dementsprechend ist der Multiplexierer-Schaltkreis **202B** für Folgendes konfiguriert: Empfangen von vier ( $N=4$ ) Spannungen **VDD(0)**, **VDD(1)**, **VDD(2)** und **VDD(3)** und zwei ( $M=2$ ) Steuersignalen **SEL(0)** und **SEL(1)**; Auswählen einer unter den Spannungen **VDD(0)-VDD(3)** gemäß Steuersignalen **SEL(0)-SEL(1)**; und Ausgeben der ausgewählten Spannung **VDD(i)**, wobei **VDD(i)** gleich der ausgewählten der Spannungen **VDD(0)-VDD(3)** ist.

**[0014]** **Fig. 3A** ist ein Schaltbild eines Multiplexierer-Schaltkreises **302A** von Spannungen gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung. In einigen Ausführungsformen ist der Multiplexierer-Schaltkreis **302A** ein Beispiel eines Multiplexierer-Schaltkreises **102** von **Fig. 1**. In einigen Ausführungsformen ist der Multiplexierer-Schaltkreis **302A** ein Beispiel eines Multiplexierer-Schaltkreises **202A** von **Fig. 2A**.

**[0015]** In **Fig. 3A** ist der Multiplexierer-Schaltkreis **302A** dafür konfiguriert, eine unter **N** verschiedenen Spannungen auszuwählen und die ausgewählte der **N** Spannungen auszugeben, wobei **N** eine ganze Zahl ist und  $N > 2$ . Genauer gesagt, ist der Multiplexierer-Schaltkreis **302A** für Folgendes konfiguriert: Empfangen von **N** Spannungen **VDD(0)**, **VDD(1)**, ..., **VDD(N-2)** und **VDD(N-1)** und **M** Steuersignalen **SEL(0)**, ..., **SEL(M-1)**, wobei **M** eine ganze

Zahl ist und  $M \geq 1$ ; Auswählen einer unter den Spannungen **VDD(0)-VDD(N-1)** gemäß Steuersignalen **SEL(0)-SEL(M-1)**; und Ausgeben der ausgewählten Spannung **VDD(i)**, wobei *i* eine ganze Zahl ist, die der ausgewählten der ganzen Zahlen **0, 1, ..., N-2** und **N-1** entspricht. In einigen Ausführungsformen ist  $M=1$ , so dass es ein einzelnes Steuersignal **SEL** gibt.

**[0016]** Der Multiplexer-Schaltkreis **302A** enthält: ein Transistornetzwerk **303A**; eine Vorspannschleife **312A**; einen Ausgabeknoten **314A**; und Auswahllogik **316A**. Das Transistornetzwerk **303A** enthält wählbare Fingerschaltkreise **304A(0)**, **304A(1)**, ..., **304A(N-2)** und **304A(N-1)**, die dafür konfiguriert sind, entsprechende Spannungen **VDD(0)**, **VDD(1)**, ..., **VDD(N-2)** und **VDD(N-1)** zu empfangen.

**[0017]** Jeder der Fingerschaltkreise **304A(0)**, **304A(1)**, ..., **304A(N-2)** und **304A(N-1)** enthält drei reihengeschaltete Transistoren. Fingerschaltkreis **304A(0)** enthält NMOS-Transistor **N11**, PMOS-Transistor **P21** und PMOS-Transistor **P31** in Reihe geschaltet. Fingerschaltkreis **304A(1)** enthält Transistoren **N12**, **P22** und **P32** in Reihe geschaltet. Fingerschaltkreis **304A(N-2)** enthält Transistoren **N1** (**N-1**), **P2** (**N-1**) und **P3** (**N-1**) in Reihe geschaltet. Fingerschaltkreis **304A(N-1)** enthält Transistoren **N1** (**N**), **P2** (**N**) und **P3** (**N**) in Reihe geschaltet. In einigen Ausführungsformen enthält jeder der Fingerschaltkreise **304A(0)**, **304A(1)**, ..., **304A(N-2)** und **304A(N-1)** mehr als drei reihengeschaltete Transistoren.

**[0018]** Die NMOS-Transistoren **N11**, **N12**, ..., **N1** (**N-1**) und **N1** (**N**) sind Nicht-Erweiterungsmodus-NMOS-Transistoren und umfassen eine Gruppe **306A** von Kriechstromschutz-Transistoren. In einigen Ausführungsformen sind die Transistoren **N11**, **N12**, ..., **N1** (**N-1**) und **N1** (**N**) statt dessen Nicht-Erweiterungsmodus-PMOS-Transistoren **P11**, **P12**, ..., **P1** (**N-1**) und **P1** (**N**).

**[0019]** In einigen Ausführungsformen besteht die Gruppe **306A** von Nicht-Erweiterungsmodus-Kriechstromschutz-Transistoren aus nativen NMOS-Transistoren. Ein nativer Transistor ist ein Transistor, der kaum oder gar keine Kanaldotierung erfahren hat, und folglich bestimmt der Körper (oder das Volumen) des Transistors die Leitfähigkeitseigenschaften des Kanals und stellt dadurch die Schwellenspannung ein. Im Kontext von NMOS-Transistoren hat der native NMOS-Transistor eine niedrigere Schwellenspannung als ein nicht-nativer NMOS-Transistor. In einigen Ausführungsformen liegt die Schwellenspannung des nativen NMOS-Transistors um die null Volt.

**[0020]** In einigen Ausführungsformen besteht die Gruppe **306A** von Nicht-Erweiterungsmodus-Kriechstromschutz-Transistoren aus Verarmungsmodus-Transistoren. Bei der MOSFET-Technologie gibt es eine Zwischenregion zwischen den Source- und

Drain-Regionen eines Transistors. Ein Verarmungsmodus-Transistor ist ein „Ausschalt“-Transistor (Normally-On), weil ein leitfähiger Pfad (ein Kanal) durch die Zwischenregion während der Herstellung des Transfers gebildet wird, so dass der Kanal automatisch vorhanden ist. Während der Fertigung des Verarmungsmodus-Transistors wird in die Zwischenregion eine hinreichend hohe/große Konzentration von Dotanden implantiert und/oder diffundiert, so dass der Kanal automatisch vorhanden ist, wodurch der Verarmungsmodus-Transistor als „Ausschalt“-Transistor (Normally-On) angesehen wird. Dementsprechend wird Spannung selektiv an die Gate-Elektrode eines Verarmungsmodus-Transistors angelegt, um Ladungsträger von der Zwischenregion abzustößen, was selektiv, wenn auch nur vorübergehend, den Kanal zerstört und dadurch selektiv den Verarmungsmodus-Transistor **AUS** schaltet.

**[0021]** Wenn im Kontext von NMOS-Transistoren eine kleine Spannung ( $\approx 0$  Volt) an die Gate-Elektrode angelegt wird, so bleibt der Kanal durch die Zwischenregion hindurch erhalten, so dass der Verarmungsmodus-NMOS-Transistor **EIN** bleibt; und wenn eine negative Spannung an die Gate-Elektrode angelegt wird, so wird der Kanal durch die Zwischenregion hindurch zerstört, so dass der Verarmungsmodus-NMOS-Transistor **AUS** ist. Wenn im Kontext von PMOS-Transistoren eine große Spannung ( $\approx VDD$  Volt) an die Gate-Elektrode angelegt wird, so bleibt der Kanal durch die Zwischenregion hindurch erhalten, so dass der Verarmungsmodus-PMOS-Transistor **EIN** bleibt; und wenn eine sehr große Spannung ( $\gg VDD$ ) an die Gate-Elektrode angelegt wird, so wird der Kanal durch die Zwischenregion hindurch zerstört, so dass der Verarmungsmodus-PMOS-Transistor **AUS** ist.

**[0022]** PMOS-Transistoren **P21**, **P22**, ..., **P2** (**N-1**) und **P2** (**N**) sind Erweiterung-Modus-Transistoren und umfassen eine Gruppe **308A** von Selektor-Transistoren. PMOS-Transistoren **P31**, **P32**, ..., **P3** (**N-1**) und **P3** (**N**) umfassen eine Gruppe **310A** von Treiber-Transistoren. In einigen Ausführungsformen sind die Transistoren **P21**, **P22**, ..., **P2(N-1)** und **P2(N)** und **P31**, **P32**, ..., **P3(N-1)** und **P3(N)** statt dessen entsprechende Erweiterungsmodus-NMOS-Transistoren **N21**, **N22**, ..., **N2** (**N-1**) und **N2** (**N**) und **N31**, **N32**, ..., **N3** (**N-1**) und **N3** (**N**).

**[0023]** Im Hinblick auf den Erweiterungsmodus gibt es auch hier bei der MOSFET-Technologie eine Zwischenregion zwischen den Source- und Drain-Regionen eines Transistors. Ein Erweiterungsmodus-Transistor ist ein „Einschalt“-Transistor (Normally-OFF), weil während der Herstellung des Transfers kein leitfähiger Pfad (ein Kanal) durch die Zwischenregion hindurch ausgebildet wird, so dass kein Kanal automatisch vorhanden ist, so dass der Erweiterungsmodus-Transistor automatisch ausgeschaltet

ist. Um den Erweiterungsmodus-Transistor einzuschalten, wird Spannung selektiv an die Gate-Elektrode angelegt, um Ladungsträger zu der Zwischenregion zu ziehen, was selektiv, wenn auch nur vorübergehend, den Kanal erzeugt/bildet und dadurch selektiv den Erweiterungsmodus-Transistor einschaltet.

**[0024]** Wenn im Kontext von NMOS-Transistoren eine Spannung, die niedriger ist als die Schwellenspannung  $V_t$ , an die Gate-Elektrode angelegt wird, so wird kein Kanal durch die Zwischenregion hindurch induziert, so dass der Erweiterungsmodus-NMOS-Transistor AUS bleibt; und wenn eine Spannung, die mindestens so groß ist wie die Schwellenspannung  $V_t$ , an die Gate-Elektrode angelegt wird, so wird der Kanal durch die Zwischenregion hindurch induziert, so dass der Erweiterungsmodus-NMOS-Transistor EIN geschaltet wird. Wenn im Kontext von PMOS-Transistoren eine Spannung, die größer als die Schwellenspannung  $V_t$  ist, an die Gate-Elektrode angelegt wird, so wird kein Kanal durch die Zwischenregion hindurch induziert, so dass der Erweiterungsmodus-PMOS-Transistor AUS bleibt; und wenn eine Spannung, die maximal so groß ist wie die Schwellenspannung  $V_t$ , an die Gate-Elektrode angelegt wird, so wird der Kanal durch die Zwischenregion hindurch induziert, so dass der Erweiterungsmodus-PMOS-Transistor EIN geschaltet wird.

**[0025]** Die Auswahllogik **316A** von **Fig. 3A** ist dafür konfiguriert, die  $M$  Steuersignale **SEL(0)**, ..., **SEL(M-1)** zu empfangen und  $3 \times N$  Steuersignale  $CTRL_{gate(ij)}$  zu generieren, die an Gate-Elektroden von entsprechenden Transistoren **N11**, **N12**, ..., **N1(N-1)**, **N1(N)**, **P21**, **P22**, ..., **P2(N-1)**, **P2(N)**, **P31**, **P32**, ..., **P3(N-1)** und **P3(N)** des Transistornetzwerks **303A** ausgegeben werden. Das Transistornetzwerk ist als eine Anordnung von Zeilen und Spalten organisiert, so dass zum Beispiel der Transistor an der Kreuzung von Zeile **1** und Spalte **1** **N11** ist, der Transistor an der Kreuzung von Zeile **2** und Spalte **2** **P22** ist, oder dergleichen. Dementsprechend ist die Auswahllogik **316A** dafür konfiguriert, ein Steuersignal  $CTRL_{gate(11)}$  zu generieren und dieses an den Transistor **N11** auszugeben; ein Steuersignal  $CTRL_{gate(22)}$  zu generieren und dieses an den Transistor **P22** auszugeben; oder dergleichen. Weitere Einzelheiten in Bezug auf die Auswahllogik **316A** finden sich unten in der Besprechung der Auswahllogik **316B** von **Fig. 3B** und der zugehörigen Besprechung der **Fig. 3C-3F**. In einigen Ausführungsformen, falls jeder der Fingerschaltkreise **304A(0)**, **304A(1)**, ..., **304A(N-2)** und **304A(N-1)** mehr als drei reihengeschaltete Transistoren enthält, generiert die Auswahllogik **316A** entsprechend mehr als  $3 \times N$  Steuersignale  $CTRL_{gate(ij)}$  und gibt sie aus. In einigen Ausführungsformen, falls jeder der Fingerschaltkreise **304A(0)**, **304A(1)**, ..., **304A(N-2)** und **304A(N-1)** vier reihengeschaltete Transistoren enthält, generiert die Auswahl-

logik **316A** entsprechend mehr als  $4 \times N$  Steuersignale  $CTRL_{gate(ij)}$  und gibt diese aus.

**[0026]** **Fig. 3B** ist ein Schaltbild eines Multiplexierer-Schaltkreises **302B** der Spannungen gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung. In einigen Ausführungsformen ist der Multiplexierer-Schaltkreis **302B** ein Beispiel eines Multiplexierer-Schaltkreises **102** von **Fig. 1**. In einigen Ausführungsformen ist der Multiplexierer-Schaltkreis **302B** ein Beispiel eines Multiplexierer-Schaltkreises **202B** von **Fig. 2B**.

**[0027]** Der Multiplexierer-Schaltkreis **302B** von **Fig. 3B** ist eine Implementierung eines Multiplexierer-Schaltkreises **302A** von **Fig. 3A**, wobei zur Vereinfachung der Erläuterung  $M=2$  und  $N=4$ . Dementsprechend ist der Multiplexierer-Schaltkreis **302B** für Folgendes konfiguriert: Empfangen von vier ( $N=4$ ) Spannungen **VDD(0)**, **VDD(1)**, **VDD(2)** und **VDD(3)** und zwei ( $M=2$ ) Steuersignalen **SEL(0)** und **SEL(1)**; Auswählen einer unter den Spannungen **VDD(0)-VDD(3)** gemäß Steuersignalen **SEL(0)-SEL(1)**; und Ausgeben der ausgewählten Spannung **VDD(i)**, wobei **VDD(i)** gleich der ausgewählten der Spannungen **VDD(0)-VDD(3)** ist. Des Weiteren ist die Auswahllogik **316B** dafür konfiguriert, zwölf Steuersignale  $CTRL_{gate(ij)}$  zu generieren, wie unten in Bezug auf die **Fig. 3C-3F** noch in größerer Detailliertheit besprochen wird. In einigen Ausführungsformen ist die Auswahllogik **316B** dafür konfiguriert, eine andere positive Zahl von Steuersignalen als zwölf Steuersignale zu generieren.

**[0028]** Jeder der wählbaren Fingerschaltkreise **304A(0)**, **304A(1)**, **304A(2)** und **304A(3)** des Transistornetzwerks **303B** hat einen Fingerschaltkreis-spezifischen Eingangsknoten, durch den entsprechende Spannungen **VDD(0)**, **VDD(1)**, **VDD(2)** und **VDD(3)** empfangen werden sollen. Ein Ausgabeknoten **314B** ist jedem der wählbaren Fingerschaltkreise **304A(0)**, **304A(1)**, **304A(2)** und **304A(3)** gemein. In **Fig. 3B** ist **VDD(0)=5 V**, **VDD(1)=1,15 V**, **VDD(2)=1,5 V** und **VDD(3)=1,15 V**. In einigen Ausführungsformen repräsentieren eine oder mehrere **VDD(0)-VDD(3)** andere Spannungen als die entsprechenden in **Fig. 3B** gezeigten Spannungen.

**[0029]** Im Hinblick auf den Fingerschaltkreis **304B(0)** ist der native Transistor **N11** zwischen der Spannung **VDD(0)** und einem Knoten **307B(0)** verbunden. Der Transistor **P21** ist zwischen dem Knoten **307B(0)** und einem Knoten verbunden, der die Vorspannschiene **312B** repräsentiert. Der Transistor **P31** ist zwischen der Vorspannschiene **312B** und dem Ausgabeknoten **314B** verbunden. Im Hinblick auf den Fingerschaltkreis **304B(1)** ist der native Transistor **N12** zwischen der Spannung **VDD(1)** und einem Knoten **307B(1)** verbunden. Der Transistor **P22** ist zwischen dem Knoten **307B(1)** und einem Knoten verbunden, der

die Vorspannschiene **312B** repräsentiert. Der Transistor **P32** ist zwischen der Vorspannschiene **312B** und dem Ausgabeknoten **314B** verbunden. Im Hinblick auf den Fingerschaltkreis **304B(2)** ist der native Transistor **N13** zwischen der Spannung **VDD(2)** und einem Knoten **307B(2)** verbunden. Der Transistor **P23** ist zwischen dem Knoten **307B(2)** und einem Knoten verbunden, der die Vorspannschiene **312B** repräsentiert. Der Transistor **P33** ist zwischen der Vorspannschiene **312B** und dem Ausgabeknoten **314B** verbunden. Im Hinblick auf den Fingerschaltkreis **304B(3)** ist der native Transistor **N14** zwischen der Spannung **VDD(2)** und einem Knoten **307B(2)** verbunden. Der Transistor **P23** ist zwischen dem Knoten **307B(2)** und einem Knoten verbunden, der die Vorspannschiene **312B** repräsentiert. Der Transistor **P33** ist zwischen der Vorspannschiene **312B** und dem Ausgabeknoten **314B** verbunden.

**[0030]** In **Fig. 3B** werden die Körper der Transistoren **P21-P24** und **P31-P34** auf die Spannung an der Vorspannschiene **312B** vorgespannt. In einigen Ausführungsformen werden die Körper der Transistoren **P21-P24** und **P31-P34** auf eine andere Spannung als die Spannung an der Vorspannschiene **312B** vorgespannt. In **Fig. 3B** werden die Körper der Transistoren **N11-N14** auf VSS vorgespannt. In einigen Ausführungsformen werden die Körper der Transistoren **N11-N14** auf eine andere Spannung als VSS vorgespannt.

**[0031]** **Fig. 3B** nimmt eine Situation an, in der der Fingerschaltkreis **304B(3)** so ausgewählt wurde, dass die Auswahllogik **316B** die Transistoren des Fingerschaltkreises **304B(3)** auf EIN steuert, während die Transistoren der Fingerschaltkreise **304B(0)-304B(2)** ausgeschaltet werden.

**[0032]** **Fig. 3C** ist eine Tabelle von Steuersignalen  $CTRL_{gate(i)}$ , die durch die Auswahllogik **316B** generiert werden, gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**[0033]** Die Tabelle von **Fig. 3C** nimmt an, dass der Fingerschaltkreis **304B(3)** ausgewählt wurde. Insofern generiert die Auswahllogik **316B** Steuersignale  $CTRL_{gate(11)}$ - $CTRL_{gate(34)}$  und legt diese an die Gate-Elektroden von entsprechenden Transistoren **N11-N14**, **P21-P24** und **P31-P34** an, so dass die Transistoren **N14**, **P24** und **P34** eingeschaltet und die Transistoren **N11-N13**, **P21-P23** und **P31-P33** ausgeschaltet werden, und zwar wie folgt. In einigen Ausführungsformen wird die Auswahllogik **316B** mit einer (nicht gezeigten) Kombination eines oder mehrerer NAND-Schaltkreise, eines oder mehrerer NOR-Schaltkreise und eines oder mehrerer Inverter implementiert.

**[0034]** Um die Transistoren des Fingerschaltkreises **304B(3)** einzuschalten, generiert die Auswahllo-

gik **316B** Steuersignale folgendermaßen: das Steuerungssignal  $CTRL_{gate(14)}$  wird gleich der größten der Spannungen **VDD(0)-VDD(3)** eingestellt und wird an die Gate-Elektrode des Transistors **N14** angelegt, wodurch der Transistor **N14** eingeschaltet wird. In einigen Ausführungsformen schreibt eine Designregel vor, dass **VDD(0)** die größte Spannung zugewiesen bekommt. In **Fig. 3B** wird angenommen, dass **VDD(0)** die größte der Spannungen **VDD(0)-VDD(3)** ist. In einigen Ausführungsformen ist eine der Spannungen **VDD(0)-VDD(3)** außer **VDD(0)** die größte Spannung. Das Steuerungssignal  $CTRL_{gate(24)}$  wird gleich null Volt eingestellt und wird an die Gate-Elektrode des Transistors **P24** angelegt, wodurch der Transistor **P24** eingeschaltet wird. Das Steuerungssignal  $CTRL_{gate(34)}$  wird gleich null Volt eingestellt und wird an die Gate-Elektrode des Transistors **P34** angelegt, wodurch der Transistor **P34** eingeschaltet wird.

**[0035]** Um die Transistoren der Fingerschaltkreise **304B(0)-304B(2)** auszuschalten, generiert die Auswahllogik **316B** Steuersignale wie folgt: Die Steuerungssignale  $CTRL_{gate(11)}$ ,  $CTRL_{gate(12)}$  und  $CTRL_{gate(13)}$  werden gleich null Volt eingestellt und werden an die Gate-Elektroden von entsprechenden Transistoren **N11**, **N12** und **N13** angelegt, wodurch die Transistoren **N11**, **N12** und **N13** ausgeschaltet werden. Die NMOS-Transistoren sind zum Beispiel verlustbehaftet, selbst wenn die Gate-Spannung **0 V** ist. Wenn zum Beispiel in den Fingerschaltkreis **304B(0)** **VDD(1)=1,15 V** eingespeist werden, so kann der Knoten **307B(0)** höher als **1,15 V** sein, da der native Transistor **N11** verlustbehaftet ist und der Transistor **P21** eingeschaltet ist. Mit dem Verständnis, dass native NMOS-Transistoren verlustbehaftet sind, werden die Steuersignale  $CTRL_{gate(21)}$ ,  $CTRL_{gate(22)}$  und  $CTRL_{gate(23)}$  gleich der größten der Spannungen **VDD(0)-VDD(3)** eingestellt und werden an die Gate-Elektroden von entsprechenden Transistoren **P21**, **P22** und **P23** angelegt, wodurch die Transistoren **P21**, **P22** und **P23** ausgeschaltet werden. Die Steuerungssignale  $CTRL_{gate(31)}$ ,  $CTRL_{gate(32)}$  und  $CTRL_{gate(33)}$  werden gleich der Spannung an der Vorspannschiene **312B** eingestellt und werden an die Gate-Elektroden der Transistoren **P31**, **P32** und **P33** angelegt, wodurch die Transistoren **P31**, **P32** und **P33** ausgeschaltet werden. Weil **Fig. 3B** die Situation annimmt, in der Finger **304B(3)** ausgewählt wurde, ist die Spannung an der Vorspannschiene **312B** **VDD(3)**.

**[0036]** **Fig. 3D** ist eine Tabelle von Steuersignalen  $CTRL_{gate(i)}$ , die durch die Auswahllogik **316B** generiert werden, gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**[0037]** Die Tabelle von **Fig. 3D** ähnelt der Tabelle von **Fig. 3C**, außer dass die Tabelle von **Fig. 3C** annimmt, dass der Fingerschaltkreis **304B(0)** ausge-

wählt wurde. Im Interesse der Kürze erfolgt keine weitere Besprechung von **Fig. 3D**.

**[0038]** **Fig. 3E** ist eine Tabelle von Steuersignalen  $CTRL_{gate(ij)}$ , die durch die Auswahllogik **316B** generiert werden, gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**[0039]** Die Tabelle von **Fig. 3E** ähnelt der Tabelle von **Fig. 3C**, außer dass die Tabelle von **Fig. 3E** annimmt, dass der Fingerschaltkreis **304B(1)** ausgewählt wurde. Im Interesse der Kürze erfolgt keine weitere Besprechung von **Fig. 3E**.

**[0040]** **Fig. 3F** ist eine Tabelle von Steuersignalen  $CTRL_{gate(ij)}$ , die durch die Auswahllogik **316B** generiert werden, gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**[0041]** Die Tabelle von **Fig. 3F** ähnelt der Tabelle von **Fig. 3C**, außer dass die Tabelle von **Fig. 3F** annimmt, dass der Fingerschaltkreis **304B(2)** ausgewählt wurde. Im Interesse der Kürze erfolgt keine weitere Besprechung von **Fig. 3F**.

**[0042]** Wir kehren zu der Besprechung von **Fig. 3B** zurück. Wenn keine Kriechstromschutz-Transistoren **306B** vorhanden wären, sondern statt dessen Source-Anschlüsse der Transistoren **P21-P24** direkt mit entsprechenden Spannungen  $VDD(0)$ - $VDD(3)$  verbunden werden würden, so würden sich die nicht-ausgewählten der Transistoren **P21-P24** (in den nicht-ausgewählten der Fingerschaltkreise **304B(0)**-**304B(3)**) als in Durchlassrichtung vorgespannte Dioden verhalten und Kriechstrompfade zwischen den Spannungen  $VDD(0)$ - $VDD(3)$  und den Körpern von entsprechenden nicht-ausgewählten Fingerschaltkreisen repräsentieren. Dementsprechend liegt ein Vorteil von Kriechstromschutz-Transistoren **306B**, und zwar Transistoren **N11-N14**, darin, dass sie solche Kriechstrompfade reduzieren, wenn nicht gar verhindern. Wenn Kriechstromschutz-Transistoren **306B** als nicht-native NMOS-Transistoren statt als native NMOS-Transistoren implementiert werden würden, dann würde ein signifikanter Spannungsabfall an einem bestimmten der nicht-nativen NMOS-Transistoren stattfinden, was die Strombelastbarkeit des entsprechenden Fingerschaltkreises schmälern würde. Dementsprechend liegt ein Vorteil, dass die Kriechstromschutz-Transistoren **306B**, und zwar Transistoren **N11-N14**, native NMOS-Transistoren sind, darin, dass der Spannungsabfall an den Transistoren **N11-N14** klein, wenn nicht gar vernachlässigbar ist, was die Strombelastbarkeit der entsprechenden Fingerschaltkreise **304B(0)**-**304B(3)** verbessert.

**[0043]** In **Fig. 3B**, wenn die Körper der Transistoren **P21-P24** und **P31-P34** zu der größten der Spannungen  $VDD(0)$ - $VDD(3)$  vorgespannt werden wür-

den, dann würden die Fingerschaltkreise **304B(1)** und **304B(3)** eine schlechte Stromsteuerfähigkeit besitzen, wenn sie ausgewählt werden. Wenn wir uns ins Gedächtnis rufen, dass **Fig. 3B**  $VDD(0)=5$  V,  $VDD(1)=1,15$  V und  $VDD(3)=1,15$  V annimmt, so würde das Vorspannen der Körper der Transistoren **P22** und **P32** und **P24** und **P34** auf  $VDD(0)=5$  V die Transistoren **P22** und **P32** und **P24** und **P34** veranlassen, in ihren entsprechenden Grenzregionen zu arbeiten. Dementsprechend liegt ein Vorteil des Vorspannens der Körper der Transistoren **P21-P24** und **P31-P34** auf die Spannung an der Vorspannschiene **312B** darin, dass keine der Transistoren **P21-P24** und **P31-P34** veranlasst werden, in ihren entsprechenden Grenzregionen zu arbeiten.

**[0044]** **Fig. 4A** ist ein Layout-Schaubild **402B1** eines Multiplexierer-Schaltkreises zum Multiplexieren der Spannungen gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung. In einigen Ausführungsformen ist ein Beispiel eines Multiplexierer-Schaltkreises, der sich aus dem Layout-Schaubild **402B1** ergibt, der Multiplexierer-Schaltkreis **102** von **Fig. 1**. In einigen Ausführungsformen ist ein Beispiel eines Multiplexierer-Schaltkreises, der sich aus dem Layout-Schaubild **402B1** ergibt, der Multiplexierer-Schaltkreis **202B** von **Fig. 2B**. In einigen Ausführungsformen ist ein Beispiel eines Multiplexierer-Schaltkreises, der sich aus dem Layout-Schaubild **402B1** ergibt, der Multiplexierer-Schaltkreis **302B** von **Fig. 3B**, so dass  $M=2$  und  $N=4$ . In einigen Ausführungsformen, wo - allgemeiner ausgedrückt -  $N$  eine ganze Zahl ist,  $N \geq 2$ ,  $M$  eine ganze Zahl ist und  $M \geq 1$ , ist ein Beispiel eines Multiplexierer-Schaltkreises, der sich aus dem Layout-Schaubild **402B1** ergibt, der Multiplexierer-Schaltkreis **302A** von **Fig. 3A**. Der Fachmann würde das Layout-Schaubild **402B1** als einen Ersatz für eine Reihe von Querschnittsschaubildern eines Multiplexierer-Schaltkreises verstehen, der sich aus dem Layout-Schaubild **402B1** ergibt.

**[0045]** In **Fig. 4A** enthält das Layout-Schaubild **402B1** eine Substratstruktur **420**, eine Kriechstromschutzbereichsstruktur **406B'**, eine Selektorbereichsstruktur **408B'** und eine Treiberbereichsstruktur **410B'**. Ein Beispiel von Kriechstromschutz-Transistoren, die sich aus der Kriechstromschutzbereichsstruktur **406B'** ergeben, sind Kriechstromschutz-Transistoren **406B**, wobei die Kriechstromschutz-Transistoren **406B** den Kriechstromschutz-Transistoren **306B'** von **Fig. 3B** entsprechen. Ein Beispiel von Selektor-Transistoren, die sich aus dem Selektorbereich **408B'** ergeben, sind Auswahltransistoren **406B**, wobei die Auswahltransistoren **406B** den Auswahltransistoren **306B** von **Fig. 3B** entsprechen. Ein Beispiel von Treiber-Transistoren, die sich aus der Treiberbereichsstruktur **410B'** ergeben, sind Treiber-Transistoren **410B**, wobei die Treiber-Transistoren **410B** den Treiber-Transistoren **310B** von **Fig. 3B**

entsprechen. In **Fig. 4A** ist die Substratstruktur **420** mit einer P-Leitfähigkeit gezeigt.

**[0046]** Die Kriechstromschutzbereichsstruktur **406B'** ist für Verarmungsmodus-MOSFETs konfiguriert und enthält Folgendes. Regionsstrukturen **422(1,1)**, **422(1,2)**, **422(1,3)** und **422(1,4)** sind in dem Substrat **420** ausgebildet, sind aktive Regionen und sind mit einer N-Leitfähigkeit in **Fig. 4A** gezeigt. In einigen Ausführungsformen haben die Regionsstrukturen **422(1,1)**, **422(1,2)**, **422(1,3)** und **422(1,4)** Grenzen, die durch ein isolierendes Material definiert werden, zum Beispiel ein Oxid. In **Fig. 4A** verlaufen lange Achsen von Regionsstrukturen **422(1,1)**, **422(1,2)**, **422(1,3)** und **422(1,4)** parallel zur vertikalen Richtung. Genauer gesagt, sind die Regionsstrukturen **422(1,1)**, **422(1,2)**, **422(1,3)** und **422(1,4)** mit einer höheren Dotandenkonzentration gezeigt als die größere Mulde **441** (unten besprochen), so dass sie N<sup>+</sup> sind. Gate-Elektrodenstrukturen **424(1,1)**, **424(1,2)**, **424(1,3)** und **424(1,4)** sind entsprechend auf Regionsstrukturen **422(1,1)**, **422(1,2)**, **422(1,3)** und **422(1,4)** ausgebildet und definieren entsprechende native NMOS-Transistorstrukturen. Beispiele von nativen NMOS-Transistoren, die sich aus den nativen NMOS-Transistorstrukturen ergeben, die durch Gate-Elektrodenstrukturen **424(1,1)**, **424(1,2)**, **424(1,3)** und **424(1,4)** definiert werden, sind entsprechende Transistoren **N11**, **N12**, **N13** und **N14** von **Fig. 3B**. Wenn man sich die Regionsstrukturen **422(1,1)**, **422(1,2)**, **422(1,3)** und **422(1,4)** so vorstellt, dass sie eine Gruppe repräsentieren, so wird eine Ringstruktur **430(1)** außerhalb eines Umfangsrandes der Gruppe gebildet, hat P-Leitfähigkeit und hat eine höhere Dotandenkonzentration als das Substrat **420**, so dass sie P<sup>+</sup> ist, um als ein Schutzring zu dienen, der die Latchup-Festigkeit verbessert.

**[0047]** In **Fig. 4A** hat jede der Gate-Elektrodenstrukturen **424(1,1)**, **424(1,2)**, **424(1,3)** und **424(1,4)** eine Gabel/Kamm-Form. Zum Beispiel enthält die Gate-Elektrodenstruktur **424(1,4)** eine Wurzelstruktur **426(1,4)**, von der sich Zinkenstrukturen **428(1,4,1)**, **428(1,4,2)**, **428(1,4,3)** und **428(1,4,4)** erstrecken, so dass die Zinkenstrukturen **428(1,4,1)**, **428(1,4,2)**, **428(1,4,3)** und **428(1,4,4)** durch eine Wurzelstruktur **426(1,4)** elektrisch miteinander verbunden werden. In **Fig. 4A** verläuft eine lange Achse von der Wurzelstruktur **426(1,4)** parallel zur horizontalen Richtung, und lange Achsen der Zinkenstrukturen **428(1,4,1)**, **428(1,4,2)**, **428(1,4,3)** und **428(1,4,4)** verlaufen parallel zur vertikalen Richtung. In einigen Ausführungsformen hat jede der Gate-Elektrodenstrukturen **424(1,1)**, **424(1,2)**, **424(1,3)** und **424(1,4)** eine Gabel/Kamm-Form, die eine andere Anzahl von Zinkenstrukturen als **4** enthält. In einigen Ausführungsformen hat jede der Gate-Elektrodenstrukturen **424(1,1)**, **424(1,2)**, **424(1,3)** und **424(1,4)** eine andere Form als eine Gabel/Kamm-Form. In einigen Ausführungsformen enthält jede der Gate-Elektroden-

strukturen **424(1,1)**, **424(1,2)**, **424(1,3)** und **424(1,4)** eine oder mehrere Zinkenstrukturen, aber enthält keine Wurzelstruktur, welche die Zinkenstrukturen verbindet.

**[0048]** Die Selektorbereichsstruktur **408B'** ist für Erweiterungsmodus-MOSFETs konfiguriert und enthält Folgendes. Eine größere Muldenstruktur **441** wird in dem Substrat **420** gebildet, hat N-Leitfähigkeit und hat eine geringere Dotandenkonzentration als der Ring **452** (unten besprochen) und ist größer als die kleinere Muldenstruktur **442** (unten besprochen). Eine kleinere Muldenstruktur **442** wird in der größeren Muldenstruktur **441** gebildet, hat P-Leitfähigkeit und hat eine höhere Dotandenkonzentration als das Substrat **420**, so dass sie P<sup>+</sup> ist, und ist kleiner als die größere Mulde **421**. In **Fig. 4A** verläuft eine lange Achse einer jeden der größeren Muldenstruktur **441** und der kleineren Muldenstruktur **442** parallel zur horizontalen Richtung. Gate-Elektrodenstrukturen **444(2,1)**, **444(2,2)**, **444(2,3)** und **444(2,4)** sind auf der kleineren Muldenstruktur **442** ausgebildet und definieren entsprechende PMOS-Transistorstrukturen. Beispiele von PMOS-Transistoren, die sich aus den PMOS-Transistorstrukturen ergeben, die durch die Gate-Elektrodenstrukturen **444(2,1)**, **444(2,2)**, **444(2,3)** und **444(2,4)** definiert werden, sind entsprechende Transistoren **P21**, **P22**, **P23** und **P24** von **Fig. 3B**. Jede der Gate-Elektrodenstrukturen **444(2,1)**, **444(2,2)**, **444(2,3)** und **444(2,4)** hat eine Gabel/Kamm-Form ähnlich der Gabel/Kamm-Form der Gate-Elektrodenstrukturen **424(1,1)**, **424(1,2)**, **424(1,3)** und **424(1,4)**. Es ist jedoch anzumerken, dass die Zinken der Gate-Elektrodenstrukturen **444(2,1)**, **444(2,2)**, **444(2,3)** und **444(2,4)** signifikant kürzer sind (in der vertikalen Richtung von **Fig. 4A**) als die entsprechenden Zinken der Gate-Elektrodenstrukturen **424(1,1)**, **424(1,2)**, **424(1,3)** und **424(1,4)**. In einigen Ausführungsformen hat jede der Gate-Elektrodenstrukturen **444(2,1)**, **444(2,2)**, **444(2,3)** und **444(2,4)** eine Gabel/Kamm-Form, die eine andere Anzahl von Zinkenstrukturen als **4** enthält. In einigen Ausführungsformen hat jede der Gate-Elektrodenstrukturen **444(2,1)**, **444(2,2)**, **444(2,3)** und **444(2,4)** eine andere Form als eine Gabel/Kamm-Form. In einigen Ausführungsformen enthält jede der Gate-Elektrodenstrukturen **444(2,1)**, **444(2,2)**, **444(2,3)** und **444(2,4)** eine oder mehrere Zinkenstrukturen, aber enthält keine Wurzelstruktur, welche die Zinkenstrukturen verbindet. Eine Ringstruktur **452** wird um einen Umfangsrand der kleineren Muldenstruktur **441** herum und innerhalb eines Umfangsrandes der größeren Mulde **442** gebildet, hat N-Leitfähigkeit und hat eine höhere Dotandenkonzentration als die größere Mulde **441**, so dass sie N<sup>+</sup> ist, um als ein Aufnahmering zu dienen, der die Latchup-Festigkeit verbessert. Die Ringstruktur **430(2)** wird außerhalb eines Umfangsrandes der größeren Muldenstruktur **441** gebildet, hat P-Leitfähigkeit und hat eine höhere Dotandenkonzentration als das Substrat **420**, so dass sie

P+ ist, um als eine Schutzring zu dienen. Eine Seite der Ringstruktur **430(2)** wird gemeinsam mit der Ringstruktur **430(1)** genutzt.

**[0049]** Die Treiberbereichsstruktur **410B'** ist für Erweiterungsmodus-MOSFETs konfiguriert und enthält Folgendes. Eine größere Muldenstruktur **461** wird in dem Substrat **420** gebildet, hat N-Leitfähigkeit und hat eine geringere Dotandenkonzentration als der Ring **472** (unten besprochen) und ist größer als die kleinere Muldenstruktur **462** (unten besprochen). Eine kleinere Muldenstruktur **462** wird in der größeren Muldenstruktur **461** gebildet, hat P-Leitfähigkeit und hat eine höhere Dotandenkonzentration als das Substrat **420**, so dass sie P+ ist. In **Fig. 4A** verläuft eine lange Achse einer jeden der größeren Muldenstruktur **461** und der kleineren Muldenstruktur **462** parallel zur horizontalen Richtung. Gate-Elektrodenstrukturen **464(3,1)**, **464(3,2)**, **464(3,3)** und **464(3,4)** sind auf der kleineren Muldenstruktur **442** ausgebildet und definieren entsprechende PMOS-Transistorstrukturen. Beispiele von PMOS-Transistoren, die sich aus den PMOS-Transistorstrukturen ergeben, die durch die Gate-Elektrodenstrukturen **464(3,1)**, **464(3,2)**, **464(3,3)** und **464(3,4)** definiert werden, sind entsprechende Transistoren **P31**, **P32**, **P33** und **P34** von **Fig. 3B**. Jede der Gate-Elektrodenstrukturen **464(3,1)**, **464(3,2)**, **464(3,3)** und **464(3,4)** hat eine Gabel/Kamm-Form ähnlich der Gabel/Kamm-Form der Gate-Elektrodenstrukturen **424(1,1)**, **424(1,2)**, **424(1,3)** und **424(1,4)**. Es ist jedoch anzumerken, dass die Zinken der Gate-Elektrodenstrukturen **464(3,1)**, **464(3,2)**, **464(3,3)** und **464(3,4)** signifikant kürzer sind (in der vertikalen Richtung von **Fig. 4A**) als die entsprechenden Zinken der Gate-Elektrodenstrukturen **424(1,1)**, **424(1,2)**, **424(1,3)** und **424(1,4)**. In einigen Ausführungsformen hat jede der Gate-Elektrodenstrukturen **464(3,1)**, **464(3,2)**, **464(3,3)** und **464(3,4)** eine Gabel/Kamm-Form, die eine andere Anzahl von Zinkenstrukturen als 4 enthält. In einigen Ausführungsformen hat jede der Gate-Elektrodenstrukturen **464(3,1)**, **464(3,2)**, **464(3,3)** und **464(3,4)** eine andere Form als eine Gabel/Kamm-Form. In einigen Ausführungsformen enthält jede der Gate-Elektrodenstrukturen **464(3,1)**, **464(3,2)**, **464(3,3)** und **464(3,4)** eine oder mehrere Zinkenstrukturen, aber enthält keine Wurzelstruktur, welche die Zinkenstrukturen verbindet. Eine Ringstruktur **472** wird um einen Umfangsrand der kleineren Muldenstruktur **461** herum und innerhalb eines Umfangsrandes der größeren Mulde **462** gebildet, hat N-Leitfähigkeit und hat eine höhere Dotandenkonzentration als die größere Mulde **461**, so dass sie N+ ist, um als ein Schutzring zu dienen. Die Ringstruktur **430(3)** wird außerhalb eines Umfangsrandes der größeren Muldenstruktur **461** gebildet, hat P-Leitfähigkeit und hat eine höhere Dotandenkonzentration als das Substrat **420**, so dass sie P+ ist, um als ein Schutzring zu dienen. Ei-

ne Seite der Ringstruktur **430(3)** wird gemeinsam mit der Ringstruktur **430(2)** genutzt.

**[0050]** Das Layout-Schaubild **402B1** ist in wählbare Fingerschaltkreisstrukturen **404B(0)**, **404B(1)**, **404B(2)** und **404B(3)** organisiert. Beispiele von Fingerschaltkreisen, die sich aus den Fingerschaltkreisstrukturen **404B(0)**, **404B(1)**, **404B(2)** und **404B(3)** ergeben, sind entsprechende Fingerschaltkreise **304B(0)**, **304B(1)**, **304B(2)** und **304B(3)** von **Fig. 3B**. Wenn wir uns ins Gedächtnis rufen, dass die Transistoren eines Fingerschaltkreises in Reihe geschaltet sind, wie zum Beispiel in einem der Fingerschaltkreise **304B(0)**, **304B(1)**, **304B(2)** und **304B(3)** von **Fig. 3B**, so enthält das Layout-Schaubild **402B1** (nicht gezeigt) Leiterstrukturen, welche die Transistorstrukturen entsprechender Fingerschaltkreisstrukturen **404B(0)**, **404B(1)**, **404B(2)** und **404B(3)** in Reihe schalten.

**[0051]** In **Fig. 4A** würde, wenn die kleinere Muldenstruktur **442** statt dessen als vier noch kleinere Mulden-„Struktürchen“ **442(0)-442(3)** (nicht gezeigt) implementiert werden würde, die den Gate-Elektrodenstrukturen **444(2,1)-444(2,4)** entsprechen, der resultierende Selektorbereich **408B'** (nicht gezeigt) eine größere Grundfläche haben als eine Grundfläche des Selektorbereichs **408B'**, weil zum Beispiel Isolier-/Isolierungsregionen zwischen den „Struktürchen“ **442(0)-442(3)** angeordnet sind. Dementsprechend liegt ein Vorteil der Verwendung eine kleineren Muldenstruktur **442** anstelle von vier noch kleineren Mulden-„Struktürchen“ **442(0)-442(3)** (wieder nicht gezeigt) darin, dass die Grundfläche des Selektorbereichs **408B'** kleiner ist als der Selektorbereich **408B'** (wieder nicht gezeigt), was eine kleinere Grundfläche für das Layout-Schaubild **402B1** zur Folge hat.

**[0052]** Des Weiteren würde in **Fig. 4A**, wenn die kleinere Muldenstruktur **462** als vier noch kleinere Mulden-„Struktürchen“ **462(0)-462(3)** (nicht gezeigt) implementiert werden würde, die den Gate-Elektrodenstrukturen **464(2,1)-464(2,4)** entsprechen, der resultierende Treiberbereich **410B'** (nicht gezeigt) eine größere Grundfläche haben als eine Grundfläche des Treiberbereichs **410B'**, weil zum Beispiel Isolier-/Isolierungsregionen zwischen den „Struktürchen“ **462(0)-462(3)** angeordnet sind. Dementsprechend liegt ein Vorteil der Verwendung der kleineren Muldenstruktur **462** anstelle von vier noch kleineren Mulden-„Struktürchen“ **462(0)-462(3)** (wieder nicht gezeigt) darin, dass die Grundfläche des Selektorbereichs **410B'** kleiner ist als die Grundfläche des Selektorbereichs **410B'** (wieder nicht gezeigt), was eine kleinere Grundfläche für das Layout-Schaubild **402B1** zur Folge hat.

**[0053]** Im Hinblick auf einen MOSFET-Transistor, der eine Gabel/Kamm-förmige Gate-Elektrode hat

(die eine Anzahl von Zinkenstrukturen enthält, die durch eine Wurzelstruktur miteinander verbunden sind), und für einen bestimmten der Zinken, definiert ein Abschnitt des bestimmten Zinkens, der die darunter liegende Aktivbereichsstruktur überlappt, ein „Kanälchen“. Ein Vorteil der Verwendung eines MOSFET-Transistors, der eine Gabel/Kamm-förmige Gate-Elektrode hat, liegt darin, dass eine effektive Distanz in der vertikalen Richtung des Kanals die Summe der Distanzen von Distanzen eines jeden der Kanälchen in der vertikalen Richtung ist. In einigen Ausführungsformen beträgt - aufgrund der Verwendung der Gabel/Kamm-förmigen Gate-Elektrode - eine Kanaldistanz  $W_{CH}$  in der vertikalen Richtung einer jeden der Transistorstrukturen der Kriechstromschutzbereichsstruktur **406B'**  $Q406B' \times W_n$ , wobei  $Q406B'$  die Anzahl von Zinkenstrukturen in jeder der Transistorstrukturen der Kriechstromschutzbereichsstruktur **406B'** ist, und wobei  $W_n$  die Distanz in der vertikalen Richtung der Kanälchen ist, die Zinkenstrukturen entsprechen, zum Beispiel Zinkenstrukturen **428(1,4,1)**, **428(1,4,2)**, **428(1,4,3)** und **428(1,4,4)** der Gate-Elektrodenstruktur **424(1,4)**. In **Fig. 4A** ist  $Q406B'=4$ , so dass  $W_{CH}$  einer jeden der Transistorstrukturen der Kriechstromschutzbereichsstruktur **406B'**  $4 \times W_n$  ist. In einigen Ausführungsformen beträgt eine Kanaldistanz  $W_{CH}$  einer jeden der Transistorstrukturen der Selektorbereichsstruktur **408B'**  $Q408B' \times W_{p1}$ , wobei  $Q408B'$  die Anzahl der Zinkenstrukturen in jeder der Transistorstrukturen der Selektorbereichsstruktur **408B'** ist und  $W_{p1}$  die Länge in der vertikalen Richtung der Kanälchen ist, die den Zinkenstrukturen entsprechen. In **Fig. 4A** ist  $Q408B'=4$ , so dass  $W_{CH}$  einer jeden der Transistorstrukturen der Selektorbereichsstruktur **408B'**  $4 \times W_{p1}$  ist. In einigen Ausführungsformen beträgt eine Kanaldistanz  $W_{CH}$  einer jeden der Transistorstrukturen der Treiberbereichsstruktur **410B'**  $Q410B' \times W_{p2}$ , wobei  $Q410B'$  die Anzahl der Zinkenstrukturen in jeder der Transistorstrukturen der Treiberbereichsstruktur **410B'** ist und  $W_{p2}$  die Länge in der vertikalen Richtung der Kanälchen ist, die den Zinkenstrukturen entsprechen. In **Fig. 4A** ist  $Q410B'=4$ , so dass  $W_{CH}$  einer jeden der Transistorstrukturen der Selektorbereichsstruktur **410B'**  $4 \times W_{p2}$  ist.

**[0054]** In einigen Ausführungsformen beträgt eine Kanaldistanz  $W_{CH}$  in der vertikalen Richtung einer jeden der Transistorstrukturen der Kriechstromschutzbereichsstruktur **406B'**, der Selektorbereichsstruktur **408B'** und der Treiberbereichsstruktur **410B'**  $W_{CH} \geq (\approx 2,5 \times L1)$ , wobei  $L1$  eine Distanz in der horizontalen Richtung eines Zinkens der Gate-Elektrodenstruktur ist. In einigen Ausführungsformen  $L1 \leq (\approx 2,5 \mu m)$ . In einigen Ausführungsformen, wo Transistoren **P31-P34** einen Raum S in der vertikalen Richtung der Anode eines siliziumgesteuerten Gleichrichters (Silicon-Controlled Rectifier, SCR) (nicht gezeigt) repräsentieren, ist  $S \geq (\approx 2,5 \times L1)$ . In einigen Ausführungsformen beträgt eine Distanz  $W_g$  in der vertikalen Rich-

tung einer jeden der Ringstrukturen **4030(1)**, **430(2)** und **430(3)**  $(\approx 0,2 \times L1) \leq W_g \leq (\approx 7,5 \times L1)$ . In einigen Ausführungsformen ist  $(\approx 0,4 \mu m) \leq W_g \leq (\approx 15 \mu m)$ .

**[0055]** In einigen Ausführungsformen liegt ein Verhältnis  $W_{p1}/A$  zwischen einer Distanz  $W_{p1}$  in der vertikalen Richtung und einer Distanz  $A$  in der vertikalen Richtung in einem Bereich von  $(\approx 50 \%) \leq (W_{p1}/A) \leq (\approx 90 \%)$ . In einigen Ausführungsformen liegt ein Verhältnis  $W_n/L2$  zwischen einer Distanz  $W_n$  in der vertikalen Richtung und einer Distanz  $L2$  in der horizontalen Richtung in einem Bereich von  $(\approx 2) \leq (W_n/L2) \leq (\approx 20)$ . In einigen Ausführungsformen liegt ein Verhältnis  $W_n/B$  zwischen  $W_n$  und einer Distanz  $B$  in der vertikalen Richtung in einem Bereich von  $(\approx 50 \%) \leq (W_n/B) \leq (\approx 95 \%)$ . In einigen Ausführungsformen beträgt ein Raum  $D$  in der horizontalen Richtung zwischen benachbarten der Regionsstrukturen **422(1,1)**, **422(1,2)**, **422(1,3)** und **422(1,4)**  $D \leq (\approx 2,5 \times L1)$ . In einigen Ausführungsformen ist  $D \leq (\approx 5 \mu m)$ .

**[0056]** **Fig. 4B** ist ein Layout-Schaubild **402B2** eines Multiplexierer-Schaltkreises zum Multiplexieren der Spannungen gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung. In einigen Ausführungsformen ist ein Beispiel eines Multiplexierer-Schaltkreises, der sich aus dem Layout-Schaubild **402B2** ergibt, der Multiplexierer-Schaltkreis **102** von **Fig. 1**. In einigen Ausführungsformen ist ein Beispiel eines Multiplexierer-Schaltkreises, der sich aus dem Layout-Schaubild **402B2** ergibt, der Multiplexierer-Schaltkreis **202B** von **Fig. 2B**. In einigen Ausführungsformen ist ein Beispiel eines Multiplexierer-Schaltkreises, der sich aus dem Layout-Schaubild **402B2** ergibt, der Multiplexierer-Schaltkreis **302B** von **Fig. 3B**, so dass  $M=2$  und  $N=4$ . In einigen Ausführungsformen, wo - allgemeiner ausgedrückt -  $N$  eine ganze Zahl ist,  $N \geq 2$ ,  $M$  eine ganze Zahl ist und  $M \geq 1$ , ist ein Beispiel eines Multiplexierer-Schaltkreises, der sich aus dem Layout-Schaubild **402B2** ergibt, der Multiplexierer-Schaltkreis **302A** von **Fig. 3A**. Der Fachmann würde das Layout-Schaubild **402B2** als einen Ersatz für eine Reihe von Querschnittsschaubildern eines Multiplexierer-Schaltkreises verstehen, der sich aus dem Layout-Schaubild **402B2** ergibt.

**[0057]** Das Layout-Schaubild **402B2** von **Fig. 4B** ähnelt dem Layout-Schaubild **402B1** von **Fig. 4A**, außer dass das Layout-Schaubild **402B2** des Weiteren Leiterstrukturen **481A-481D**, **482A-482D**, **483A-483D** und **484A-484D** über einer Kriechstromschutzbereichsstruktur **406B'** enthält, was eine Kriechstromschutzbereichsstruktur **406B''** zur Folge hat. Insofern zeigt **Fig. 4B** - im Interesse der Einfachheit der Veranschaulichung - die Kriechstromschutzbereichsstruktur **406B''** als eine auseinandergezogene Ansicht der Kriechstromschutzbereichsstruktur **406B'** mit Leiterstrukturen **481A-481D**, **482A-482D**, **483A-483D** und **484A-484D** einer Metallisierungsschicht,

die sich über der Kriechstromschutzbereichsstruktur **406B'** befindet, was die Kriechstromschutzbereichsstruktur **406B''** zur Folge hat. Lange Achsen der Leiterstrukturen **481A-481D**, **482A-482D**, **483A-483D** und **484A-484D** verlaufen parallel zur horizontalen Richtung. Leiter, die sich aus den Leiterstrukturen **481A-481D** ergeben, stellen die Spannung **VDD(0)** bereit.

**[0058]** In **Fig. 4B** stellen Leiter, die sich aus den Leiterstrukturen **482A-482D** ergeben, die Spannung **VDD(1)** bereit. Leiter, die sich aus den Leiterstrukturen **483A-483D** ergeben, stellen die Spannung **VDD(2)** bereit. Leiter, die sich aus den Leiterstrukturen **484A-484D** ergeben, stellen die Spannung **VDD(3)** bereit. In **Fig. 4B** sind die Leiterstrukturen **481A-481D**, **482A-482D**, **483A-483D** und **484A-484D** in einer sich wiederholenden Sequenz relativ zu der vertikalen Richtung angeordnet, so dass sie gleichmäßig über der Kriechstromschutzbereichsstruktur **406B'** verteilt sind, wobei die Abfolge lautet: **484A-484B**, **481A-481B**, **482A-482B**, **483A** und **483B**. In einigen Ausführungsformen sind die Leiterstrukturen **481A-481D**, **482A-482D**, **483A-483D** und **484A-484D** in einer anderen Folge angeordnet.

**[0059]** In einigen Ausführungsformen liegt eine Beabstandung  $S_b$  in der vertikalen Richtung in einem Bereich von  $(\approx 0,25 \times L_1) \leq S_b \leq (\approx 5 \times L_1)$ . In einigen Ausführungsformen ist  $(\approx 0,5 \mu\text{m}) \leq S_b \leq (\approx 10 \mu\text{m})$ . In einigen Ausführungsformen liegt eine Distanz  $W_b$  einer jeden der Leiterstrukturen **481A-481D**, **482A-482D**, **483A-483D** und **484A-484D** in einem Bereich von  $(\approx 0,5 \times L_1) \leq W_b \leq (\approx 12,5 \times L_1)$ . In einigen Ausführungsformen ist  $(\approx 1 \mu\text{m}) \leq W_b \leq (\approx 25 \mu\text{m})$ . In einigen Ausführungsformen liegt ein Dichteverhältnis  $W_b/(W_b + S_b)$  von Leiterstrukturen **481A-481D**, **482A-482D**, **483A-483D** und **484A-484D** in einem Bereich von  $(\approx 50\%) \leq (W_b/(W_b + S_b)) \leq (\approx 85\%)$ . In einigen Ausführungsformen liegt ein Deckungsverhältnis  $(W_b \times Z)/W_n$  von Leiterstrukturen **481A-481D**, **482A-482D**, **483A-483D** und **484A-484D** in einem Bereich von  $((W_b \times Z)/W_n) > (\approx 50\%)$ , wobei  $Z$  eine positive ganze Zahl ist, die eine Zählung von Leiterstrukturen **481A-481D**, **482A-482D**, **483A-483D** und **484A-484D** repräsentiert. Solche Bereiche haben Vorteile, einschließlich einer Optimierung der Metallausnutzung, einer Verringerung des ESD-Buswiderstandes oder dergleichen. In einigen Ausführungsformen verbessert sich die Metallausnutzung um  $\approx 30\%$ . In einigen Ausführungsformen wird der ESD-Buswiderstand um  $\approx 10\%$  reduziert.

**[0060]** **Fig. 5** ist ein Schaltbild eines Multiplexierer-Schaltkreises **502B** von Spannungen gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung. In einigen Ausführungsformen ist der Multiplexierer-Schaltkreis **502B** ein Beispiel eines Multiplexierer-Schaltkreises **102** von **Fig. 1**. In einigen Ausführungsformen ist der Multiplexierer-Schaltkreis

**502B** ein Beispiel eines Multiplexierer-Schaltkreises **202B** von **Fig. 2B**.

**[0061]** Der Multiplexierer-Schaltkreis **502B** von **Fig. 5** ist eine Implementierung eines Multiplexierer-Schaltkreises **502A** (nicht gezeigt, aber ähnlich dem Multiplexierer-Schaltkreis **302A** von **Fig. 3A**), wobei zur Vereinfachung der Erläuterung  $M=2$  und  $N=4$ . Der Multiplexierer-Schaltkreis **502B** ähnelt dem Multiplexierer **302B** von **Fig. 3B**, wo solche Ähnlichkeiten durch Erhöhen der Bezugszahlen in **Fig. 5** um **200** relativ zu den Bezugszahlen entsprechender Elemente in **Fig. 3B** angezeigt sind. Im Interesse der Kürze konzentriert sich die Besprechung des Multiplexierers **502B** auf Unterschiede mit Bezug auf den Multiplexierer **302B**.

**[0062]** Der Multiplexierer-Schaltkreis **502B** unterstützt einen ausfallsicheren Betriebsmodus zusätzlich zu einem normalen Betriebsmodus, wobei der normale Betriebsmodus dem Betriebsmodus des Multiplexierer-Schaltkreises **302B** von **Fig. 3B** entspricht. In einer Situation, in der eine externe Vorrichtung (nicht gezeigt) mit dem Ausgabeknoten **514B** verbunden ist, reduziert der ausfallsichere Betriebsmodus (oder verhindert gar) einen Kriechstrom von der externen Quelle in den Multiplexierer-Schaltkreis **502B**.

**[0063]** Der Multiplexierer-Schaltkreis **502B** enthält NMOS-Transistoren **N41**, **N42**, **N43** und **N44**, die eine Gruppe **511B** von Trenntransistoren umfassen. Ein jeder der wählbaren Fingerschaltkreise **504A(0)**, **504A(1)**, **504A(2)** und **504A(3)** des Transistornetzwerks **503B** enthält einen entsprechenden der Transistoren **N41**, **N42**, **N43** und **N44**.

**[0064]** Jeder der Transistoren **N41**, **N42**, **N43** und **N44** ist zwischen dem Ausgabeknoten **514B** und VSS verbunden. Die Auswahllogik **516B** generiert 16 Steuersignale  $CTRL_{\text{gate}(ij)}$ . In **Fig. 5** empfängt eine Gate-Elektrode eines jeden der Transistoren **N41**, **N42**, **N43** und **N44** ein entsprechendes Steuersignal  $CTRL_{\text{gate}(ij)}$  von der Auswahllogik **516B**. In **Fig. 5** wird der Fingerschaltkreis **504B(3)** so ausgewählt, dass Transistoren **N41-N43** ausgeschaltet werden, zum Beispiel durch Anlegen von 0 V an die Gate-Elektroden. Der EIN/AUS-Zustand der Transistoren **N44** richtet sich nach dem EIN/AUS-Zustand des Transistors **P34**. Wenn der Transistor **P34** EIN ist, dann ist der Transistor **N44** aus, und der Ausgabeknoten **514B** wird auf VDD(3) hinausgezogen. Wenn der Transistor **P34** AUS ist, dann ist der Transistor **N44** EIN, und der Ausgabeknoten **514B** wird zu 0 V hinunter gezogen.

**[0065]** Das Transistornetzwerk **503B** enthält des Weiteren ausfallsichere PMOS-Transistoren **FSP1** und **FSP2**. Der Transistor **FSP1** ist zwischen der Versorgungsschiene **512B** und einem Knoten **580** verbunden. Der Transistor **FSP2** ist zwischen dem Ausga-

beknoten **514B** und dem Knoten **580** verbunden. Die Körper der Transistoren **FSP1-FSP2**, der Transistoren **P21-P24** und der Transistoren **P31-P34** sind mit dem Knoten **580** verbunden. Eine Gate-Elektrode des Transistors **FSP1** ist dafür konfiguriert, ein Steuersignal  $CTRL_{FS}$  zu empfangen, das durch die Auswahllogik **516B** generiert wird. Eine Gate-Elektrode des Transistors **FSP2** ist dafür konfiguriert, ein Signal an der Vorspannschiene **512B** zu empfangen.

**[0066]** Im normalen Betriebsmodus ist das Steuersignal  $CTRL_{FS}$  dafür konfiguriert, den Transistor **FSP1** einzuschalten, der die Körper der Transistoren **FSP1-FSP2**, **P21-P24** und **P31-P34** mit der Spannung an der Vorspannschiene **512B** verbindet, wobei die Spannung an der Vorspannschiene **512B** die ausgewählte der Spannungen  $VDD(0)$ - $VDD(3)$  ist. Außerdem „floatet“ der Transistor **FSP2** im normalen Betriebsmodus, weil jeder der Source- und Drain-Anschlüsse des Transistors **FSP2** mit der Spannung an der Vorspannschiene **512B** verbunden ist.

**[0067]** Im ausfallsicheren Betriebsmodus ist das Steuersignal  $CTRL_{FS}$  dafür konfiguriert, den Transistor **FSP1** auszuschalten; außerdem im ausfallsicheren Betriebsmodus den Transistor **FSP2**. Im normalen Modus ist die Spannung  $VDD(i)$  des ausgewählten Fingers  $504B(i)$  vorhanden/EIN, so dass die Vorspannschiene **512B** auf  $VDD(i)$  ist und der Transistor **FSP2** AUS ist. Im ausfallsicheren Betriebsmodus ist die Spannung  $VDD(i)$  des ausgewählten Fingers  $504B(i)$  nicht vorhanden/AUS, so dass die Vorspannschiene **512B** bei etwa null Volt liegt und der Transistor **FSP2** EIN ist.

**[0068]** Fig. **6A** ist ein Flussdiagramm eines Verfahrens **600** zum Multiplexieren von Stromversorgungs (Power Supply, PS)-Spannungen gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**[0069]** Zu Beispielen eines Multiplexierer-Schaltkreises, auf den das Verfahren **600** anwendbar ist, gehören die Multiplexierer-Schaltkreise **102** (Fig. **1**), **202A** (Fig. **2A**), **202B** (Fig. **2B**), **302A** (Fig. **3A**), **302B** (Fig. **3B**) oder **502B** (Fig. **5**), Multiplexierer-Schaltkreise, die sich aus den entsprechenden Layout-Schaubildern **402B1** (Fig. **4A**) oder **402B2** (Fig. **4B**) ergeben, oder dergleichen. Zu Beispielen der PS-Spannungen gehören die Spannungen  $VDD(0)$ - $VDD(N-1)$  der Fig. **2A** und Fig. **3A**, die Spannungen  $VDD(0)$ - $VDD(3)$  der Fig. **2B** **3B** und **5** oder dergleichen.

**[0070]** In Fig. **6A** enthält das Verfahren **600** Blöcke **602-606**. Bei Block **602** wird ein ausgewählter der Fingerschaltkreise ausgewählt. Zu Beispielen der Fingerschaltkreise gehören Fingerschaltkreise **304A(0)**-**304A(N-1)** von Fig. **3A**, Fig. **304B(0)**-**304B(3)** von Fig. **3B**, Fig. **504B(0)**-**504B(3)** von Fig. **5B**, Fingerschaltkreise, die sich aus den Fin-

gerschaltkreisstrukturen **404B(0)**-**404B(3)** ergeben, oder dergleichen. Block **602** enthält einen Block **612**. Bei Block **612** wird der ausgewählte der Fingerschaltkreise durch Einschalten eines jeden des nativen NMOS-Transistors und der ersten und zweiten PMOS-Transistoren in dem ausgewählten der Fingerschaltkreise ausgewählt. Zu Beispielen der nativen NMOS-Transistoren gehören die Transistoren **N11-N14** der Fig. **3B** und Fig. **5B**, Transistoren, die sich aus der Kriechstromschutzbereichsstruktur **406B'** von Fig. **4A** ergeben, oder dergleichen. Zu Beispielen der ersten PMOS-Transistoren gehören die Transistoren **P21-P24** der Fig. **3B** und Fig. **5B**, Transistoren, die sich aus der Selektorbereichsstruktur **408B'** von Fig. **4A** ergeben, oder dergleichen. Zu Beispielen der zweiten PMOS-Transistoren gehören die Transistoren **P31-P34** der Fig. **3B** und Fig. **5B**, Transistoren, die sich aus der Treiberbereichsstruktur **410B'** von Fig. **4A** ergeben, oder dergleichen. Von Block **612** aus verlässt der Fluss den Block **602** und schreitet zu Block **604** voran.

**[0071]** Bei Block **604** werden die anderen der Fingerschaltkreise abgewählt. Block **604** enthält einen Block **614**. Bei Block **614** wird jeder der anderen der Fingerschaltkreise durch Ausschalten eines jeden des nativen NMOS-Transistor und der ersten und zweiten PMOS-Transistoren in jedem der anderen der Fingerschaltkreise abgewählt. Von Block **614** aus verlässt der Fluss Block **604** und schreitet zu Block **606** voran.

**[0072]** Bei Block **606** werden für jeden Fingerschaltkreis die Körper eines jeden des ersten PMOS-Transistors und des zweiten PMOS-Transistors mit der PS-Spannung verbunden, die dem ausgewählten Fingerschaltkreis entspricht. Block **606** enthält Blöcke **616-620**. Bei Block **616** wird der erste PMOS-Transistor mit dem zweiten PMOS-Transistor an einem Zwischenknoten verbunden. Von Block **616** schreitet der Fluss zu Block **618** voran. Bei Block **618** wird der Zwischenknoten mit einer Vorspannschiene verbunden. Ein Beispiel des Zwischenknotens ist der Knoten, der durch die Vorspannungsschiene **312B** von Fig. **3B** repräsentiert ist. Von Block **618** schreitet der Fluss zu Block **320** voran. Bei Block **320** werden die Körper eines jeden des ersten PMOS-Transistors und des zweiten PMOS-Transistors mit der Vorspannschiene verbunden. Von Block **620** aus verlässt der Fluss Block **606**.

**[0073]** Fig. **6B** ist ein Flussdiagramm, das Block **602** von Fig. **6A** in größerer Detailliertheit beschreibt, gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**[0074]** In Fig. **6B** enthält Block **602** einen Block **622A**. Bei Block **622A** wird für den ausgewählten der Fingerschaltkreise eine Gate-Elektrode des nativen NMOS-Transistors mit einer größten der PS-Span-

nungen als ein Steuersignal beaufschlagt, um EIN geschaltet zu werden.

**[0075]** Fig. 6C ist ein Flussdiagramm, das Block 604 von Fig. 6A in größerer Detailliertheit beschreibt, gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**[0076]** In Fig. 6C enthält Block 604 einen Block 624A. Bei Block 624A wird für jeden der anderen der Fingerschaltkreise eine Gate-Elektrode des nativen NMOS-Transistors mit einem Steuersignal von etwa null Volt beaufschlagt, um AUS geschaltet zu werden.

**[0077]** Fig. 6D ist ein Flussdiagramm, das Block 602 von Fig. 6A in größerer Detailliertheit beschreibt, gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**[0078]** In Fig. 6D enthält Block 602 einen Block 622B. Bei Block 622B wird für den ausgewählten der Fingerschaltkreise eine Gate-Elektrode des ersten PMOS-Transistors und des zweiten PMOS-Transistors mit einem Steuersignal von etwa null Volt beaufschlagt, um EIN geschaltet zu werden.

**[0079]** Fig. 6E ist ein Flussdiagramm, das Block 604 von Fig. 6A in größerer Detailliertheit beschreibt, gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**[0080]** In Fig. 6E enthält Block 604 einen Block 624B. Bei Block 624B wird für jeden der anderen der Fingerschaltkreise eine Gate-Elektrode des ersten PMOS-Transistors mit einer größten der PS-Spannungen als ein Steuersignal beaufschlagt, um AUS geschaltet zu werden.

**[0081]** Fig. 6F ist ein Flussdiagramm, das Block 604 von Fig. 6A in größerer Detailliertheit beschreibt, gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**[0082]** In Fig. 6F enthält Block 604 einen Block 624C. Bei Block 624C wird für jeden der anderen der Fingerschaltkreise eine Gate-Elektrode des zweiten PMOS-Transistors mit der PS-Spannung, die dem ausgewählten Fingerschaltkreis entspricht, als ein Steuersignal beaufschlagt, um AUS geschaltet zu werden.

**[0083]** Fig. 7A ist ein Flussdiagramm eines Verfahrens 700 zum Generieren eines Layout-Schaubildes einer Halbleitervorrichtung zum Multiplexieren von Stromversorgungs (Power Supply, PS)-Spannungen gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**[0084]** Zu Beispielen eines Layout-Schaubildes, das durch das Verfahren 700 generiert wird, gehören

entsprechende Layout-Schaubilder 402B1 (Fig. 4A) oder 402B2 (Fig. 4B) oder dergleichen. Zu Beispielen von Multiplexierer-Schaltkreisen, die sich aus einem Layout-Schaubild ergeben, das durch das Verfahren 700 generiert wird, gehören die Multiplexierer-Schaltkreise 102 (Fig. 1), 202A (Fig. 2A), 202B (Fig. 2B), 302A (Fig. 3A), 302B (Fig. 3B) oder 502B (Fig. 5), die Multiplexierer-Schaltkreise, die sich aus entsprechenden Layout-Schaubildern 402B1 (Fig. 4A) oder 402B2 (Fig. 4B) ergeben, oder dergleichen. Zu Beispielen der PS-Spannungen gehören die Spannungen VDD(0)-VDD(N-1) der Fig. 2A und Fig. 3A, die Spannungen VDD(0)-VDD(3) der Fig. 2B, Fig. 3B und Fig. 5, oder dergleichen.

**[0085]** In Fig. 7A enthält das Verfahren 700 Blöcke 702-714. Bei Block 702 wird eine Substratstruktur eines ersten Leitfähigkeits (C1)-Typs (C1-Typ) generiert. Ein Beispiel der Substratstruktur ist die Substratstruktur 420 von Fig. 4A, die P-Leitfähigkeit hat. Von Block 702 schreitet der Fluss voran zu Block 704. Bei Block 704 wird eine erste Bereichsstruktur generiert, wobei die erste Bereichsstruktur für Nicht-Erweiterungsmodus-MOSFETs konfiguriert ist. Ein Beispiel der ersten Bereichsstruktur ist die Kriechstromschutzstruktur 406B' von Fig. 4A, die für native NMOS-Transistoren konfiguriert ist. Von Block 704 schreitet der Fluss voran zu Block 706. Bei Block 706 wird eine zweite Bereichsstruktur generiert, wobei die zweite Bereichsstruktur für Erweiterungsmodus-MOSFETs konfiguriert ist. Ein Beispiel der zweiten Bereichsstruktur ist die Selektorstruktur 408B' von Fig. 4A. Von Block 706 schreitet der Fluss voran zu einem Block 708. Bei Block 708 wird eine dritte Bereichsstruktur generiert, wobei die dritte Bereichsstruktur für Erweiterungsmodus-MOSFETs konfiguriert ist. Ein Beispiel der dritten Bereichsstruktur ist die Treiberstruktur 410B' von Fig. 4A. Von Block 708 schreitet der Fluss voran zu Block 710.

**[0086]** Bei Block 710 von Fig. 7A wird das Layout-Schaubild in wählbare Fingerschaltkreisstrukturen organisiert. Ein Beispiel der wählbaren Fingerschaltkreisstrukturen sind Fingerschaltkreisstrukturen 404B(0)-404B(3) von Fig. 4A oder dergleichen. Von Block 710 schreitet der Fluss voran zu Block 712. Bei Block 712 wird jeder Fingerschaltkreis so angeordnet, dass er eine Transistorstruktur von jedem der ersten, zweiten und dritten Bereiche enthält. Von Block 712 schreitet der Fluss voran zu Block 714. Bei Block 714 werden für jede Fingerschaltkreisstruktur Leiterstrukturen generiert, wobei die Leiterstrukturen die Transistorstrukturen in Reihe schalten. Zu Beispielen der Leiterstrukturen gehören Leiterstrukturen 481A-481D, 482A-482D, 483A-483D und 484A-484D von Fig. 4A. Von Block 714 schreitet der Fluss voran zu Block 716. Bei Block 716 werden auf der Basis des Layout-Schaubildes mindestens eines von (A) einer oder mehreren Halbleitermasken oder (B) mindestens einer Komponente in einer Schicht

eines beginnenden integrierten Halbleiterschaltkreises hergestellt. Ein Beispiel einer Einrichtung zum Herstellen einer oder mehrerer Halbleitermasken ist ein Maskenhaus **930** von **Fig. 9** (unten besprochen). Ein Beispiel einer Einrichtung zum Herstellen mindestens einer Komponente in einer Schicht eines beginnenden integrierten Halbleiterschaltkreises (IC) ist ein Fab **940** von **Fig. 9** (unten besprochen).

**[0087]** **Fig. 7B** ist ein Flussdiagramm, das Block **704** von **Fig. 7A** in größerer Detailliertheit beschreibt, gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**[0088]** In **Fig. 7B** enthält Block **704** Blöcke **720-726**. Bei Block **722** werden Regionsstrukturen generiert, die einen zweiten Leitfähigkeits (**C2**)-Typ (**C2**-Typ) haben. Ein Beispiel der Regionsstrukturen sind Regionsstrukturen 422(1,1), 422(1,2), 422(1,3), 422(1,4) von **Fig. 4A**, die N+ sind. Von Block **720** schreitet der Fluss voran zu Block **722**. Bei Block **722** befinden sich die Regionsstrukturen auf der Substratstruktur. Von Block **722** schreitet der Fluss voran zu Block **724**. Bei Block **724** werden Gate-Elektrodenstrukturen generiert. Zu Beispielen der Gate-Elektrodenstrukturen gehören Gate-Elektrodenstrukturen 424(1,1)-424(1,4) von **Fig. 4A**. Von Block **724** schreitet der Fluss voran zu Block **726**. Bei Block **726** befinden sich die Gate-Elektrodenstrukturen entsprechend auf den ersten Regionsstrukturen, so dass sie entsprechende CT2-Transistorstrukturen definieren.

**[0089]** **Fig. 7C** ist ein Flussdiagramm, das Block **706** von **Fig. 7A** in größerer Detailliertheit beschreibt, gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**[0090]** In **Fig. 7C** enthält Block **706** Blöcke **730-744**. Bei Block **730** wird eine größere Muldenstruktur generiert, die vom **C2**-Typ ist. Ein Beispiel der größeren Muldenstruktur ist die größere Muldenstruktur **441** von **Fig. 4A**, die N-Leitfähigkeit hat. Von Block **706** schreitet der Fluss voran zu Block **732**. Bei Block **732** befindet sich die größere Muldenstruktur auf der Substratstruktur. Von Block **732** schreitet der Fluss voran zu Block **734**. Bei Block **734** wird eine kleinere Muldenstruktur generiert, die vom **C1**-Typ ist. Ein Beispiel der kleineren Muldenstruktur ist die kleinere Muldenstruktur **442** von **Fig. 4A**, die P-Leitfähigkeit hat und P+ ist. Von Block **734** schreitet der Fluss voran zu Block **736**. Bei Block **736** befindet sich die kleinere Muldenstruktur auf der größeren Muldenstruktur. Von Block **736** schreitet der Fluss voran zu Block **738**.

**[0091]** Bei Block **738** werden Gate-Elektrodenstrukturen so generiert, dass entsprechende **C1**-Transistoren definiert werden. Zu Beispielen der Gate-Elektrodenstrukturen gehören die Gate-Elektrodenstrukturen 444(1,1)-444(1,4) von **Fig. 4A**. Von Block **738**

schreitet der Fluss voran zu Block **740**. Bei Block **740** befinden sich die Gate-Elektrodenstrukturen auf der kleineren Muldenstruktur. Von Block **740** schreitet der Fluss voran zu Block **742**. Bei Block **742** wird eine Ringstruktur generiert, die vom **C2**-Typ ist. Ein Beispiel der Ringstruktur ist die Ringstruktur **452** im Bereich **408B'** von **Fig. 4A**, die N-Leitfähigkeit hat und N+ ist. Von Block **742** schreitet der Fluss voran zu Block **744**. Bei Block **744** befindet sich die Ringstruktur außerhalb eines Umfangsrandes der kleineren Muldenstruktur und innerhalb eines Umfangsrandes der größeren Muldenstruktur.

**[0092]** Obgleich **Fig. 7C** ein Flussdiagramm ist, das Block **706** von **Fig. 7A** in größerer Detailliertheit beschreibt, lässt sich **Fig. 7C** auf einfache Weise zu **Fig. 7C'** (nicht gezeigt) anpassen, um Block **708** in größerer Detailliertheit zu beschreiben, gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung. Blöcke **730-744** von **Fig. 7C** sind in **Fig. 7C'** enthalten. Für die Blöcke **730-744** werden im Kontext von **Fig. 7C'** andere Beispiele verwendet als im Kontext von **Fig. 7C**.

**[0093]** Zu Beispielen im Kontext von **Fig. 7C'** (ebenfalls nicht gezeigt) gehören die folgenden. Im Kontext von Block **730** von **Fig. 7C'** ist ein Beispiel der größeren Muldenstruktur die größere Muldenstruktur **461** von **Fig. 4A**, die N-Leitfähigkeit hat. Im Kontext von Block **734** von **Fig. 7C'** ist ein Beispiel der kleineren Muldenstruktur die kleinere Muldenstruktur **462** von **Fig. 4A**, die P-Leitfähigkeit hat und P+ ist. Im Kontext von Block **738** von **Fig. 7C'** gehören zu Beispielen der Gate-Elektrodenstrukturen Gate-Elektrodenstrukturen **464(1,1)-464(1,4)** von **Fig. 4A**. Im Kontext von Block **742** von **Fig. 7C'** ist ein Beispiel der Ringstruktur die Ringstruktur **472** im Bereich **408B'** von **Fig. 4A**, die N-Leitfähigkeit hat und N+ ist.

**[0094]** **Fig. 7D** ist ein Flussdiagramm, das Block **704** von **Fig. 7A** in größerer Detailliertheit beschreibt, gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**[0095]** In **Fig. 7D** enthält Block **704** Blöcke **750-752**. Bei Block **750** wird eine Ringstruktur generiert, die vom **C1**-Typ ist. Ein Beispiel der Ringstruktur ist die Ringstruktur **430(1)** im Bereich **406B'** von **Fig. 4A**, die P-Leitfähigkeit hat und P+ ist. Von Block **750** schreitet der Fluss voran zu Block **752**. Bei Block **752** befindet sich, unter der Annahme, dass die Regionen des ersten Bereichs eine Gruppe repräsentieren, die Ringstruktur außerhalb eines Umfangsrandes der Gruppe von Regionen.

**[0096]** **Fig. 7E** ist ein Flussdiagramm, das Block **706** von **Fig. 7A** in größerer Detailliertheit beschreibt, gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**[0097]** In Fig. 7E enthält Block 706 Blöcke 760-762. Bei Block 760 wird eine Ringstruktur generiert, die vom C1-Typ ist. Ein Beispiel der Ringstruktur ist die Ringstruktur 430(2) im Bereich 408B' von Fig. 4A, die P-Leitfähigkeit hat und P+ ist. Von Block 760 schreitet der Fluss voran zu Block 762. Bei Block 762 befindet sich die Ringstruktur außerhalb eines Umfangsrandes der größeren Muldenstruktur.

**[0098]** Obgleich Fig. 7E ein Flussdiagramm ist, das Block 706 von Fig. 7A in größerer Detailliertheit beschreibt, lässt sich Fig. 7E auf einfache Weise zu Fig. 7E' (nicht gezeigt) anpassen, um Block 708 in größerer Detailliertheit zu beschreiben, gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung. Die Blöcke 760-762 von Fig. 7E sind in Fig. 7E' enthalten. Für die Blöcke 760-762 im Kontext von Fig. 7E' wird ein anderes Beispiel verwendet als im Kontext von Fig. 7E. Im Kontext von Block 706 von Fig. 7E' ist ein Beispiel der Ringstruktur die Ringstruktur 430(3) im Bereich 410B' von Fig. 4A, die P-Leitfähigkeit hat und P+ ist.

**[0099]** Fig. 8 ist ein Blockschaubild eines elektronischen Designautomatisierungs (EDA)-Systems 800 gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**[0100]** In einigen Ausführungsformen enthält das EDA-System 800 ein automatisches Platzierungs- und Verlegungs (Automatic Placement and Routing, APR)-System. Das Verfahren des Flussdiagramms von Fig. 4 wird zum Beispiel gemäß einigen Ausführungsformen unter Verwendung des EDA-Systems 800 implementiert.

**[0101]** In einigen Ausführungsformen ist das EDA-System 800 eine Allzweckcomputervorrichtung, die einen Hardware-Prozessor 802 und ein nichttransistorisches, computerlesbares Speichermedium 804 enthält. Das Speichermedium 804 ist unter anderem mit Computerprogrammcode 806, d. h. einem Satz ausführbarer Instruktionen, codiert, d. h. ist darauf gespeichert. Die Ausführung von Instruktionen 806 durch den Hardware-Prozessor 802 repräsentiert (mindestens teilweise) ein EDA-Tool, das zum Beispiel das Verfahren von Fig. 4 ganz oder teilweise implementiert, gemäß einer oder mehreren Ausführungsformen (im Weiteren der angemerkt Prozess und/oder das angemerkt Verfahren).

**[0102]** Der Prozessor 802 ist elektrisch mit dem computerlesbaren Speichermedium 804 über einen Bus 808 gekoppelt. Der Prozessor 802 ist auch elektrisch mit einer E/A-Schnittstelle 810 durch den Bus 808 gekoppelt. Eine Netzwerkschnittstelle 812 ist ebenfalls elektrisch mit dem Prozessor 802 über den Bus 808 verbunden. Die Netzwerkschnittstelle 812 ist mit einem Netzwerk 814 verbunden, so dass der Prozessor 802 und das computerlesbare Speichermedium 804

mit externen Elementen über das Netzwerk 814 verbunden werden können. Der Prozessor 802 ist dafür konfiguriert, Computerprogrammcode 806 auszuführen, der in dem computerlesbaren Speichermedium 804 codiert, um zu bewirken, dass das System 800 zum Ausführen eines Abschnitts oder des gesamten angemerkt Prozesses und/oder angemerkt Verfahrens verwendet werden. Das computerlesbare Speichermedium 804 enthält außerdem ein oder mehrere Layout-Schaubilder 807, die gemäß einem Abschnitt oder des gesamten angemerkt Prozesses und/oder angemerkt Verfahrens generiert werden. In einer oder mehreren Ausführungsformen ist der Prozessor 802 eine zentrale Verarbeitungseinheit (CPU), ein Multiprozessor, ein verteiltes Verarbeitungssystem, ein anwendungsspezifischer integrierter Schaltkreis (ASIC) und/oder eine geeignete Verarbeitungseinheit.

**[0103]** In einer oder mehreren Ausführungsformen ist das computerlesbare Speichermedium 804 ein elektronisches, magnetisches, optisches, elektromagnetisches, infrarotes und/oder ein Halbleitersystem (oder Vorrichtung oder Gerät). Zum Beispiel enthält das computerlesbare Speichermedium 804 einen Halbleiter- oder Festkörperspeicher, ein Magnetband, eine Wechselspeicher-Computerdiskette, einen Direktzugriffsspeicher (RAM), einen Nurlesespeicher (ROM), eine starre Magnet-Disk und/oder eine optische Disk. In einer oder mehreren Ausführungsformen, die optische Disks verwenden, enthält das computerlesbare Speichermedium 804 einen Compact Disk-Read Only Memory (CD-ROM), einen Compact Disk-Read/Write (CD-R/W) und/oder eine Digital Video Disc (DVD).

**[0104]** In einer oder mehreren Ausführungsformen speichert das Speichermedium 804 Computerprogrammcode 806, der dafür konfiguriert ist zu veranlassen, dass das System 800 (wobei eine solche Ausführung (mindestens teilweise) das EDA-Tool repräsentiert) dafür verwendet werden kann, den angemerkt Prozesses und/oder das angemerkt Verfahren ganz oder teilweise auszuführen. In einer oder mehreren Ausführungsformen speichert das Speichermedium 804 auch Informationen, die das Ausführen des gesamten oder eines Teils des angemerkt Prozesses und/oder angemerkt Verfahrens ermöglichen. In einer oder mehreren Ausführungsformen speichert das Speichermedium 804 eine (nicht gezeigte) Bibliothek von Standardzellen.

**[0105]** Das EDA-System 800 enthält eine E/A-Schnittstelle 810. Die E/A-Schnittstelle 810 ist mit externen Schaltungen gekoppelt. In einer oder mehreren Ausführungsformen enthält die E/A-Schnittstelle 810 eine Tastatur, ein Keypad, eine Maus, einen Trackball, ein Trackpad, einen Berührungsbildschirm und/oder Cursor-Richtungstasten zum Über-

mitteln von Informationen und Befehlen an den Prozessor **802**.

**[0106]** Auch hier enthält das EDA-System **800** eine Netzwerkschnittstelle **812**. Die Netzwerkschnittstelle **812** enthält drahtlose Netzwerkschnittstellen, wie zum Beispiel BLUETOOTH, WIFI, WIMAX, GPRS oder WCDMA; oder leitungsgebundene Netzwerkschnittstellen, wie zum Beispiel ETHERNET, USB oder IEEE-**1364**. In einer oder mehreren Ausführungsformen werden der angemerkte Prozess und/oder das angemerkte Verfahren in zwei oder mehr Systemen **800** implementiert.

**[0107]** Das System **800** ist dafür konfiguriert, Informationen durch die E/A-Schnittstelle **810** zu empfangen. Zu den durch die E/A-Schnittstelle **810** empfangenen Informationen gehören eine oder mehrere Instruktionen, Daten, Designregeln, Bibliotheken von Standardzellen und/oder andere Parameter zur Verarbeitung durch den Prozessor **802**. Die Informationen werden zu dem Prozessor **802** über den Bus **808** transferiert. Das EDA-System **800** ist dafür konfiguriert, durch die E/A-Schnittstelle **810** Informationen in Bezug auf eine UI zu empfangen. Die Informationen werden in dem computerlesbaren Medium **804** als Benutzerschnittstelle (User Interface, UI) **842** gespeichert.

**[0108]** In einigen Ausführungsformen werden der angemerkte Prozess und/oder das angemerkte Verfahren ganz oder teilweise als eine eigenständige Software-Anwendung zur Ausführung durch einen Prozessor implementiert. In einigen Ausführungsformen werden der angemerkte Prozess und/oder das angemerkte Verfahren ganz oder teilweise als eine Software-Anwendung implementiert, die Teil einer zusätzlichen Software-Anwendung ist. In einigen Ausführungsformen werden der angemerkte Prozess und/oder das angemerkte Verfahren ganz oder teilweise als ein Plug-in zu einer Software-Anwendung implementiert. In einigen Ausführungsformen werden der angemerkte Prozess und/oder das angemerkte Verfahren als eine Software-Anwendung implementiert, die ein Teil eines EDA-Tools ist. In einigen Ausführungsformen werden der angemerkte Prozess und/oder das angemerkte Verfahren ganz oder teilweise als eine Software-Anwendung implementiert, die durch das EDA-System **800** verwendet wird. In einigen Ausführungsformen wird das Layout-Schaubild unter Verwendung eines Tools wie zum Beispiel VIRTUOSO® von CADENCE DESIGN SYSTEMS, Inc. oder ein anderes geeignetes Layout-Schaubild-Generierungstool generiert.

**[0109]** In einigen Ausführungsformen werden die Prozesse als Funktionen eines Programms realisiert, das in einem nicht-transitorischen computerlesbaren Aufzeichnungsmedium gespeichert ist. Zu Beispielen eines nicht-transitorischen computerlesba-

ren Aufzeichnungsmediums gehören beispielsweise externe/Wechsel- und/oder interne/eingebaute Speichereinheiten, zum Beispiel eines oder mehrere von einer optischen Disk, wie zum Beispiel einer DVD, einer magnetischen Disk, wie zum Beispiel einer Festplatte, eines Halbleiterspeichers, wie zum Beispiel eines ROM, eines RAM, einer Speicherkarte und dergleichen.

**[0110]** Fig. 9 ist ein Blockschaubild eines Integrierten-Schaltkreis (IC)-Fertigungssystems **900** und eines IC-Produktionsflusses, der damit verknüpft ist, gemäß mindestens einer Ausführungsform der vorliegenden Offenbarung.

**[0111]** In Fig. 9 enthält das IC-Herstellungssystem **900** Entitäten, wie zum Beispiel ein Designhaus **920**, ein Maskenhaus **930** und einen IC-Hersteller/Fabrikator („Fab“) **940**, der in den Design-, Entwicklungs- und Herstellungszyklen und/oder Dienstleistungen in Bezug auf die Herstellung einer IC-Vorrichtung **960** miteinander interagieren. Die Entitäten in dem System **900** sind durch ein Kommunikationsnetzwerk verbunden. In einigen Ausführungsformen ist das Kommunikationsnetzwerk ein einzelnes Netzwerk. In einigen Ausführungsformen ist das Kommunikationsnetzwerk eine Vielzahl verschiedener Netze, wie zum Beispiel ein Intranet und das Internet. Das Kommunikationsnetzwerk enthält leitungsgebundene und/oder drahtlose Kommunikationskanäle. Jede Entität interagiert mit einer oder mehreren der anderen Entitäten und erbringt Dienstleistungen für eine oder mehrere der anderen Entitäten und/oder empfängt Dienstleistungen von einer oder mehreren der anderen Entitäten. In einigen Ausführungsformen gehören zwei oder mehr des Designhauses **920**, des Maskenhauses **930** und des IC-Fab **940** einem einzelnen größeren Unternehmen. In einigen Ausführungsformen bestehen zwei oder mehr des Designhauses **920**, des Maskenhauses **930** und des IC-Fab **940** nebeneinander in einer gemeinsamen Einrichtung und nutzen gemeinsame Ressourcen.

**[0112]** Das Designhaus (oder Designteam) **920** generiert ein IC-Designlayout-Schaubild **922**. Das IC-Designlayout-Schaubild **922** enthält verschiedene geometrische Strukturen, die für eine IC-Vorrichtung **960** entworfen wurden. Die geometrischen Strukturen entsprechen Strukturen von Metall-, Oxid- oder Halbleiterschichten, aus denen die verschiedenen Komponenten der herzustellenden IC-Vorrichtung **960** bestehen. Die verschiedenen Schichten kombinieren sich zu verschiedenen IC-Strukturelementen. Zum Beispiel enthält ein Abschnitt des IC-Designlayout-Schaubildes **922** verschiedene IC-Strukturelemente, wie zum Beispiel eine aktive Region, eine Gate-Elektrode, Source und Drain, Metallleitungen oder Durchkontaktierungen einer Zwischenschicht-Zwischenverbindung und Öffnungen für Bondkontaktinseln, die in einem Halbleitersubstrat (wie zum

Beispiel einem Siliziumwafer) auszubilden sind, und verschiedene Materialschichten, die auf dem Halbleitersubstrat angeordnet sind. Das Designhaus **920** implementiert einen ordnungsgemäßen Design-Ablauf, um das IC-Designlayout-Schaubild **922** zu bilden. Der Design-Ablauf enthält eines oder mehrere von einem Logik-Design, einem physischen Design oder Platzieren und Verlegen. Das IC-Designlayout-Schaubild **922** wird in einer oder mehreren Dateien dargestellt, die Informationen über die geometrischen Strukturen enthalten. Zum Beispiel kann das IC-Designlayout-Schaubild **922** in einem GDSII-Dateiformat oder einem DFII-Dateiformat ausgedrückt werden.

**[0113]** Das Maskenhaus **930** enthält Maskendatenvorbereitung **932** und Maskenfertigung **934**. Das Maskenhaus **930** verwendet das IC-Designlayout-Schaubild **922** zum Herstellen einer oder mehrerer Masken, die beim Herstellen der verschiedenen Schichten der IC-Vorrichtung **960** gemäß dem IC-Designlayout-Schaubild **922** zu verwenden sind. Das Maskenhaus **930** führt die Maskendatenvorbereitung **932** aus, wobei das IC-Designlayout-Schaubild **922** in eine repräsentative Datei (Representative Data File, RDF) übersetzt wird. Die Maskendatenvorbereitung **932** übermittelt die RDF an die Maskenfertigung **934**. Die Maskenfertigung **934** enthält einen Maskenschreiber. Ein Maskenschreiber konvertiert die RDF zu einem Bild auf einem Substrat, wie zum Beispiel eine Maske (Retikel) oder einen Halbleiterwafer. Das Designlayout-Schaubild wird durch die Maskendatenvorbereitung **932** so verarbeitet, dass es mit bestimmten Eigenschaften des Maskenschreibers und/oder Anforderungen des IC-Fab **940** kompatibel ist. In **Fig. 9** sind Maskendatenvorbereitung **932** und Maskenfertigung **934** als getrennte Elemente veranschaulicht. In einigen Ausführungsformen können Maskendatenvorbereitung **932** und Maskenfertigung **934** zusammen als Maskendatenvorbereitung bezeichnet werden.

**[0114]** In einigen Ausführungsformen enthält die Maskendatenvorbereitung **932** eine optische Näherkorrektur (Optical Proximity Correction, OPC), die Lithografieoptimierungstechniken zum Kompensieren von Bildfehlern verwendet, wie zum Beispiel solchen, die durch Beugung, Interferenzen, andere Prozessauswirkungen und dergleichen entstehen. OPC justiert das IC-Designlayout-Schaubild **922**. In einigen Ausführungsformen enthält die Maskendatenvorbereitung **932** weitere Auflösungs-optimierungstechniken (Resolution Enhancement Techniques, RET), wie zum Beispiel außeraxiale Beleuchtung, Sub-Auflösungs-Hilfsmerkmale, Phasenverschiebungsmasken, andere geeignete Techniken und dergleichen oder Kombinationen davon. In einigen Ausführungsformen wird auch inverse Lithografie-Technologie (ILT) verwendet, die OPC als ein inverses Bildgabeproblem behandelt.

**[0115]** In einigen Ausführungsformen enthält die Maskendatenvorbereitung **932** einen Maskenregelper (Mask Rule Checker, MRC), der das IC-Designlayout-Schaubild, das Prozesse in OPC unterlaufen hat, mit einem Satz Maskenerzeugungsregeln überprüft, die bestimmte geometrische und/oder Konnektivitätseinschränkungen enthalten, um ausreichende Margen sicherzustellen, um Schwankungen in Halbleiterherstellungsprozessen zu berücksichtigen, und dergleichen. In einigen Ausführungsformen modifiziert der MRC das IC-Designlayout-Schaubild, um Einschränkungen während der Maskenfertigung **934** zu kompensieren, die einen Teil der Modifizierungen rückgängig machen können, die durch OPC vorgenommen wurden, um Maskenerzeugungsregeln zu erfüllen.

**[0116]** In einigen Ausführungsformen enthält die Maskendatenvorbereitung **932** eine Lithografieprozessüberprüfung (Lithography Process Checking, LPC), die eine Verarbeitung simuliert, die durch den IC-Fab **940** implementiert wird, um IC-Vorrichtung **960** zu fertigen. Die LPC simuliert diese Verarbeitung anhand des IC-Designlayout-Schaubildes **922**, um eine simulierte hergestellte Vorrichtung zu erzeugen, wie zum Beispiel eine IC-Vorrichtung **960**. Die Verarbeitungsparameter in der LPC-Simulation können Parameter, die mit verschiedenen Prozessen des IC-Herstellungszyklus verknüpft sind, Parameter, die mit Werkzeugen verknüpft sind, die zur Herstellung des IC verwendet werden, und/oder andere Aspekte des Herstellungsprozesses enthalten. Die LPC berücksichtigt verschiedene Faktoren, wie zum Beispiel Luftbildkontrast, Tiefenschärfe (Depth of Focus, DOF), Maskenfehleroptimierungsfaktor (Mask Error Enhancement Factor, MEEF), andere geeignete Faktoren und dergleichen oder Kombinationen davon. In einigen Ausführungsformen, nachdem durch die LPC eine simulierte hergestellte Vorrichtung gebildet wurde, wenn die simulierte Vorrichtung nicht nahe genug bei der Form liegt, um Designregeln zu erfüllen, werden OPC und/oder MRC wiederholt, um das IC-Designlayout-Schaubild **922** weiter zu verfeinern.

**[0117]** Es versteht sich, dass die obige Beschreibung der Maskendatenvorbereitung **932** zum Zweck der Klarheit vereinfacht wurde. In einigen Ausführungsformen enthält die Maskendatenvorbereitung **932** zusätzliche Merkmale, wie zum Beispiel einen Logik-Operation (LOP) zum Modifizieren des IC-Designlayout-Schaubildes gemäß Herstellungsregeln. Außerdem können die Prozesse, die auf das IC-Designlayout-Schaubild **922** während der Maskendatenvorbereitung **932** angewendet werden, in einer Vielzahl verschiedener Reihenfolgen ausgeführt werden.

**[0118]** Nach der Maskendatenvorbereitung **932** und während der Maskenfertigung **934** werden eine Maske oder eine Gruppe von Masken anhand des modifizierten IC-Designlayouts hergestellt. In einigen

Ausführungsformen wird ein Elektronstrahl (E-Strahl) oder ein Mechanismus aus mehreren E-Strahlen verwendet, um eine Struktur auf einer Maske (Fotomaske oder Retikel) anhand des modifizierten IC-Designlayouts zu bilden. Die Maske kann in verschiedenen Technologien gebildet werden. In einigen Ausführungsformen wird die Maske unter Verwendung der Binärtechnologie gebildet. In einigen Ausführungsformen enthält eine Maskenstruktur opake Regionen und transparente Regionen. Ein Strahl, wie zum Beispiel ein ultravioletter (UV-) Strahl, der verwendet wird, um die bildempfindliche Materialschicht (zum Beispiel Fotoresist) zu belichten, die auf einen Wafer aufbeschichtet wurde, wird durch die opake Region blockiert und wird durch die transparenten Regionen durchgelassen. In einem Beispiel enthält eine Binärmaske ein transparentes Substrat (zum Beispiel Quarzglas) und ein opakes Material (zum Beispiel Chrom), das in den opaken Regionen der Maske aufbeschichtet wird. In einem weiteren Beispiel wird die Maske unter Verwendung einer Phasenverschiebungstechnologie gebildet. In der Phasenverschiebungsmaske (Phase Shift Mask, PSM) sind verschiedene Strukturelemente in der Struktur, die auf der Maske gebildet wird, dafür konfiguriert, eine korrekte Phasendifferenz zu haben, um Auflösung und Bildgütequalität zu erhöhen. In verschiedenen Beispielen kann die Phasenverschiebungsmaske gedämpftes PSM oder abwechselndes PSM sein. Die eine oder die mehreren Masken, die durch die Maskenfertigung **934** erzeugt werden, werden in einer Vielzahl verschiedener Prozesse verwendet. Zum Beispiel werden solche Masken in einem Ionenimplantierungsprozess, um die verschiedenen dotierten Regionen in dem Halbleiterwafer zu bilden, in einem Ätzprozess, um die verschiedenen Ätzregionen in dem Halbleiterwafer zu bilden, und/oder in anderen geeigneten Prozesse verwendet.

**[0119]** Der IC-Fab **940** ist ein IC-Fertigungsunternehmen, das eine oder mehrere Produktionsstätten für die Fertigung einer Vielzahl verschiedener verschiedener IC-Produkte enthält. In einigen Ausführungsformen ist der IC-Fab **940** eine Halbleitergießerei. Zum Beispiel kann es eine Produktionsstätte für die Frontend-Fertigung mehrerer IC-Produkte (Front-End-of-Line (FEOL)-Fertigung) geben, während eine zweite Produktionsstätte für die Backend-Fertigung der Zwischenverbindung und Verkapselung der IC-Produkte (Back-End-of-Line (BEOL)-Fertigung) zuständig ist, und einen dritte Produktionsstätte kann andere Dienstleistungen für das Gießereunternehmen erbringen.

**[0120]** Der IC-Fab **940** verwendet die eine oder die mehreren Masken, die durch das Maskenhaus **930** hergestellt wurden, um eine IC-Vorrichtung **960** zu fertigen. Somit verwendet der IC-Fab **940** mindestens indirekt das IC-Designlayout-Schaubild **922** zum Fertigen der IC-Vorrichtung **960**. In einigen Ausführungs-

formen wird ein Halbleiterwafer **942** durch den IC-Fab **940** unter Verwendung der einen oder der mehreren Masken hergestellt, um die IC-Vorrichtung **960** zu bilden. Der Halbleiterwafer **942** enthält ein Siliziumsubstrat oder ein anderes zweckmäßiges Substrat, auf dem Materialschichten ausgebildet sind. Der Halbleiterwafer enthält des Weiteren eine oder mehrere verschiedene dotierte Regionen, dielektrische Strukturelemente, Zwischenverbindungen auf mehreren Ebenen und dergleichen (die in anschließenden Herstellungsschritten gebildet werden).

**[0121]** Details zu einem Integrierten-Schaltkreis (IC)-Herstellungssystem (zum Beispiel das System **900** von **Fig. 9**) und einem IC-Produktionsfluss, der damit verknüpft ist, finden sich zum Beispiel in US-Patent Nr. 9,256,709, erteilt am 9. Februar **2016**, in der US-Vorerteilungspublikation Nr. 201502128429, veröffentlicht am 1. Oktober **2015**, in der US-Vorerteilungspublikation Nr. 20140040838, veröffentlicht am 6. Februar **2014**, und im US-Patent Nr. 7,260,448, erteilt am 21. August **2012**, die hiermit jeweils durch Bezugnahme in den vorliegenden Text aufgenommen werden.

**[0122]** Ein Aspekt der vorliegenden Offenbarung betrifft einen Multiplexierer-Schaltkreis von Stromversorgung (Power Supply, PS)-Spannungen, wobei der Multiplexierer-Schaltkreis wählbare Fingerschaltkreise enthält, die den PS-Spannungen entsprechen. Jeder wählbare Fingerschaltkreis: hat einen Eingangsknoten, der Fingerschaltkreis-spezifisch ist, und einen Ausgabeknoten, der den Fingerschaltkreisen gemein ist; enthält einen Nicht-Erweiterungsmodus-Transistor eines ersten Leitfähigkeits (**C1**)-Typ (**C1**-Transistor) und erste und zweite Erweiterungsmodus-Transistoren eines zweiten Leitfähigkeits (**C2**)-Typs (**C2**-Transistor), die zwischen dem Eingangsknoten und dem Ausgabeknoten in Reihe geschaltet sind; und ist dafür konfiguriert, eine entsprechende der PS-Spannungen von dem Eingangsknoten zu empfangen und, wenn ausgewählt, eine erste Version der entsprechenden PS-Spannung an den Ausgabeknoten zu übermitteln. Bei einem solchen Multiplexierer-Schaltkreis ist für jeden wählbaren Fingerschaltkreis: der **C1**-Transistor zwischen dem Eingangsknoten und einem ersten Zwischenknoten verbunden; der erste **C2**-Transistor zwischen dem ersten Zwischenknoten und einem zweiten Zwischenknoten verbunden; und der zweite **C2**-Transistor zwischen dem zweiten Zwischenknoten und dem Ausgabeknoten verbunden. Ein solcher Multiplexierer-Schaltkreis enthält des Weiteren: erste und zweite **C1**-Mulden; eine Vorspannschiene, die mit dem zweiten Zwischenknoten jedes wählbaren Fingerschaltkreises verbunden ist; und erste und zweite ausfallsichere (Fail Safe, FS) Transistoren; wobei jeder erste **C2**-Transistor jedes wählbaren Fingerschaltkreises in der ersten **C1**-Mulde ausgebildet ist, jeder zweite **C2**-Transistor jedes wählbaren Fingerschaltkreises in

der zweiten **C1**-Mulde ausgebildet ist, die ersten und zweiten **C1**-Mulden an einem dritten Zwischenknoten verbunden sind, der erste FS-Transistor zwischen dem dritten Zwischenknoten und der Vorspannschiene verbunden ist, eine Gate-Elektrode des ersten FS-Transistors dafür konfiguriert ist, ein ausfallsicheres Steuersignal zu empfangen, der zweite FS-Transistor zwischen dem dritten Zwischenknoten und dem Ausgabeknoten verbunden ist, und die Gate-Elektrode des zweiten FS-Transistors dafür konfiguriert ist, ein Signal an der Vorspannschiene zu empfangen. Ein solcher Multiplexierer-Schaltkreis enthält des Weiteren eine **C1**-Mulde; wobei der **C1**-Transistor jedes wählbaren Fingerschaltkreises in der **C1**-Mulde ausgebildet ist. Bei einem solchen Multiplexierer-Schaltkreis wird die **C1**-Mulde auf VSS vorgespannt. Bei einem solchen Multiplexierer-Schaltkreis ist der **C1**-Typ ein N-Typ; und der N-Typ-Transistor jedes wählbaren Fingerschaltkreises ist dafür konfiguriert, eine größte der PS-Spannungen als ein Steuersignal zu empfangen, um sich einzuschalten. Ein solcher Multiplexierer-Schaltkreis enthält des Weiteren erste und zweite **C1**-Mulden; wobei jeder erste **C2**-Transistor jedes wählbaren Fingerschaltkreises in der ersten **C1**-Mulde ausgebildet ist; und jeder zweite **C2**-Transistor jedes wählbaren Fingerschaltkreises in der zweiten **C2**-Mulde ausgebildet ist. Ein solcher Multiplexierer-Schaltkreis enthält des Weiteren eine Vorspannschiene, die mit jeder der ersten und zweiten **C1**-Mulden verbunden ist. Bei einem solchen Multiplexierer-Schaltkreis ist die Vorspannschiene dafür konfiguriert, eine zweite Version der PS-Spannung zu empfangen, die einem ausgewählten der wählbaren Fingerschaltkreise entspricht. Bei einem solchen Multiplexierer-Schaltkreis gilt mindestens eines des Folgenden: der erste **C2**-Transistor jedes wählbaren Fingerschaltkreises ist dafür konfiguriert, eine größte der PS-Spannungen als ein Steuersignal zu empfangen, um AUS geschaltet zu werden; oder der zweite **C2**-Transistor jedes wählbaren Fingerschaltkreises ist dafür konfiguriert, eine größte der PS-Spannungen als ein Steuersignal zu empfangen, um AUS geschaltet zu werden. Bei einem solchen Multiplexierer-Schaltkreis enthält jeder der wählbaren Fingerschaltkreise des Weiteren einen Erweiterungsmodus-**C1**-Transistor, der zwischen dem Ausgabeknoten und VSS verbunden.

**[0123]** Ein weiterer Aspekt der vorliegenden Offenbarung betrifft eine Halbleitervorrichtung zum Multiplexieren von Stromversorgungs (Power Supply, PS)-Spannungen, wobei die Halbleitervorrichtung Folgendes enthält: ein Substrat eines ersten Leitfähigkeits (**C1**)-Typs (**C1**-Typ); einen ersten Bereich, der für Nicht-Erweiterungsmodus-MOSFETs konfiguriert ist, wobei der erste Bereich Folgendes enthält: in dem Substrat ausgebildete Regionen, die von einem zweiten Leitfähigkeits (**C2**)-Typ (**C2**-Typ) sind, und Gate-Elektroden, die entsprechend in den ersten Regionen ausgebildet sind und die entsprechende **C2**-Transis-

toren definieren; zweite und dritte Bereiche, die für Erweiterungsmodus-MOSFETs konfiguriert sind, wobei jeder der zweiten und dritten Bereiche Folgendes enthält: eine größere Mulde, die in dem Substrat ausgebildet ist und vom **C2**-Typ ist, eine kleinere Mulde, die in der größeren Mulde ausgebildet ist und vom **C1**-Typ ist, Gate-Elektroden, die auf der kleineren Mulde ausgebildet sind und entsprechende **C1**-Transistoren definieren, und einen Ring, der um einen Umfangsrand der kleineren Mulde herum und innerhalb eines Umfangsrandes der größeren Mulde ausgebildet ist und den **C2**-Typ hat; wobei: die Halbleitervorrichtung in wählbaren Fingerschaltkreisen organisiert ist; jeder Fingerschaltkreis einen Transistor von jedem der ersten, zweiten und dritten Bereiche enthält; und für jeden Fingerschaltkreis die Transistoren darin in Reihe geschaltet sind. Bei einer solchen Halbleitervorrichtung ist der **C1**-Typ ein P-Typ; und der **C2**-Typ ist ein N-Typ. Bei einer solchen Halbleitervorrichtung ist der erste Bereich des Weiteren für native NMOS-Transistoren konfiguriert. Bei einer solchen Halbleitervorrichtung, wenn man sich vorstellt, dass die Regionen des ersten Bereichs eine Gruppe repräsentieren, enthält der erste Bereich einen Ring, der außerhalb eines Umfangsrandes der Gruppe von Regionen ausgebildet ist und den **C1**-Typ hat. Bei einer solchen Halbleitervorrichtung enthält jeder der zweiten und dritten Bereiche einen Ring, der außerhalb des Umfangsrandes der größeren Mulde ausgebildet ist und den **C1**-Typ hat.

**[0124]** Ein weiterer Aspekt der vorliegenden Offenbarung betrifft ein Verfahren zum Multiplexieren von Stromversorgungs (Power Supply, PS)-Spannungen, wobei das Verfahren Folgendes enthält: Auswählen eines ausgewählten unter Fingerschaltkreisen, die den PS-Spannungen entsprechen, wobei jeder wählbare Fingerschaltkreis einen Nicht-Erweiterungsmodus-Transistor eines ersten Leitfähigkeits (**C1**)-Typs (**C1**-Transistor) und erste und zweite Erweiterungsmodus-Transistoren eines zweiten Leitfähigkeits (**C2**)-Typs (**C2**-Transistor) enthält, die zwischen einem Eingangsknoten und einem Ausgabeknoten in Reihe geschaltet sind, wobei das Auswählen eines ausgewählten der Fingerschaltkreise enthält, jeden des **C1**-Transistors, des ersten **C2**-Typ-Transistors und des zweiten **C2**-Transistors des ausgewählten Fingerschaltkreises einzuschalten; und Abwählen anderer der Fingerschaltkreise außer dem ausgewählten Fingerschaltkreis; wobei das Abwählen anderer der Fingerschaltkreise für jeden ausgewählten Fingerschaltkreis enthält, jeden des **C1**-Transistors, des ersten **C2**-Transistors und des zweiten **C2**-Transistors auszuschalten; und Einstellen, für jeden der Finger, von Körpern eines jeden des ersten **C2**-Transistors und des zweiten **C2**-Transistors auf die PS-Spannung, die dem ausgewählten Fingerschaltkreis entspricht. Bei einem solchen Verfahren ist der **C1**-Typ ein N-Typ; der Nicht-Erweiterungsmodus-**C1**-Transistor ist ein nativer NMOS-Transistor;

und das Auswählen eines ausgewählten der Fingerschaltkreise enthält des Weiteren das Beaufschlagen einer Gate-Elektrode des nativen NMOS-Transistors mit einer größten der PS-Spannungen als ein Steuersignal, um EIN geschaltet zu werden. Bei einem solchen Verfahren ist der **C2**-Typ ein P-Typ; der Erweiterungsmodus-**C2**-Transistor ist ein PMOS-Transistor; und das Abwählen anderer der Fingerschaltkreise enthält des Weiteren das Beaufschlagen einer Gate-Elektrode des nativen NMOS-Transistors mit einem Steuersignal von etwa null Volt, um AUS geschaltet zu werden. Bei einem solchen Verfahren ist der **C2**-Typ ein P-Typ; der Erweiterungsmodus-**C2**-Transistor ist ein PMOS-Transistor; und das Auswählen eines ausgewählten der Fingerschaltkreise enthält des Weiteren, für jeden der Finger, das Beaufschlagen einer Gate-Elektrode des ersten PMOS-Transistors und des zweiten PMOS-Transistors mit einem Steuersignal von etwa null Volt, um EIN geschaltet zu werden. Bei einem solchen Verfahren enthält das Abwählen anderer der Fingerschaltkreise des Weiteren das Beaufschlagen einer Gate-Elektrode des ersten PMOS-Transistors mit einer größten der PS-Spannungen als ein Steuersignal, um AUS geschaltet zu werden. Bei einem solchen Verfahren enthält das Abwählen anderer der Fingerschaltkreise des Weiteren das Beaufschlagen einer Gate-Elektrode des zweiten PMOS-Transistors mit der PS-Spannung, die dem ausgewählten Fingerschaltkreis entspricht, als ein Steuersignal, um AUS geschaltet zu werden.

**[0125]** Ein weiterer Aspekt der vorliegenden Offenbarung betrifft ein Verfahren zum Generieren eines Layout-Schaubildes einer Halbleitervorrichtung zum Multiplexieren von Stromversorgungs (Power Supply, PS)-Spannungen, wobei das Verfahren Folgendes enthält: Generieren einer Substratstruktur eines ersten Leitfähigkeits (**C1**)-Typs (**C1**-Typ); Generieren einer ersten Bereichsstruktur, die für Nicht-Erweiterungsmodus-MOSFETs konfiguriert ist, wobei das Generieren einer ersten Bereichsstruktur Folgendes enthält: Generieren von Regionsstrukturen, die sich auf der Substratstruktur befinden und von einem zweiten Leitfähigkeits (**C2**)-Typ (**C2**-Typ) sind; Anordnen der Regionsstrukturen auf der Substratstruktur; Generieren von Gate-Elektrodenstrukturen; Anordnen der Gate-Elektrodenstrukturen entsprechend auf den ersten Regionsstrukturen dergestalt, dass sie entsprechende **C2**-Transistorstrukturen definieren; Generieren einer zweiten Bereichsstruktur, die für Erweiterungsmodus-MOSFETs konfiguriert ist; Generieren einer dritten Bereichsstruktur, die für Erweiterungsmodus-MOSFETs konfiguriert ist; wobei jedes des Generierens einer zweiten Bereichsstruktur und des Generierens einer dritten Bereichsstruktur Folgendes enthält: Generieren einer größeren Muldenstruktur, die vom **C2**-Typ ist; Anordnen der größeren Muldenstruktur auf der Substratstruktur; Generieren einer kleineren Muldenstruktur, die vom **C1**-Typ ist; Anordnen der kleineren Mulden-

struktur auf der größeren Muldenstruktur; Generieren von Gate-Elektrodenstrukturen dergestalt, dass sie entsprechende **C1**-Transistoren definieren; Anordnen der Gate-Elektrodenstrukturen auf der kleineren Muldenstruktur; und Generieren einer Ringstruktur, die vom **C2**-Typ ist; Anordnen der Ringstruktur außerhalb eines Umfangsrandes der kleineren Muldenstruktur und innerhalb eines Umfangsrandes der größeren Muldenstruktur; Organisieren des Layout-Schaubildes in wählbare Fingerschaltkreisstrukturen; Anordnen jeder Fingerschaltkreisstruktur dergestalt, dass sie eine Transistorstruktur eines jeden der ersten, zweiten und dritten Bereiche enthält; und Generieren von Leiterstrukturen für jede Fingerschaltkreisstruktur, die die Transistorstrukturen in Reihe schalten; wobei mindestens eines der Verfahren durch einen Prozessor eines Computers ausgeführt wird. Ein solches Verfahren enthält des Weiteren Folgendes: Einstellen des **C1**-Typs auf einen P-Typ; und Einstellen des **C2**-Typs auf einen N-Typ. Bei einem solchen Verfahren enthält das Generieren einer ersten Bereichsstruktur des Weiteren das Konfigurieren der ersten Bereichsstruktur für native NMOS-Transistoren. Bei einem solchen Verfahren repräsentieren die Regionen des ersten Bereichs eine Gruppe; und das Generieren einer ersten Bereichsstruktur enthält des Weiteren Folgendes: Generieren einer Ringstruktur, die vom **C1**-Typ ist; und Anordnen der Ringstruktur außerhalb eines Umfangsrandes der Gruppe von Regionen. Bei einem solchen Verfahren enthält jedes des Generierens einer zweiten Bereichsstruktur und des Generierens einer dritten Bereichsstruktur des Weiteren Folgendes: Generieren einer Ringstruktur, die vom **C1**-Typ ist; und Anordnen der Ringstruktur außerhalb des Umfangsrandes der größeren Muldenstruktur. Ein solches Verfahren enthält des Weiteren das Herstellen, auf der Basis des Layout-Schaubildes, mindestens eines von (A) einer oder mehreren Halbleitermasken oder (B) mindestens einer Komponente in einer Schicht eines beginnenden integrierten Halbleiterschaltkreises.

**[0126]** Das oben Dargelegte umreißt Merkmale verschiedener Ausführungsformen, so dass der Fachmann die Aspekte der vorliegenden Offenbarung besser verstehen kann. Dem Fachmann ist klar, dass er die vorliegende Offenbarung ohne Weiteres als Basis für das Entwerfen oder Modifizieren anderer Prozesse und Strukturen verwenden kann, um die gleichen Zwecke und/oder die gleichen Vorteile wie bei den im vorliegenden Text vorgestellten Ausführungsformen zu erreichen. Dem Fachmann sollte auch klar sein, dass solche äquivalenten Bauformen nicht das Wesen und den Schutzzumfang der vorliegenden Offenbarung verlassen, und dass er verschiedene Änderungen, Substituierungen und Modifizierungen an der vorliegenden Erfindung vornehmen kann, ohne vom Wesen und Schutzzumfang der vorliegenden Offenbarung abzuweichen.

**ZITATE ENTHALTEN IN DER BESCHREIBUNG**

*Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.*

**Zitierte Patentliteratur**

- US 9256709 [0121]
- US 201502128429 [0121]
- US 20140040838 [0121]
- US 7260448 [0121]

**Patentansprüche**

1. Multiplexierer-Schaltkreis von Stromversorgungs (Power Supply, PS)-Spannungen, wobei der Multiplexierer-Schaltkreis Folgendes umfasst:

wählbare Fingerschaltkreise, die den PS-Spannungen entsprechen, wobei jeder wählbare Fingerschaltkreis:

einen Eingangsknoten, der Fingerschaltkreis-spezifisch ist, und einen Ausgabeknoten, der den Fingerschaltkreisen gemein ist, aufweist; und

einen Nicht-Erweiterungsmodus-Transistor eines ersten Leitfähigkeits (C1)-Typs (C1-Transistor) und erste und zweite Erweiterungsmodus-Transistoren eines zweiten Leitfähigkeits (C2)-Typs (C2-Transistor) enthält, die zwischen dem Eingangsknoten und dem Ausgabeknoten in Reihe geschaltet sind; und für Folgendes konfiguriert sind:

eine entsprechende der PS-Spannungen von dem Eingangsknoten zu empfangen; und, wenn ausgewählt, eine erste Version der entsprechenden PS-Spannung in den Ausgabeknoten einzuspeisen.

2. Multiplexierer-Schaltkreis nach Anspruch 1, wobei für jeden wählbaren Fingerschaltkreis:

der C1-Transistor zwischen dem Eingangsknoten und einem ersten Zwischenknoten verbunden ist;

der erste C2-Transistor zwischen dem ersten Zwischenknoten und einem zweiten Zwischenknoten verbunden ist; und

der zweite C2-Transistor zwischen dem zweiten Zwischenknoten und dem Ausgabeknoten verbunden ist.

3. Multiplexierer-Schaltkreis nach Anspruch 2, der des Weiteren Folgendes umfasst:

erste und zweite C1-Mulden;

eine Vorspannschiene, die mit dem zweiten Zwischenknoten jedes wählbaren Fingerschaltkreises verbunden ist; und

erste und zweite ausfallsichere (FS) Transistoren; wobei:

jeder erste C2-Transistor jedes wählbaren Fingerschaltkreises in der ersten C1-Mulde ausgebildet ist; jeder zweite C2-Transistor jedes wählbaren Fingerschaltkreises in der zweiten C1-Mulde ausgebildet ist;

die ersten und zweiten C1-Mulden an einem dritten Zwischenknoten verbunden sind;

der erste FS-Transistor zwischen dem dritten Zwischenknoten und der Vorspannschiene verbunden ist;

eine Gate-Elektrode des ersten FS-Transistors dafür konfiguriert ist, ein ausfallsicheres Steuersignal zu empfangen;

die zweite FS-Transistor zwischen dem dritten Zwischenknoten und dem Ausgabeknoten verbunden ist; und

die Gate-Elektrode des zweiten FS-Transistors dafür konfiguriert ist, ein Signal an der Vorspannschiene zu empfangen.

4. Multiplexierer-Schaltkreis nach einem der vorangehenden Ansprüche, der des Weiteren Folgendes umfasst:

eine C1-Mulde;

wobei der C1-Transistor jedes wählbaren Fingerschaltkreises in der C1-Mulde ausgebildet ist.

5. Multiplexierer-Schaltkreis nach Anspruch 4, wobei:

die C1-Mulde auf VSS vorgespannt wird.

6. Multiplexierer-Schaltkreis nach einem der vorangehenden Ansprüche, wobei:

der C1-Typ ein N-Typ ist; und

der N-Typ-Transistor jedes wählbaren Fingerschaltkreises dafür konfiguriert ist, eine größte der PS-Spannungen als ein Steuersignal zu empfangen, um sich EIN zu schalten.

7. Multiplexierer-Schaltkreis nach einem der vorangehenden Ansprüche, der des Weiteren Folgendes umfasst:

erste und zweite C1-Mulden;

wobei:

jeder erste C2-Transistor jedes wählbaren Fingerschaltkreises in der ersten C1-Mulde ausgebildet ist; und

jeder zweite C2-Transistor jedes wählbaren Fingerschaltkreises in der zweiten C1-Mulde ausgebildet ist.

8. Multiplexierer-Schaltkreis nach Anspruch 7, der des Weiteren Folgendes umfasst:

eine Vorspannschiene, die mit jeder der ersten und zweiten C1-Mulden verbunden ist.

9. Multiplexierer-Schaltkreis nach Anspruch 8, wobei:

die Vorspannschiene dafür konfiguriert ist, eine zweite Version der PS-Spannung zu empfangen, die einem ausgewählten der wählbaren Fingerschaltkreise entspricht.

10. Multiplexierer-Schaltkreis nach einem der vorangehenden Ansprüche, wobei mindestens eines des Folgenden gilt:

der erste C2-Transistor jedes wählbaren Fingerschaltkreises ist dafür konfiguriert, eine größte der PS-Spannungen als ein Steuersignal zu empfangen, um AUS geschaltet zu werden; oder

der zweite C2-Transistor jedes wählbaren Fingerschaltkreises ist dafür konfiguriert, eine größte der PS-Spannungen als ein Steuersignal zu empfangen, um AUS geschaltet zu werden.

11. Multiplexer-Schaltkreis nach einem der vorangehenden Ansprüche, wobei jeder der wählbaren Fingerschaltkreise des Weiteren einen Erweiterungsmodus-C1-Transistor enthält, der zwischen dem Ausgabeknoten und VSS verbunden ist.

12. Halbleitervorrichtung zum Multiplexieren von Stromversorgungs (Power Supply, PS)-Spannungen, wobei die Halbleitervorrichtung Folgendes umfasst: ein Substrat eines ersten Leitfähigkeits (C1)-Typs (C1-Typ); einen ersten Bereich, der für Nicht-Erweiterungsmodus-MOSFETs konfiguriert ist, wobei der erste Bereich Folgendes enthält: in dem Substrat ausgebildete Regionen, die von einem zweiten Leitfähigkeits (C2)-Typ (C2-Typ) sind; und Gate-Elektroden, die entsprechend in den ersten Regionen ausgebildet sind und die entsprechende C2-Transistoren definieren; zweite und dritte Bereiche, die für Erweiterungsmodus-MOSFETs konfiguriert sind, wobei jeder der zweiten und dritten Bereiche Folgendes enthält: eine größere Mulde, die in dem Substrat ausgebildet ist und vom C2-Typ ist; eine kleinere Mulde, die in der größeren Mulde ausgebildet ist und vom C1-Typ ist; Gate-Elektroden, die auf der kleineren Mulde ausgebildet sind und entsprechende C1-Transistoren definieren; und einen Ring, der um einen Umfangsrand der kleineren Mulde herum und innerhalb eines Umfangsrandes der größeren Mulde ausgebildet ist und vom C2-Typ ist; wobei: die Halbleitervorrichtung in wählbaren Fingerschaltkreisen organisiert ist; jeder Fingerschaltkreis einen Transistor von jedem der ersten, zweiten und dritten Bereiche enthält; und für jeden Fingerschaltkreis die Transistoren darin in Reihe geschaltet sind.

13. Halbleitervorrichtung nach Anspruch 12, wobei: der C1-Typ ein P-Typ ist; und der C2-Typ ein N-Typ ist.

14. Halbleitervorrichtung nach Anspruch 13, wobei: der erste Bereich des Weiteren für native NMOS-Transistoren konfiguriert ist.

15. Halbleitervorrichtung nach einem der vorangehenden Ansprüche 12 bis 14, wobei, wenn man sich die Regionen des ersten Bereichs so vorstellt, dass sie eine Gruppe repräsentieren, der erste Bereich einen Ring enthält, der außerhalb eines Umfangsrandes der Gruppe von Regionen ausgebildet ist und vom C1-Typ ist.

16. Halbleitervorrichtung nach einem der vorangehenden Ansprüche 12 bis 15, wobei jeder der zweiten

und dritten Bereiche einen Ring enthält, der außerhalb des Umfangsrandes der größeren Mulde ausgebildet ist und vom C1-Typ ist.

17. Verfahren zum Multiplexieren von Stromversorgungs (Power Supply, PS)-Spannungen, wobei das Verfahren Folgendes umfasst: Auswählen eines ausgewählten unter Fingerschaltkreisen, die den PS-Spannungen entsprechen, wobei jeder wählbare Fingerschaltkreis einen Nicht-Erweiterungsmodus-Transistor eines ersten Leitfähigkeits (C1)-Typs (C1-Transistor) und erste und zweite Erweiterungsmodus-Transistoren eines zweiten Leitfähigkeits (C2)-Typs (C2-Transistor) enthält, die zwischen einem Eingangsknoten und einem Ausgabeknoten in Reihe geschaltet sind, wobei das Auswählen eines ausgewählten der Fingerschaltkreise Folgendes enthält: Einschalten eines jeden des C1-Transistors, des ersten C2-Transistors und des zweiten C2-Transistors des ausgewählten Fingerschaltkreises; und Abwählen anderer der Fingerschaltkreise außer dem ausgewählten Fingerschaltkreis, wobei das Abwählen anderer der Fingerschaltkreise Folgendes enthält: Ausschalten, für jeden abgewählten Fingerschaltkreis, eines jeden des C1-Transistors, des ersten C2-Transistors und des zweiten C2-Transistors; und Einstellen, für jeden der Finger, von Körpern eines jeden des ersten C2-Transistors und des zweiten C2-Transistors auf die PS-Spannung, die dem ausgewählten Fingerschaltkreis entspricht.

18. Verfahren nach Anspruch 17, wobei: der C1-Typ ein N-Typ ist; der Nicht-Erweiterungsmodus-C1-Transistor ein nativer NMOS-Transistor ist; und das Auswählen eines ausgewählten der Fingerschaltkreise des Weiteren enthält Folgendes: Beaufschlagen einer Gate-Elektrode des nativen NMOS-Transistors mit einer größten der PS-Spannungen als ein Steuersignal, um EIN geschaltet zu werden.

19. Verfahren nach Anspruch 18, wobei: der C2-Typ ein P-Typ ist; der Erweiterungsmodus-C2-Transistor ein PMOS-Transistor ist; und das Abwählen anderer der Fingerschaltkreise des Weiteren Folgendes enthält: Beaufschlagen einer Gate-Elektrode des nativen NMOS-Transistors mit einem Steuersignal von etwa null Volt, um AUS geschaltet zu werden.

20. Verfahren nach einem der vorangehenden Ansprüche 17 zu 19, wobei: der C2-Typ ein P-Typ ist; der Erweiterungsmodus-C2-Transistor ein PMOS-Transistor ist; und

das Auswählen eines ausgewählten der Fingerschaltkreise des Weiteren Folgendes enthält:  
für jeden der Finger, Beaufschlagen einer Gate-Elektrode des ersten PMOS-Transistors und des zweiten PMOS-Transistors mit einem Steuersignal von etwa null Volt, um EIN geschaltet zu werden.

Es folgen 18 Seiten Zeichnungen

Anhängende Zeichnungen

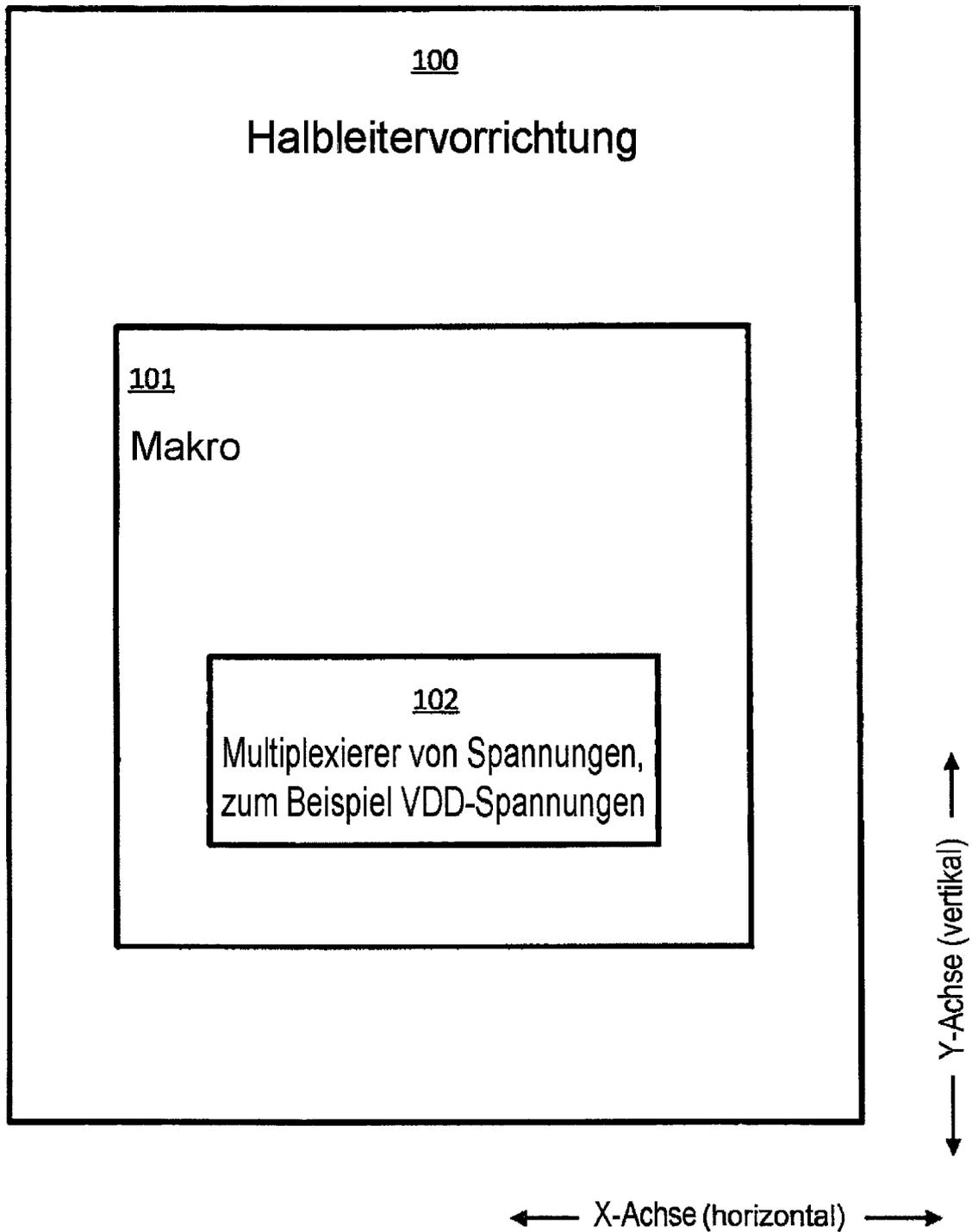


FIG. 1

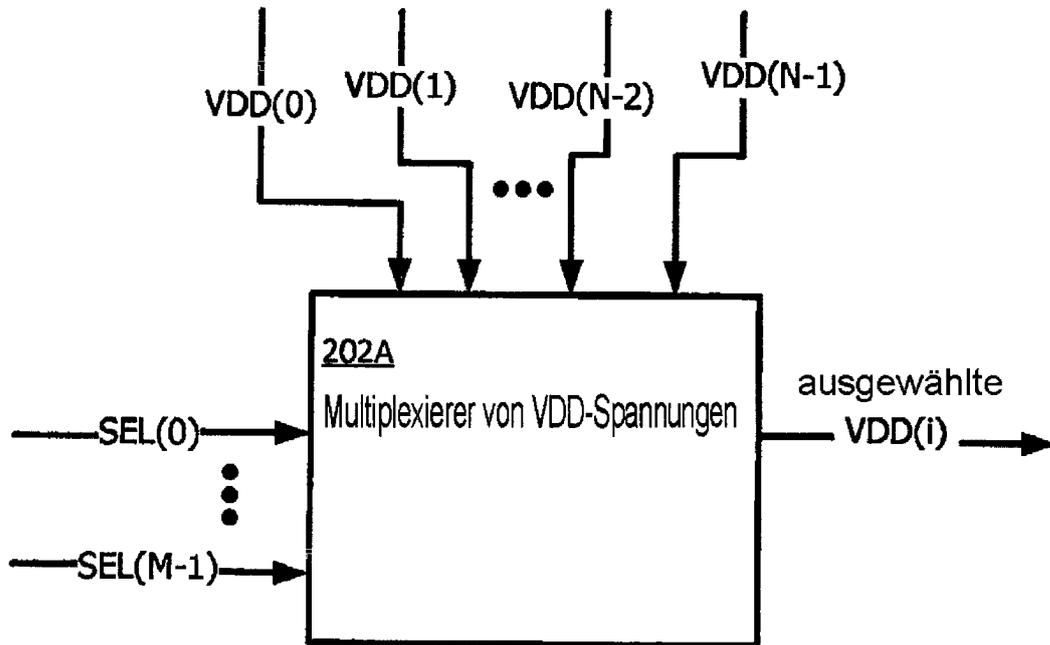


FIG. 2A

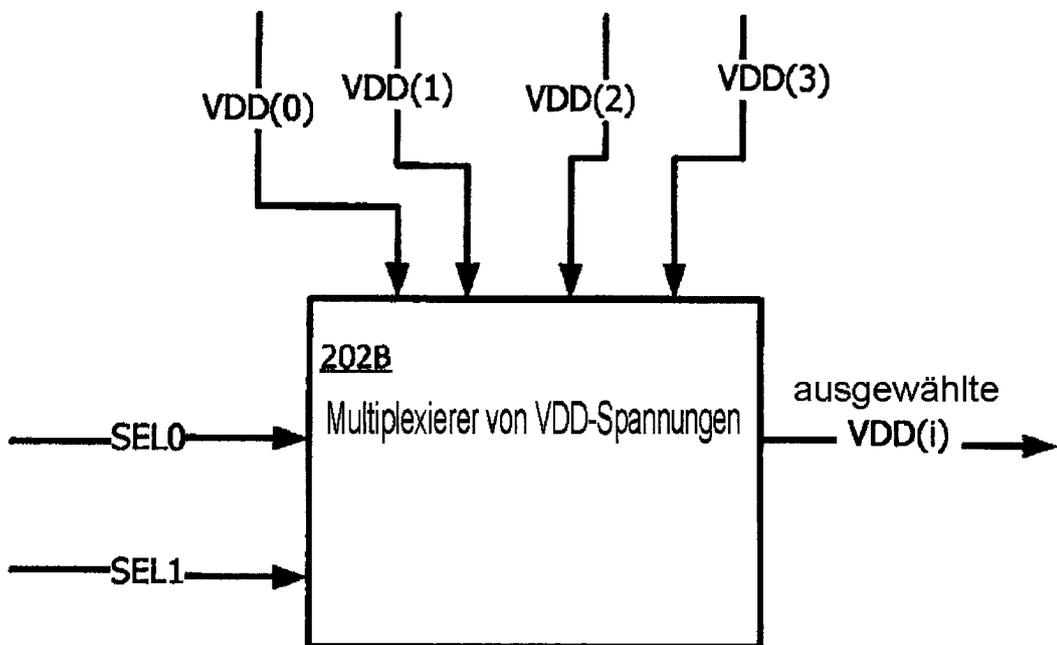


FIG. 2B



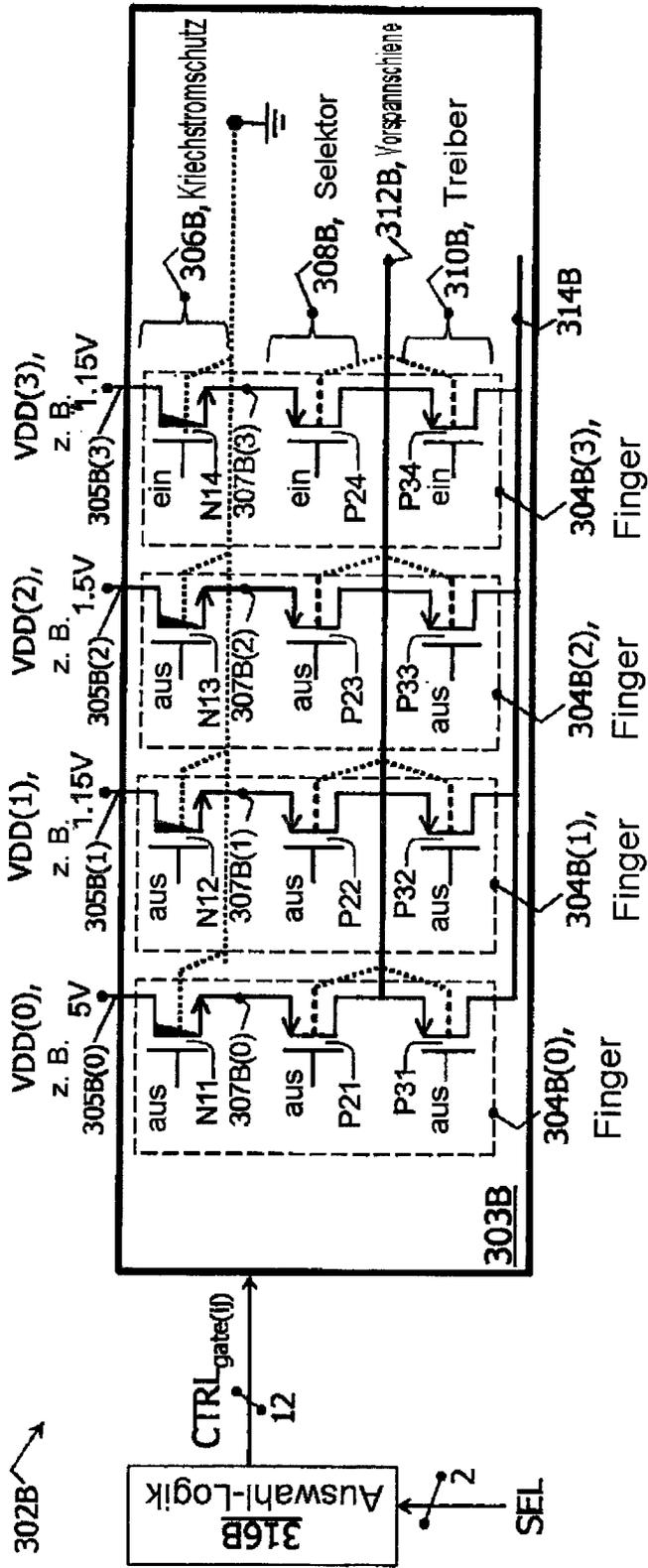


FIG. 3B

nicht ausgewählt			nicht ausgewählt			nicht ausgewählt			ausgewählt		
Finger 304B(0)			Finger 304B(1)			Finger 304B(2)			Finger 304B(3)		
Transistor	T(i,j)	Zustand									
N11		aus	N12		aus	N13		aus	N14		ein
P21		aus	P22		aus	P23		aus	P24		ein
P31		aus	P32		aus	P33		aus	P34		ein
CTRL-gate(i)			CTRL-gate(i)			CTRL-gate(i)			CTRL-gate(i)		
0			0			0			0		
VDDmax			VDDmax			VDDmax			VDDmax		
V <sub>bias_rail</sub> = VDD4			V <sub>bias_rail</sub> = VDD4			V <sub>bias_rail</sub> = VDD4			V <sub>bias_rail</sub> = VDD4		

Fig. 3C

ausgewählt			nicht ausgewählt			nicht ausgewählt			nicht ausgewählt		
Finger 304B(0)			Finger 304B(1)			Finger 304B(2)			Finger 304B(3)		
Transistor	T(i,j)	Zustand	Transistor	T(i,j)	Zustand	Transistor	T(i,j)	Zustand	Transistor	T(i,j)	Zustand
N11		ein	N12		aus	N13		aus	N14		aus
P21		ein	P22		aus	P23		aus	P24		aus
P31		ein	P32		aus	P33		aus	P34		aus
CTRL-gate(i)			CTRL-gate(i)			CTRL-gate(i)			CTRL-gate(i)		
VDDmax			0			0			0		
0			VDDmax			VDDmax			VDDmax		
0			V <sub>bias_rail</sub> = VDD1			V <sub>bias_rail</sub> = VDD1			V <sub>bias_rail</sub> = VDD1		

Fig. 3D

nicht ausgewählt			ausgewählt			nicht ausgewählt			nicht ausgewählt		
Finger 304B(0)			Finger 304B(1)			Finger 304B(2)			Finger 304B(3)		
Transistor	T(i,j)	Zustand	Transistor	T(i,j)	Zustand	Transistor	T(i,j)	Zustand	Transistor	T(i,j)	Zustand
N11	aus	0	N12	ein	VDDmax	N13	aus	0	N14	aus	0
P21	aus	VDDmax	P22	ein	0	P23	aus	VDDmax	P24	aus	VDDmax
P31	aus	$V_{bias\_rail} = VDD2$	P32	ein	0	P33	aus	$V_{bias\_rail} = VDD2$	P34	aus	$V_{bias\_rail} = VDD2$
CTRL_gate(i)			CTRL_gate(i)			CTRL_gate(i)			CTRL_gate(i)		

Fig. 3E

nicht ausgewählt			ausgewählt			nicht ausgewählt			nicht ausgewählt		
Finger 304B(0)			Finger 304B(1)			Finger 304B(2)			Finger 304B(3)		
Transistor	T(i,j)	Zustand	Transistor	T(i,j)	Zustand	Transistor	T(i,j)	Zustand	Transistor	T(i,j)	Zustand
N11	aus	0	N12	aus	0	N13	ein	VDDmax	N14	aus	0
P21	aus	VDDmax	P22	aus	VDDmax	P23	ein	0	P24	aus	VDDmax
P31	aus	$V_{bias\_rail} = VDD3$	P32	aus	$V_{bias\_rail} = VDD3$	P33	ein	0	P34	aus	$V_{bias\_rail} = VDD3$
CTRL_gate(i)			CTRL_gate(i)			CTRL_gate(i)			CTRL_gate(i)		

Fig. 3F

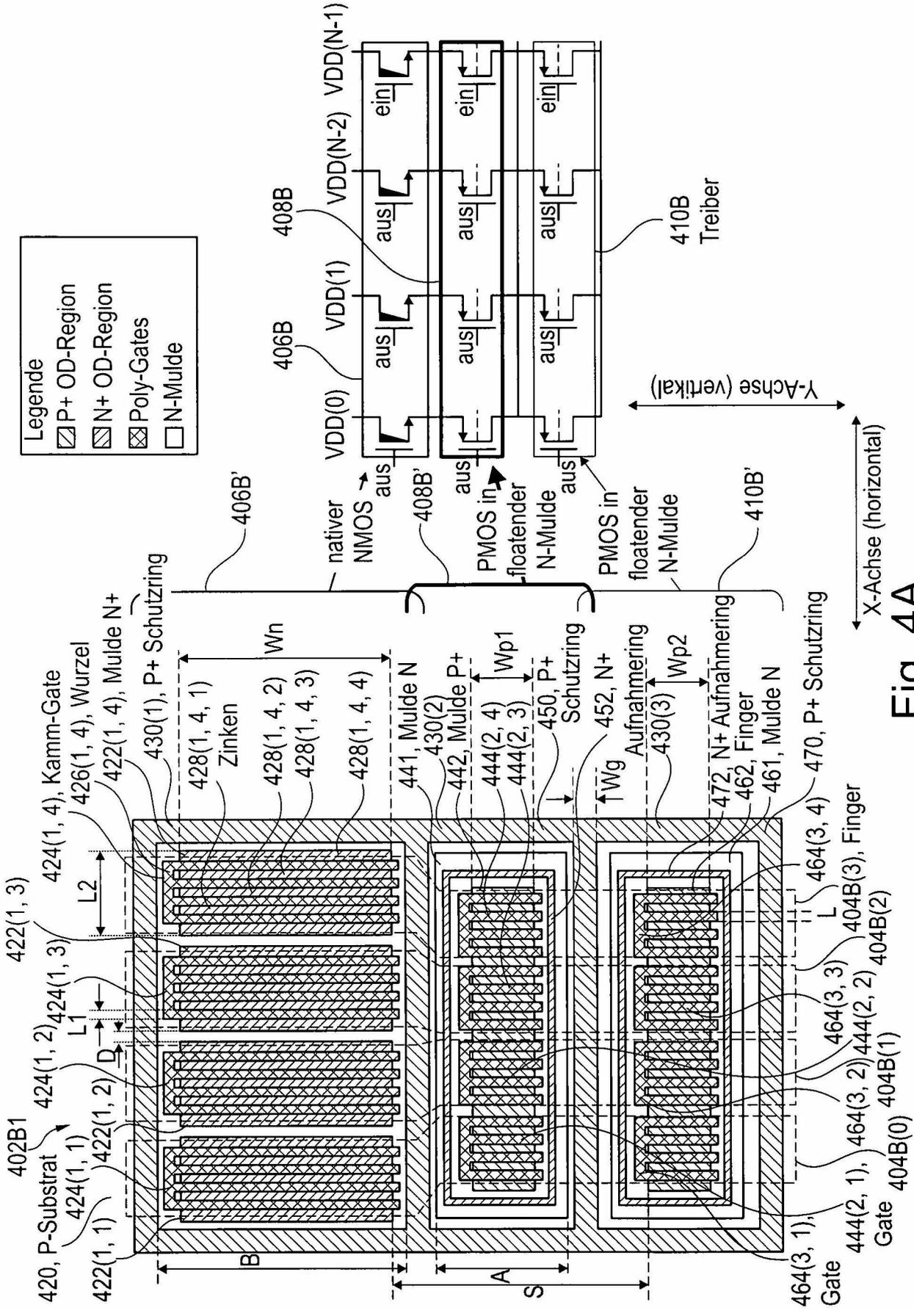


Fig. 4A

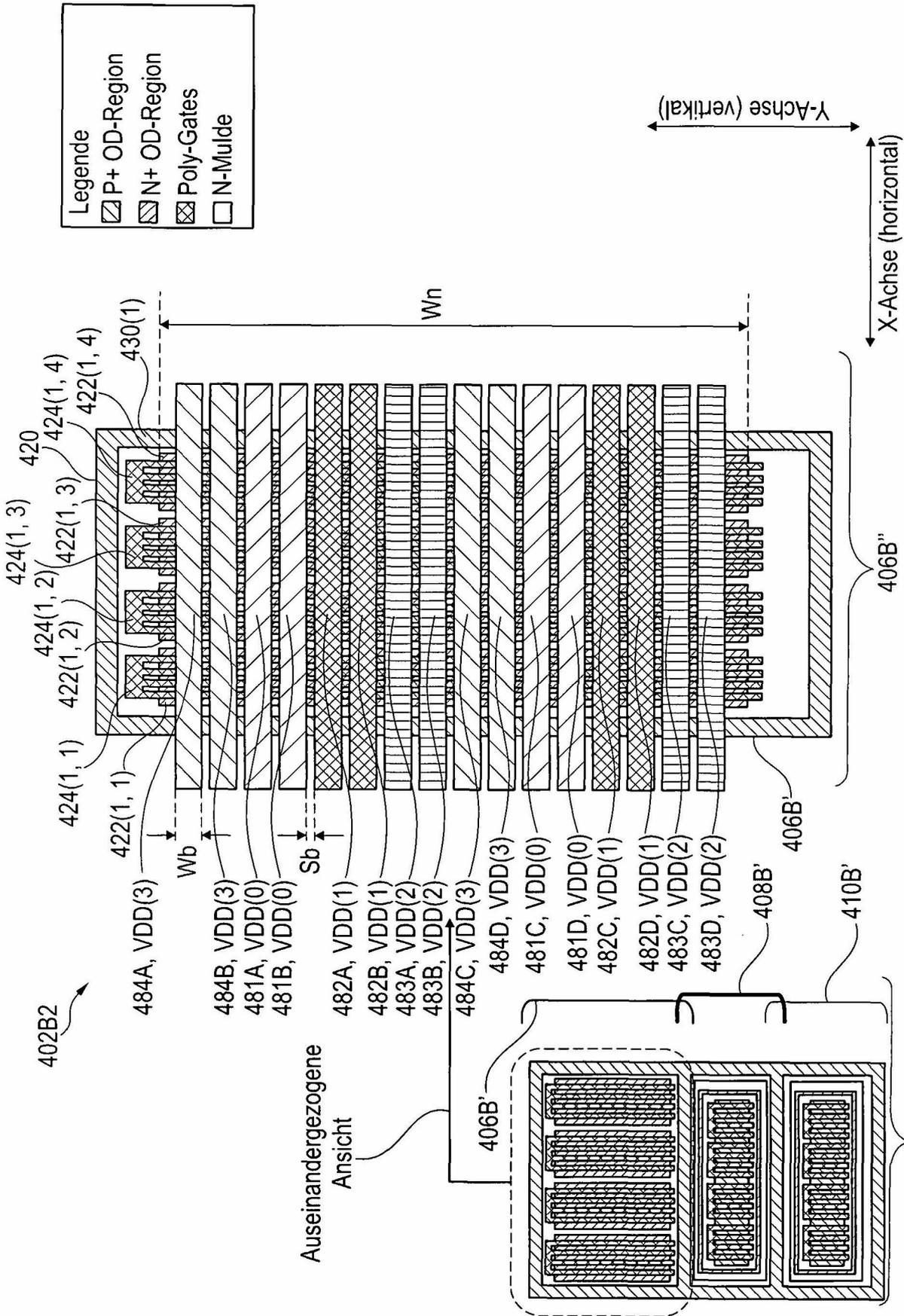


Fig. 4B

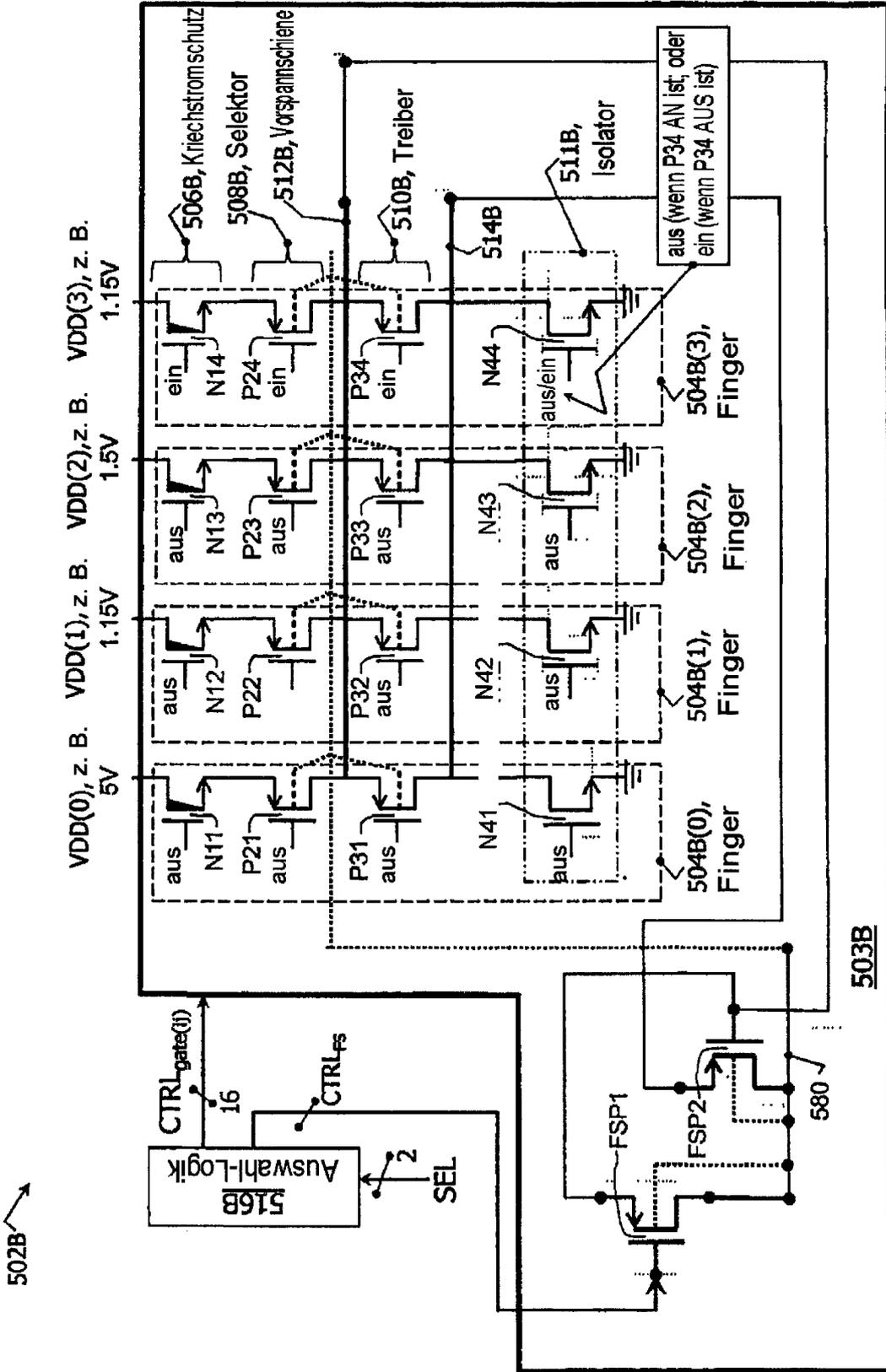


FIG. 5

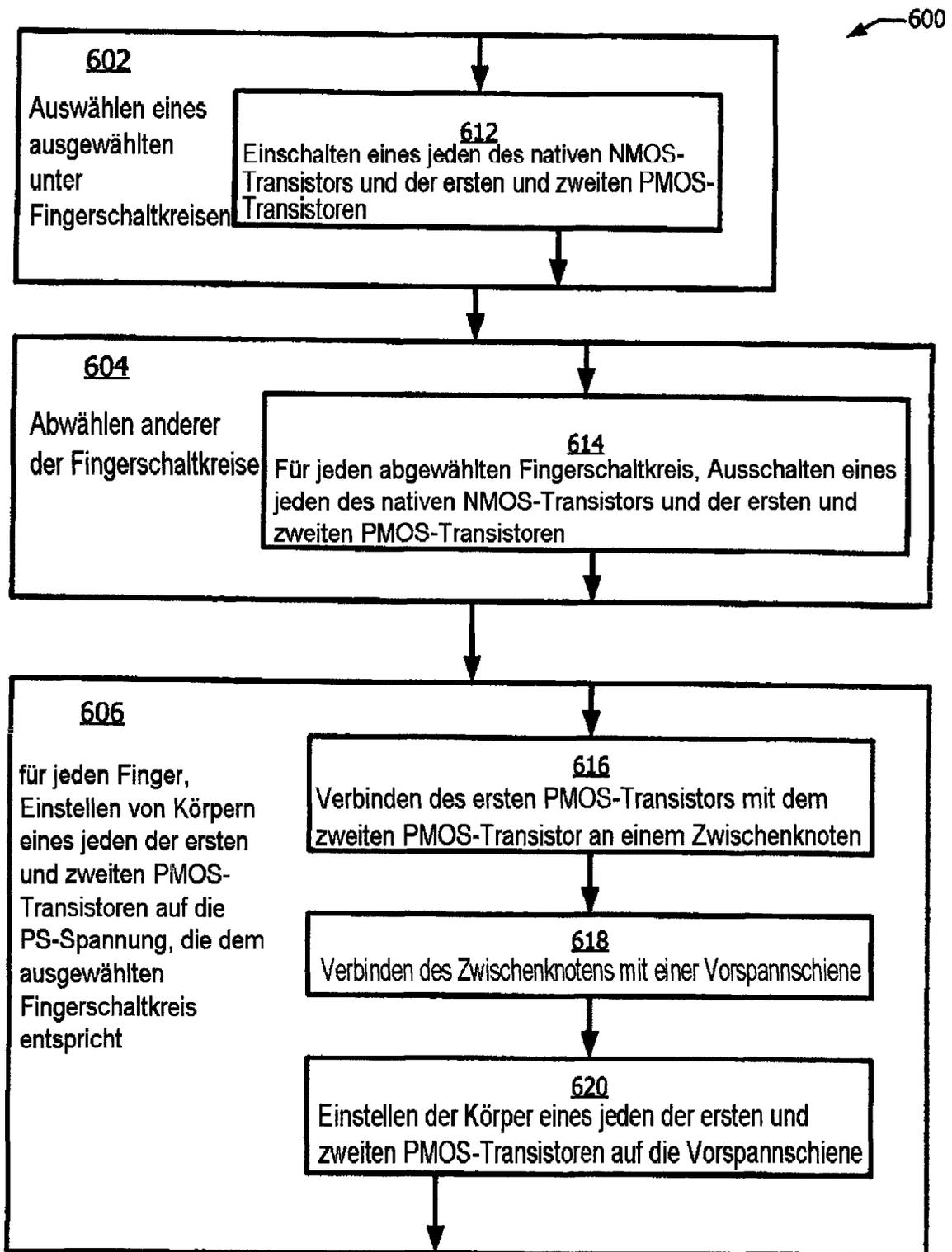


FIG. 6A

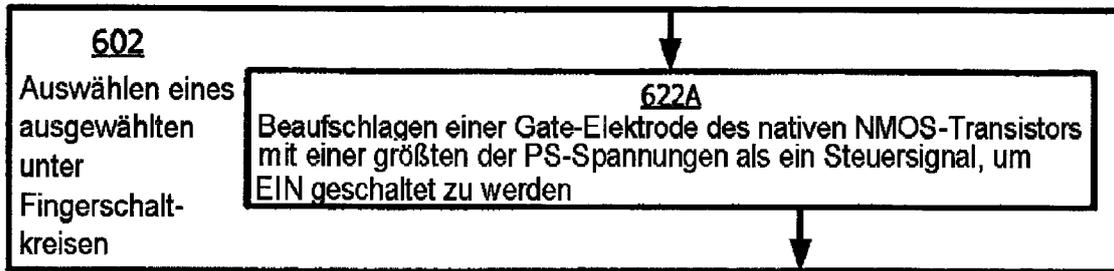


FIG. 6B

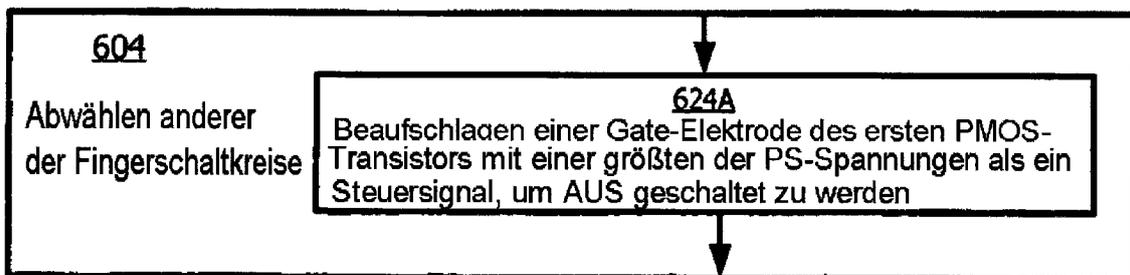


FIG. 6C

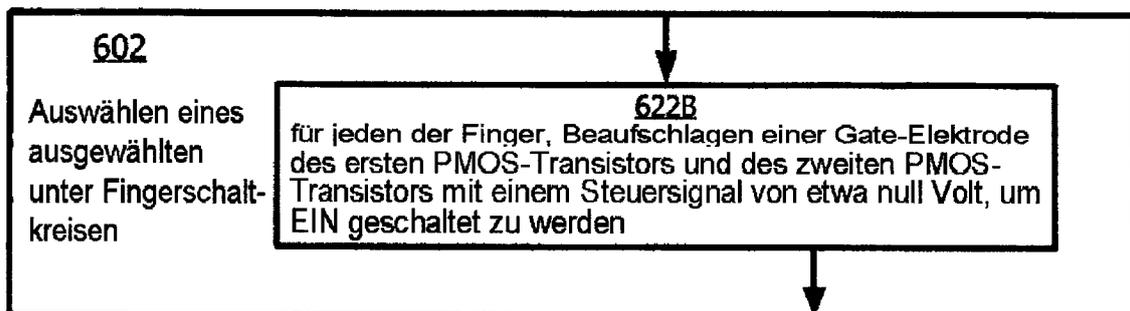


FIG. 6D

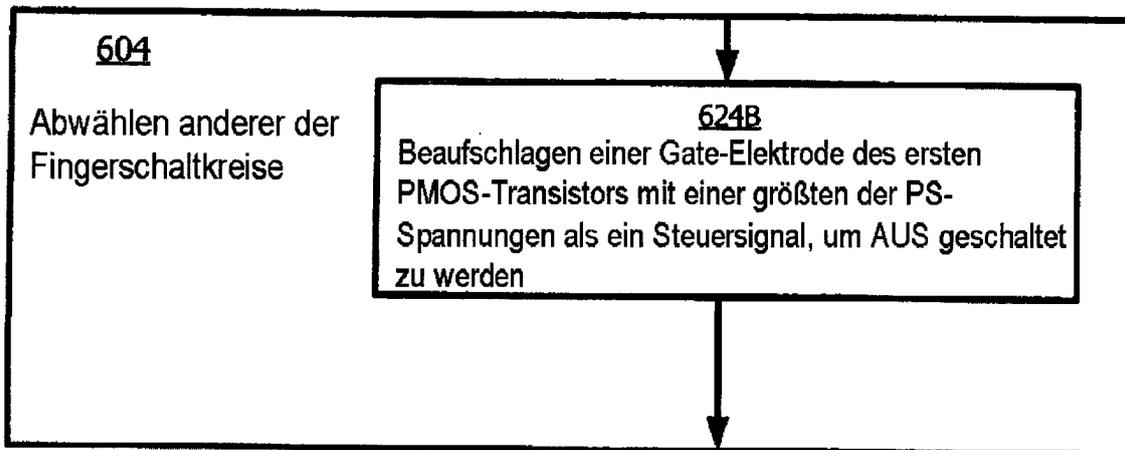


FIG. 6E

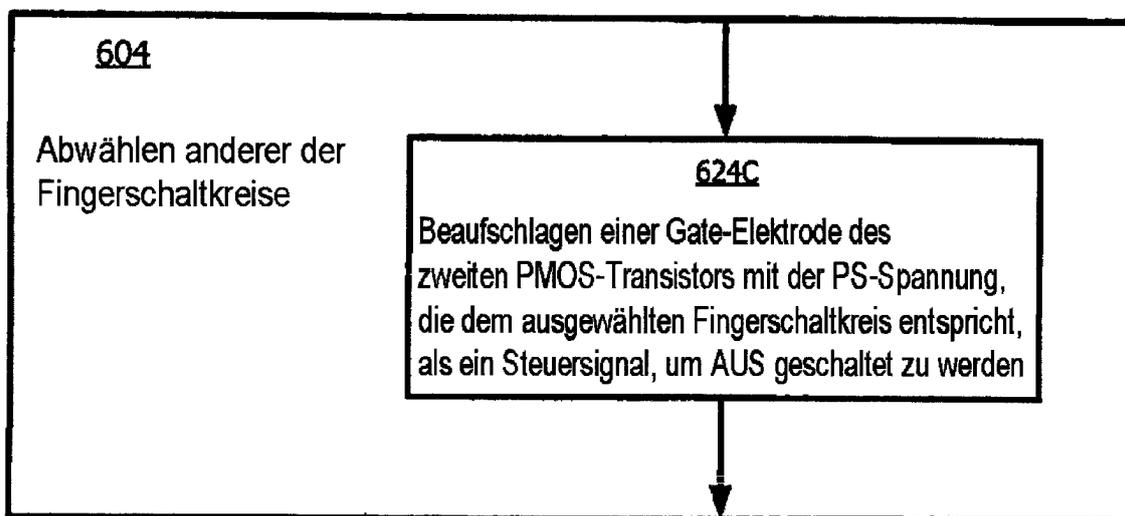


FIG. 6F

700

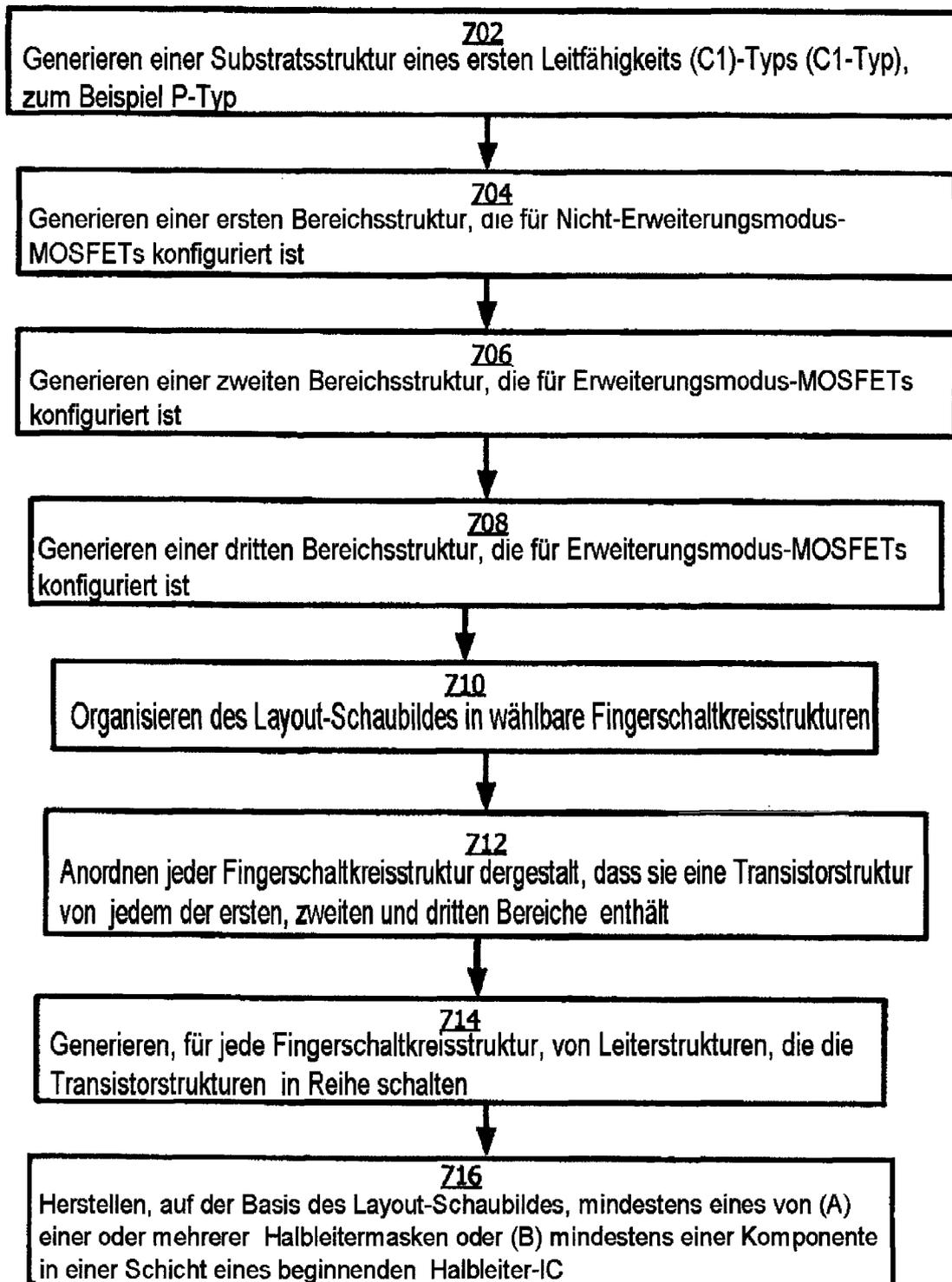


FIG. 7A

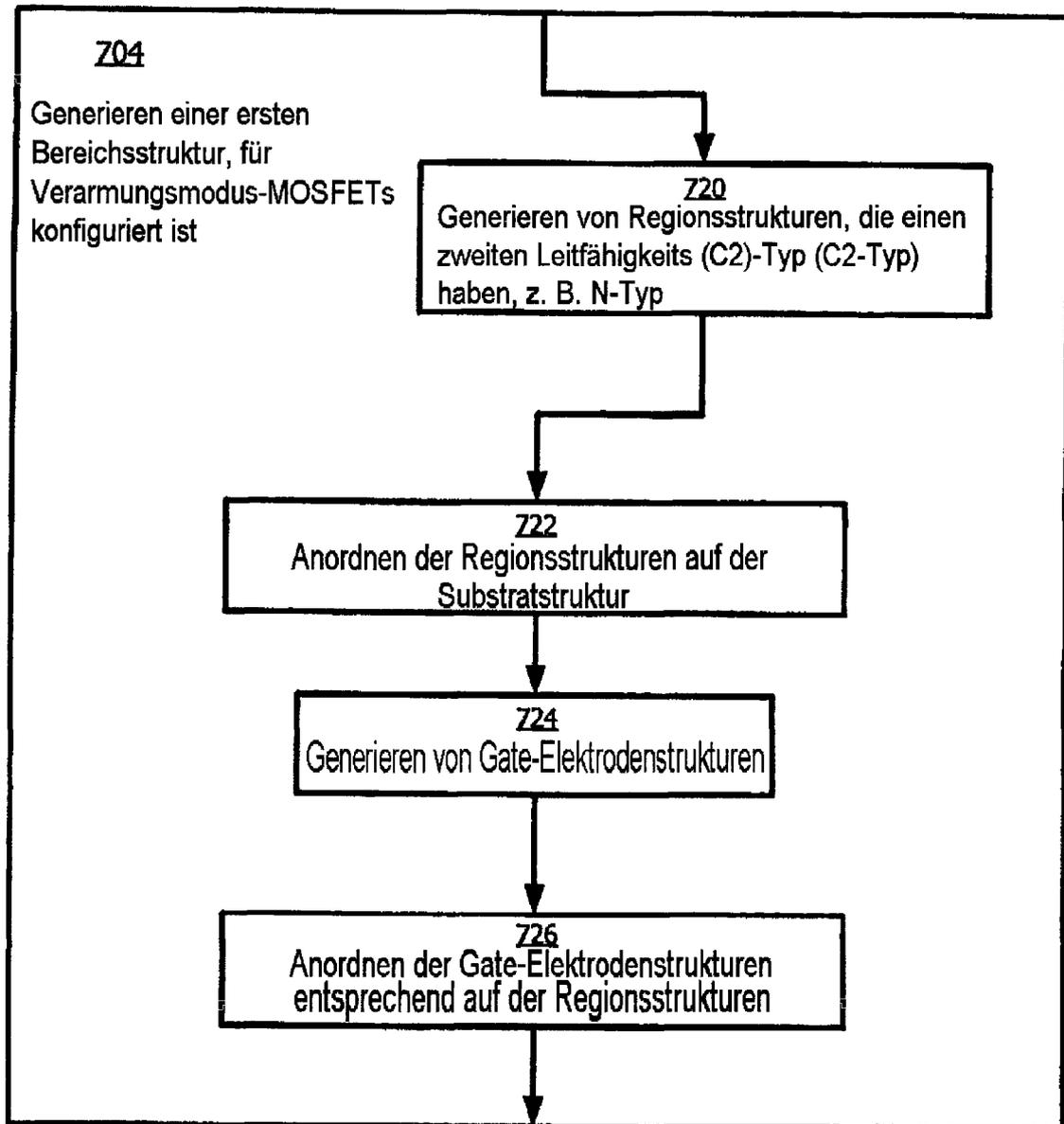


FIG. 7B

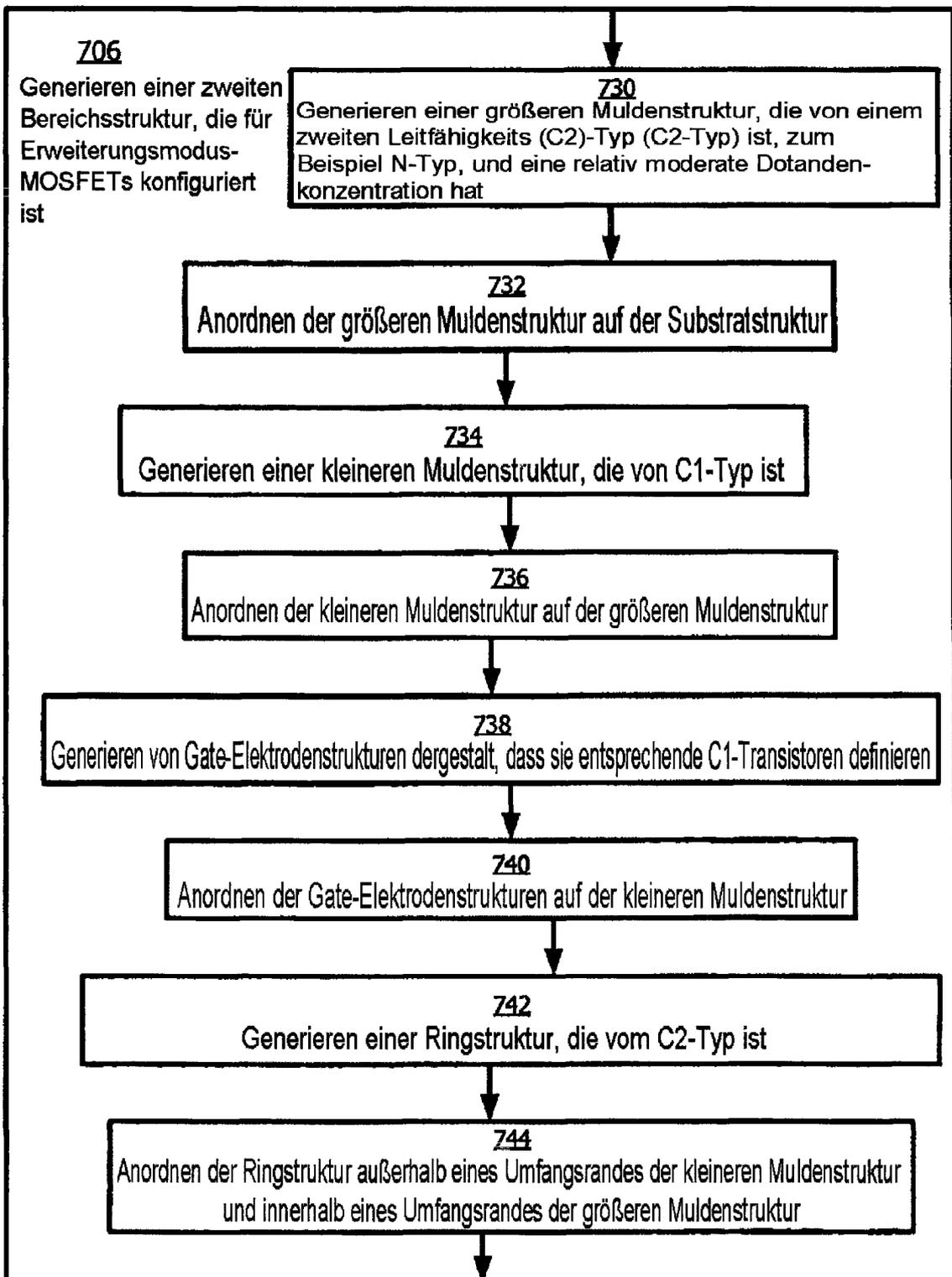


FIG. 7C

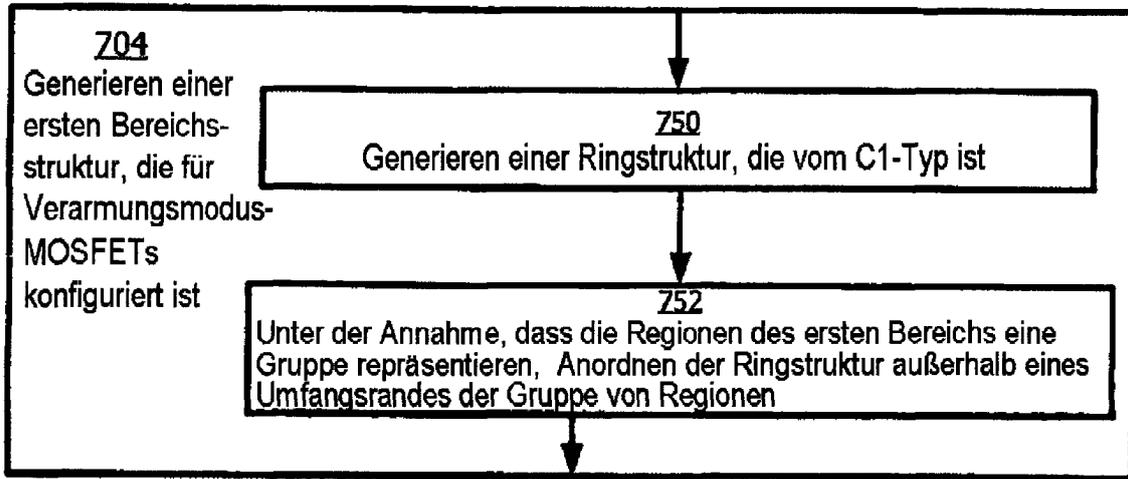


FIG. 7D

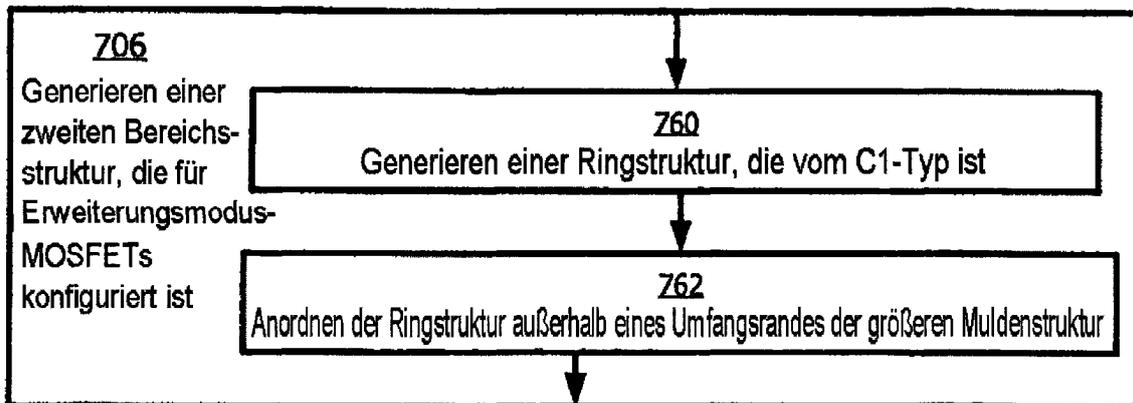


FIG. 7E

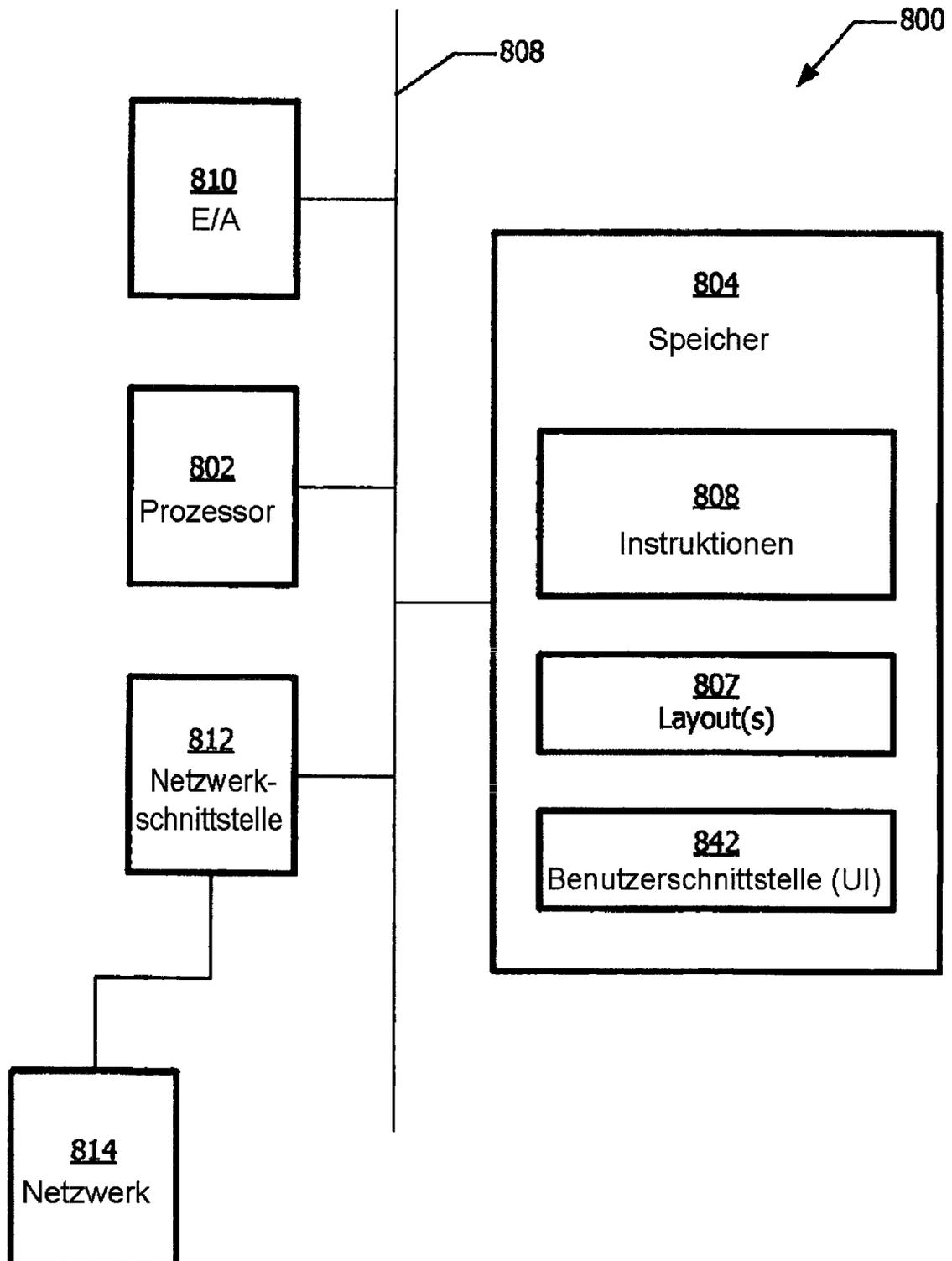


FIG. 8

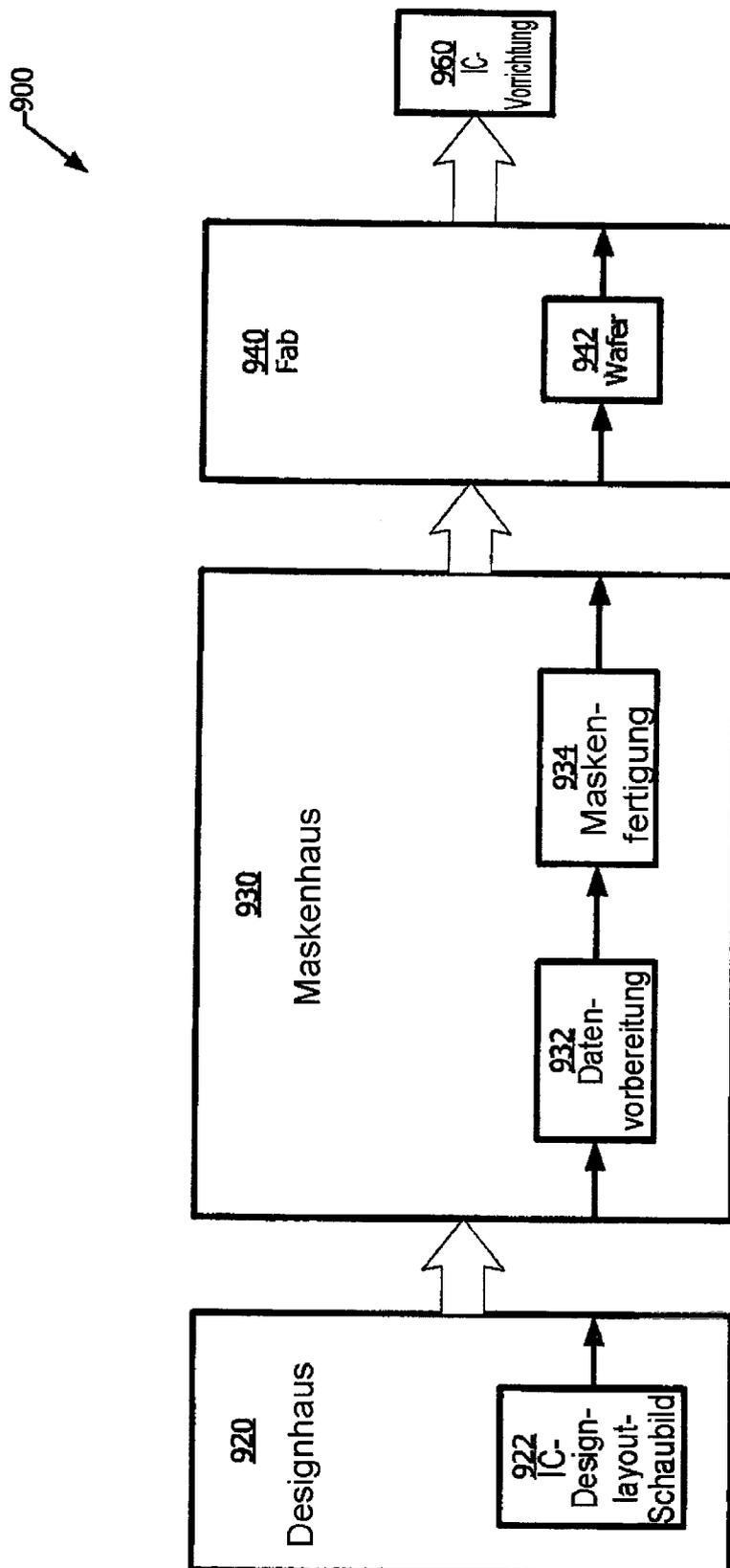


FIG. 9