

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-19851

(P2005-19851A)

(43) 公開日 平成17年1月20日(2005.1.20)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/8238	HO 1 L 27/08 3 2 1 C	5 F 0 4 8
HO 1 L 21/20	HO 1 L 21/20	5 F 0 5 2
HO 1 L 27/092	HO 1 L 27/08 3 2 1 B	5 F 1 4 0
HO 1 L 29/78	HO 1 L 29/78 3 0 1 B	

審査請求 未請求 請求項の数 10 O L (全 14 頁)

(21) 出願番号	特願2003-185154 (P2003-185154)	(71) 出願人	000005049 シャープ株式会社
(22) 出願日	平成15年6月27日 (2003. 6. 27)	(74) 代理人	100065248 弁理士 野河 信太郎
		(72) 発明者	馬場 智也 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
		F ターム (参考)	5F048 AA08 AC03 BA03 BA19 BB06 BB07 BE03 BG14 5F052 JA04 KA01 5F140 AA00 AA05 AB03 AC01 AC28 BA01 BA05 BB01 BB06 BB15 BB18 BC06 BC12 BF01 BF04 BK13 BK21 CB04 CB08

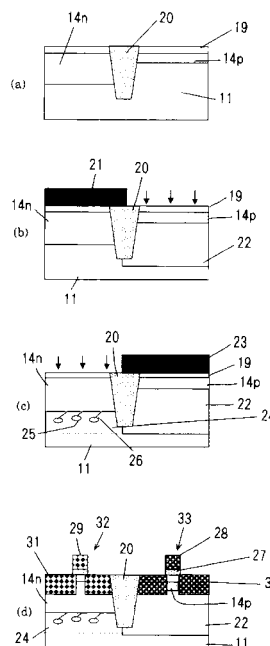
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 1つの基板で、nチャネルMOSFETとpチャネルMOSFETに対して、異なる基板構造を実現して同程度の移動度向上を達成することができる半導体装置及びその製造方法を提供すること。

【解決手段】 シリコン基板11と、このシリコン基板11上に形成された、シリコン基板11と格子定数の異なるシリコンゲルマニウム膜14_p、14_nと、このシリコンゲルマニウム膜14_p上のpチャネルMOSFET形成領域に形成されたpチャネルMOSFET33と、シリコンゲルマニウム膜14_n上のnチャネルMOSFET形成領域に形成されたnチャネルMOSFET32とを備える。pチャネルMOSFET形成領域のシリコンゲルマニウム膜14_pの膜厚が、nチャネルMOSFET形成領域のシリコンゲルマニウム膜14_nの膜厚より薄い半導体装置を提供する。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

シリコン基板と、このシリコン基板上に形成された、シリコン基板と格子定数の異なるシリコンゲルマニウム膜と、このシリコンゲルマニウム膜上の p チャンネル MOS F E T 形成領域に形成された p チャンネル MOS F E T と、シリコンゲルマニウム膜上の n チャンネル MOS F E T 形成領域に形成された n チャンネル MOS F E T とを備え、前記 p チャンネル MOS F E T 形成領域のシリコンゲルマニウム膜の膜厚が、n チャンネル MOS F E T 形成領域のシリコンゲルマニウム膜の膜厚より薄いことを特徴とする半導体装置。

【請求項 2】

シリコン基板における p チャンネル MOS F E T 形成領域の厚みと n チャンネル MOS F E T 形成領域の厚みとの差が、シリコンゲルマニウム膜における n チャンネル MOS F E T 形成領域の膜厚と p チャンネル MOS F E T 形成領域の膜厚との差に略等しい請求項 1 に記載の半導体装置。

【請求項 3】

シリコン基板上に、このシリコン基板と格子定数の異なるシリコンゲルマニウム膜を、その膜厚が n チャンネル MOS F E T 形成領域よりも p チャンネル MOS F E T 形成領域の方を薄くして形成する工程 (A) と、前記シリコンゲルマニウム膜上の n チャンネル MOS F E T 形成領域に n チャンネル MOS F E T を形成し、かつシリコンゲルマニウム膜上の p チャンネル MOS F E T 形成領域に p チャンネル MOS F E T を形成する工程 (B) とを備えることを特徴とする半導体装置の製造方法。

【請求項 4】

工程 (A) は、シリコン基板の全面に、このシリコン基板と格子定数の異なるシリコンゲルマニウム膜を格子整合させながら形成する工程と、前記シリコンゲルマニウム膜上に酸化シリコン膜、窒化シリコン膜を順次形成する工程と、前記シリコンゲルマニウム膜上の p チャンネル MOS F E T 形成領域の前記窒化シリコン膜を除去する工程と、n チャンネル MOS F E T 形成領域に残存する窒化シリコン膜をマスクとして、シリコンゲルマニウム膜の p チャンネル MOS F E T 形成領域を酸化して薄膜化する工程と、シリコンゲルマニウム膜上の n チャンネル MOS F E T 形成領域に残存する窒化シリコン膜を選択的に除去すると共に、シリコンゲルマニウム膜上の前記酸化シリコンを除去する工程と、露出したシリコンゲルマニウム膜の全面にシリコン膜を格子整合させながら形成する工程とを含む請求項 3 に記載の半導体装置の製造方法。

【請求項 5】

工程 (A) は、シリコン基板における n チャンネル MOS F E T 形成領域のみをエッチングして、シリコン基板の表面における n チャンネル MOS F E T 形成領域と p チャンネル MOS F E T 形成領域との間に段差部を形成する工程と、前記段差部を有するシリコン基板の全面にシリコンゲルマニウム膜を格子整合させながら形成する工程と、前記シリコンゲルマニウム膜の全面に酸化シリコン膜、窒化シリコン膜を順次形成する工程と、前記窒化シリコン膜における p チャンネル MOS F E T 形成領域のみを選択的に除去する工程と、n チャンネル MOS F E T 形成領域のみに残存する窒化シリコン膜をマスクとして、シリコンゲルマニウム膜の p チャンネル MOS F E T 形成領域を酸化して薄膜化する工程と、

10

20

30

40

50

nチャネルMOSFET形成領域に残存する窒化シリコン膜を選択的に除去すると共に、シリコンゲルマニウム膜上の前記酸化シリコンを除去する工程と、露出したシリコンゲルマニウム膜の全面にシリコン膜を格子整合させながら形成する工程とを含む請求項3に記載の半導体装置の製造方法。

【請求項6】

工程(A)において、シリコンゲルマニウム膜は、Ge濃度が10~30%、膜厚が200~500nmで形成され、その後、pチャネルMOSFET形成領域が10~100nmの膜厚に薄膜化され、

シリコン膜は、5~30nmの膜厚でシリコンゲルマニウム膜上に形成される請求項4又は5に記載の半導体装置の製造方法。

10

【請求項7】

工程(A)において、シリコン基板をエッチングして形成した段差部を70°以下の傾斜角度で傾斜させる請求項5又は6に記載の半導体装置の製造方法。

【請求項8】

工程(A)において、窒化シリコン膜をマスクとしてシリコンゲルマニウム膜におけるpチャネルMOSFET形成領域を酸化して薄膜化するに際して、700°以下のウエット酸素雰囲気下で酸化する請求項4~7の何れか1つに記載の半導体装置の製造方法。

【請求項9】

工程(A)において、窒化シリコン膜をマスクとしてシリコンゲルマニウム膜におけるpチャネルMOSFET形成領域を酸化して薄膜化するに際して、700°以下のウエット酸素雰囲気下で酸化し、その後、900°以上のウエット酸素雰囲気下で酸化を行い、シリコンゲルマニウム膜の膜厚を5~50nmに薄膜化し、かつpチャネルMOSFET形成領域の半導体膜の濃度を20~40%に高濃度化する請求項4~7の何れか1つに記載の半導体装置の製造方法。

20

【請求項10】

工程(A)は、シリコンゲルマニウム膜の全面にシリコン膜を格子整合させながら形成した後、

シリコンゲルマニウム膜のnチャネルMOSFET形成領域に水素イオンを注入し、その後、600°以上の熱処理を行って、nチャネルMOSFET形成領域のシリコンゲルマニウム膜の歪みを緩和させる工程を含む4~9の何れか1つに記載の半導体装置の製造方法。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置及びその製造方法に関し、より詳細には、シリコン基板を用いた歪みシリコン(Si)と歪みシリコンゲルマニウム(SiGe)を同時に実現させ、高速のCMOSを作製する半導体装置の製造方法及びそれを用いて作製した半導体装置(CMOSトランジスタ)に関する。

【0002】

【従来の技術】

近年、MOSFET(Metal Oxide Semiconductor Field Effect Transistor)の高速化を図るため、これまでのSi-SiO₂からなるMOS界面をチャンネルとする従来型の技術に代えて、Siと格子定数の異なる材料を用いてヘテロ構造を作製し、つまり、Si基板上に、Si基板と格子定数の異なる材料膜をエピタキシャル成長させることにより、その膜に水平方向の圧縮又は引っ張り歪みを与え、その歪みを利用して高移動度トランジスタを作製する研究が盛んに行われている。

40

【0003】

歪みを利用したMOSFETの製造技術の一例として、図5に示す技術が挙げられる。

まず、図5(a)に示すように、Si基板50上に、厚さ300nm程度、Ge濃度20

50

%のSiGe層51をエピタキシャル成長させ、その上に、厚さ20nm程度のSi層52を連続してエピタキシャル成長させる。

次に、上記工程で得られた基板W₅₀のSi層52上の全面に、図5(b)に示すように、水素イオンを注入し、その後、800程度の熱処理を行う。この熱処理により、水素の注入ピーク近傍に発生した水素のマイクロボイド(微小水素析出物)53から伸びた積層欠陥(転位ループ)54が、SiGe層51とSi基板50との界面に到達し、さらに、界面方向に貫通転位を発生させる。この界面方向に貫通転位を発生させることにより、SiGe層51の歪みが緩和される。このとき、歪み緩和されたSiGe層51上のSi層52には、引っ張り歪みが発生し、移動度が高くなる。このようにして得られた基板W₅₁を用いて作製したCMOSトランジスタの場合、nチャネルMOSFETの移動度の向上は顕著に見られるが、pチャネルMOSFETの移動度の向上率はnチャネルMOSFETの半分程度しか得られないことが実験的に確認されている。

10

【0004】

pチャネルMOSFETの移動度を向上させる方法として、図6に示すように、薄い歪みSiGe膜61を用いた方法が提案されている。この方法では、Si基板60上に、Ge濃度20~40%、膜厚10~50nmのSiGe膜61をエピタキシャル成長させ、さらにその上に厚さ20nm程度のSi層62を連続してエピタキシャル成長させることにより、圧縮歪みを持つSiGe膜61を形成でき、このようにして得られた基板W₆₀上にpMOSトランジスタを形成すると歪みSiGe中にチャンネルが形成され、移動度が従来比の約2倍程度得られることが実験的に確認されている。

20

【0005】

【発明が解決しようとする課題】

しかしながら、従来技術で説明した歪みSi基板(図6の基板W₆₀)を用いて通常のCMOSを形成した場合、pチャネルMOSFETの移動度の向上率をnチャネルMOSFETと同等にすることが同一基板では困難であった。同一基板上にpチャネルMOSFETとnチャネルMOSFETの両方を作製した場合の特性は、「VLSI Symposium 2002 10-4」(非特許文献1)に詳しく評価結果が示されている。そのトランジスタの移動度のSiに対する向上率は、図7に示すように、例えばGe濃度30%の歪み緩和したSiGe膜上の歪みSiにチャンネルを形成した場合、低い0.6MV/cmの垂直電界での移動度を見ると、nチャネルMOSFETでは120%の移動度の向上が見られるが、pチャネルMOSFETでは、30%しか向上が見られておらず、この基板を用いて作製したCMOSでは、大きな移動度向上率のアンバランスが生じてしまう。このアンバランスは、CMOSを用いたインバータ回路を設計する場合、nチャネルMOSFETに比してpチャネルMOSFETのチャンネル幅を従来よりも大きくする必要があり、設計上好ましくないので改善が必要である。

30

【0006】

上記課題を解決するためには、pチャネルMOSFETの移動度をnチャネルMOSFETと同等に向上させる必要がある。従来例で説明したとおり、pチャネルMOSFETの移動度を向上させる手法としては、圧縮歪みを持つSiGe膜中にチャンネルを形成する方法がある。例えば、「P. M. Carone, V. Venkataraman and J. C. Sturn, International Electron Devices and Materials, p. 29 (1991)」(非特許文献2)にGe33%の歪みSiGe膜で、約50%程度の移動度向上が得られたことが、報告されている。また、「J. Welser, J. L. Hoyt, S. Takagi and J. F. Gibbons, International Electron Devices and Materials, p. 373 (1994)」(非特許文献3)にはGe20%の歪み緩和したSiGe膜上の引っ張り歪みをもつSi膜中にチャンネルを形成したnチャネルMOSFETで約70%程度の移動度向上が得られている。

40

【0007】

本発明の主な目的の一つは、1つの基板で、nチャネルMOSFETとpチャネルMOS

50

F E Tに対して、異なる基板構造を実現して同程度の移動度向上を達成することができる半導体装置及びその製造方法を提供することにある。

【0008】

【非特許文献1】

V L S I Symposium 2002 10 - 4

【非特許文献2】

P . M . C a r o n e , V . V e n k a t a r a m a n a n d J . C . S t u r n , International Electron devices and Materials , p . 29 (1991)

【非特許文献3】

J . W e l s e r , J . L . H o y t , S . T a k a g i a n d J . F . G i b b o n s , International Electron devices and Materials , p . 373 (1994)

10

【0009】

【課題を解決するための手段】

かくして、本発明によれば、シリコン基板と、このシリコン基板上に形成された、シリコン基板と格子定数の異なるシリコンゲルマニウム膜と、このシリコンゲルマニウム膜上のpチャンネルMOSFET形成領域に形成されたpチャンネルMOSFETと、シリコンゲルマニウム膜上のnチャンネルMOSFET形成領域に形成されたnチャンネルMOSFETとを備え、

20

前記pチャンネルMOSFET形成領域のシリコンゲルマニウム膜の膜厚が、nチャンネルMOSFET形成領域のシリコンゲルマニウム膜の膜厚より薄い半導体装置が提供される。

【0010】

また、本発明は別の観点によれば、シリコン基板上に、このシリコン基板と格子定数の異なるシリコンゲルマニウム膜を、その膜厚がnチャンネルMOSFET形成領域よりもpチャンネルMOSFET形成領域の方を薄くして形成する工程(A)と、

前記シリコンゲルマニウム膜上のnチャンネルMOSFET形成領域にnチャンネルMOSFETを形成し、かつシリコンゲルマニウム膜上のpチャンネルMOSFET形成領域にpチャンネルMOSFETを形成する工程(B)とを備える半導体装置の製造方法を提供することができる。

30

【0011】

本発明によれば、Si基板上に歪構造のSiGe膜を形成した基板を用いて高速MOSFETを形成する場合に、従来問題となっていたCMOSに対する移動度向上率のアンバランスを解消することができ、1つの基板で、nチャンネルMOSFETとpチャンネルMOSFETに対して、異なる基板構造を実現して同程度の移動度向上を達成した半導体装置を得ることができる。また、このような異なる基板構造を有する半導体基板を用いることにより、歪みSiを利用して設計する場合に、従来の設計資産が有効に活用可能となる。

【0012】

本発明に適用される半導体装置としては、少なくともCMOSトランジスタを備える半導体装置であり、CMOSトランジスタの単体、あるいはCMOSトランジスタと抵抗及び容量等の半導体素子を同一基板上に備えた集積回路などを挙げることができる。

40

【0013】

本発明の半導体装置において、CMOSトランジスタは、シリコン基板におけるpチャンネルMOSFET形成領域の厚みとnチャンネルMOSFET形成領域の厚みとの差が、シリコンゲルマニウム膜におけるnチャンネルMOSFET形成領域の膜厚とpチャンネルMOSFET形成領域の膜厚との差に略等しい構造とするのが、表面の平坦化を図る上で好ましい。なお、CMOSトランジスタの具体的構造については後述の実施例で詳しく説明する。

【0014】

本発明の半導体装置の製造方法において、シリコン基板上にシリコンゲルマニウム膜を、

50

その膜厚が n チャンネル MOSFET 形成領域よりも p チャンネル MOSFET 形成領域の方を薄くして形成する上述の工程 (A) としては、以下の 1 2 の方法がある。

【0015】

1 工程 (A) は、シリコン基板の全面に、このシリコン基板と格子定数の異なるシリコンゲルマニウム膜を格子整合させながら形成する工程と、前記シリコンゲルマニウム膜上に酸化シリコン膜、窒化シリコン膜を順次形成する工程と、前記シリコンゲルマニウム膜上の p チャンネル MOSFET 形成領域の前記窒化シリコン膜を除去する工程と、n チャンネル MOSFET 形成領域に残存する窒化シリコン膜をマスクとして、シリコンゲルマニウム膜の p チャンネル MOSFET 形成領域を酸化して薄膜化する工程と、シリコンゲルマニウム膜上の n チャンネル MOSFET 形成領域に残存する窒化シリコン膜を選択的に除去すると共に、シリコンゲルマニウム膜上の前記酸化シリコンを除去する工程と、露出したシリコンゲルマニウム膜の全面にシリコン膜を格子整合させながら形成する工程とを含む。

10

【0016】

2 工程 (A) は、シリコン基板における n チャンネル MOSFET 形成領域のみをエッチングして、シリコン基板の表面における n チャンネル MOSFET 形成領域と p チャンネル MOSFET 形成領域との間に段差部を形成する工程と、前記段差を有するシリコン基板の全面にシリコンゲルマニウム膜を格子整合させながら形成する工程と、前記シリコンゲルマニウム膜の全面に酸化シリコン膜、窒化シリコン膜を順次形成する工程と、前記窒化シリコン膜における p チャンネル MOSFET 形成領域のみを選択的に除去する工程と、n チャンネル MOSFET 形成領域のみに残存する窒化シリコン膜をマスクとして、シリコンゲルマニウム膜の p チャンネル MOSFET 形成領域を酸化して薄膜化する工程と、n チャンネル MOSFET 形成領域に残存する窒化シリコン膜を選択的に除去すると共に、シリコンゲルマニウム膜上の前記酸化シリコンを除去する工程と、露出したシリコンゲルマニウム膜の全面にシリコン膜を格子整合させながら形成する工程とを含む。

20

30

この 2 の方法は、得られた基板の表面を容易に平坦化できる点で、上記 1 の方法よりも好ましい。

【0017】

本発明の上記 1 又は 2 の方法による工程 (A) において、シリコンゲルマニウム膜は、Ge 濃度が 10 ~ 30 %、膜厚が 200 ~ 500 nm で形成され、その後、p チャンネル MOSFET 形成領域が 10 ~ 100 nm の膜厚に薄膜化され、シリコン膜は、5 ~ 30 nm の膜厚でシリコンゲルマニウム膜上に形成されるものとしてもよい。このようにすれば、n チャンネル MOSFET の移動度に p チャンネル MOSFET の移動度が同程度に近づいて向上し、機能性及び信頼性がより優れた CMOS トランジスタを製作可能な基板を得ることができる。

40

なお、シリコンゲルマニウム膜の Ge 濃度が 10 % よりも小さいと歪みが小さいので移動度の向上率が低く、30 % を越えると欠陥なしで、200 nm 以上に成長することは困難である。また、シリコンゲルマニウム膜の膜厚が 200 nm よりも薄いと PN 接合のリーク電流が増え、500 nm より厚いと欠陥なしで成長することが困難である。また、薄膜化された p チャンネル MOSFET 形成領域が 10 nm よりも薄いとその膜厚ばらつきが大きく、100 nm よりも厚いと熱処理により歪み緩和が進行してしまう。また、シリコン

50

膜が5nmよりも薄いと熱処理により下のSiGeからGeが拡散して、表面の移動度が劣化してしまい、30nmよりも厚いと熱処理により歪み緩和してしまう。

【0018】

本発明の上記2の方法による工程(A)において、シリコン基板をエッチングして形成した段差部を70°以下の傾斜角度で傾斜させるようにしてもよい。

このようにすれば、シリコン基板上に均一な厚みで欠陥なくシリコンゲルマニウム膜を成膜することができる。

なお、シリコン基板の段差部の傾斜角度が70°より大きいと、その段差部上にシリコンゲルマニウム膜が側面に形成されにくくなり、段差部に空洞が形成されやすくなり、性能及び信頼性に悪影響を与え易くなる。

10

【0019】

本発明の上記1又は2による工程(A)において、窒化シリコン膜をマスクとしてシリコンゲルマニウム膜におけるpチャンネルMOSFET形成領域を酸化して薄膜化するに際して、700以下のウェット酸素雰囲気下で酸化するようにしてもよい。

さらにその後、900以上のウェット酸素雰囲気下で酸化を行い、シリコンゲルマニウム膜の膜厚を5~50nmに薄膜化し、かつpチャンネルMOSFET形成領域の半導体膜の濃度を20~40%に高濃度化するようにしてもよい。

このようにすれば、SiGeの歪みを大きくできる。

【0020】

本発明の上記1又は2の方法による工程(A)は、シリコンゲルマニウム膜の全

20

面にシリコン膜を格子整合させながら形成した後に、シリコンゲルマニウム膜のnチャンネルMOSFET形成領域に水素イオンを注入し、その後、600以上の熱処理を行って、nチャンネルMOSFET形成領域のシリコンゲルマニウム膜の歪みを緩和させる工程を含むものであってもよい。

このようにすれば、SiGe中の欠陥発生を抑制可能となる。

【0021】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて説明する。なお、本発明は実施の形態に限定されるものではない。

【0022】

30

[実施の形態1]

図1(a)~(d)は本発明の実施の形態1の半導体装置の製造方法を説明する概略工程説明図である。

この実施の形態1では、まず、表面が(100)面を有する通常のSi基板1上の酸化膜を公知の希釈HF溶液を用いて除去した後、図1(a)に示すように、公知のCVD法を用いてSiH₄/GeH₄/H₂ガス雰囲気、400~800、GeH₄の流量比を調整することにより、Ge濃度10~50%(好ましくは10~30%)のSiGe膜2をエピタキシャル成長させる。

【0023】

ところで、SiGe膜2の成長は、Si基板1の表面状態の影響を大きく受けるために、予めH₂ガスのみで800~1000のアニールを行って表面の水素終端化を行った後、公知の技術によりSiH₄/H₂ガス雰囲気中、800~1000でSi膜をSi基板1に対してエピタキシャル成長させる。その後、大気開放せずに、同一反応室内に連続してSiH₄/GeH₄/Heガスを流してSiGe膜2をエピタキシャル成長させる。この時、バッファ層として成長させた上記Si膜は大気開放されておらず、基本的に表面は酸素及びその他の汚染フリーとなっているため、欠陥の少ないSiGe膜2の成長が可能となる。また、SiGe膜2の結晶構造はSiと同じダイヤモンド構造であるが、Geのイオン半径がSiよりも約30%大きいためGe濃度が高くなるほど格子定数が大きくなり、水平方向はSiの格子間隔に整合し、水平方向に収縮歪みを持った形でエピタキシャル成長が進む。成長膜厚が厚くなるに従いSiGe歪みエネルギーは大きくなり、

40

50

歪み緩和のために転位が発生するエネルギー以上になるとSiGe中に転位が形成されてSiGeの歪み緩和が生じる。この転位が発生するためのエネルギーは、堆積温度が高いほど小さくなるので、欠陥発生を防止するためには、できるだけ低温で成長させる必要がある。しかし、温度を400以下に下げると成長速度が急激に低下してくるために、現実的な時間での成長が困難になり、成長速度との兼ね合いで温度を設定する。例えば、ホットウォール型のCVD装置では、20%SiGeの成長は550で数nm/min程度であり、SiGe膜を厚さ300nmにまで成長させるのに数時間程度かかり、これ以上大幅に温度を下げることは現実的ではなくなる。また、例えば、堆積温度を450にすると300nm堆積させるのに1桁程度時間が長くなるので、現実的でなくなる。図2に欠陥が発生しない臨界の膜厚を黒マーカー（丸形、四角形、逆三角形、三角形）で示す（Erich Kasper; 「Silicon Germanium」, p. 17, Inspec Pub. (1994)より）。なお、図2において、丸形、四角形、逆三角形、三角形の各黒マーカーでの成長温度（堆積温度）はそれぞれ550、750、900、950であり、は転位エネルギーを表すファクターである。図2に示すように、成長温度を低くすると臨界の膜厚は厚くできるが、20%SiGe膜では550の成長温度の場合の臨界膜厚は300nmであり、デバイスとして必要な300nmが形成可能である。また、歪みSiGe膜を用いたCMOSの製造工程中に転位が発生しないためには、30%SiGe膜では10nm程度にする必要があることがわかる。

10

【0024】

以上のことより、図1(a)に示したSiGe膜2のエピタキシャル成長に際しては、まずnチャネルMOSFETの形成に必要なGe濃度20%、膜厚300nm、堆積温度550以下で、Si基板1の全面にSiGe膜2を形成する。

20

【0025】

次に、上記工程で形成したSiGe膜2にpチャネルMOSFETのチャネル部とする歪みSiGeを形成する工程を図1(b)、(c)で説明する。

まず、Si基板1上のSiGe膜2の全面に公知のプラズマCVD法で、SiH₄/O₂ガス雰囲気、堆積温度400で膜厚20nmのSiO₂膜3を形成し、続いて、SiH₄/NH₃ガス雰囲気、堆積温度400で膜厚150nmのSiN膜4を形成する。

【0026】

その後、公知のフォトリソグラフィ技術を用いてSiN膜4上に、pチャネルMOSFET形成領域にレジスト開口部を有するレジストパターンを形成し、このレジストパターンをマスクにして公知の反応性イオンを用いたエッチング技術（この場合、リン酸を含むエッチャントを用いたウエットエッチング）によって、pチャネルMOSFET形成領域（図1(b)の右半分）のSiN膜4をエッチング除去する。その後、nチャネルMOSFET形成領域に残存するSiN膜4をマスクとして公知の酸化技術を用いて、O₂/H₂O雰囲気、温度650で、pチャネルMOSFET形成領域におけるSiGe膜2の厚み250nm分を酸化する。なお、図1(b)において、5は選択酸化で形成されたGeを含むSiO₂膜である。この酸化条件では、GeのSiO₂中の拡散よりSiの酸化速度の方が速いために、SiGe中の酸化されないGeがSiO₂中に取り込まれながらSiO₂の酸化が進行する。酸化後のウエハ断面形状は、図1(b)に示すように、SiN膜4でカバーされたnチャネルMOSFET形成領域は酸化されずに、SiN膜4をエッチングしたpチャネルMOSFET形成領域におけるSiGe膜2の残膜の膜厚が50nmになるように設定する。

30

40

【0027】

酸化後、SiN膜4でカバーされた境界は、SiO₂膜3がSiN膜4の下に食い込んだ形状となる。この形状は、一般的にバース・ピーク（鳥のくちばし）と呼ばれ、SiO₂膜5を除去した後にテーパ形状となり、その形状は、酸化温度を変えることにより調整できる。例えば、SiO₂膜3の粘性が発生し始める950以上で酸化を行うと、SiN膜4による応力及び酸化で発生する応力によりSiO₂膜3中の酸素の拡散が抑制され、SiN膜4下の酸化が進行し難くなるので、バースピークの形状はSiN膜4の端部で

50

急峻な形状となる。ここで、SiN膜4の膜厚を薄くしても形状には大きな影響は与えずにSiN膜4下のSiO₂膜3の入りこみ長さに影響を与える。逆に950 以下の粘性が発生しない温度で酸化を行うと、酸化時のSiO₂膜3の膨脹により発生する応力とSiN膜4が弾性変形して持ち上げられる時の応力が釣りあうようにバースピークの形状が形成され、所望の酸化条件を用いて製造上好ましい緩やかなテーパ角度を持つ段差形状を作ることができる。例えば、垂直に近い段差形状の場合、フォトレジストの塗布むらやエッチング残りの問題が生じるので、できるだけテーパ角度は小さくするのが望ましい。

【0028】

次に、nチャネルMOSFET形成領域に残存するSiN膜4を、リン酸を含むエッチャント液を用い、温度100 で公知技術により選択的にエッチング除去し、次いで、pチャネルMOSFET形成領域における膜厚約500nmのSiO₂膜5を希釈HF溶液で除去する。この時、nチャネルMOSFET形成領域に残存する膜厚20nmのSiO₂膜3も除去される。この状態で、nチャネルMOSFET形成領域にGe濃度20%、膜厚300nmの歪みSiGe膜2_nが、pチャネルMOSFET形成領域にGe濃度20%、膜厚50nmの歪みSiGe膜2_pがSi基板1上に250nmの段差をもって形成される(図1(c)参照)。

【0029】

その後、pチャネルMOSFET形成領域の膜厚50nmのSiGe膜2_pのGe濃度20%を30%以上に上げるために、公知の技術を用いて、図1(c)に示すように、温度1000、H₂/O₂ガス雰囲気中で膜厚40nmのSiO₂膜6をSi基板1上に形成する。このとき、pチャネルMOSFET形成領域のSiGe膜2_pはGeがSiGe界面にパイルアップし、酸化されたSiGe膜2_p中のGeがほとんどすべて界面に集まることとなり、界面付近ではGe濃度が20%から30%近くになる。このときの酸化条件は、GeをSiO₂/SiGe界面に押し出すために、950以上の高温で行う必要がある。必要なSiO₂膜6の膜厚は、SiO₂/SiGe界面のGe濃度との兼ね合いで決めるが、SiGe膜2_p中へのGeの拡散もあるので、結果的にはトランジスタ特性より決めることとなる。なお、pチャネルMOSFET形成領域に比してnチャネルMOSFET形成領域のSiGe膜2_nはGe濃度を薄くし、膜厚を厚くするのは、ソース・ドレイン拡散層とSiGe/Si界面下の欠陥とが、SiGe膜厚を薄くすると近づき接合リークが増えるので、膜厚を厚く形成するが、臨界膜厚の関係(図2参照)でGe濃度を高くできないということも一つの理由である。

【0030】

次に、公知の技術により、SiO₂膜6を希釈HF溶液でエッチング除去した後、図1(d)に示すように、公知のCVD法でSiH₄/H₂ガス雰囲気中、温度700~1000でSiGe膜2_n、2_p上に膜厚15nm程度のSi膜7をエピタキシャル成長させる。ここで、Si膜7の堆積膜厚は、後の工程でのGeの表面への拡散影響を防止するためにできるだけ厚い方が望ましいが、nチャネルMOSFET形成領域のSiGe膜2_nは歪み緩和しているために、その上のSi膜7は引っ張り歪みが発生するために、歪み緩和の臨界膜厚以下に設定する必要がある。本実施の形態1のGe濃度20%の場合、15nmが膜厚上限となる。

【0031】

その後は、公知のCMOS製造技術を用いて、図1(d)で示した基板W₁上のnチャネルMOSFET形成領域(SiGe膜2_nの領域)にnチャネルMOSFETを形成し、かつpチャネルMOSFET形成領域(SiGe膜2_pの領域)にpチャネルMOSFETを形成して、CMOSTランジスタを作製する。

【0032】

[実施の形態2]

図3(a)~(e)は本発明の実施の形態2の半導体装置の製造方法を説明する概略工程説明図である。

上述した実施の形態 1 では、図 1 (d) に示した基板 W_1 の表面における n チャンネル MOS F E T 形成領域と p チャンネル MOS F E T 形成領域の間に段差があるため、その後の C M O S 形成工程で平坦化加工等が必要となるため、表面はできるだけ段差が小さい方が望ましい。この実施の形態 2 の製造方法では、C M O S 形成工程に至る前に基板表面の段差をほぼ無くすることが可能となる。

【 0 0 3 3 】

実施の形態 2 では、図 3 (a) に示すように、まず、公知のプラズマ C V D 法で、厚み $600\ \mu\text{m}$ の S i 基板 1 1 上に S i H ₄ / O ₂ ガス雰囲気、温度 4 0 0 で膜厚 2 0 n m の S i O ₂ 膜 1 2 を形成する。続いて、その後公知のフォトリソグラフィ技術を用いて、S i O ₂ 膜 1 2 上の n チャンネル MOS F E T 形成領域にレジスト開口部を有するレジストパターン 1 3 を形成し、レジストパターン 1 3 をマスクとして公知の反応性イオンを用いたエッチング技術によって、n チャンネル MOS F E T 形成領域 (図 3 (a) の左半分) の S i O ₂ 膜 1 2 を除去し、かつ S i 基板 1 1 を膜厚 2 5 0 n m 分除去する。このとき、エッチングによって S i 基板 1 1 の表面における n チャンネル MOS F E T 形成領域と p チャンネル MOS F E T 形成領域との間に段差部が形成される。この段差部の形状は、その後の S i 基板 1 1 上への S i G e 膜 1 4 (図 3 (b) 参照) のエピタキシャル成長のためにテーパ形状にすることが望ましく、さらに望ましくは 7 0 ° 以下の傾斜角度にする。段差部をテーパ形状にするためには等方性のエッチング成分を用いる手法、テーパを有するレジストパターン 1 3 を用いる手法、S i 基板 1 1 とレジストパターン 1 3 のエッチングレート差を小さくして加工する手法、あるいはこれらを組み合わせた手法などがある。

【 0 0 3 4 】

次に、図 3 (b) に示すように、p チャンネル MOS F E T 形成領域のレジストパターン 1 3 を除去した後、残存する S i O ₂ 膜 1 2 を公知の希釈 H F 溶液を用いて除去する。その後、公知の C V D 法を用いて (実施の形態 1 と同様の手法で) 、S i H ₄ / G e H ₄ / H ₂ ガス雰囲気、4 0 0 ~ 8 0 0 、G e H ₄ の流量比を調整することにより、S i 基板 1 1 上に G e 濃度 1 0 ~ 5 0 % の S i G e 膜 1 4 を膜厚 3 0 0 n m でエピタキシャル成長させる。S i G e 膜 1 4 の成長は、S i 基板 1 1 の表面状態の影響を大きく受けるために、予め H ₂ ガスのみで 8 0 0 ~ 1 0 0 0 のアニールを行って S i 基板 1 1 の表面の水素終端化を行った後、公知の技術で、S i H ₄ / H ₂ ガス雰囲気中、8 0 0 ~ 1 0 0 0 で S i 基板 1 1 の表面に S i 膜 (膜厚 1 0 0 n m) をエピタキシャル成長させる。その後、大気開放せずに、同一反応室内に連続して S i H ₄ / G e H ₄ / H e ガスを流して S i 膜を介して S i 基板 1 1 上に S i G e 膜 1 4 をエピタキシャル成長させる。ここで、段差部を有する S i 基板 1 1 上に S i G e 膜 1 4 をエピタキシャル成長するに際して、段差部での S i G e 成長の制御が重要となる。つまり、段差部に S i G e 膜 1 4 が垂直に近い傾斜角度で成長すると、その近傍 (段差部の端部) にファセットと呼ばれる特定の成長面が形成される場合があり、それが形成されると段差部の S i G e 膜 1 4 中に空洞が形成され、その後の工程で問題が発生する可能性が高くなる。したがって、S i G e 膜 1 4 中に空洞が形成されないようにするためには、S i G e 膜 1 4 における段差部の端部の形状は順テーパにする必要がある。

【 0 0 3 5 】

続いて、図 3 (c) に示すように、(実施の形態 1 と同様の手法により) S i G e 膜 1 4 上に膜厚 2 0 n m の S i O ₂ 膜 1 5 及び膜厚 1 5 0 n m の S i N 膜 1 6 を形成し、p チャンネル MOS F E T 形成領域にレジスト開口部を有するレジストパターンを用いて p チャンネル MOS F E T 形成領域の S i N 膜 1 6 を除去する。その後、S i N 膜 1 6 をマスクとして、S i O ₂ 膜 1 5 を介して p チャンネル MOS F E T 形成領域の S i G e 膜 1 4 を選択酸化で膜厚 2 5 0 n m 分酸化する。なお図 3 (c) において、1 7 は選択酸化で形成された G e を含む S i O ₂ 膜である。

【 0 0 3 6 】

その後、図 3 (d) に示すように、(実施の形態 1 と同様に) 、S i N 膜 1 6 及び S i O ₂ 膜 1 5 、1 7 を除去し、その後、S i G e 膜 1 4 を酸化して 2 0 n m の S i O ₂ 膜 1 8

を形成する。これにより、pチャネルMOSFET形成領域のSiGe膜14_pはGeがSiGe界面にパイルアップし、酸化されたSiGe膜14_p中のGeがほとんどすべて界面に集まることとなる。このときの酸化条件は、GeをSiO₂/SiGe界面に押し出すために、950以上の高温で行う必要がある。必用なSiO₂膜18の膜厚は、SiO₂/SiGe界面のGe濃度との兼ね合いで決めるが、SiGe膜14_p中へのGeの拡散もあるので、結果的にはトランジスタ特性より決めることとなる。

【0037】

その後、図3(e)に示すように、公知の技術により、SiO₂膜18を希釈HFで除去した後、公知のCVD法でSiH₄/H₂ガス雰囲気中、700~1000でSiGe膜14_n、14_p上に膜厚15nm程度のSi膜19をエピタキシャル成長させる。

10

【0038】

このようにして形成した基板W₁₁は、Si基板11におけるpチャネルMOSFET形成領域の厚みT_{p1}とnチャネルMOSFET形成領域の厚みT_{n1}との差が、nチャネルMOSFET形成領域のSiGe膜14_nの膜厚T_{n2}とpチャネルMOSFET形成領域のSiGe膜14_pの膜厚T_{p2}との差に略等しくなっている。したがって、基板W₁₁の表面は段差のない平坦面である。

【0039】

[実施の形態3]

図4(a)~(d)は本発明の実施の形態3の半導体装置の製造方法を説明する概略工程説明図である。この実施の形態3では、上述の実施の形態2で作製した半導体基板を用いて、CMOSトランジスタを製造する方法を図4を用いて以下に説明する。なお、ここでは、実施の形態2で作製した基板を用いた例を示すが、実施の形態1で作製した基板を用いた場合もほぼ同様の方法でCMOSトランジスタの作製が可能である。

20

【0040】

まず、実施の形態2で作製した基板(図3(e)参照)を用いて、図4(a)に示すように、公知の素子分離技術により、nチャネルMOSFET形成領域とpチャネルMOSFET形成領域との境界部分にSiO₂からなる素子分離膜20を埋め込み形成する。

【0041】

次に、図4(b)に示すように、公知の技術により、pチャネルMOSFET形成領域にレジスト開口部を有するフォトレジスト21をマスクに、ボロンイオンを注入エネルギー500KeV、注入量 $1 \times 10^{13} \text{ cm}^{-2}$ でSi基板11中に打ち込み、pチャネルMOSFET形成領域にP型高濃度領域(Pウエル)22を形成する。

30

【0042】

その後、図4(c)に示すように、公知の技術により、nチャネルMOSFET形成領域にレジスト開口部を有するレジストパターン23をマスクに、リンイオンを注入エネルギー1.5KeV、注入量 $1 \times 10^{13} \text{ cm}^{-2}$ でSi基板11中に打ち込み、nチャネルMOSFET形成領域にN型高濃度領域(Nウエル)24を形成する。続いて、同一のレジストパターン23をマスクとして、水素イオンを注入エネルギー40KeV、注入量 $1 \times 10^{16} \text{ cm}^{-2}$ で注入し、その後600~1000でアニールを行い、微小水素析出物25を形成し、そこから転位ループ26を発生させる。この転位ループ26がSiGe膜14_nとSi基板11との界面に到達するとミスフィット転位が形成され、SiGeの歪みが緩和される。

40

【0043】

そしてその後、公知のCMOSプロセスを用いてCMOSトランジスタを形成する。CMOSプロセスでは、図4(d)に示すように、まず、ゲート酸化膜27を膜厚2~20nmで形成した後、膜厚200nm程度のポリSi膜を成長させ、異方性の反応性エッチング法により、nチャネルMOSFET形成領域及びpチャネルMOSFET形成領域のそれぞれにゲート電極28、29を形成する。

【0044】

その後、pチャネルMOSFET形成領域が開口したレジストパターンをマスクとして、

50

B⁺F⁺イオンを注入エネルギー40KeV、注入量 $3 \times 10^{15} \text{ cm}^{-2}$ で注入する。また、nチャンネルMOSFET形成領域が開口したレジストパターンをマスクとして、As⁺イオンを注入エネルギー40KeV、注入量 $3 \times 10^{15} \text{ cm}^{-2}$ で注入する。そして、レジストパターンを除去した後、900程度でアニールを行い、pチャンネルMOSFET形成領域及びnチャンネルMOSFET形成領域それぞれにソース・ドレインのP⁺拡散層30とN⁺拡散層31を形成することにより、図4(d)に示す歪みSiをチャンネルとする表面チャンネル型のnチャンネルMOSFET32と歪みSiGeをチャンネルとする埋め込みチャンネル型のpチャンネルMOSFET33が形成される。

【0045】

このようにして形成されたCMOSトランジスタのnチャンネルMOSFET32の移動度の向上率は、「P. M. Carone, V. Venkataraman and J. C. Sturn, International Electron devices and Materials, p. 29 (1991)」によるとGe30%程度の歪みSiGeで、約50%程度の移動度向上が得られ、一方pチャンネルMOSFET33の移動度の向上率は、「J. Welser, J. L. Hoyt, S. Takagi and J. F. Gibbons, International Electron devices and Materials, p. 373 (1994)」によるとGe20%の歪み緩和したSiGe上の引っ張り歪みをもつSi中にチャンネルを形成したpチャンネルMOSFETで約70%程度の移動度向上が得られ、nチャンネルMOSFET32に対してpチャンネルMOSFET33の移動度がほぼ同程に近づくよう向上することが達成可能となる。

【0046】

【発明の効果】

本発明によれば、Si基板に歪構造のSiGe膜を形成した基板を用いて高速MOSFETを形成する場合に、従来問題となっていたCMOSに対する移動度向上率のアンバランスを解消することができ、1つの基板で、nチャンネルMOSFETとpチャンネルMOSFETに対して、異なる基板構造を実現して同程度の移動度向上を達成した半導体装置を得ることができる。また、このような異なる基板構造を有する半導体基板を用いることにより、歪みSiを利用して設計する場合に、従来の設計資産が有効に活用可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態1の半導体装置の製造方法を説明する概略工程説明図である。

【図2】Si基板にSiGe膜をエピタキシャル成長した場合の臨界膜厚の十速値と計算値を示すグラフ図である。

【図3】本発明の実施の形態2の半導体装置の製造方法を説明する概略工程説明図である。

【図4】本発明の実施の形態3の半導体装置の製造方法を説明する概略工程説明図である。

【図5】従来例1の半導体装置の製造方法を説明するための概略工程説明図である。

【図6】従来例2の半導体装置の製造方法を説明するための概略工程説明図である。

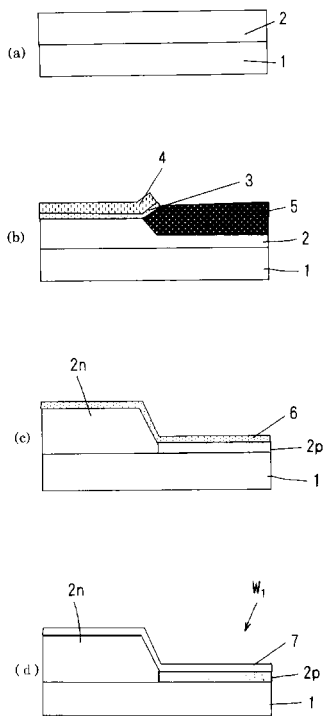
【図7】従来例1と同等の歪みSi基板を用いて作製したCMOSトランジスタの移動度のSiに対する向上率のGe濃度依存性を示すグラフ図である。

【符号の説明】

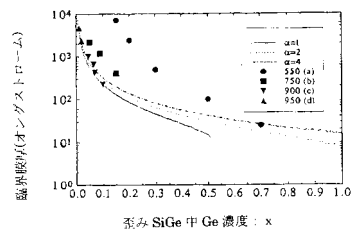
- 1、11 シリコン基板
- 2、14 シリコンゲルマニウム膜
- 3、15 酸化シリコン膜
- 4、16 窒化シリコン膜
- 7、19 シリコン膜
- 32 nチャンネルMOSFET
- 33 pチャンネルMOSFET

T_{n2} 、 T_{p2} 膜厚
 T_{n1} 、 T_{p1} 厚み
傾斜角度

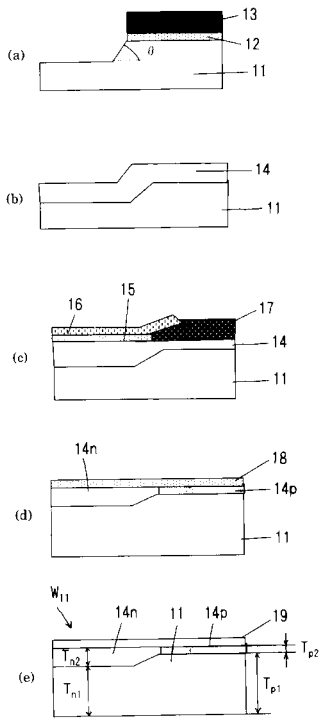
【図1】



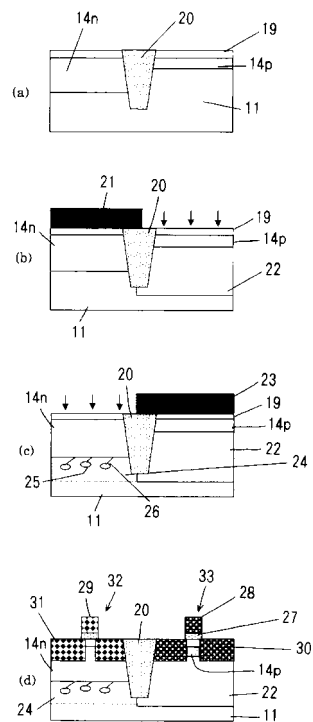
【図2】



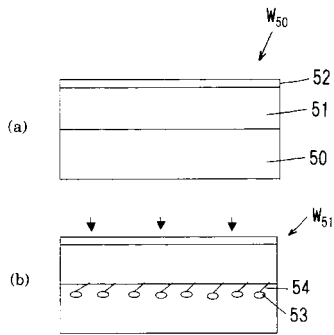
【 図 3 】



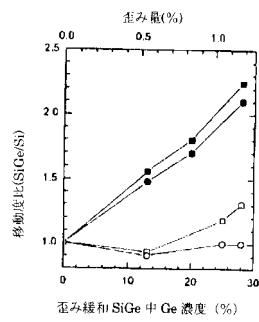
【 図 4 】



【 図 5 】



【 図 7 】



【 図 6 】

