

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6854598号
(P6854598)

(45) 発行日 令和3年4月7日(2021.4.7)

(24) 登録日 令和3年3月18日(2021.3.18)

(51) Int.Cl.	F I
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 7 D
HO 1 L 29/739 (2006.01)	HO 1 L 29/78 6 5 5 D
	HO 1 L 29/78 6 5 3 A
	HO 1 L 29/78 6 5 2 M
	HO 1 L 29/78 6 5 2 Q
請求項の数 16 (全 20 頁) 最終頁に続く	

(21) 出願番号	特願2016-134335 (P2016-134335)	(73) 特許権者	000116024 ローム株式会社 京都府京都市右京区西院溝崎町2 1 番地
(22) 出願日	平成28年7月6日(2016.7.6)	(74) 代理人	110002310 特許業務法人あい特許事務所
(65) 公開番号	特開2018-6648 (P2018-6648A)	(72) 発明者	新庄 康平 京都市右京区西院溝崎町2 1 番地 ローム株式会社内
(43) 公開日	平成30年1月11日(2018.1.11)	審査官	杉山 芳弘
審査請求日	令和1年6月21日(2019.6.21)		
最終頁に続く			

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第 1 主面およびその反対側の第 2 主面を有する半導体層と、
 前記半導体層の前記第 1 主面側の表層部に形成された第 1 導電型のチャンネル領域と、
 前記チャンネル領域の表層部に形成された第 2 導電型のエミッタ領域と、
 前記チャンネル領域と電気的に接続されるように、前記チャンネル領域に対して前記半導体層の第 2 主面側に形成された第 2 導電型のドリフト領域と、
 前記ドリフト領域と電気的に接続されるように、前記半導体層の第 2 主面側の表層部に形成された第 1 導電型のコレクタ領域および第 2 導電型のカソード領域と、
 少なくとも前記チャンネル領域と絶縁膜を挟んで対向するゲート電極とを含み、
 前記カソード領域は、前記コレクタ領域内を引き回されたライン状に延びる区域を含み

10

、
 前記半導体層の前記第 2 主面には、前記コレクタ領域のみが形成された第 1 領域と、前記コレクタ領域および前記カソード領域が形成された第 2 領域とが設定されており、
 前記第 1 領域は、平面視において前記半導体層の前記第 2 主面の中央部に設定されていることを特徴とする、半導体装置。

【請求項 2】

第 1 主面およびその反対側の第 2 主面を有する半導体層と、
 前記半導体層の前記第 1 主面側の表層部に形成された第 1 導電型のチャンネル領域と、
 前記チャンネル領域の表層部に形成された第 2 導電型のエミッタ領域と、

20

前記チャンネル領域と電氣的に接続されるように、前記チャンネル領域に対して前記半導体層の第2主面側に形成された第2導電型のドリフト領域と、

前記ドリフト領域と電氣的に接続されるように、前記半導体層の第2主面側の表層部に形成された第1導電型のコレクタ領域および第2導電型のカソード領域と、

少なくとも前記チャンネル領域と絶縁膜を挟んで対向するゲート電極とを含み、

前記カソード領域は、前記コレクタ領域内を引き回されたライン状に延びる区域を含み、

前記カソード領域が、前記半導体層の前記第2主面側の表層部に形成された領域と、形成されていない領域とを有し、前記第2主面に対して不均等なパターン（配置）で形成されている、

前記半導体層の前記第2主面には、前記コレクタ領域のみが形成された第1領域と、前記コレクタ領域および前記カソード領域が形成された第2領域とが設定されており、

前記第1領域は、平面視において前記半導体層の前記第2主面の中央部に設定されていることを特徴とする、半導体装置。

【請求項3】

第1主面およびその反対側の第2主面を有する半導体層と、

前記半導体層の前記第1主面側の表層部に形成された第1導電型のチャンネル領域と、

前記チャンネル領域の表層部に形成された第2導電型のエミッタ領域と、

前記チャンネル領域と電氣的に接続されるように、前記チャンネル領域に対して前記半導体層の第2主面側に形成された第2導電型のドリフト領域と、

前記ドリフト領域と電氣的に接続されるように、前記半導体層の第2主面側の表層部に形成された第1導電型のコレクタ領域および第2導電型のカソード領域と、

少なくとも前記チャンネル領域と絶縁膜を挟んで対向するゲート電極とを含み、

前記カソード領域は、前記コレクタ領域内を引き回されたライン状に延びる区域を含み、

前記半導体層の前記第2主面には、前記コレクタ領域のみが形成された第1領域と、前記コレクタ領域および前記カソード領域が形成された第2領域とが設定されており、

前記第1領域は、平面視において前記半導体層の前記第2主面の周縁部に設定されている、

前記ゲート電極に電氣的に接続されるように、前記半導体層の前記第1主面上に配置されたゲートパッドをさらに含み、

前記第1領域が、前記ゲートパッドの直下に設定されている、半導体装置。

【請求項4】

第1主面およびその反対側の第2主面を有する半導体層と、

前記半導体層の前記第1主面側の表層部に形成された第1導電型のチャンネル領域と、

前記チャンネル領域の表層部に形成された第2導電型のエミッタ領域と、

前記チャンネル領域と電氣的に接続されるように、前記チャンネル領域に対して前記半導体層の第2主面側に形成された第2導電型のドリフト領域と、

前記ドリフト領域と電氣的に接続されるように、前記半導体層の第2主面側の表層部に形成された第1導電型のコレクタ領域および第2導電型のカソード領域と、

少なくとも前記チャンネル領域と絶縁膜を挟んで対向するゲート電極とを含み、

前記カソード領域は、前記コレクタ領域内を引き回されたライン状に延びる区域を含み、

前記カソード領域が、前記半導体層の前記第2主面側の表層部に形成された領域と、形成されていない領域とを有し、前記第2主面に対して不均等なパターン（配置）で形成されている、

前記半導体層の前記第2主面には、前記コレクタ領域のみが形成された第1領域と、前記コレクタ領域および前記カソード領域が形成された第2領域とが設定されており、

前記第1領域は、平面視において前記半導体層の前記第2主面の周縁部に設定されている、

10

20

30

40

50

前記ゲート電極に電氣的に接続されるように、前記半導体層の前記第1主面上に配置されたゲートパッドをさらに含み、

前記第1領域が、前記ゲートパッドの直下に設定されている、半導体装置。

【請求項5】

前記ゲート電極に電氣的に接続されるように、前記半導体層の前記第1主面上に配置されたゲートパッドをさらに含み、

前記第1領域が、前記ゲートパッドの直下に設定されている、請求項1または2に記載の半導体装置。

【請求項6】

第1主面およびその反対側の第2主面を有する半導体層と、

前記半導体層の前記第1主面側の表層部に形成された第1導電型のチャンネル領域と、

前記チャンネル領域の表層部に形成された第2導電型のエミッタ領域と、

前記チャンネル領域と電氣的に接続されるように、前記チャンネル領域に対して前記半導体層の第2主面側に形成された第2導電型のドリフト領域と、

前記ドリフト領域と電氣的に接続されるように、前記半導体層の第2主面側の表層部に形成された第1導電型のコレクタ領域および第2導電型のカソード領域と、

少なくとも前記チャンネル領域と絶縁膜を挟んで対向するゲート電極とを含み、

前記カソード領域は、前記コレクタ領域内を引き回されたライン状に延びる区域を含み

、
前記ゲート電極と電氣的に接続されるように、前記半導体層の前記第1主面上に配置されたゲートパッドをさらに含み、

前記カソード領域は、平面視において前記ゲートパッドが形成された領域外の領域に形成されている、半導体装置。

【請求項7】

第1主面およびその反対側の第2主面を有する半導体層と、

前記半導体層の前記第1主面側の表層部に形成された第1導電型のチャンネル領域と、

前記チャンネル領域の表層部に形成された第2導電型のエミッタ領域と、

前記チャンネル領域と電氣的に接続されるように、前記チャンネル領域に対して前記半導体層の第2主面側に形成された第2導電型のドリフト領域と、

前記ドリフト領域と電氣的に接続されるように、前記半導体層の第2主面側の表層部に形成された第1導電型のコレクタ領域および第2導電型のカソード領域と、

少なくとも前記チャンネル領域と絶縁膜を挟んで対向するゲート電極とを含み、

前記カソード領域は、前記コレクタ領域内を引き回されたライン状に延びる区域を含み

、
前記カソード領域が、前記半導体層の前記第2主面側の表層部に形成された領域と、形成されていない領域とを有し、前記第2主面に対して不均等なパターン（配置）で形成されていて、

前記ゲート電極と電氣的に接続されるように、前記半導体層の前記第1主面上に配置されたゲートパッドをさらに含み、

前記カソード領域は、平面視において前記ゲートパッドが形成された領域外の領域に形成されている、半導体装置。

【請求項8】

第1主面およびその反対側の第2主面を有する半導体層と、

前記半導体層の前記第1主面側の表層部に形成された第1導電型のチャンネル領域と、

前記チャンネル領域の表層部に形成された第2導電型のエミッタ領域と、

前記チャンネル領域と電氣的に接続されるように、前記チャンネル領域に対して前記半導体層の第2主面側に形成された第2導電型のドリフト領域と、

前記ドリフト領域と電氣的に接続されるように、前記半導体層の第2主面側の表層部に形成された第1導電型のコレクタ領域および第2導電型のカソード領域と、

少なくとも前記チャンネル領域と絶縁膜を挟んで対向するゲート電極とを含み、

10

20

30

40

50

前記カソード領域は、前記コレクタ領域内を引き回されたライン状に延びる区域を含み

、
前記カソード領域は、平面視螺旋状に形成された前記ライン状のパターンを含む、半導体装置。

【請求項 9】

第 1 主面およびその反対側の第 2 主面を有する半導体層と、

前記半導体層の前記第 1 主面側の表層部に形成された第 1 導電型のチャンネル領域と、

前記チャンネル領域の表層部に形成された第 2 導電型のエミッタ領域と、

前記チャンネル領域と電氣的に接続されるように、前記チャンネル領域に対して前記半導体層の第 2 主面側に形成された第 2 導電型のドリフト領域と、

前記ドリフト領域と電氣的に接続されるように、前記半導体層の第 2 主面側の表層部に形成された第 1 導電型のコレクタ領域および第 2 導電型のカソード領域と、

少なくとも前記チャンネル領域と絶縁膜を挟んで対向するゲート電極とを含み、

前記カソード領域は、前記コレクタ領域内を引き回されたライン状に延びる区域を含み

、

前記カソード領域が、前記半導体層の前記第 2 主面側の表層部に形成された領域と、形成されていない領域とを有し、前記第 2 主面に対して不均等なパターン（配置）で形成されている、

前記カソード領域は、平面視螺旋状に形成された前記ライン状のパターンを含む、半導体装置。

【請求項 10】

第 1 主面およびその反対側の第 2 主面を有する半導体層と、

前記半導体層の前記第 1 主面側の表層部に形成された第 1 導電型のチャンネル領域と、

前記チャンネル領域の表層部に形成された第 2 導電型のエミッタ領域と、

前記チャンネル領域と電氣的に接続されるように、前記チャンネル領域に対して前記半導体層の第 2 主面側に形成された第 2 導電型のドリフト領域と、

前記ドリフト領域と電氣的に接続されるように、前記半導体層の第 2 主面側の表層部に形成された第 1 導電型のコレクタ領域および第 2 導電型のカソード領域と、

少なくとも前記チャンネル領域と絶縁膜を挟んで対向するゲート電極とを含み、

前記カソード領域は、前記コレクタ領域内を引き回されたライン状に延びる区域を含み

、

前記半導体層の前記第 2 主面には、前記コレクタ領域のみが形成された第 1 領域と、前記コレクタ領域および前記カソード領域が形成された第 2 領域とが設定されており、

前記第 1 領域は、平面視において前記半導体層の前記第 2 主面の周縁部に設定されている、

前記カソード領域は、平面視螺旋状に形成された前記ライン状のパターンを含む、半導体装置。

【請求項 11】

前記カソード領域は、平面視螺旋状に形成された前記ライン状のパターンを含む、請求項 1、3、6 または 7 に記載の半導体装置。

【請求項 12】

前記カソード領域の前記ライン状のパターンは、第 1 方向に沿って延びる第 1 ラインと、前記第 1 方向と交差する第 2 方向に沿って延びる第 2 ラインとを含む、請求項 1 ~ 11 のいずれか一項に記載の半導体装置。

【請求項 13】

前記第 1 ラインは、前記第 2 方向に沿って間隔を空けて複数形成されており、

前記第 2 ラインは、前記第 2 方向に隣り合う前記複数の第 1 ライン同士を接続するように複数形成されている、請求項 12 に記載の半導体装置。

【請求項 14】

前記半導体層には、アクティブ領域が設定されており、

10

20

30

40

50

前記コレクタ領域および前記カソード領域は、前記アクティブ領域内に形成されており

、
平面視において、前記アクティブ領域の面積 S_A に対する前記カソード領域の面積 S_K の比 S_K / S_A は、前記アクティブ領域の面積 S_A に対する前記コレクタ領域の面積 S_C の比 S_C / S_A よりも小さい、請求項 1 ~ 13 のいずれか一項に記載の半導体装置。

【請求項 15】

前記アクティブ領域の面積 S_A に対する前記カソード領域の面積 S_K の比 S_K / S_A が、0.1 以下である、請求項 14 に記載の半導体装置。

【請求項 16】

前記コレクタ領域および前記カソード領域と電氣的に接続されるように、前記半導体層の前記第 2 主面側に配置されたコレクタ電極をさらに含む、請求項 1 ~ 15 のいずれか一項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関する。

【背景技術】

【0002】

特許文献 1 の図 2 には、IGBT (Insulated Gate Bipolar Transistor: 絶縁ゲートバイポーラトランジスタ) およびダイオードを含む半導体装置の一例として、RC (Reverse Conducting) - IGBT と称される逆導電絶縁ゲートバイポーラトランジスタが開示されている。

特許文献 1 の図 2 に係る逆導電絶縁ゲートバイポーラトランジスタは、半導体層を備えている。半導体層の表面側の表層部には、p 型のチャネル領域が形成されている。チャネル領域の表層部には、n 型のエミッタ領域が形成されている。チャネル領域に対して半導体層の裏面側には、チャネル領域と電氣的に接続されるように、n 型のドリフト領域が形成されている。半導体層の裏面側の表層部には、ドリフト領域と電氣的に接続されるように p 型のコレクタ領域および複数の n 型のカソード領域が形成されている。複数の n 型のカソード領域は、半導体層の裏面に対して、一方方向および当該一方方向の直交方向に沿って間隔を空けて行列状に規則的な配列で形成されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2010 - 263215 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献 1 の図 2 に開示された構成では、複数のカソード領域の平面視面積を増加させると半導体装置のピーク順方向サージ電流 I_{FSM} に対する耐量であるピーク順方向サージ電流耐量が向上するという傾向がある。その一方で、複数のカソード領域の平面視面積を減少させると半導体装置のピーク順方向サージ電流耐量が低下するという傾向がある。つまり、特許文献 1 の図 2 に開示された構成では、複数のカソード領域の平面視面積と半導体装置のピーク順方向サージ電流耐量との間に大凡リニアな関係が成立する。

【0005】

したがって、複数のカソード領域の平面視面積を調整したとしても、結果として前記リニアな関係の中でしか半導体装置のピーク順方向サージ電流耐量を調整することができないため、設計の自由度が低く、また、当該リニアな関係から切り離して半導体装置のピーク順方向サージ電流耐量を調整することが困難であるという問題がある。

そこで、本発明は、コレクタ領域およびカソード領域を備えた構成において、設計の自由度を高めることができると同時に、ピーク順方向サージ電流耐量の向上を図ることがで

10

20

30

40

50

きる半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明の半導体装置は、第1主面およびその反対側の第2主面を有する半導体層と、前記半導体層の前記第1主面側の表層部に形成された第1導電型のチャンネル領域と、前記チャンネル領域の表層部に形成された第2導電型のエミッタ領域と、前記チャンネル領域と電氣的に接続されるように、前記チャンネル領域に対して前記半導体層の第2主面側に形成された第2導電型のドリフト領域と、前記ドリフト領域と電氣的に接続されるように、前記半導体層の第2主面側の表層部に形成された第1導電型のコレクタ領域および第2導電型のカソード領域と、少なくとも前記チャンネル領域と絶縁膜を挟んで対向するゲート電極とを含み、前記カソード領域が、連続的に引き回されたライン状のパターンを含むことを特徴とする。

10

【発明の効果】

【0007】

本発明の半導体装置は、カソード領域が連続的に引き回されたライン状のパターンを含む。これにより、カソード領域の平面視面積と半導体装置の耐圧との間にリニアな関係が成立する従来の半導体装置と異なり、当該リニアな関係から切り離して半導体装置の耐圧を高めることができる。しかも、半導体層の第2主面側においてカソード領域を引き回す領域を調整することにより、半導体装置の耐圧を容易に調整することもできる。よって、設計の自由度を高めることができると同時に、耐圧の向上を図ることができる構造の半導体装置を提供できる。

20

【図面の簡単な説明】

【0008】

【図1】図1は、本発明の第1実施形態に係る半導体装置の半導体基板を表面側から見た模式的な上面図である。

【図2】図2は、図1の二点鎖線IIにより取り囲まれた領域の模式的な一部切欠き斜視図である。

【図3】図3は、図1の半導体装置の電氣的構造を示す回路図である。

【図4】図4は、図1の半導体装置の半導体基板を裏面側から見た模式的な底面図である。

30

【図5】図5は、参考例に係る半導体装置の半導体基板を裏面側から見た模式的な底面図である。

【図6】図6は、第1実施形態に係る半導体装置のピーク順方向サージ電流および参考例に係る半導体装置のピーク順方向サージ電流のシミュレーション結果を示すグラフである。

【図7】図7は、第1実施形態に係る半導体装置において、コレクタ電極およびエミッタ電極間にコレクタ-エミッタ電圧を印加してIGBTとして動作させたときの、コレクタ電流のシミュレーション結果を示すグラフである。

【図8】図8は、第1実施形態に係る半導体装置において、コレクタ電極およびエミッタ電極間に順方向電圧を印加して還流ダイオードとして動作させたときの、順方向電流のシミュレーション結果を示すグラフである。

40

【図9】図9は、本発明の第2実施形態に係る半導体装置の模式的な断面図である。

【図10】図10は、半導体基板を裏面側から見た模式的な底面図であって、カソード領域の第1変形例を示す図である。

【図11】図11は、半導体基板を裏面側から見た模式的な底面図であって、カソード領域の第2変形例を示す図である。

【図12】図12は、半導体基板を裏面側から見た模式的な底面図であって、カソード領域の第3変形例を示す図である。

【発明を実施するための形態】

【0009】

50

以下では、本発明の実施形態を、添付図面を参照して詳細に説明する。

< 第 1 実施形態 >

図 1 は、本発明の第 1 実施形態に係る半導体装置 1 の半導体基板 2 を表面 2 a 側から見た模式的な上面図である。図 2 は、図 1 の二点鎖線 II により取り囲まれた領域の模式的な一部切欠き斜視図である。図 3 は、図 1 の半導体装置 1 の電氣的構造を示す回路図である。

【 0 0 1 0 】

本実施形態に係る半導体装置 1 は、I G B T (Insulated Gate Bipolar Transistor : 絶縁ゲートバイポーラトランジスタ) および還流ダイオード (Free Wheeling Diode) を含む R C (Reverse Conducting) - I G B T (逆導電絶縁ゲートバイポーラトランジスタ) を備えている。図 1 および図 2 を参照して、半導体装置 1 は、本発明の半導体層の一例としての半導体基板 2 を含む。半導体基板 2 は、本実施形態では、F Z (Floating Zone) 法によって形成されたシリコン製の F Z 基板である。半導体基板 2 は、平面視四角形状のチップ形状に形成されており、表面 2 a と、その反対側の裏面 2 b と、表面 2 a および裏面 2 b を接続する側面 2 c を含む。

10

【 0 0 1 1 】

半導体基板 2 には、I G B T の一部および還流ダイオードの一部が形成されるアクティブ領域 3 と、その外側の外方領域 4 とが設定されている。アクティブ領域 3 は、本実施形態では、半導体基板 2 の内方領域において、半導体基板 2 の各側面 2 c に平行な 4 辺を有する平面視四角形状に設定されている。外方領域 4 は、アクティブ領域 3 を取り囲むように平面視四角環状に設定されている。

20

【 0 0 1 2 】

半導体基板 2 の表面 2 a 上には、アクティブ領域 3 に電力を供給するための表面電極 5 が形成されている。この表面電極 5 には、平面視においてアクティブ領域 3 の周囲に沿って形成されたゲート電極 6 と、アクティブ領域 3 を被覆するように形成されたエミッタ電極 7 とが含まれる。

ゲート電極 6 は、本実施形態では、ゲートフィンガー 8 とゲートパッド 9 とを含む。ゲートフィンガー 8 は、アクティブ領域 3 を取り囲むように外方領域 4 に配置されており、半導体基板 2 の各側面 2 c に沿って伸びる平面視四角環状に形成されている。ゲートフィンガー 8 は、アクティブ領域 3 を 3 方向から挟み込むように、半導体基板 2 の三つの側面 2 c に沿って形成されていてもよい。また、ゲートフィンガー 8 は、アクティブ領域 3 のサイズに応じて、各側面 2 c 側からアクティブ領域 3 内を横断するように形成されていてもよい。

30

【 0 0 1 3 】

ゲートパッド 9 は、半導体基板 2 の一つの側面 2 c に沿って伸びる 1 つのゲートフィンガー 8 の長手方向中央部において、当該ゲートフィンガー 8 と接続されている。ゲートパッド 9 は、半導体基板 2 の各側面 2 c に平行な 4 辺を有する平面視四角形状に形成されている。ゲートパッド 9 は、半導体基板 2 の一つの角部において、互いに直交する方向に伸びる 2 つのゲートフィンガー 8 と接続されていてもよい。また、アクティブ領域 3 を横断するようにゲートフィンガー 8 が形成されている場合、当該アクティブ領域 3 を横断するように形成されたゲートフィンガー 8 にゲートパッド 9 が接続されていてもよい。

40

【 0 0 1 4 】

ゲート電極 6 によって取り囲まれた領域内には、ゲートフィンガー 8 の内縁およびゲートパッド 9 の内縁に沿って帯状に伸び、かつ、平面視において無端状 (閉環状) を成す絶縁領域 1 0 が形成されている。絶縁領域 1 0 は、電極材料が存在せずに、後述する絶縁層 4 3 がゲート電極 6 およびエミッタ電極 7 から露出する領域である。エミッタ電極 7 は、絶縁領域 1 0 によって取り囲まれた領域内に形成されている。

【 0 0 1 5 】

図 2 を参照して、アクティブ領域 3 において、半導体基板 2 の表面 2 a 側の表層部には、p 型のチャネル領域 2 1 が形成されている。アクティブ領域 3 とは、本実施形態では

50

、平面視においてチャンネル領域 2 1 の周縁によって取り囲まれた領域によって定義される。つまり、アクティブ領域 3 は、本実施形態では、チャンネル領域 2 1 を半導体基板 2 の表面 2 a および裏面 2 b に投影した領域である。

【 0 0 1 6 】

アクティブ領域 3 において、チャンネル領域 2 1 に対して半導体基板 2 の裏面 2 b 側には、チャンネル領域 2 1 と電氣的に接続されるように n^- 型のドリフト領域 2 2 が形成されている。本実施形態では、 n^- 型の半導体基板が半導体基板 2 として用いられており、ドリフト領域 2 2 は、半導体基板 2 の一部を利用して形成されている。

アクティブ領域 3 において、半導体基板 2 の裏面 2 b 側の表層部には、ドリフト領域 2 2 と電氣的に接続されるように、 p^+ 型のコレクタ領域 2 3 および n^+ 型のカソード領域 2 4 が形成されている。本実施形態では、ドリフト領域 2 2 とコレクタ領域 2 3 との間、および、ドリフト領域 2 2 とカソード領域 2 4 との間を延びるように n 型のバッファ領域 2 5 が形成されており、コレクタ領域 2 3 およびカソード領域 2 4 は、バッファ領域 2 5 を介してドリフト領域 2 2 と電氣的に接続されている。コレクタ領域 2 3 およびカソード領域 2 4 は、半導体基板 2 の裏面 2 b から露出するように形成されている。

【 0 0 1 7 】

カソード領域 2 4 は、コレクタ領域 2 3 およびバッファ領域 2 5 の境界を横切るように形成されており、カソード領域 2 4 の半導体基板 2 の表面 2 a 側の端部は、バッファ領域 2 5 内に位置している。その他、コレクタ領域 2 3 およびカソード領域 2 4 の各構成については、後に詳述する。

アクティブ領域 3 において、半導体基板 2 の表面 2 a 側の表層部には、平面視帯状に延びる複数のトレンチゲート構造 3 1 が形成されている。各トレンチゲート構造 3 1 は、半導体基板 2 を掘り下げて形成されたゲートトレンチ 3 2 にゲート絶縁膜 3 3 を挟んで埋め込まれた埋め込みゲート電極 3 4 を含む。ゲートトレンチ 3 2 は、チャンネル領域 2 1 を貫通しており、ドリフト領域 2 2 内に位置する底部を有している。ゲート絶縁膜 3 3 は、本実施形態では、半導体基板 2 の表面 2 a も被覆している。

【 0 0 1 8 】

各トレンチゲート構造 3 1 の側方におけるチャンネル領域 2 1 の表層部には、半導体基板 2 の表面 2 a から露出するように n^+ 型のエミッタ領域 3 5 が形成されている。これにより、各トレンチゲート構造 3 1 の側方には、半導体基板 2 の表面 2 a 側から裏面 2 b 側に向かって順に、 n^+ 型のエミッタ領域 3 5、 p^- 型のチャンネル領域 2 1 および n^- 型のドリフト領域 2 2 が形成されている。チャンネル領域 2 1 は、互いに隣り合う複数のトレンチゲート構造 3 1 に共有されている。埋め込みゲート電極 3 4 は、ゲートトレンチ 3 2 内においてゲート絶縁膜 3 3 を挟んで、エミッタ領域 3 5、チャンネル領域 2 1 およびドリフト領域 2 2 と対向している。

【 0 0 1 9 】

チャンネル領域 2 1 の表層部における複数のトレンチゲート構造 3 1 間には、複数のコンタクト凹部 4 1 が形成されている。各コンタクト凹部 4 1 は、複数のトレンチゲート構造 3 1 と同一の方向に沿って延びる平面視帯状に形成されている。各コンタクト凹部 4 1 は、その底部がチャンネル領域 2 1 内に位置するように半導体基板 2 の表面 2 a 側の表層部を掘り下げて形成されている。半導体基板 2 の厚さ方向に関して、コンタクト凹部 4 1 の深さは、トレンチゲート構造 3 1 (ゲートトレンチ 3 2) の深さよりも小さい。

【 0 0 2 0 】

各コンタクト凹部 4 1 の側部からは前述のエミッタ領域 3 5 が露出している。本実施形態では、チャンネル領域 2 1 内には、エミッタ領域 3 5 の下方からコンタクト凹部 4 1 の側部および底部に沿うように、チャンネル領域 2 1 の p 型不純物濃度よりも高い p 型不純物濃度を有する p^+ 型のコンタクト領域 4 2 がさらに形成されている。コンタクト凹部 4 1 の側部の全域にエミッタ領域 3 5 が露出しており、コンタクト凹部 4 1 の底部のみに沿うコンタクト領域 4 2 が形成されていてもよい。

【 0 0 2 1 】

半導体基板 2 の表面 2 a 上には、トレンチゲート構造 3 1 を覆うように絶縁層 4 3 が形成されている。絶縁層 4 3 は、複数の絶縁膜が積層された積層構造を有していてもよいし、1 つの絶縁膜からなる単層構造を有していてもよい。絶縁層 4 3 は、たとえば酸化膜 (SiO_2) または窒化膜 (SiN) を含んでいてもよい。この絶縁層 4 3 には、半導体基板 2 に形成された各コンタクト凹部 4 1 を露出させるコンタクト孔 4 4 が形成されている。

【 0 0 2 2 】

コンタクト孔 4 4 は、コンタクト凹部 4 1 と同一の方向に沿って平面視帯状に延びており、半導体基板 2 の表面 2 a 側の表層部に形成されたコンタクト凹部 4 1 と連通している。コンタクト孔 4 4 の内壁は、コンタクト凹部 4 1 の内壁と面一に形成されている。

10

絶縁層 4 3 上には、バリアメタル層 4 5 を介して、前述のエミッタ電極 7 が形成されている。バリアメタル層 4 5 は、エミッタ電極 7 がコンタクト孔 4 4 およびコンタクト凹部 4 1 の外側に拡散するのを抑制するための金属層であり、本実施形態では、半導体基板 2 側からこの順に積層されたチタン層および窒化チタン層を含む積層構造を有している。バリアメタル層 4 5 は、半導体基板 2 側の表面とその反対面が、コンタクト凹部 4 1 の内壁、コンタクト孔 4 4 の内壁および当該コンタクト孔 4 4 外の絶縁層 4 3 の表面に沿って形成されている。

【 0 0 2 3 】

エミッタ電極 7 は、コンタクト凹部 4 1 およびコンタクト孔 4 4 を埋めて絶縁層 4 3 の表面全域を被覆するように、バリアメタル層 4 5 上に形成されている。エミッタ電極 7 は、コンタクト凹部 4 1 内においてバリアメタル層 4 5 を介して、チャンネル領域 2 1、エミッタ領域 3 5、コンタクト領域 4 2 等と電氣的に接続されている。

20

前述のゲート電極 6 は、絶縁層 4 3 の一部からなる前述の絶縁領域 1 0 を挟んでエミッタ電極 7 と間隔を空けて絶縁層 4 3 上に形成されている。前述のトレンチゲート構造 3 1 は、たとえばアクティブ領域 3 からゲートフィンガー 8 の直下の領域まで引き出されている。ゲートフィンガー 8 は、たとえば絶縁層 4 3 に形成されたコンタクト孔 (図示せず) を介してトレンチゲート構造 3 1 と電氣的に接続されている。そして、半導体基板 2 の裏面 2 b 側には、コレクタ領域 2 3 およびカソード領域 2 4 と電氣的に接続されるように裏面電極としてのコレクタ電極 4 6 が形成されている。

【 0 0 2 4 】

30

図 3 を参照して、本実施形態に係る半導体装置 1 は、共通の半導体基板 2 に I G B T および還流ダイオードが作り込まれた構造を有している。還流ダイオードは、チャンネル領域 2 1 およびドリフト領域 2 2 間の p n 接合部によって形成されている。還流ダイオードは、チャンネル領域 2 1 をアノード領域として含む。還流ダイオードは、チャンネル領域 2 1 を介してエミッタ電極 7 に電氣的に接続され、かつ、カソード領域 2 4 を介してコレクタ電極 4 6 に電氣的に接続されている。

【 0 0 2 5 】

このようにして、本実施形態に係る半導体装置 1 は、還流ダイオードのアノードが I G B T のエミッタ電極 7 に電氣的に接続され、還流ダイオードのカソードが I G B T のコレクタ電極 4 6 に電氣的に接続された構造を有している。

40

本実施形態に係る半導体装置 1 は、半導体基板 2 の裏面 2 b 側の表層部に、カソード領域 2 4 が所定のパターンで形成されていることを一つの特徴としている。以下、図 4 を参照して、カソード領域 2 4 の具体的な構成について説明する。図 4 は、図 1 の半導体装置 1 の半導体基板 2 を裏面 2 b 側から見た模式的な底面図である。図 4 では、明瞭化のため、クロスハッチングによってカソード領域 2 4 を示している。

【 0 0 2 6 】

図 4 を参照して、半導体基板 2 の裏面 2 b において、アクティブ領域 3 内には、コレクタ領域 2 3 およびカソード領域 2 4 が形成されている。コレクタ領域 2 3 は、本実施形態では、アクティブ領域 3 の平面視形状 (つまり、チャンネル領域 2 1 の平面視形状) とほぼ整合する平面視形状で形成されている。

50

カソード領域 2 4 は、アクティブ領域 3 内において、連続的に引き回されたライン状のパターンを有している。カソード領域 2 4 は、本実施形態では、コレクタ領域 2 3 の p 型不純物濃度よりも高い n 型不純物濃度を有しており、コレクタ領域 2 3 の p 型不純物が n 型不純物によって相殺されるようにアクティブ領域 3 内に形成されている。

【 0 0 2 7 】

本実施形態では、アクティブ領域 3 には、コレクタ領域 2 3 のみが形成される第 1 領域 5 0 と、コレクタ領域 2 3 およびカソード領域 2 4 の双方が形成される第 2 領域 5 1 とが設定されている。第 1 領域 5 0 は、I G B T のみが形成される領域であり、第 2 領域 5 1 は、I G B T および還流ダイオードが形成される領域である。

第 1 領域 5 0 は、半導体基板 2 の周縁部、より具体的には、半導体基板 2 の一つの側面 2 C の中央領域に沿って設定されている。さらに具体的には、第 1 領域 5 0 は、本実施形態では、前述のゲートパッド 9 の直下の領域に設定されており、平面視において、ゲートパッド 9 がアクティブ領域 3 と重なる部分の全域と対向している。第 1 領域 5 0 は、平面視において、ゲートパッド 9 がアクティブ領域 3 と重なる部分の周縁をその外側から取り囲んでいる。第 1 領域 5 0 は、平面視四角形状に区画された領域であってもよい。

【 0 0 2 8 】

一方、第 2 領域 5 1 は、アクティブ領域 3 において第 1 領域 5 0 外の領域に設定された平面視凹状の領域であり、前述のエミッタ電極 7 の直下の領域に設定されている。アクティブ領域 3 に第 1 領域 5 0 および第 2 領域 5 1 が設定されることによって、カソード領域 2 4 は、平面視でゲートパッド 9 外の領域に形成され、かつ、半導体基板 2 の裏面 2 b に

【 0 0 2 9 】

カソード領域 2 4 は、アクティブ領域 3 の第 2 領域 5 1 内において、平面視において葛折状に連続的に引き回されたライン状のパターンを含む。以下では、説明の便宜上、図 4 に示した + X 方向および - X 方向ならびに + Y 方向および - Y 方向を用いることがある。+ X 方向および - X 方向は、半導体基板 2 の 1 辺に沿う 2 つの方向であり、これらを総称するときには単に「X 方向」という。+ Y 方向および - Y 方向は、半導体基板 2 の前記 1 辺と直交する他の 1 辺に沿う 2 つの方向であり、これらを総称するときには単に「Y 方向」という。X 方向は、本実施形態では、ゲートパッド 9 がゲートフィンガー 8 から引き出された方向でもある。

【 0 0 3 0 】

カソード領域 2 4 は、X 方向に沿って延び、かつ Y 方向に沿って間隔を空けて形成された複数の第 1 ライン 5 2 と、Y 方向に沿って延び、かつ Y 方向に隣り合う複数の第 1 ライン 5 2 同士を接続する複数の第 2 ライン 5 3 とを含む。

複数の第 1 ライン 5 2 には、アクティブ領域 3 の + Y 方向端部側に形成された複数の第 1 ライン 5 2 A と、アクティブ領域 3 の - Y 方向端部側に形成された複数の第 1 ライン 5 2 B と、第 1 ライン 5 2 A および第 1 ライン 5 2 B の間に形成された複数の第 1 ライン 5 2 C とが含まれる。

【 0 0 3 1 】

複数の第 1 ライン 5 2 A および複数の第 1 ライン 5 2 B は、平面視において第 1 領域 5 0 (ゲートパッド 9) を挟んで Y 方向に互いに対向するように、当該第 1 領域 5 0 (ゲートパッド 9) の Y 方向両側の領域に引き出されている。複数の第 1 ライン 5 2 A の X 方向幅、および複数の第 1 ライン 5 2 B の X 方向幅は、本実施形態ではほぼ等しい値に設定されている。

【 0 0 3 2 】

複数の第 1 ライン 5 2 C は、平面視において第 1 領域 5 0 (ゲートパッド 9) と X 方向に対向する領域に形成されている。複数の第 1 ライン 5 2 C の X 方向幅は、複数の第 1 ライン 5 2 A の X 方向幅および複数の第 1 ライン 5 2 B の X 方向幅よりも小さい値に設定されている。

第 2 ライン 5 3 には、Y 方向に沿って隣り合う 2 つの第 1 ライン 5 2 の + X 方向端部同

10

20

30

40

50

士を接続する第2ライン53Aと、Y方向に沿って隣り合う2つの第1ライン52の-X方向端部同士を接続する第2ライン53Bとが含まれる。第2ライン53Aおよび第2ライン53Bは、Y方向に沿って交互に形成されている。このようにして、本実施形態では、カソード領域24が、連続的に連なる平面視葛折状のライン状のパターンで形成されている。また、カソード領域24は、X方向幅が異なる複数の第1ライン52A, 52B, 52Cを含み、これによって、アクティブ領域3に対して不均等なパターン(配置)で形成されている。

【0033】

第1ライン52のY方向幅および第2ライン53のX方向幅で定義されるカソード領域24のライン幅は、たとえば $1\mu\text{m}$ 以上 $100\mu\text{m}$ 以下、より好ましくは $10\mu\text{m}$ 以上 $50\mu\text{m}$ 以下である。カソード領域24は、一様なライン幅を有していてもよいし、一様でないライン幅を有していてもよい。たとえば、カソード領域24は、Y方向幅がそれぞれ異なる第1ライン52A, 52B, 52Cを有していてもよいし、X方向幅がそれぞれ異なる第2ライン53A, 53Bを有していてもよい。

10

【0034】

アクティブ領域3の面積 S_A に対する第1領域50の面積 S_1 の比 S_1/S_A は、たとえば $0.03(3\%)$ 以上 $0.3(30\%)$ 以下である。また、平面視において、アクティブ領域3の面積 S_A に対するカソード領域24の面積の比 S_K/S_A (以下、単に「カソード領域24の面積比 S_K/S_A 」という。)は、アクティブ領域3の面積 S_A に対するコレクタ領域23の面積 S_C の比 S_C/S_A (以下、単に「コレクタ領域23の面積比 S_C/S_A 」という。)よりも小さい値に設定されている。カソード領域24の面積比 S_K/S_A は、たとえば $0.1(10\%)$ 以下、より具体的には、 $0.01(1\%)$ 以上 $0.07(7\%)$ 以下である。

20

【0035】

本実施形態に係る半導体装置1の電気的特性と比較するため、図5に示される参考例に係る半導体装置101を用意した。図5は、参考例に係る半導体装置101の半導体層を裏面側から見た模式的な底面図である。

参考例に係る半導体装置101では、平面視円形状の複数のカソード領域24がアクティブ領域3に形成されている。複数のカソード領域24は、X方向およびY方向に沿って間隔を空けて行列状に規則的な配列で均等に形成されている。参考例に係る半導体装置101では、カソード領域24がゲートパッド9直下の領域にも形成されている。参考例に係る半導体装置101において、他の構成については、本実施形態に係る半導体装置1の各構成と略同様であるので、同一の参照符号を付して説明を省略する。

30

【0036】

図6は、本実施形態に係る半導体装置1のピーク順方向サージ電流 I_{FSM} および参考例に係る半導体装置101のピーク順方向サージ電流 I_{FSM} のシミュレーション結果を示すグラフである。

図6において、横軸は、カソード領域24の面積比 S_K/S_A を示しており、縦軸は、ピーク順方向サージ電流 I_{FSM} を示している。ピーク順方向サージ電流 I_{FSM} とは、半導体装置が破壊しない範囲で許容される1周期以上の商用正弦半波電流のピーク値である。したがって、ピーク順方向サージ電流 I_{FSM} の値が高い程、半導体装置のピーク順方向サージ電流 I_{FSM} に対する耐量(以下、単に「ピーク順方向サージ電流耐量」という。)が優れているといえる。

40

【0037】

図6では、本実施形態に係る半導体装置1のカソード領域24の面積比 S_K/S_A が、 $0.037(3.7\%)$ である場合のピーク順方向サージ電流 I_{FSM} のシミュレーション結果がプロットP1で示されている。また、図6では、参考例に係る半導体装置101のカソード領域24の面積比 S_K/S_A が、 $0.012(1.2\%)$, $0.019(1.9\%)$, $0.023(2.4\%)$ および $0.032(3.2\%)$ であるときのピーク順方向サージ電流 I_{FSM} のシミュレーション結果がプロットP2~P5で示されている。図

50

6では、プロットP2～P5を近似直線Lで結んで示している。

【0038】

図6を参照して、参考例に係る半導体装置1では、複数のカソード領域24の平面視面積を減らしてカソード領域24の面積比 S_K / S_A を小さくすると、ピーク順方向サージ電流 I_{FSM} が低下している。また、参考例に係る半導体装置101では、複数のカソード領域24の平面視面積を増やしてカソード領域24の面積比 S_K / S_A を大きくすると、ピーク順方向サージ電流 I_{FSM} が向上している。したがって、参考例に係る半導体装置101では、複数のカソード領域24の平面視面積とピーク順方向サージ電流 I_{FSM} との間に大凡リニアな関係が成立しているといえる。

【0039】

しかし、参考例に係る半導体装置101では、カソード領域24の面積比 S_K / S_A がいずれの場合であっても、ピーク順方向サージ電流 I_{FSM} が300A以下と比較的に低い値であった。近似直線Lを参照するに、参考例に係る半導体装置101では、カソード領域24の面積比 S_K / S_A を「1」に近づけると、良好なピーク順方向サージ電流 I_{FSM} を実現できるとも考えられる。

【0040】

しかし、実際には、カソード領域24の面積比 S_K / S_A が「1」に近づくほど、コレクタ領域23の面積比 S_C / S_A が「0」に近づくので、IGBTの機能が失われていく。したがって、参考例に係る半導体装置101では、複数のカソード領域24の平面視面積の調整によってカソード領域24の面積比 S_K / S_A を調整したとしても、結果として近似直線Lで示される前記リニアな関係の中でしかピーク順方向サージ電流 I_{FSM} を調整できず、また、比較的に高いピーク順方向サージ電流 I_{FSM} を得ることが困難であるといえる。

【0041】

参考例に係る半導体装置101では、平面視円形状の複数のカソード領域24がアクティブ領域3に形成されているが、この問題は、平面視四角形状等の平面視多角形状の複数のカソード領域24が規則的な配列でアクティブ領域3に形成されている場合にも同様に生じる。

これに対して、連続的なライン状のパターンで形成されたカソード領域24を有する本実施形態に係る半導体装置1では、ピーク順方向サージ電流 I_{FSM} が1000A以上であり、参考例に係る半導体装置101と異なり、近似直線Lから外れて比較的高いピーク順方向サージ電流 I_{FSM} となっている。したがって、カソード領域24を連続的なライン状のパターンで形成することによって、近似直線Lで示される前記リニアな関係から切り離して、比較的高いピーク順方向サージ電流 I_{FSM} を実現できることが分かった。

【0042】

図7は、本実施形態に係る半導体装置1において、コレクタ電極46およびエミッタ電極7間にコレクタ-エミッタ電圧 V_{CE} を印加してIGBTとして動作させたときの、コレクタ電流 I_C のシミュレーション結果を示すグラフである。図7において、横軸は、コレクタ-エミッタ電圧 V_{CE} を示しており、縦軸は、コレクタ電流 I_C を示している。

一般的に、IGBTおよび還流ダイオードを共通の半導体基板2に備える半導体装置では、比較的小さい値（たとえば0V以上2.5V以下の範囲）のコレクタ-エミッタ電圧 V_{CE} が与えられると、スナップバック現象が生じる虞があることが知られている。

【0043】

図7に示されるように、本実施形態に係る半導体装置1では、比較的小さい値のコレクタ-エミッタ電圧 V_{CE} が与えられた場合であっても、スナップバック現象の発生が抑制されている。これは、アクティブ領域3において、コレクタ領域23のみが形成される比較的大きい平面視面積の第1領域50が形成されているためであると考えられる。よって、本実施形態に係る半導体装置1のように、カソード領域24を連続的なライン状のパターンで形成した場合であっても、IGBTとして良好に動作させることができる。

【0044】

10

20

30

40

50

図8は、本実施形態に係る半導体装置1において、コレクタ電極46およびエミッタ電極7間に順方向電圧 V_F を印加して還流ダイオードとして動作させたときの、順方向電流 I_F のシミュレーション結果を示すグラフである。図8において、横軸は、順方向電圧 V_F を示しており、縦軸は、順方向電流 I_F を示している。

図8を参照して、本実施形態に係る半導体装置1のように、カソード領域24を連続的なライン状のパターンで形成した場合であっても、還流ダイオードとして良好に動作させることができる。

【0045】

以上、本実施形態に係る半導体装置1では、カソード領域24が連続的に引き回されたライン状のパターンを含む。したがって、カソード領域24の平面視面積とピーク順方向サージ電流 I_{FSM} との間にリニアな関係が成立する参考例に係る半導体装置101と異なり、当該リニアな関係から切り離して、比較的の高い値のピーク順方向サージ電流 I_{FSM} を得ることができる。

【0046】

しかも、半導体基板2の裏面2b側のアクティブ領域3(第2領域51)において、カソード領域24を引き回す領域を調整することにより、半導体装置1のピーク順方向サージ電流 I_{FSM} を容易に調整することもできる。よって、IGBTおよび還流ダイオードを備えた構成において、設計の自由度を高めることができると同時に、ピーク順方向サージ電流耐量の向上を図ることができる構造の半導体装置1を提供できる。

【0047】

<第2実施形態>

図9は、本発明の第2実施形態に係る半導体装置61の模式的な断面図である。

図9を参照して、本実施形態に係る半導体装置61は、トレンチゲート構造31に代えてプレーナゲート構造62を有している点で、前述の第1実施形態に係る半導体装置1と異なっている。図9において、前述の第1実施形態において述べた構成と同様の構成については同一の参照符号を付して説明を省略する。

【0048】

本実施形態に係る半導体装置61は、前述の半導体基板2を含む。半導体基板2の表面2a側の表層部には、前述のチャンネル領域21が間隔を空けて形成されている。各チャンネル領域21の表層部には、当該チャンネル領域21の周縁から内側に間隔を隔てて前述のエミッタ領域35が形成されている。

本実施形態では、互いに隣り合うチャンネル領域21の間の領域および各チャンネル領域21に対して半導体基板2の裏面2b側の領域に、当該チャンネル領域21と電気的に接続されるように前述のドリフト領域22が形成されている。半導体基板2の裏面2b側の表層部には、前述のバッファ領域25を介してドリフト領域22と電気的に接続されるように前述のコレクタ領域23および前述のカソード領域24が形成されている。コレクタ領域23およびカソード領域24は、前述の第1実施形態に係る構成と同様の構成を有している。

【0049】

プレーナゲート構造62は、半導体基板2の表面2a上に形成されたゲート絶縁膜63を挟んで少なくともチャンネル領域21と対向するゲート電極64を含む。ゲート電極64は、より具体的には、ゲート絶縁膜63を挟んでエミッタ領域35、チャンネル領域21およびドリフト領域22と対向している。チャンネル領域21の表層部において、エミッタ領域35に対してゲート電極64とは反対側には前述のコンタクト領域42が形成されている。

【0050】

そして、プレーナゲート構造62を覆うように前述の絶縁層43が形成されている。絶縁層43には、チャンネル領域21およびエミッタ領域35を露出させるコンタクト孔65が形成されている。前述のエミッタ電極7は、前述のバリアメタル層45を介して絶縁層43上からコンタクト孔65内に入り込み、当該コンタクト孔65内において、チャンネル

10

20

30

40

50

領域 2 1、エミッタ領域 3 5 およびコンタクト領域 4 2 と電氣的に接続されている。そして、半導体基板 2 の裏面 2 b 側には、コレクタ領域 2 3 およびカソード領域 2 4 と電氣的に接続されるように裏面電極としての前述のコレクタ電極 4 6 が形成されている。

【 0 0 5 1 】

本実施形態では、図 9 に示される単位セル 6 6 が複数形成された領域によって前述のアクティブ領域 3 が定義される。単位セル 6 6 とは、本実施形態では、図 9 に示されるように、一つのプレーナゲート構造 6 2 に対して二つのチャンネル領域 2 1 が形成された領域である。

以上、本実施形態に係る半導体装置 6 1 によっても前述の第 1 実施形態において述べた効果と同様の効果を奏することができる。

【 0 0 5 2 】

以上、本発明の実施形態について説明したが、本発明は、さらに他の形態で実施することもできる。

たとえば、前述の第 1 実施形態では、カソード領域 2 4 が平面視葛折状に形成されたライン状のパターンを含む例について説明した。しかし、カソード領域 2 4 は、これに代えて、図 1 0 ~ 図 1 2 に示されるようなパターンで形成されていてもよい。

【 0 0 5 3 】

図 1 0 は、半導体基板 2 を裏面 2 b 側から見た模式的な底面図であって、カソード領域 2 4 の第 1 変形例を示す図である。図 1 0 では、明瞭化のため、クロスハッチングによってカソード領域 2 4 を示している。図 1 0 において、前述の第 1 実施形態において述べた構成と同様の構成については同一の参照符号を付して説明を省略する。

図 1 0 を参照して、第 1 変形例に係るカソード領域 2 4 は、前述の第 1 実施形態と同様、X 方向に沿って延び、かつ Y 方向に沿って間隔を空けて形成された複数の第 1 ライン 5 2 と、Y 方向に沿って延び、かつ Y 方向に隣り合う複数の第 1 ライン 5 2 同士を接続する複数の第 2 ライン 5 3 とを含む。

【 0 0 5 4 】

第 1 変形例に係るカソード領域 2 4 では、前述の複数の第 1 ライン 5 2 A , 5 2 B の X 方向幅が、いずれも第 1 ライン 5 2 C の X 方向幅とほぼ同一の値に設定されている。したがって、第 1 変形例に係るカソード領域 2 4 では、平面視において、複数の第 1 ライン 5 2 A および複数の第 1 ライン 5 2 B が、第 1 領域 5 0 (ゲートパッド 9) を挟んで Y 方向に互いに対向することなく、アクティブ領域 3 の + X 方向側に偏在するように形成されている。つまり、前述の第 1 領域 5 0 は、アクティブ領域 3 の - X 方向側の端部において Y 方向に沿って延びる平面視長形状に形成されている。

【 0 0 5 5 】

このように、第 1 変形例に係るカソード領域 2 4 は、アクティブ領域 3 の + X 方向側に偏在しており、当該カソード領域 2 4 がアクティブ領域 3 に対して不均等なパターン (配置) で形成されている。このような構成によっても前述の第 1 実施形態において述べた効果と同様の効果を奏することができる。前述の第 2 実施形態においても、第 1 変形例に係るカソード領域 2 4 を適用してもよい。

【 0 0 5 6 】

図 1 1 は、半導体基板 2 を裏面 2 b 側から見た模式的な底面図であって、カソード領域 2 4 の第 2 変形例を示す図である。図 1 1 では、明瞭化のため、クロスハッチングによってカソード領域 2 4 を示している。図 1 1 において、前述の第 1 実施形態において述べた構成と同様の構成については同一の参照符号を付して説明を省略する。

図 1 1 を参照して、第 2 変形例に係るカソード領域 2 4 は、前述の第 1 実施形態と同様、X 方向に沿って延び、かつ Y 方向に沿って間隔を空けて形成された複数の第 1 ライン 5 2 と、Y 方向に沿って延び、かつ Y 方向に隣り合う複数の第 1 ライン 5 2 同士を接続する複数の第 2 ライン 5 3 とを含む。第 2 変形例に係るカソード領域 2 4 では、第 2 ライン 5 3 が、いずれも、Y 方向に沿って隣り合う 2 つの第 1 ライン 5 2 の + X 方向端部同士を接続している。

10

20

30

40

50

【0057】

このように、第2変形例に係るカソード領域24は、平面視櫛歯状に形成されたライン状のパターンを含む構成とされており、当該カソード領域24がアクティブ領域3に対して不均等なパターン（配置）で形成されている。このような構成によっても前述の第1実施形態において述べた効果と同様の効果を奏することができる。前述の第2実施形態においても、第2変形例に係るカソード領域24を適用してもよい。

【0058】

図12は、半導体基板2を裏面2b側から見た模式的な底面図であって、カソード領域24の第3変形例を示す図である。図12では、明瞭化のため、クロスハッチングによってカソード領域24を示している。図12において、前述の第1実施形態において述べた構成と同様の構成については同一の参照符号を付して説明を省略する。

10

第3変形例では、前述の第1領域50がアクティブ領域3の中央部に平面視四角形状に設定されており、当該第1領域50を取り囲むように前述の第2領域51が平面視四角環状に設定されている。つまり、第3変形例では、前述のゲートパッド9が平面視において半導体基板2の中央部に配置されている。

【0059】

第3変形例に係るカソード領域24は、前述の第1実施形態と同様、X方向に沿って延び、かつY方向に沿って間隔を空けて形成された複数の第1ライン52と、Y方向に沿って延び、かつY方向に隣り合う複数の第1ライン52同士を接続する複数の第2ライン53とを含む。

20

第3変形例に係るカソード領域24は、第1ライン52および第2ライン53によって、半導体基板2の側面2cに平行な平面視四角の螺旋状に形成されたライン状のパターンを含む。したがって、カソード領域24は、アクティブ領域3の周縁部側に偏在するように形成されており、これによって、当該カソード領域24が、アクティブ領域3に対して不均等なパターン（配置）で形成されている。

【0060】

このような構成によっても前述の第1実施形態において述べた効果と同様の効果を奏することができる。前述の第2実施形態においても、第3変形例に係るカソード領域24を適用してもよい。カソード領域24は、平面視円形の螺旋状であってもよいし、平面視八角形の螺旋状等のように四角形以外の平面視多角形の螺旋状であってもよい。

30

また、前述の各実施形態において、カソード領域24は、互いに異なる平面視形状または互いに同一の平面視形状のライン状のパターンを複数含む構成を有していてもよい。たとえば、カソード領域24は、平面視葛折状に形成されたライン状のパターン、平面視櫛歯状に形成されたライン状のパターン、および、平面視螺旋状に形成されたライン状のパターンから選択される少なくとも一種のパターンを含んでいてもよい。

【0061】

また、前述の各実施形態では、半導体層の一例としてFZ法により製造された半導体基板2が採用された例について説明した。しかし、半導体層は、半導体基板2に代えて、たとえばシリコン製のp⁻型の半導体基板と、当該半導体基板のシリコンをエピタキシャル成長させることによって形成されたn⁻型のエピタキシャル層とを含んでいてもよい。この場合、p⁻型の半導体基板が、コレクタ領域23に相当する構成となり、エピタキシャル層が、ドリフト領域22に相当する構成となる。また、この場合、カソード領域24は、半導体基板（コレクタ領域23）に対するn型不純物の注入によって形成される。

40

【0062】

また、前述の各実施形態において、各半導体部分の導電型が反転された構成が採用されてもよい。つまり、p型の部分がn型とされ、n型の部分がp型とされてもよい。

その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

【符号の説明】

【0063】

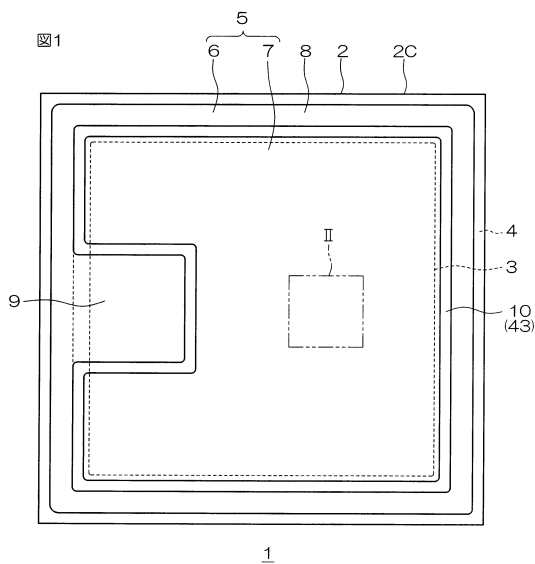
50

- 1 半導体装置
- 2 半導体基板
- 2 a 半導体基板の表面
- 2 b 半導体基板の裏面
- 3 アクティブ領域
- 9 ゲートパッド
- 2 1 チャンネル領域
- 2 2 ドリフト領域
- 2 3 コレクタ領域
- 2 4 カソード領域
- 3 3 ゲート絶縁膜
- 3 4 ゲート電極
- 3 5 エミッタ領域
- 4 6 コレクタ電極
- 5 0 第1領域
- 5 1 第2領域
- 5 2 第1ライン
- 5 3 第2ライン
- 6 1 半導体装置
- 6 3 ゲート絶縁膜
- 6 4 ゲート電極
- S_A アクティブ領域の面積
- S_C コレクタ領域の面積
- S_K カソード領域の面積

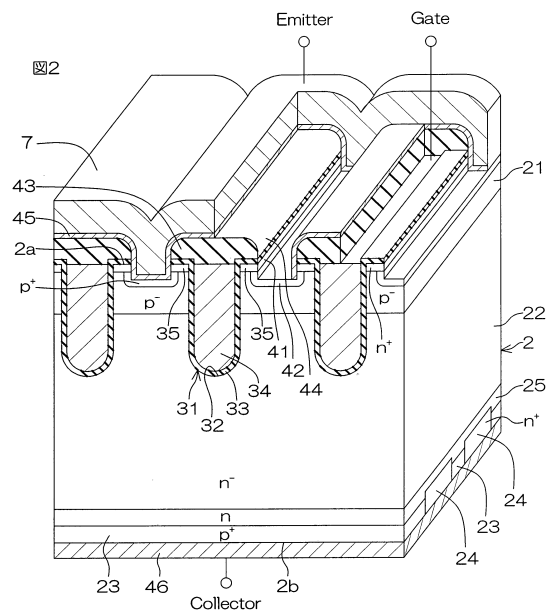
10

20

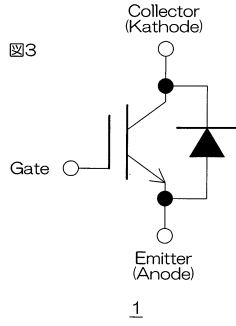
【図1】



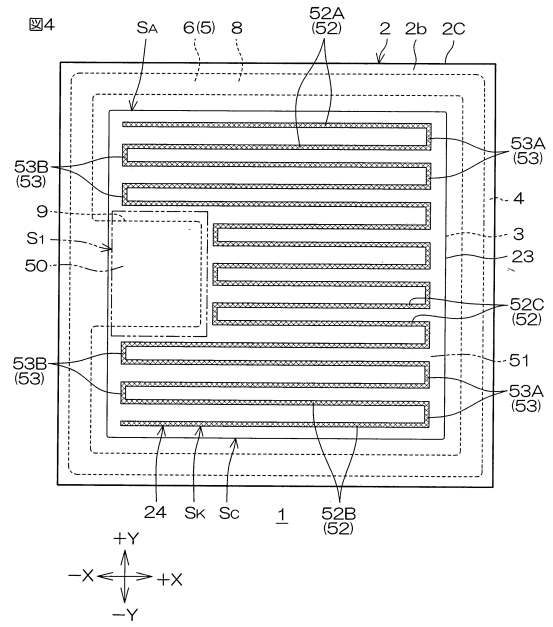
【図2】



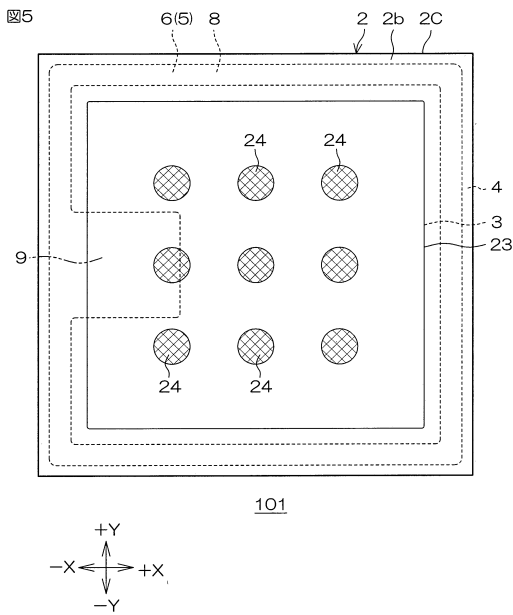
【 図 3 】



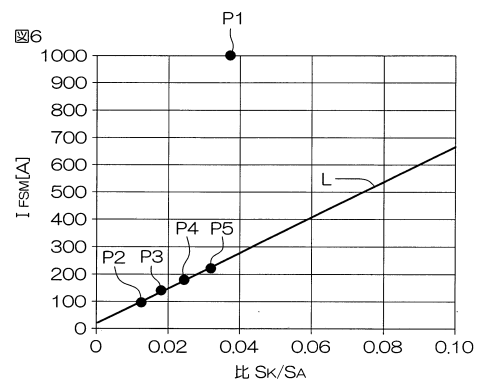
【 図 4 】



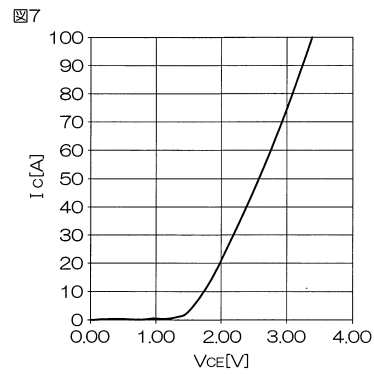
【 図 5 】



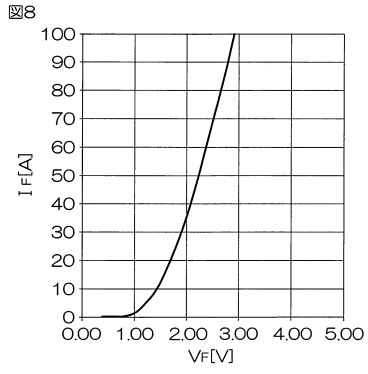
【 図 6 】



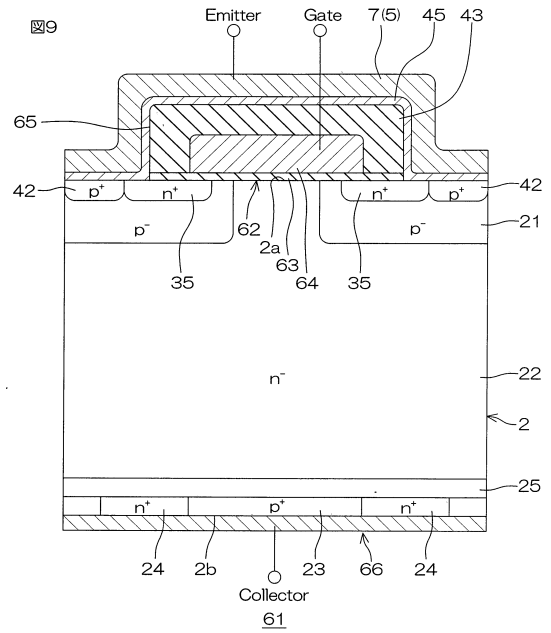
【 図 7 】



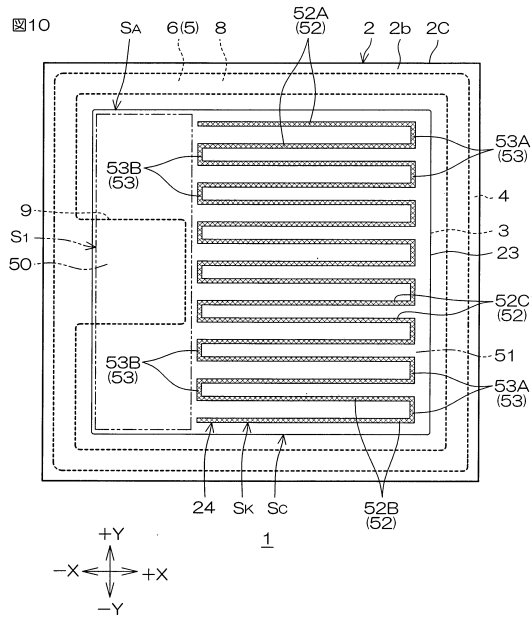
【 図 8 】



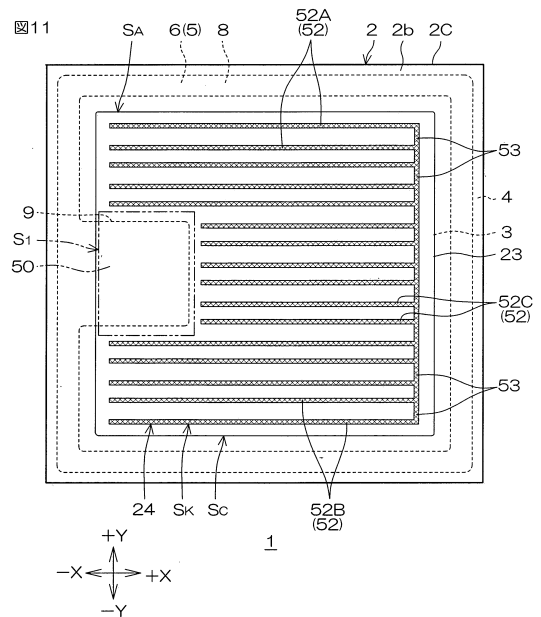
【 図 9 】



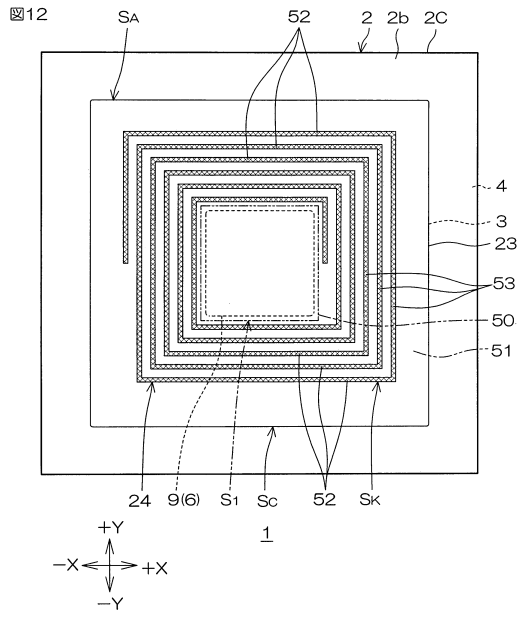
【 図 10 】



【 図 11 】



【図12】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/78 6 5 5 G
H 0 1 L 29/78 6 5 2 S

(56)参考文献 特開2009-267394(JP,A)
特開2010-118642(JP,A)
特開2014-022708(JP,A)
特開2013-201360(JP,A)
特開2010-263215(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 9 / 7 8
H 0 1 L 2 9 / 7 3 9