

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 21/8242

(11) 공개번호 특1999-007054
(43) 공개일자 1999년01월25일

(21) 출원번호	특1998-022703
(22) 출원일자	1998년06월17일
(30) 우선권 주장	97-161671 1997년06월18일 일본(JP)
(71) 출원인	닛본 덴기 가부시끼가이샤 가네꼬 히사시
(72) 발명자	일본 도쿄도 미나토구 시바 5쵸메 7-1 모리 히데미쯔
(74) 대리인	일본 도쿄도 미나토구 시바 5쵸메 7-1 닛본 덴기 가부시끼가이샤 내 주성민, 구영창

심사청구 : 있음

(54) 반도체 디바이스 제조 방법

요약

본 발명에 따른 반도체 디바이스 제조 방법이 기본적으로 포함하는 공정은: (a) 반도체 기판 상의 제1 영역에 일정한 게이트 전극 간격을 갖는 다수의 제1 트랜지스터를 형성하고, 상기 반도체 기판 상의 제2 영역에 상기 제1 트랜지스터들 이상의 게이트 전극 간격을 갖는 다수의 제2 트랜지스터를 형성하는 공정; (b) 일정한 막두께의 절연막으로 이들 제1 및 2 영역들의 전체 표면을 덮는 공정; (c) 이 전체 절연막을 에칭함으로써 상기 제1 트랜지스터들의 게이트 전극들 사이에 상기 절연막으로 구성되는 매립된 층을 형성하고, 상기 제2 트랜지스터들의 상기 게이트 전극들 상에 상기 절연막으로 구성되는 측벽들을 형성하는 공정이다. 공정 (c)에서, 제1 트랜지스터의 경우, 게이트 전극들 사이 간격은 자기정합적으로 절연막으로 채워지고, 제2 트랜지스터의 경우, 절연막의 측벽들은 게이트 전극들 상에 형성된다. 이와 같은 방식에 의해서, 공정 (c)에서 게이트 전극들 사이의 간격들, 즉 제1 트랜지스터들의 확산층은 절연막으로 덮이므로, 에칭 분위기에 노출될 수 없다. 따라서, 에칭 분위기에 제1 영역의 확산층부가 노출되는 것을 방지하기 위해 특별한 공정들을 추가할 필요가 없으므로, 공정수가 감소될 수 있다.

대표도

도5

명세서

도면의 간단한 설명

도 1은 도 1의 (a)는 메모리 셀의 내부이고, 도 1의 (b)는 주변 회로부(Nch)이며, 그리고 도 1의 (c)는 주변 회로부(Pch)인 제1 실시예의 초기 공정을 도시하는 횡단면도.

도 2는 도 2의 (a)는 메모리 셀의 내부이고, 도 2의 (b)는 주변 회로부(Nch)이며, 그리고 도 2의 (c)는 주변 회로부(Pch)인 본 발명의 제1 실시예의 초기 공정을 도시하는 횡단면도.

도 3은 도 3의 (a)는 메모리 셀의 내부이고, 도 3의 (b)는 주변 회로부(Nch)이며, 그리고 도 3의 (c)는 주변 회로부(Pch)인 본 발명의 제1 실시예의 중간 공정을 도시하는 횡단면도.

도 4는 도 4의 (a)는 메모리 셀의 내부이고, 도 4의 (b)는 주변 회로부(Nch)이며, 그리고 도 4의 (c)는 주변 회로부(Pch)인 본 발명의 제1 실시예의 중간 공정을 도시하는 횡단면도.

도 5는 도 5의 (a)는 메모리 셀의 내부이고, 도 5의 (b)는 주변 회로부(Nch)이며, 그리고 도 5의 (c)는 주변 회로부(Pch)인 본 발명의 제1 실시예의 주요 공정을 도시하는 횡단면도.

도 6은 도 6의 (a)는 메모리 셀의 내부이고, 도 6의 (b)는 주변 회로부(Nch)이며, 그리고 도 6의 (c)는 주변 회로부(Pch)인 본 발명의 제1 실시예의 후기 공정을 도시하는 횡단면도.

도 7은 도 7의 (a)는 메모리 셀의 내부이고, 도 7의 (b)는 주변 회로부(Nch)이며, 그리고 도 7의 (c)는 주변 회로부(Pch)인 본 발명의 제1 실시예의 후기 공정을 도시하는 횡단면도.

도 8은 도 8의 (a)는 메모리 셀의 내부이고, 도 8의 (b)는 주변 회로부(Nch)이며, 그리고 도 8의 (c)는 주변 회로부(Pch)인 본 발명의 제1 실시예의 최종 공정을 도시하는 횡단면도.

도 9는 도 9의 (a)는 메모리 셀의 내부이고, 도 9의 (b)는 주변 회로부(Nch)이며, 그리고 도 9의 (c)는 주변 회로부(Pch)인 본 발명의 제2 실시예의 주요 공정을 도시하는 횡단면도.

도 10은 도 10의 (a)는 메모리 셀의 내부이고, 도 10의 (b)는 주변 회로부(Nch)이며, 그리고 도 10의 (c)는 주변 회로부(Pch)인 본 발명의 제2 실시예의 주요 공정을 도시하는 횡단면도.

도 11은 도 11의 (a)는 메모리 셀의 내부이고, 도 11의 (b)는 주변 회로부(Nch)이며, 그리고 도 11의 (c)는 주변 회로부(Pch)인 본 발명의 제2 실시예의 최종 공정을 도시하는 횡단면도.

도 12는 도 12의 (a)는 메모리 셀의 내부이고, 도 12의 (b)는 주변 회로부(Nch)이며, 그리고 도 12의 (c)는 주변 회로부(Pch)인 종래예의 초기 공정을 도시하는 횡단면도.

도 13은 도 13의 (a)는 메모리 셀의 내부이고, 도 13의 (b)는 주변 회로부(Nch)이며, 그리고 도 13의 (c)는 주변 회로부(Pch)인 제1 종래예의 초기 공정을 도시하는 횡단면도.

도 14는 도 14의 (a)는 메모리 셀의 내부이고, 도 14의 (b)는 주변 회로부(Nch)이며, 그리고 도 14의 (c)는 주변 회로부(Pch)인 제1 종래예의 중간 공정을 도시하는 횡단면도.

도 15는 도 15의 (a)는 메모리 셀의 내부이고, 도 15의 (b)는 주변 회로부(Nch)이며, 그리고 도 15의 (c)는 주변 회로부(Pch)인 제1 종래예의 중간 공정을 도시하는 횡단면도.

도 16은 도 16의 (a)는 메모리 셀의 내부이고, 도 16의 (b)는 주변 회로부(Nch)이며, 그리고 도 16의 (c)는 주변 회로부(Pch)인 제1 종래예의 주요 공정을 도시하는 횡단면도.

도 17은 도 17의 (a)는 메모리 셀의 내부이고, 도 17의 (b)는 주변 회로부(Nch)이며, 그리고 도 17의 (c)는 주변 회로부(Pch)인 제1 종래예의 주요 공정을 도시하는 횡단면도.

도 18은 도 18의 (a)는 메모리 셀의 내부이고, 도 18의 (b)는 주변 회로부(Nch)이며, 그리고 도 18의 (c)는 주변 회로부(Pch)인 제1 종래예의 후기 공정을 도시하는 횡단면도.

도 19는 도 19의 (a)는 메모리 셀의 내부이고, 도 19의 (b)는 주변 회로부(Nch)이며, 그리고 도 19의 (c)는 주변 회로부(Pch)인 제1 종래예의 최종 공정을 도시하는 횡단면도.

도 20은 도 20의 (a)는 메모리 셀의 내부이고, 도 20의 (b)는 주변 회로부(Nch)이며, 그리고 도 20의 (c)는 주변 회로부(Pch)인 제2 종래예의 주요 공정을 도시하는 횡단면도.

도 21은 도 21의 (a)는 메모리 셀의 내부이고, 도 21의 (b)는 주변 회로부(Nch)이며, 그리고 도 21의 (c)는 주변 회로부(Pch)인 제2 종래예의 주요 공정을 도시하는 횡단면도.

도 22는 도 22의 (a)는 메모리 셀의 내부이고, 도 22의 (b)는 주변 회로부(Nch)이며, 그리고 도 22의 (c)는 주변 회로부(Pch)인 제2 종래예의 후기 공정을 도시하는 횡단면도.

도 23은 도 23의 (a)는 메모리 셀의 내부이고, 도 23의 (b)는 주변 회로부(Nch)이며, 그리고 도 23의 (c)는 주변 회로부(Pch)인 제2 종래예의 후기 공정을 도시하는 횡단면도.

도 24는 도 24의 (a)는 메모리 셀의 내부이고, 도 24의 (b)는 주변 회로부(Nch)이며, 그리고 도 24의 (c)는 주변 회로부(Pch)인 제2 종래예의 최종 공정을 도시하는 횡단면도.

도면의 주요 부분에 대한 부호의 설명

- 1 : P형 반도체 기판
- 2 : 필드 산화막
- 3 : 게이트 산화막
- 4 : 게이트 전극
- 5 : N⁻ 확산층
- 6 : 실리콘 산화막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 디바이스 제조 방법에 관한 것으로서, 특히 메모리 셀들을 포함하는 IC 내에 트랜지스터들을 형성하는 방법에 특징을 갖는 반도체 디바이스 제조 방법에 관한 것이다.

DRAM(Dynamic Random Access Memory)으로 대표되는 메모리의 단일 칩 내의 회로는 메모리 셀부 및 주변 회로부로 대별될 수 있다. DRAM의 경우에, 메모리 셀들 내의 트랜지스터들에서는, 소스/드레인 영역의 한 측면 상에 캐퍼시터가 형성되기 때문에, 고 전하 보유(high charge-holding) 특성이 요구된다. 다른 한편으로, 주변 회로의 트랜지스터들에서는, 고속화를 위해 고 전류 구동 능력이 요구된다. 이와 같은 요구들을 동시에 만족시키는 고 신뢰성 및 고 전류 구동 능력을 갖도록 된 것으로서 LDD(Lightly Doped Drain) 트랜지스터가 알려져 있다. LDD 트랜지스터를 형성하기 위해서는, 게이트 전극의 측면 상의 절연막 상에 측벽을 형성하는 것이 필요하다. 그러나, 이것은 측벽을 형성하는 에칭시, 에칭 분위기 중에 메모리 셀 내의 확산층이 노출되어 결정 흠결(crystal defects)을 발생시키는 문제점이 있다. 그 결과, 전하 보유 특성이 떨어지게 된다. 이와 같은 문제점을 해결하도록, 트랜지스터를 형성한 후에, 단지 메모리 셀들 내의 트랜지스터 표면들만이 절연막으로 덮이며, 주변 회로부의 트랜지스터 표면들은 절연막으로 덮이지 않는 방법이 제시되었다. 도 12 내지 도 19에 도시된 방법이 그 예이다(일본국 특공평 8-21687호 참조).

도 8 내지 도 19는 종래 기술의 예를 도시하는 횡단면도이다. 이들 도면에서, (a), (b), 및 (c)는 각각

메모리 셀의 내부, 주변 회로부(Nch), 및 주변 회로부(Pch)를 도시한다.

특히, 도 12에 도시된 바와 같이, 통상의 선택 산화법(LOCOS: Local Oxidation of Silicon) 등에 의해 P형 반도체 기판(1) 상에 필드 산화막(2)이 형성된다. 필드 산화막(2)에 의해 구획된 소자 능동 영역들 상에 게이트 산화막(3)을 형성한 후, 예를 들어 대략 200 nm 정도의 막 두께로 폴리실리콘막 또는 텅스텐 실리사이드막과 같은 도전막이 전체 표면 상에서 성장된다.

소정의 형상인 이 도전막을 패터닝함으로써 게이트 전극들(4)이 형성된다. 이때, 주변 회로부(Nch) 상에 레지스트가 형성되고, 예를 들어 인과 같은 불순물을 주입함으로써 메모리 셀 및 주변 회로부(Nch) 내의 확산층에만 N⁻ 확산층(5)이 형성된 후, 레지스트가 제거된다.

다음으로, 도 13에 도시된 바와 같이, 예를 들어 대략 100 nm 정도의 두께를 갖는 실리콘 산화막(6)이 전체 표면에서 성장된다.

그후, 도 14에 도시된 바와 같이, 메모리 셀들의 내부 위에만 레지스트가 형성되고, 실리콘 산화막(6)의 에칭이 실시된 후, 레지스트가 제거된다. 이와 같은 방법에서, 메모리 셀들의 전체 표면 상에 실리콘 산화막이 잔존하고, 주변 회로부의 경우에는, 게이트들의 측벽들에 실리콘 산화막 측벽들(8)이 형성되는 상태를 만든다.

다음으로, 도 15에 도시된 바와 같이, 예를 들어 약 200 nm의 막두께를 갖는 실리콘 산화막(25)이 전체 표면 상에 형성된다. 다음으로, 도 16에 도시된 바와 같이, 실리콘 산화막(25)에 대한 에칭이 행해지고 실리콘 산화막 측벽들(26)이 형성된다. 그 후, 메모리 셀들의 내부 및 주변 회로부(Pch)에 레지스트가 형성된 후, 예를 들어 인(phosphorous)이나 비소와 같은 불순물들을 주입함으로써 주변 회로부(Nch) 상에만 확산층(10)이 형성된다. 또한, 메모리 셀들의 내부 및 주변 회로부(Nch)에 레지스트가 형성된 후, 예를 들어 보론(boron)이나 BF₂와 같은 불순물들을 주입함으로써 주변 회로부(Pch) 상에만 P⁺ 확산층(11)이 형성된다.

또한, 도 17에 도시된 바와 같이, 예를 들어 약 300 nm 두께의 인이나 보론을 포함하는 실리콘 산화막과 같은 중간 절연막(12)이 전체 표면에서 성장된다. 계속해서, 메모리 셀들 내의 소정의 영역들에 개구들(apertures)이 형성된 후, 예를 들어 인을 포함하는 폴리실리콘과 같은 매립된 도전막(13)이 개구부들 내에 형성된다. 이때, 예를 들어 200 nm 두께의 텅스텐 실리사이드막과 같은 도전막이 전체 표면에 대해 성장되며, 이 도전막을 패터닝함으로써 비트 라인들(14)이 형성된다.

이때, 도 18에 도시된 바와 같이, 예를 들어 약 300 nm 두께의 인이나 보론을 포함하는 실리콘 산화막과 같은 중간 절연막(15)이 전체 표면에서 성장된 후, 중간 절연막(15)의 소정의 영역에 개구부들이 형성된다. 또한, 예를 들어 약 600 nm 두께의 인을 포함하는 폴리실리콘과 같은 도전막이 전체 표면에 대해 성장되고 소정의 형상으로 패터닝함으로써, 캐퍼시터 하부 전극들(16)이 형성된다.

다음으로, 도 19에 도시된 바와 같이, 예를 들어 약 6 nm 두께의 실리콘 질화막과 같은 캐퍼시터 절연막(17)이 전체 표면에서 성장된 후, 예를 들어 약 200 nm 두께의 인을 포함하는 폴리실리콘과 같은 도전막(12)을 성장시킨 후 패터닝함으로써, 단지 메모리 셀의 내부에만 캐퍼시터 상부 전극들(18)이 형성된다. 또한, 예를 들어 인과 보론을 포함하는 실리콘 산화막의 복합막에 의해 형성된 중간 절연막(19) 및 도핑되지 않은 실리콘 산화막이 전체 표면에서 성장되며, 이때 주변 회로부의 소정의 영역들 내에 개구부들이 형성된다. 개구부들의 내부에, 예를 들어 텅스텐과 같은 도전막에 의해 매립된 도전막(20)을 형성한 후, 예를 들어 티타늄, 질화 티타늄, 실리콘 또는 구리를 포함하는 질화 티타늄 또는 알루미늄과 같은 막이 연속적으로 형성된 후, 패터닝함으로써 저저항 배선(21)이 형성된다.

DRAM의 메모리 셀들의 내부 및 주변 회로부의 기본적인 부분들은 상술한 바와 같이 형성될 수 있다. 이상의 제1 종래예에서는, 주변 회로부에 게이트 전극들(4)의 측벽 상에 절연막 측벽들이 형성될 수 있기 때문에, LDD 트랜지스터들이 Nch부 내에 형성될 수 있으며, 또한 BC-LDD(Buried Channel LDD) 트랜지스터들이 Pch부 내에 형성될 수 있다. 이것이 트랜지스터의 신뢰성을 향상시키고 고 전류 구동 능력을 얻을 수 있게 한다. 또한, 메모리 셀들 내에서, 절연막에 의해 메모리 셀들이 덮이기 때문에, 메모리 셀들 내의 N⁻ 확산층(5)이 에칭 분위기에 노출되지 않으므로, 결정 흠결의 발생이 억제되고, 메모리 셀들의 전하 보유 특성이 향상될 수 있다.

다음으로, 제2 종래예가 설명된다. 제2 종래예에서는, 제1 종래예에서 확산층부의 티타늄 실리사이드화의 종래 방법을 사용함으로써 트랜지스터들의 전류 구동 능력이 더욱 향상된다. 이와 같은 예가 도 20 내지 도 24에 도시된 방법이다.

우선, 도 20에 도시된 바와 같이, 예를 들어 통상의 선택 산화법(LOCOS)에 의해 P⁻형 반도체 기판(1) 상에 필드 산화막(2)이 형성된다. 필드 산화막(2)에 의해 구획된 능동 소자 영역들 상에 게이트 산화막(3)을 형성한 후, 예를 들어 200 nm의 두께를 갖는 폴리실리콘막 또는 텅스텐 실리사이드와 같은 도전막이 전체 표면에 대해 성장되고, 이 도전막을 소정의 형상으로 패터닝함으로써 게이트 전극들(4)이 형성된다. 다음으로, 주변 회로부(Pch) 상에만 레지스트가 형성되고 예를 들어 인과 같은 불순물을 주입함으로써 메모리 셀들의 내부 및 주변 회로부(Nch)의 확산층 내에만 N⁻ 확산층(5)이 형성된 후, 레지스트가 제거된다.

다음으로, 도 21에 도시된 바와 같이, 예를 들어 100 nm 두께로 전체 표면에 대해 실리콘 질화막(27)이 성장된다.

계속해서, 도 22에 도시된 바와 같이 실리콘 질화막(27)을 에칭함으로써 게이트 전극들(4)의 측벽들 상에 실리콘 질화막 측벽들(22)이 형성된다. 다음으로, 메모리 셀의 내부 및 주변 회로부(Pch) 위에 레지스트를 형성한 후, 예를 들어 인이나 비소와 같은 불순물들을 주입함으로써 주변 회로부(Nch) 상에만 N⁺ 확산층(10)이 형성된다.

더우기, 메모리 셀의 내부 및 주변 회로부(Pch) 위에 레지스트를 형성한 후, 보론이나 BF_2 같은 불순물을 주입함으로써 주변 회로부(Pch) 상에만 P^+ 확산층(11)이 형성된다.

다음으로, 도 23에 도시된 바와 같이, 대략 80 nm 막두께의 티타늄이 스퍼터링법에 의해 전체 표면 상에서 성장되며, 질소 분위기 하에서 열처리가 행해진다. 또한, 황산(sulfuric acid)과 과산화수소(hydrogen peroxide)의 혼합액으로써 반응하지 않은(unreacted) 티타늄이 제거된다. 이와 같은 방식으로, 티타늄 실리사이드막(23)이 게이트들 상에 형성되고, 티타늄 실리사이드막(24)이 확산층 상에 형성된다. 티타늄 실리사이드막이 확산층 상에 형성되는 경우라도, 이것은 코발트 실리사이드와 같이 실리콘과 전이 금속 원소로 구성된 실리사이드의 막일 수 있다. 일반적으로, 이러한 반응을 셀리사이드화(salicing)라 한다(salicide : Self-Aligned Silicide의 약어).

다음으로, 도 24에 도시된 바와 같이, 예를 들어 약 300 nm 두께의 인이나 보론을 포함하는 실리콘 산화막과 같은 중간절연막(12)이 전체 표면 상에서 성장된다. 이후, 개구들이 메모리 셀들 내의 소정의 영역들에 형성되고, 예를 들어 인을 포함하는 폴리실리콘과 같은 매립된 도전막(13)이 이 개구부 내에 형성된다. 텅스텐 실리사이드막과 같은 도전막이 약 200 nm 두께로 전체 표면 상에서 성장되고 패터닝되어, 비트 라인들(14)이 형성된다. 예를 들어, 막두께가 약 300 nm인 인 및/또는 보론을 포함하는 실리콘 산화막과 같은 중간절연막(15)이 전체 표면 상에서 성장된 후, 중간절연막(15)의 소정의 영역들에 개구부들이 형성된다. 또한, 예를 들어 약 600 nm 두께의 인을 포함하는 폴리실리콘과 같은 도전막이 전체 표면 상에서 성장되고, 소정의 형상으로 패터닝되어, 캐퍼시터 하부 전극들(16)이 형성된다. 이때, 예를 들어 6 nm 두께의 실리콘 질화막과 같은 캐퍼시터 절연막(17)이 전체 표면 상에서 성장된 후, 전체 표면에 대해서 대략 200 nm 두께의 인을 포함하는 폴리실리콘과 같은 도전막이 성장된 후, 패터닝함으로써 메모리 셀들의 내부에만 캐퍼시터 상부 전극들(18)이 형성된다.

또한, 예를 들어 인 및 보론을 포함하는 실리콘 산화막과 도핑되지 않은 산화막의 복합막을 사용하여 생성된 중간절연막(19)이 전체 표면에 대해서 성장된 후, 주변 회로부의 소정의 영역에 개구부들이 형성된다. 예를 들어, 텅스텐과 같은 도전막에 의해 생성된 매립된 도전막(20)은 상기 개구부들 내에 형성된 후, 예를 들어 티타늄, 질화 티타늄, 실리콘 또는 구리를 포함하는 질화 텅스텐이나 알루미늄 같은 막이 연속적으로 형성되고 패터닝되어 저저항 배선(21)이 형성된다.

상기 제2 종래예로써, 향상된 전류 구동 능력이 확산층의 상부를 셀리사이드화함으로써 얻어진다. 또한, 게이트 전극들의 저항을 낮추는 것은 게이트 전극들의 상부를 셀리사이드화함으로써 달성된다.

그러나, 이들 종래예들은 하기와 같은 문제점들을 갖는다.

첫번째 문제점은 제1 종래예에 관한 것이다. 특히, 주변 회로부의 게이트 전극들의 측면 상에 실리콘 산화막 측벽(8)이 형성될 때, 메모리 셀들의 내부가 에칭 분위기에 노출되지 않도록, 메모리 셀들의 내부를 레지스트로 덮을 필요가 있다. 그러므로, 리소그래피용 레티클(reticle)의 구성 뿐만아니라 리소그래피 및 산화막 에칭의 각각의 경우에서 다수의 공정이 증가된다.

두번째 문제점은 제2 종래예에 관한 것이다. 특히, 확산층의 셀리사이드화를 억제하도록 메모리 셀들의 내부의 N^- 확산층(5)에 깊은 접합(deep junction)이 형성되어야 한다. 그러므로, 이것은 트랜지스터의 채널들을 단축시키는 효과를 발생시키기 쉬우므로, DRAM 메모리 셀의 미세화에 불리하다. 또한, 다수의 결합들이 N^- 확산층(5)의 셀리사이드화에 의해 증가되며, N^- 확산층(5)부의 접합 리키지(junction leakage)가 증가된다. 그러므로, 메모리 셀의 전하 보유 특성의 열화가 발생된다.

발명이 이루고자 하는 기술적 과제

본 발명의 제1 목적은, 주변 회로부에 고 신뢰성 및 고 전류 구동 능력을 갖는 LDD 트랜지스터를 형성하도록, 게이트 전극 측면 상의 절연막 측벽 형성시 특별한 공정을 추가함이 없이 메모리 셀 내의 확산층부가 에칭 분위기 중에 노출되는 것을 방지할 수 있는 반도체 디바이스의 제조 방법을 제공하는 것이다.

본 발명의 제2 목적은, 주변 회로부의 전류 구동 능력을 향상시키기 위해 확산층부의 셀리사이드화가 실시될 때, 메모리 셀 내의 확산층 상에서 셀리사이드화가 일어나지 않는 배치에 의해서, 메모리 셀의 트랜지스터의 단축 효과가 억제될 수 있고 접합 리키지의 증가가 방지될 수 있는 반도체 디바이스 제조 방법을 제공하는 것이다.

본 발명에 따른 반도체 디바이스 제조 방법이 기본적으로 포함하는 공정은: (a) 반도체 기판 상의 제1 영역에 일정한 게이트 전극 간격을 갖는 다수의 제1 트랜지스터를 형성하고, 상기 반도체 기판 상의 제2 영역에 상기 제1 트랜지스터들의 게이트 전극 간격보다 넓은 게이트 전극 간격을 갖는 다수의 제2 트랜지스터를 형성하는 공정; (b) 일정한 막두께의 절연막으로 이들 제1 및 제2 영역들의 전체 표면을 덮는 공정; (c) 이 전체 절연막을 에칭함으로써 상기 제1 트랜지스터들의 게이트 전극들 사이에 상기 절연막으로 구성되는 매립된 층을 형성하고, 상기 제2 트랜지스터들의 상기 게이트 전극들 상에 상기 절연막으로 구성되는 측벽들을 형성하는 공정이다. 또한 절연막의 막두께 D 및 제1 트랜지스터들의 게이트 전극 간격 S 는 $S < 2 \times D$ 관계가 성립되도록 설정하는 것이 바람직하다. 예를 들어, 상기 반도체 디바이스는 메모리 소자이고, 상기 제1 영역은 메모리 셀들의 내부이며, 상기 제2 영역은 주변 회로부이다.

공정 (c)에서, 제1 트랜지스터의 경우, 게이트 전극들 사이 간격은 자기정합적으로 절연막으로 채워지고, 제2 트랜지스터의 경우, 절연막의 측벽들은 게이트 전극들 상에 형성된다. 이와 같은 방식에 의해서, 공정 (c)의 에칭에서 게이트 전극들 사이의 간격들, 즉 제1 트랜지스터들의 확산층은 절연막으로 덮이므로, 에칭 분위기에 노출될 수 없다.

또한, 공정 (c) 이후, 다음 공정들이 추가될 수 있는데, 이들은 (d) 상기 제1 및 2 영역들의 전체 표면을 금속막으로 덮는 공정 및 (e) 상기 반도체 기판의 금속막과 모재료(base material)를 반응시키기 위해 가열하는 공정이다. 공정 (d)에서, 제1 트랜지스터들의 확산층(게이트 전극들 사이)의 표면은 절연막으로

덮이고, 제2 트랜지스터들의 확산층(게이트 전극들 사이)의 표면은 측벽들의 일부를 제외하고는 제거된다. 계속해서, 공정 (e)에서, 제1 트랜지스터들의 확산층은 금속층과 반응하지 않고, 제2 트랜지스터들의 확산층은 금속층과 반응한다.

또한, 공정 (b)의 절연막을 덮는 방법과 같이, CVD(Chemical Vapour Deposition)법 또는 스퍼터링법 등과 같은 양호한 스텝 커버리지를 제공하는 방법이 바람직하다. 바람직하게는, 공정 (c)의 절연막(6)의 에칭 방법은, 예를 들어 비등방성 에칭이 RIE(Reaction Ion Etching)에 의해서 실시되는 방법이다. 이들 경우에서, 절연막으로 구성되는 매립된 층들 및 절연막으로 구성되는 측벽들이 간단한 방법으로 형성될 수 있다. 특히, 양호한 스텝 커버리지를 제공하는 방법에 의해 절연막이 성장된다면, 매립된 층 및 측벽들을 구성하는 부분들에서의 절연막은 상당한 두께로 형성될 수 있다. 그 결과, 비등방성 에칭에 의해 이 절연막을 제거한 후에도 상당한 두께의 부분들이 신뢰성 있게 잔존할 수 있다.

발명의 구성 및 작용

다음으로, 본 발명의 제1 실시예를 도면과 관련하여 설명한다. 도 1 및 도 2는 초기 공정의 횡단면도이고, 도 3 및 도 4는 중간 공정의 횡단면도이며, 도 5는 주요 공정의 횡단면도이고, 도 6 및 도 7은 후속 공정의 횡단면도이며, 도 8은 최종 공정의 횡단면도이다. 이들 도면에서, (a), (b) 및 (c)는 각각 메모리 셀의 내부, 주변 회로부(Nch), 및 주변 회로부(Pch)를 도시한다.

우선, 도 1에 도시된 바와 같이, 예를 들어 통상의 선택 산화법(LOCOS)에 의해 P⁻형 반도체 기판(실리콘, 1) 상에 필드 산화막(2)이 형성된다. 필드 산화막(2)에 대하여, 기판에 개구들이 형성될 수 있고, 그 안에 매립된 산화막과 트랜치들로 인해 분리되거나, 또 다른 형성 방법이 적용될 수 있다. 산화막(2)에 의해 구획된 전자 능동 영역들 상에 게이트 산화막(3)을 형성한 후, 폴리실리콘막 또는 텅스텐 실리사이드막 등의 도전막이 대략 200 nm의 두께로 전체 표면에 대하여 성장되고, 소정의 형태로 이 도전막을 패터닝함으로써 게이트 전극들(4)이 형성된다.

주변 회로부(Pch) 상에만 레지스트를 형성하고, 예를 들어 인과 같은 불순물을 주입함으로써, 메모리 셀들의 내부 및 주변 회로부(Nch)의 확산층부에만 N⁻확산층(5)이 형성된 후, 레지스트가 제거된다. 본 실시예에서는, 메모리 셀들의 내부 및 주변 회로부(Nch)의 N⁻확산층에 동일한 불순물이 동시에 주입되지만, 별개의 분리 패터닝으로써 불순물의 분리 주입들이 실시될 수도 있다.

다음으로, 도 2에 도시된 바와 같이, 실리콘 산화막(6)이 전체 표면에 대하여 성장된다. 이 경우, 게이트 전극들(4)의 간격이 S이고, 실리콘 산화막(6)의 막두께가 D라면, D와 S는 $S < 2 \times D$ 이도록 결정된다. 예를 들어, S = 150 nm 라면, D는 적어도 75 nm 가 되어야 한다. 이와 같은 방법으로, 메모리 셀들 내부에, 실리콘 산화막(6)에 의해서 게이트들 사이의 공간들이 채워지는 배치가 형성된다.

다음으로, 실리콘 산화막(6)에 대한 에칭이 도 3에 도시된 바와 같이 실시된다. 이 방법에 의해, 메모리 셀들 내부에서, 실리콘 산화막(6)이 게이트 전극들 사이에 잔존하게 되며, 매립된 실리콘 산화막(7)이 형성된다. 한편, 주변 회로부에서는, 게이트 전극들의 측면들 상에만 실리콘 산화막이 남게되며, 실리콘 산화막 측벽들(8)이 형성된다. 또한, 도 2에서의 전체 표면에 대하여 실리콘 산화막(6)을 성장시키는 방법에 대해서는, 양호한 스텝 커버리지가 달성될 수 있는 CVD법 또는 스퍼터링법이 바람직하다. 도 3에서의 실리콘 산화막(6)의 에칭 방법에 대해서는, 비등방성 에칭을 제공하는 RIE와 같은 방법이 바람직하다. 이와 같은 방법을 사용하여, 매립된 실리콘 산화막(7) 및 실리콘 산화막 측벽들(8)이 간단한 방식으로 형성될 수 있다. 특히, 양호한 스텝 커버리지를 제공하는 방법에 의해서 도 2에서의 실리콘 산화막(6)이 성장된다면, 매립된 실리콘 산화막(7) 및 실리콘 산화막 측벽들(8)을 구성하는 부분들의 두꺼운 실리콘 산화막(6)이 형성될 수 있다. 실리콘 산화막(6)이 비등방성 에칭에 의해 제거된다면, 이들 두꺼운 부분들은 신뢰할 만한 방식으로 남겨질 수 있다.

다음으로, 도 4에 도시된 바와 같이, 메모리 셀 내부들 및 주변 회로부(Pch) 상에 레지스트(9)를 형성함으로써 주변 회로부(Nch)에만 N⁺확산층(10)이 형성된 후, 예를 들어 인이나 비소 등의 불순물을 주입하고, 그 후 레지스트(9)를 제거한다.

다음으로, 도 5에 도시된 바와 같이, 메모리 셀 내부들 및 주변 회로부(Nch) 위에 레지스트를 형성함으로써 주변 회로부(Pch)에만 P⁺확산층(11)이 형성된 후, 예를 들어 보론이나 BF₂ 등의 불순물을 주입하고, 그 후 레지스트(9)를 제거한다. 이와 같은 방식으로, 메모리 셀 내부들 및 주변 회로부의 모든 트랜지스터 부분들이 형성된다.

또한, 도 6에 도시된 바와 같이, 예를 들어 대략 300 nm 정도 두께의 인 및/또는 보론을 포함하는 실리콘 산화막과 같은 중간 절연막(12)이 전체 표면에 대하여 성장된다. 그 후, 메모리 셀들 내의 소정의 영역들에 개구들이 형성되고, 예를 들어 인을 포함하는 폴리실리콘과 같은 매립된 도전막(13)이 개구부들 내에 형성된다. 이때, 예를 들어 200 nm 정도 두께의 텅스텐 실리사이드막과 같은 도전막을 성장시킴으로써 전체 표면 상에 비트 라인들(14)이 형성된 후, 패터닝된다.

다음으로, 도 7에 도시된 바와 같이, 예를 들어 대략 300 nm 정도 두께의 인 및/또는 보론을 포함하는 실리콘 산화막과 같은 중간 절연막(15)이 전체 표면에 대하여 성장되고, 중간 절연막(15)의 소정의 영역들에 개구들이 형성된다. 또한, 예를 들어 대략 600 nm 정도 두께의 인을 포함하는 폴리실리콘과 같은 도전막을 성장시킴으로써 전체 표면에 대하여 캐퍼시터 하부 전극들(16)이 형성되어 소정의 형상으로 패터닝된다. 캐퍼시터 하부 전극들(16)은 통상적으로 소위 “적층된” 형태의 원기둥 형상이나 직육면체 형상이지만, “실린더(cylinder)” 형이나 “핀(fin)” 형 등으로 불리우는 3차원 구조로 처리될 수도 있다.

다음으로, 예를 들어 60 nm 정도 두께의 실리콘 질화막과 같은 캐퍼시터 절연막(17)이 도 8에 도시된 바와 같이 전체 표면에 대하여 성장된 후, 전체 표면에 대하여 대략 200 nm 정도 두께의 인을 포함하는 폴리실리콘과 같은 도전막을 성장시킴으로써 메모리 셀들 내에만 캐퍼시터 상부 전극들(18)이 형성된 후,

패터닝된다. 캐퍼시터 절연막(17)은 실리콘 질화막으로써 형성되지만, 실리콘 질화막/실리콘 산화막에 의해 형성된 탄탈 산화막 또는 복합막과 같은 고유전체막으로써 형성될 수도 있다. 이와 같은 고유전체막이 사용될 때, Pt(platinum), Ru(ruthenium) 또는 Ir(iridium) 등의 도전체가 상부 및 하부 전극들로서 사용된다. 더우기, 전체 표면 상에, 예를 들어 인 및 보론을 포함하는 도핑되지 않은 실리콘 산화막과 실리콘 산화막의 복합막에 의해 구성된 중간 절연막을 성장시킨 후, 주변 회로부의 소정의 영역들에 개구들이 형성된다.

다음으로, 예를 들어 텅스텐과 같은 도전막을 사용하여 형성된 매립된 도전막(20)이 개구들에 형성되고, 알루미늄 또는 예를 들어 티타늄, 질화 티타늄, 실리콘 또는 구리를 포함하는 질화티타늄 등의 막이 연속적으로 형성된 후, 패터닝이 수행되어 저 저항 배선(21)이 형성된다. DRAM의 주변 회로부 및 메모리 셀들의 내부들이 이와 같이 형성될 수 있다.

본 실시예에서, 주변 회로부의 게이트 전극 측벽들 상에 실리콘 산화막 측벽들(8)이 형성될 때, 게이트 전극들 사이의 공간들은 매립된 실리콘 산화막(7)에 의해 자기정합적으로 채워진다. 다행히도, 실리콘 산화막 측벽들(8)의 형성시 에칭 분위기에 메모리 셀들 내의 N 확산층(5)이 노출될 가능성은 없다.

다음으로, 도면들과 관련하여 제2 실시예가 설명된다. 도 9 및 도 10은 주요 공정들의 횡단면도들이며, 도 11은 최종 공정의 횡단면도이다. 초기, 중간 및 주요 공정들에서는, 제1 실시예와 정확히 같은 방식으로 형성되며, 이것은 도 1 내지 도 5에 도시된 것이다. 바로 이 공정까지는, 메모리 셀들의 내부들 및 주변 회로부들의 트랜지스터부들의 기본 구조가 모두 형성된다.

다음으로, 도 9에 도시된 바와 같이, 예를 들어 대략 80 nm 정도 두께의 티타늄이 스퍼터링법에 의해 전체 표면 위에 성장되고, 열처리가 질소 분위기 하에서 시행된다. 또한, 황산과 과산화수소의 혼합액에서 반응되지 않은 티타늄이 제거된다. 이와 같은 방법에 의해서, 티타늄 실리콘사이드막(23)이 게이트들 상에 형성되고, 티타늄 실리콘사이드막(24)이 확산층들 상에 형성된다. 티타늄 실리콘사이드막들이 확산층들 및 게이트들 상에 형성되었지만, 예를 들어 코발트 실리콘사이드막이 형성될 수도 있다.

다음으로, 도 10에 도시된 바와 같이, 예를 들어 대략 300 nm 정도 두께의 인 및/또는 보론을 포함하는 실리콘 산화막 등의 중간 절연막(12)이 전체 표면 위에서 성장된다. 그 후, 메모리 셀들 내의 소정의 영역에 개구들이 형성되고, 예를 들어 인을 포함하는 폴리실리콘과 같은 매립된 도전막(13)이 개구부들 내에 형성된다. 또한, 전체 표면 위에 대략 200 nm 정도 막두께의 텅스텐 실리콘사이드막 등의 도전막을 성장시킴으로써 비트 라인들(14)이 형성된 후, 패터닝된다.

다음으로, 도 11에 도시된 바와 같이, 예를 들어 대략 300 nm 정도 두께의 인 및/또는 보론을 포함하는 실리콘 산화막 등의 중간 절연막(15)이 전체 표면 위에서 성장된 후, 이 중간 절연막(15)의 소정 영역들에 개구부들이 형성된다. 또한, 예를 들어 대략 600 nm 정도 두께의 인을 포함하는 폴리실리콘 등의 도전막을 전체 표면 위에서 성장시킴으로써 캐퍼시터 하부 전극들(16)이 형성된 후, 상술한 형상으로 패터닝된다. 다음, 예를 들어 6 nm 정도 두께의 실리콘 질화막 등의 캐퍼시터 절연막(17)이 전체 표면 위에서 성장된 후, 예를 들어 200 nm 정도 두께의 인을 포함하는 폴리실리콘 등의 도전막을 전체 표면 위에서 성장시킴으로써 메모리 셀들 내에만 캐퍼시터 상부 전극들(18)이 형성된 후, 패터닝된다. 또한, 예를 들어 인 및/또는 보론을 포함하는 도핑되지 않은 실리콘 산화막 및 실리콘 산화막의 복합막에 의해 생성된 중간 절연막(19)이 전체 표면 위에서 성장된 후, 주변 회로부의 소정의 영역들에 개구부들이 형성된다. 다음, 개구부들 내에 예를 들어 텅스텐으로 만들어진 매립된 도전막(20)에 의해 저저항 배선(21)이 형성된 후, 예를 들어 티타늄, 질화 티타늄, 실리콘 또는 구리를 포함하는 질화티타늄 또는 알루미늄 등의 막이 연속적으로 형성된 후 패터닝된다.

본 실시예에서는 주변 회로부의 확산층들이 실리콘사이드화되기 때문에, 주변 회로부의 트랜지스터들의 전류 구동 능력이 향상될 수 있다. 또한, 메모리 셀들 내의 확산층들은 실리콘사이드화되지 않기 때문에, 실리콘사이드화에 의해 발생하는 접합 리키지의 증가가 억제될 수 있다.

발명의 효과

본 발명의 제1 및 2 실시예에서는 스토리지 노드 전극들(storage node electrodes)이 비트 라인 위의 층 상에 형성된 COB(Capacitor On Bitline) 구조가 채택되었지만, 스토리지 전극들 위의 층 상에 비트 라인들이 형성되는 경우에도 역시 본 발명이 적용될 수 있다는 것은 주지되어야 한다. 또한, 본 발명의 제1 및 2 실시예에서는 DRAM이 메모리 셀들에 사용되었지만, SRAM 등의 다른 메모리 셀들에도 본 발명은 적용될 수 있다.

본 발명의 제1 효과는 다음과 같다. 제2 영역(예를 들어, 주변 회로부)의 게이트 전극들의 측면들 상에 절연막의 측벽들이 형성될 때, 제1 영역(예를 들어, 메모리 셀 내부)의 전극들 사이의 공간은 절연막에 의해 자기정합적으로 채워진다. 따라서, 에칭 분위기에 제1 영역의 확산층부가 노출되는 것을 방지하기 위해 특별한 공정들을 추가할 필요가 없으므로, 공정수가 감소될 수 있다.

본 발명의 제2 효과는 다음과 같다. 제2 영역의 확산층 상에 실리콘사이드화를 행할 때, 게이트 전극들 사이의 공간들이 절연막에 의해 채워지기 때문에, 제1 영역의 확산층의 실리콘사이드화는 발생하지 않는다. 그러므로, 실리콘사이드화를 방지하기 위하여 제1 영역에 깊은 접합을 형성할 필요가 없으므로, 트랜지스터들의 채널 단축 효과는 억제될 수 있다. 또한 실리콘사이드화에 의해 발생된 결정 결함에 기인한 N 확산층의 접합 리키지의 증가는 방지될 수 있다. 그 결과, 제1 영역에서 양호한 전하 보유 특성을 유지하는 것이 가능하다.

본 발명은 그 사상이나 중요한 특성으로부터 벗어나지 않는 다른 특수한 형태로도 구현될 수 있다. 그러므로, 본 실시예들은 도시된 것과 같은 모든 관점들에서 고려되며 제한되지 않아야 하고, 본 발명의 범위는 상술한 설명 보다는 청구항들에 의해서 표현되므로, 그 청구항들과 등가의 의미 및 범위 내의 모든 변경들은 그 안에 포함되는 것으로 고려되어야 한다.

영세서, 청구항, 도면 및 요약서를 포함하는 일본국 특허 출원 97-161671호(1997, 6, 18)의 모든 발명이

본 명세서에서 그 전체로서 설명된다.

(57) 청구의 범위

청구항 1

반도체 디바이스 제조 방법에 있어서:

(a) 반도체 기판 상의 제1 영역에 일정한 게이트 전극 간격을 갖는 다수의 제1 트랜지스터를 형성하고, 상기 반도체 기판 상의 제2 영역에 상기 제1 트랜지스터들의 게이트 전극 간격보다 넓은 게이트 전극 간격을 갖는 다수의 제2 트랜지스터를 형성하는 공정;

(b) 일정한 막두께의 절연막으로 상기 제1 및 2 영역들의 전체 표면을 덮는 공정; 및

(c) 상기 전체 절연막을 에칭함으로써 상기 제1 트랜지스터들의 게이트 전극들 사이에 상기 절연막으로 구성되는 매립된 층을 형성하고, 상기 제2 트랜지스터들의 게이트 전극들 상에 상기 절연막으로 구성되는 측벽들을 형성하는 공정

을 포함하는 반도체 디바이스 제조 방법.

청구항 2

반도체 디바이스 제조 방법에 있어서:

(a) 반도체 기판 상의 제1 영역에 일정한 게이트 전극 간격을 갖는 다수의 제1 트랜지스터를 형성하고, 상기 반도체 기판 상의 제2 영역에 상기 제1 트랜지스터들의 게이트 전극 간격보다 넓은 게이트 전극 간격을 갖는 다수의 제2 트랜지스터를 형성하는 공정;

(b) 일정한 막두께의 절연막으로 상기 제1 및 2 영역들의 전체 표면을 덮는 공정;

(c) 상기 전체 절연막을 에칭함으로써 상기 제1 트랜지스터들의 게이트 전극들 사이에 상기 절연막으로 구성되는 매립된 층을 형성하고, 상기 제2 트랜지스터들의 게이트 전극들 상에 상기 절연막으로 구성되는 측벽들을 형성하는 공정;

(d) 상기 제1 및 2 영역들의 전체 표면을 금속막으로 덮는 공정; 및

(e) 상기 반도체 기판의 모재료와 금속막을 반응시키기 위해 가열하는 공정

을 포함하는 반도체 디바이스 제조 방법.

청구항 3

반도체 디바이스 제조 방법에 있어서:

(a) 반도체 기판 상의 제1 영역에 일정한 게이트 전극 간격을 갖는 다수의 제1 트랜지스터를 형성하고, 상기 반도체 기판 상의 제2 영역에 상기 제1 트랜지스터들의 게이트 전극 간격보다 넓은 게이트 전극 간격을 갖는 다수의 제2 트랜지스터를 형성하는 공정;

(b) 일정한 막두께의 절연막으로 상기 제1 및 2 영역들의 전체 표면을 덮는 공정;

(c) 상기 전체 절연막을 에칭함으로써 상기 제1 트랜지스터들의 게이트 전극들 사이에 상기 절연막으로 구성되는 매립된 층을 형성하고, 상기 제2 트랜지스터들의 게이트 전극들 상에 상기 절연막으로 구성되는 측벽들을 형성하는 공정;

(d) 상기 제1 및 2 영역들의 전체 표면을 금속막으로 덮는 공정; 및

(e) 상기 반도체 기판의 모재료 및 상기 게이트 전극을 상기 금속막과 반응시키기 위해 가열하는 공정

을 포함하는 반도체 디바이스 제조 방법.

청구항 4

제1항에 있어서, 상기 절연막의 막두께가 D 이고, 상기 제1 트랜지스터의 게이트 전극 간격이 S 인 경우, $S < 2 \times D$ 인 관계를 만족하는 반도체 디바이스 제조 방법.

청구항 5

제2항에 있어서, 상기 절연막의 막두께가 D 이고, 상기 제1 트랜지스터의 게이트 전극 간격이 S 인 경우, $S < 2 \times D$ 인 관계를 만족하는 반도체 디바이스 제조 방법.

청구항 6

제3항에 있어서, 상기 절연막의 막두께가 D 이고, 상기 제1 트랜지스터의 게이트 전극 간격이 S 인 경우, $S < 2 \times D$ 인 관계를 만족하는 반도체 디바이스 제조 방법.

청구항 7

제1항에 있어서, 일정한 막두께의 절연막으로 상기 제1 및 2 영역들의 전체 표면을 덮는 방법이 양호한 스텝 커버리지(good step coverage)의 막 제조 방법인 반도체 디바이스 제조 방법.

청구항 8

제2항에 있어서, 일정한 막두께의 절연막으로 상기 제1 및 2 영역들의 전체 표면을 덮는 방법이 양호한

스텝 커버리지(good step coverage)의 막 제조 방법인 반도체 디바이스 제조 방법.

청구항 9

제3항에 있어서, 일정한 막두께의 절연막으로 상기 제1 및 2 영역들의 전체 표면을 덮는 방법이 양호한 스텝 커버리지(good step coverage)의 막 제조 방법인 반도체 디바이스 제조 방법.

청구항 10

제1항에 있어서, 일정한 막두께의 절연막으로 상기 제1 및 2 영역들의 전체 표면을 덮는 방법이 CVD법인 반도체 디바이스 제조 방법.

청구항 11

제2항에 있어서, 일정한 막두께의 절연막으로 상기 제1 및 2 영역들의 전체 표면을 덮는 방법이 CVD법인 반도체 디바이스 제조 방법.

청구항 12

제3항에 있어서, 일정한 막두께의 절연막으로 상기 제1 및 2 영역들의 전체 표면을 덮는 방법이 CVD법인 반도체 디바이스 제조 방법.

청구항 13

제1항에 있어서, 일정한 막두께의 절연막으로 상기 제1 및 2 영역들의 전체 표면을 덮는 방법이 스퍼터링(sputtering)법인 반도체 디바이스 제조 방법.

청구항 14

제2항에 있어서, 일정한 막두께의 절연막으로 상기 제1 및 2 영역들의 전체 표면을 덮는 방법이 스퍼터링(sputtering)법인 반도체 디바이스 제조 방법.

청구항 15

제3항에 있어서, 일정한 막두께의 절연막으로 상기 제1 및 2 영역들의 전체 표면을 덮는 방법이 스퍼터링(sputtering)법인 반도체 디바이스 제조 방법.

청구항 16

제1항에 있어서, 상기 전체 절연막의 에칭 방법이 비등방성(anisotropic) 에칭인 반도체 디바이스 제조 방법.

청구항 17

제2항에 있어서, 상기 전체 절연막의 에칭 방법이 비등방성(anisotropic) 에칭인 반도체 디바이스 제조 방법.

청구항 18

제3항에 있어서, 상기 전체 절연막의 에칭 방법이 비등방성(anisotropic) 에칭인 반도체 디바이스 제조 방법.

청구항 19

제1항에 있어서, 상기 전체 절연막의 에칭 방법이 RIE 인 반도체 디바이스 제조 방법.

청구항 20

제2항에 있어서, 상기 전체 절연막의 에칭 방법이 RIE 인 반도체 디바이스 제조 방법.

청구항 21

제3항에 있어서, 상기 전체 절연막의 에칭 방법이 RIE 인 반도체 디바이스 제조 방법.

청구항 22

제1항에 있어서, 상기 반도체 디바이스는 메모리 소자이며, 상기 제1 영역은 메모리 셀들의 내부이며, 그리고 상기 제2 영역은 주변 회로부인 반도체 디바이스 제조 방법.

청구항 23

제2항에 있어서, 상기 반도체 디바이스는 메모리 소자이며, 상기 제1 영역은 메모리 셀들의 내부이며, 그리고 상기 제2 영역은 주변 회로부인 반도체 디바이스 제조 방법.

청구항 24

제3항에 있어서, 상기 반도체 디바이스는 메모리 소자이며, 상기 제1 영역은 메모리 셀들의 내부이며, 그리고 상기 제2 영역은 주변 회로부인 반도체 디바이스 제조 방법.

청구항 25

제2항에 있어서, 상기 반도체 기판의 모재료는 실리콘이며, 상기 금속막은 티타늄 또는 전이 금속 원소인

반도체 디바이스 제조 방법.

청구항 26

제3항에 있어서, 상기 반도체 기판의 모재료는 실리콘이며, 상기 금속막은 티타늄 또는 전이 금속 원소인 반도체 디바이스 제조 방법.

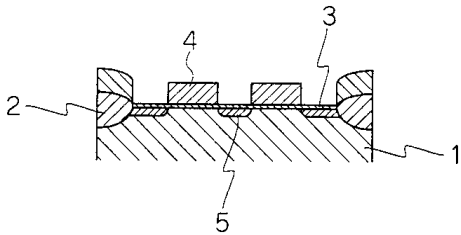
청구항 27

제3항에 있어서, 상기 게이트 전극들은 폴리실리콘 또는 실리사이드인 반도체 디바이스 제조 방법.

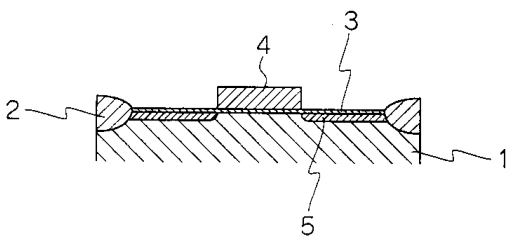
도면

도면1

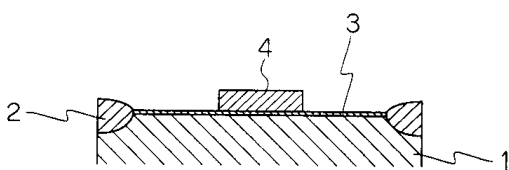
(a) 메모리 셀 내부



(b) 주변 회로부 (Nch)

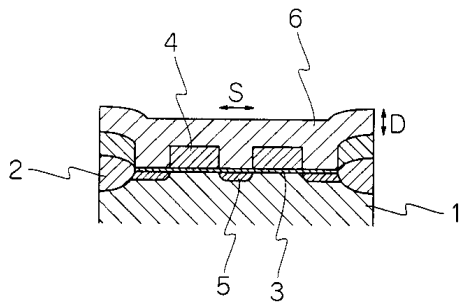


(c) 주변 회로부 (Pch)

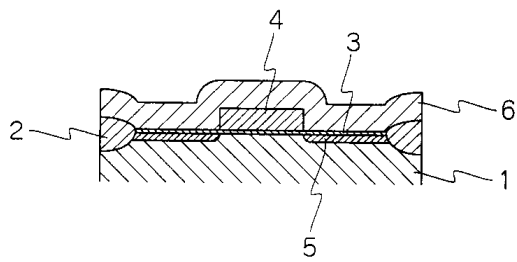


도면2

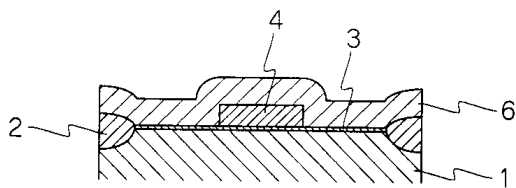
(a) 메모리 셀 내부



(b) 주변 회로부 (Nch)

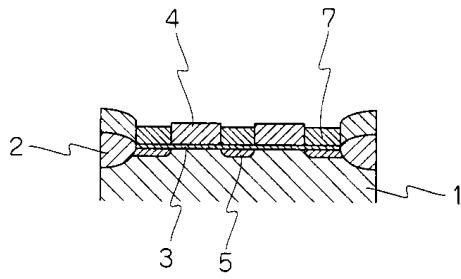


(c) 주변 회로부 (Pch)

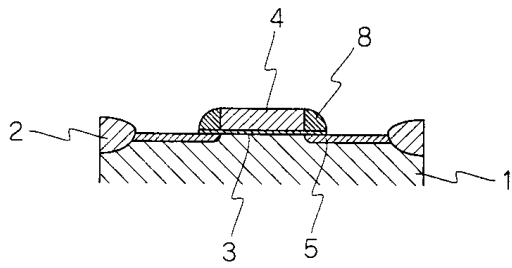


도면3

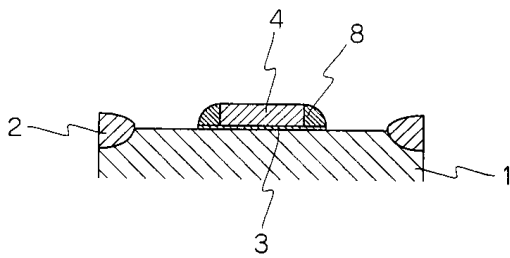
(a) 메모리 셀 내부



(b) 주변 회로부 (Nch)

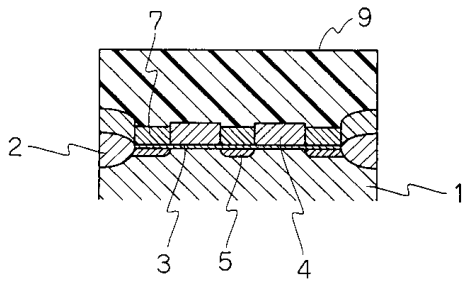


(c) 주변 회로부 (Pch)

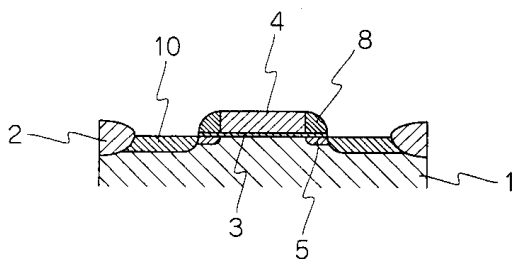


도면4

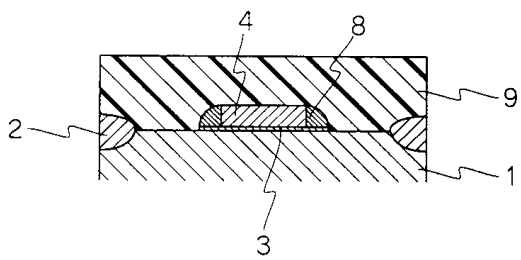
(a) 메모리 셀 내부



(b) 주변 회로부 (Nch)

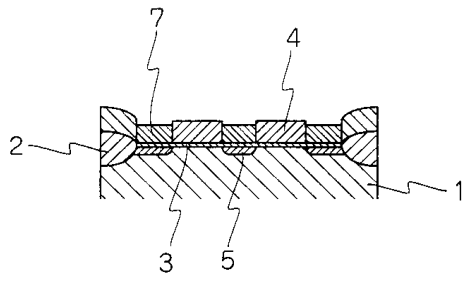


(c) 주변 회로부 (Pch)

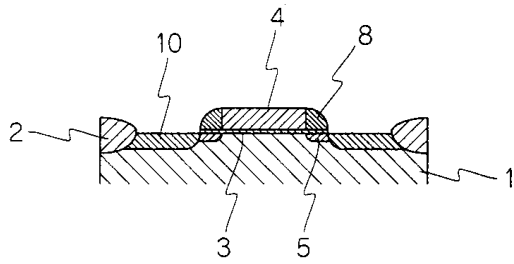


도면5

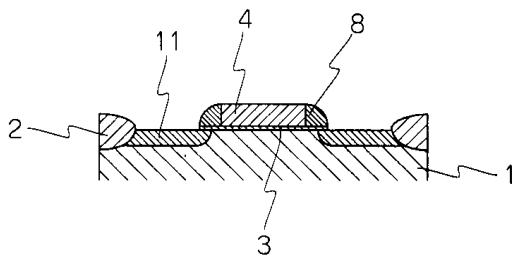
(a) 메모리 셀 내부



(b) 주변 회로부 (Nch)

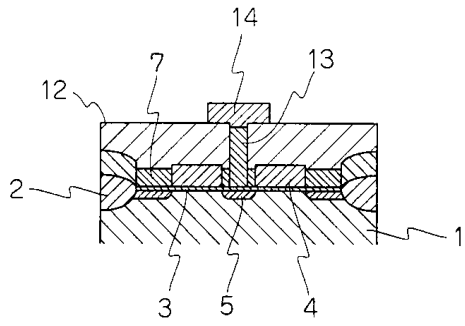


(c) 주변 회로부 (Pch)

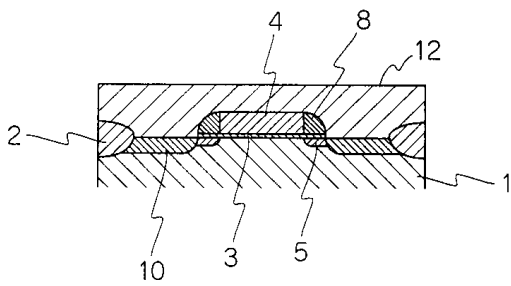


도면6

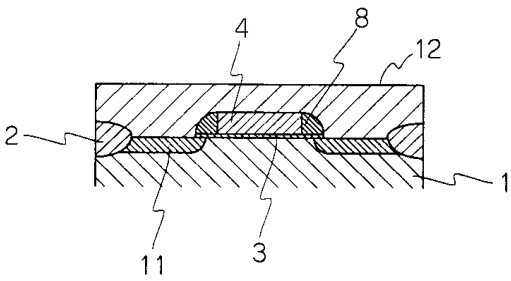
(a) 메모리 셀 내부



(b) 주변 회로부 (Nch)

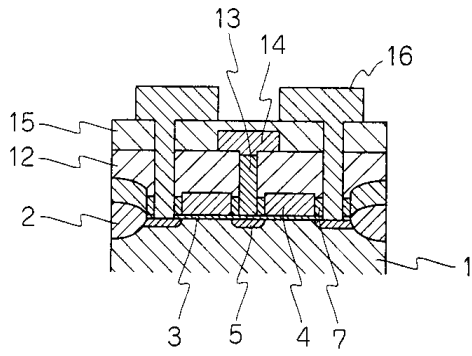


(c) 주변 회로부 (Pch)

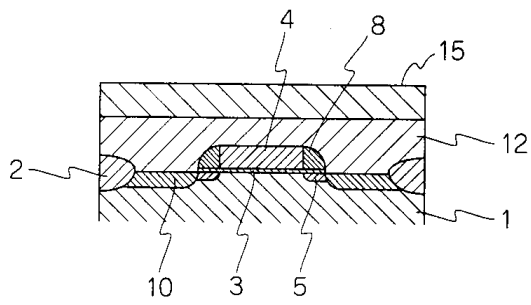


도면7

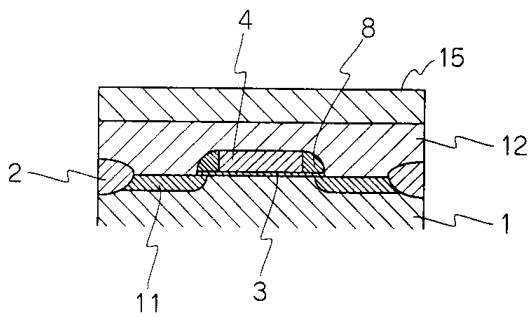
(a) 메모리 셀 내부



(b) 주변 회로부 (Nch)

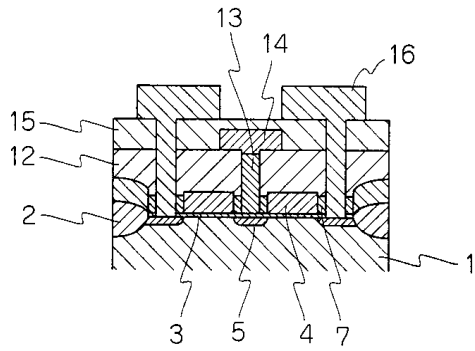


(c) 주변 회로부 (Pch)

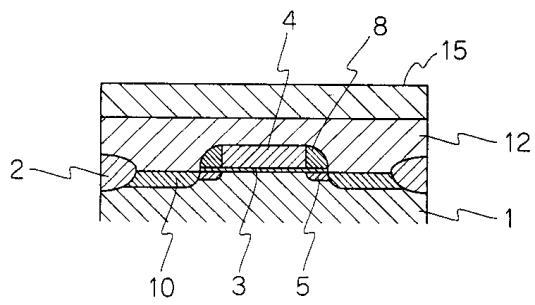


도면8

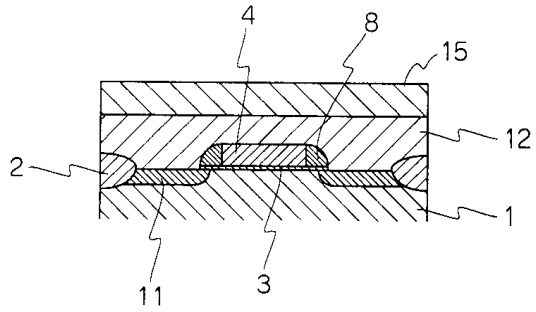
(a) 메모리 셀 내부



(b) 주변 회로부 (Nch)

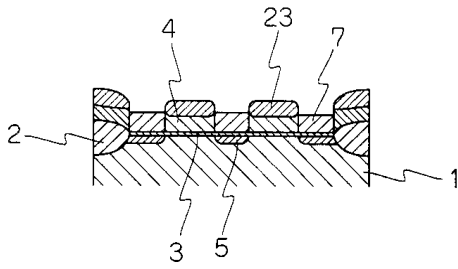


(c) 주변 회로부 (Pch)

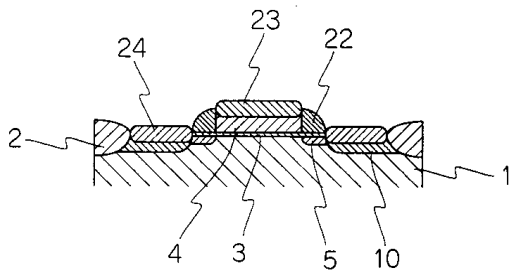


도면9

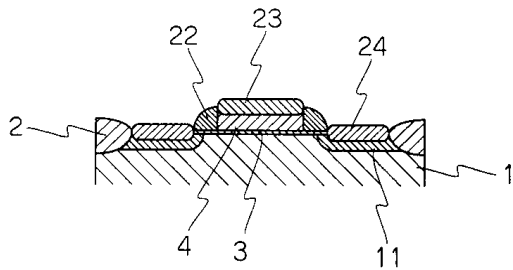
(a) 메모리 셀 내부



(b) 주변 회로부 (Nch)

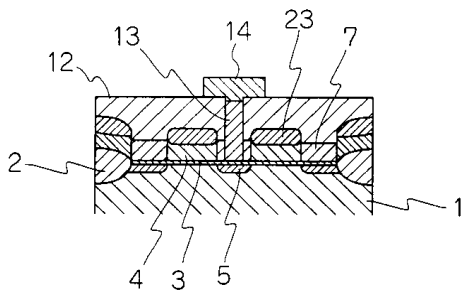


(c) 주변 회로부 (Pch)

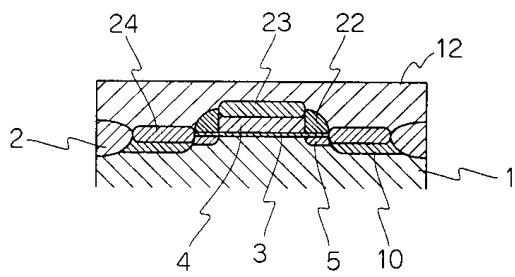


도면10

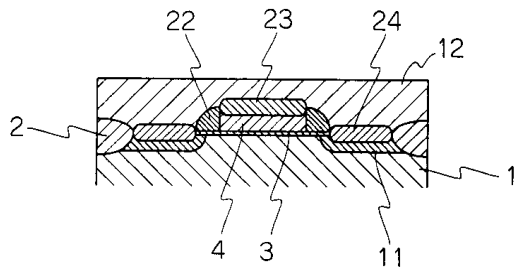
(a) 메모리 셀 내부



(b) 주변 회로부 (Nch)

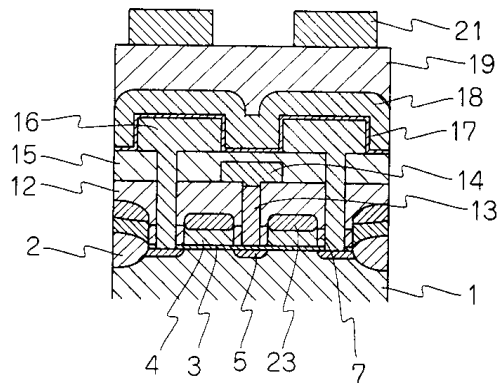


(c) 주변 회로부 (Pch)

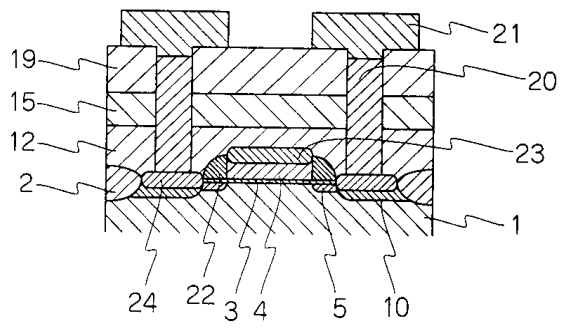


도면11

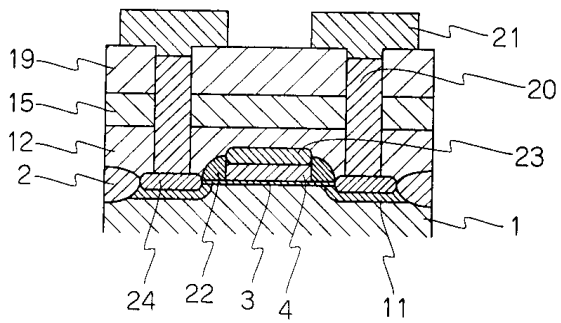
(a) 메모리 셀 내부



(b) 주변 회로부 (Nch)

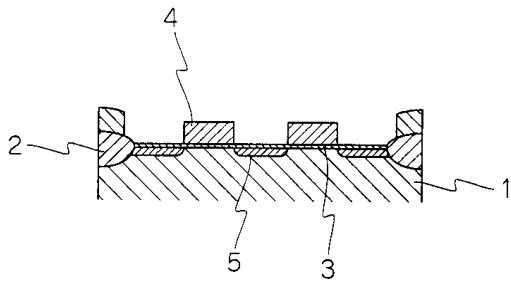


(c) 주변 회로부 (Pch)

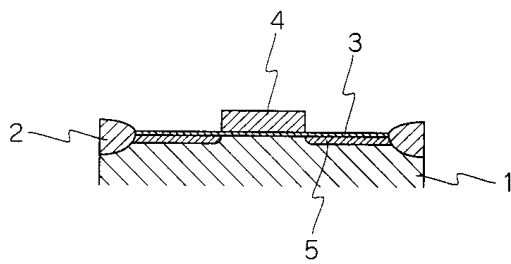


도면12

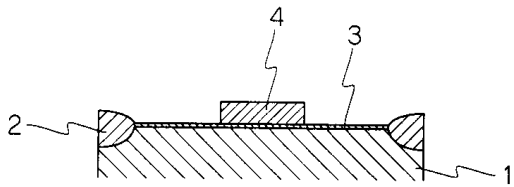
(a) 메모리 셀 내부



(b) 주변 회로부 (Nch)

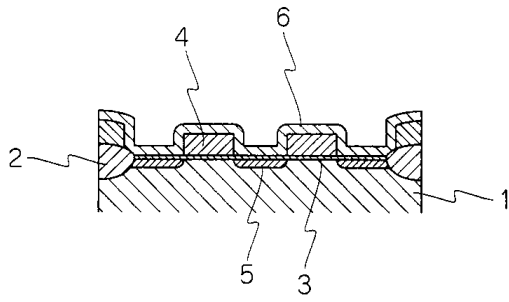


(c) 주변 회로부 (Pch)

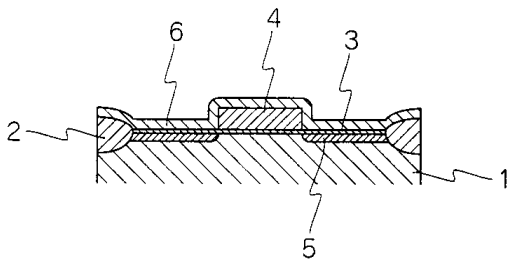


도면13

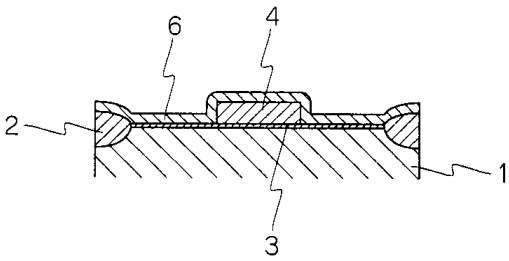
(a) 메모리 셀 내부



(b) 주변 회로부 (Nch)

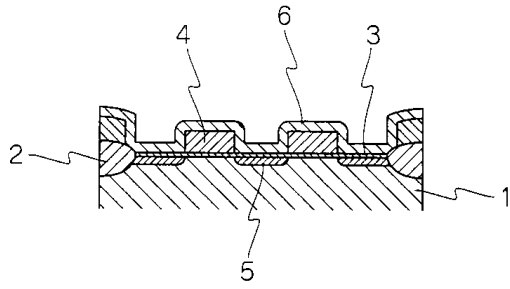


(c) 주변 회로부 (Pch)

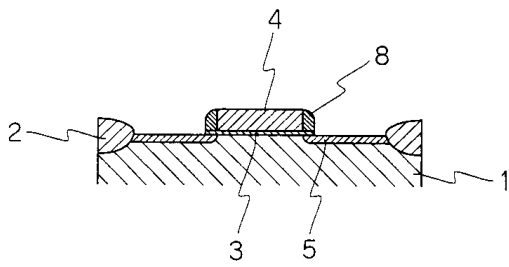


도면14

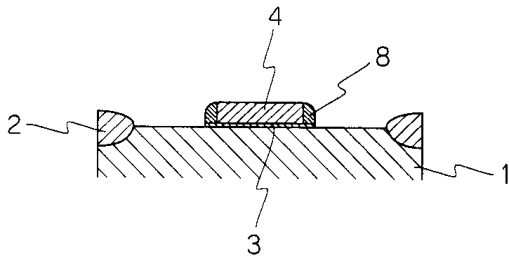
(a) 메모리 셀 내부



(b) 주변 회로부 (Nch)

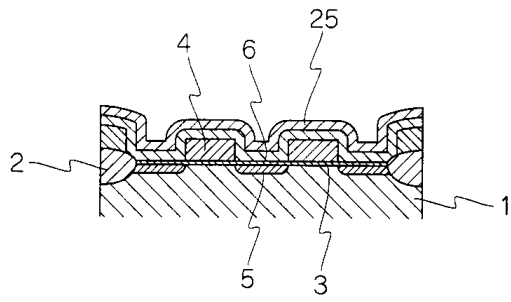


(c) 주변 회로부 (Pch)

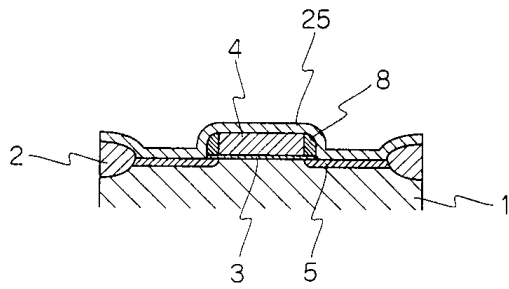


도면15

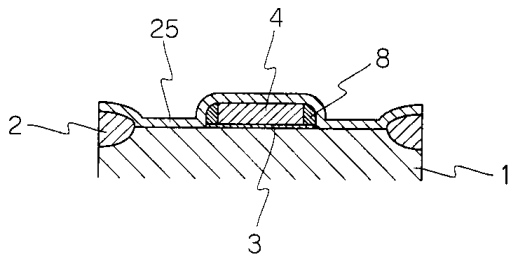
(a) 메모리 셀 내부



(b) 주변 회로부 (Nch)

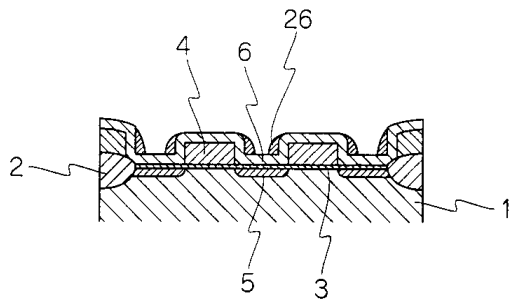


(c) 주변 회로부 (Pch)

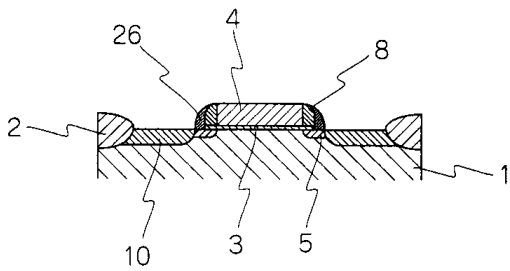


도면 16

(a) 메모리 셀 내부

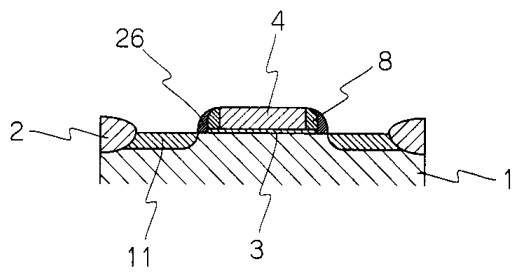


(b) 주변 회로부 (Nch)



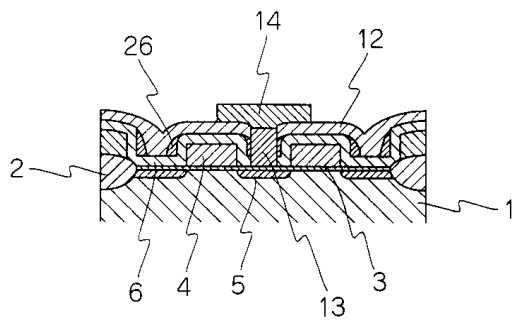
(c) 주변 회로부 (Pch)

(Pch)

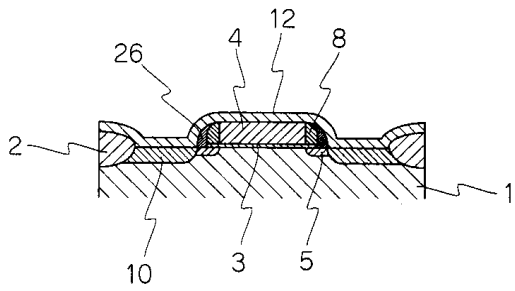


도면17

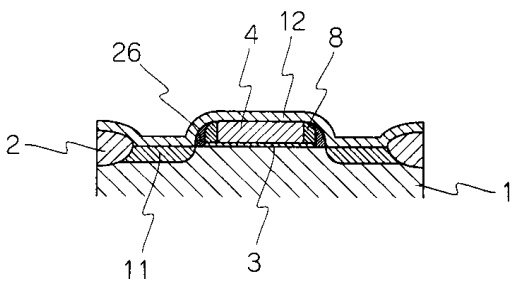
(a) 메모리 셀 내부



(b) 주변 회로부 (Nch)

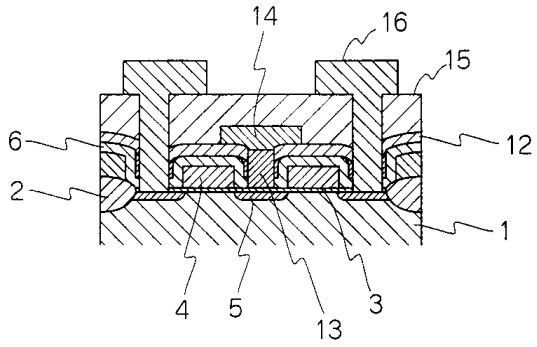


(c) 주변 회로부 (Pch)

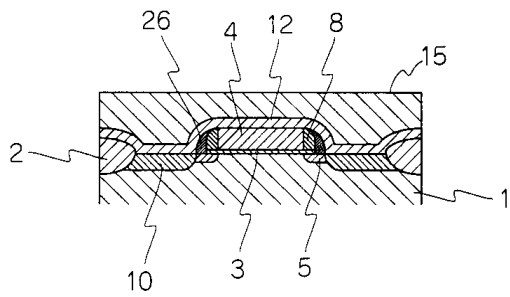


도면 18

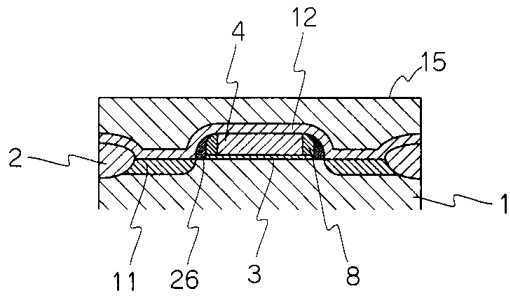
(a) 메모리 셀 내부



(b) 주변 회로부 (Nch)

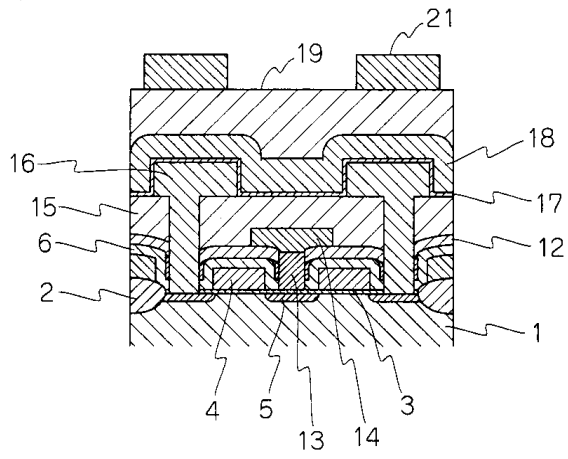


(c) 주변 회로부 (Pch)

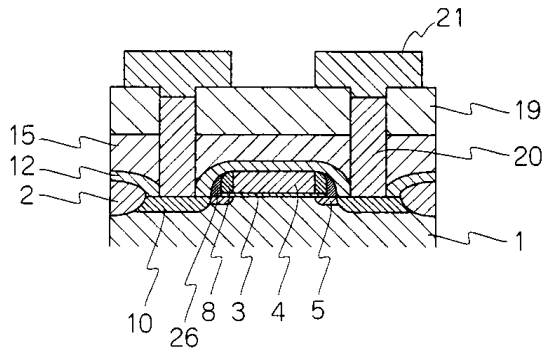


도면19

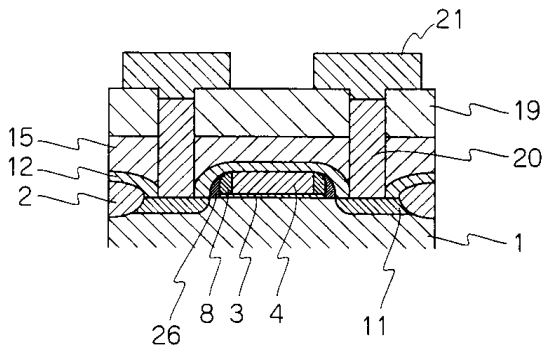
(a) 메모리 셀 내부



(b) 주변 회로부 (Nch)

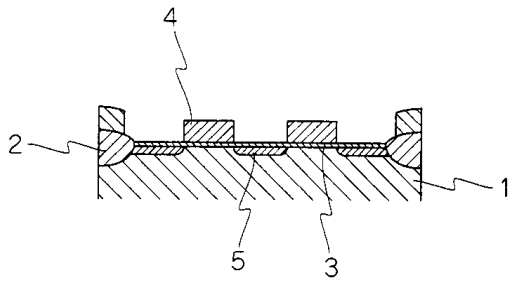


(c) 주변 회로부 (Pch)

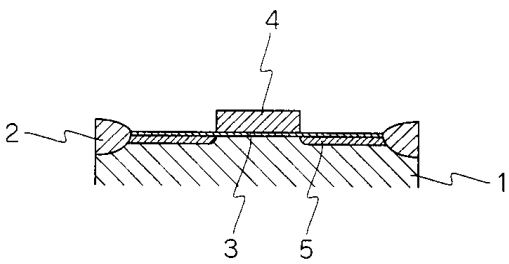


도면20

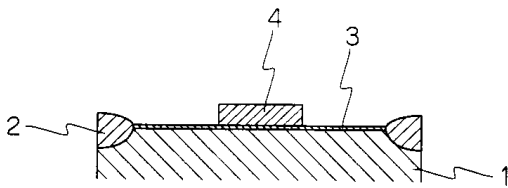
(a) 메모리 셀 내부



(b) 주변 회로부 (Nch)

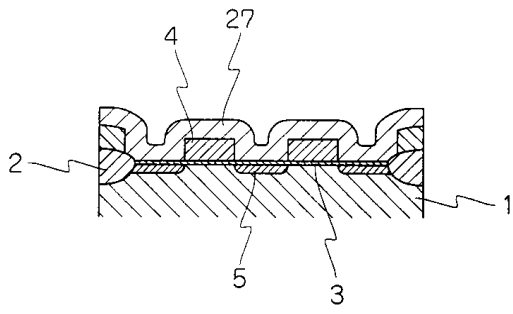


(c) 주변 회로부 (Pch)

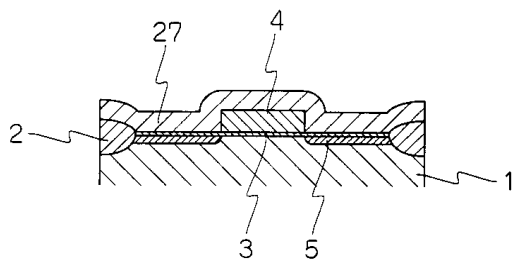


도면21

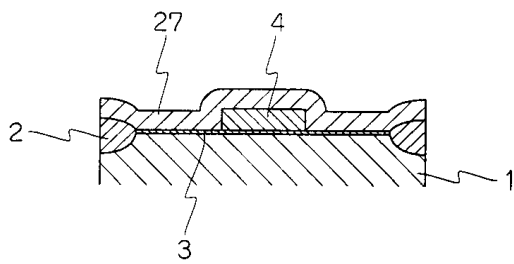
(a) 메모리 셀 내부



(b) 주변 회로부 (Nch)

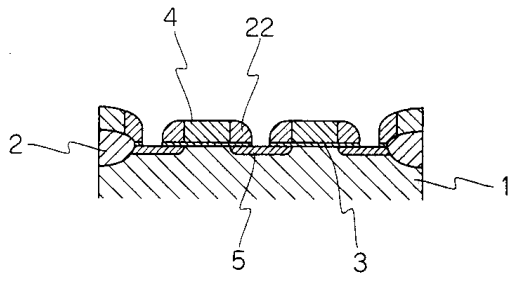


(c) 주변 회로부 (Pch)

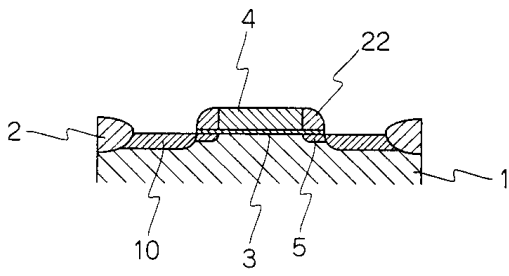


도면22

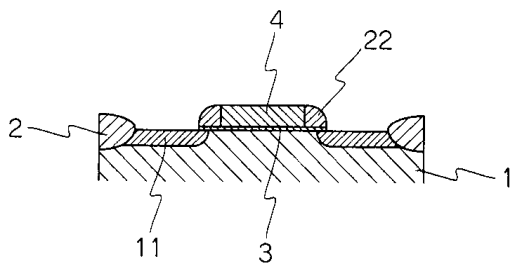
(a) 메모리 셀 내부



(b) 주변 회로부 (Nch)

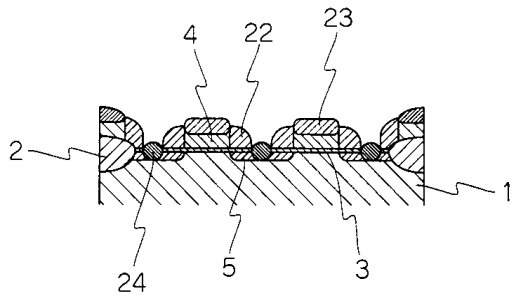


(c) 주변 회로부 (Pch)

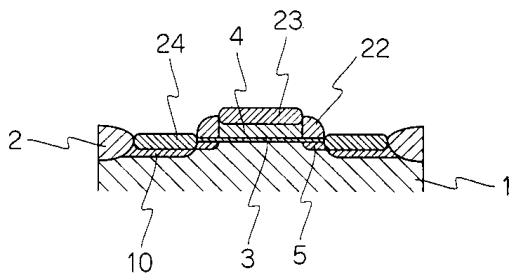


도면23

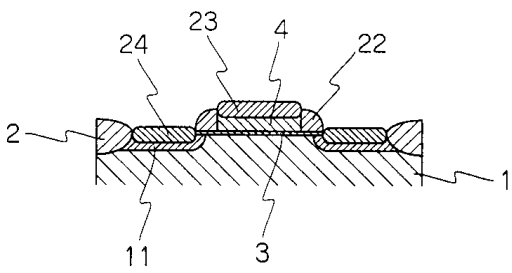
(a) 메모리 셀 내부



(b) 주변 회로부 (Nch)

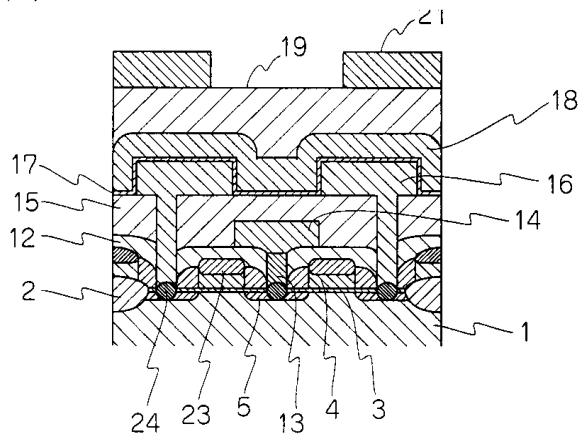


(c) 주변 회로부 (Pch)

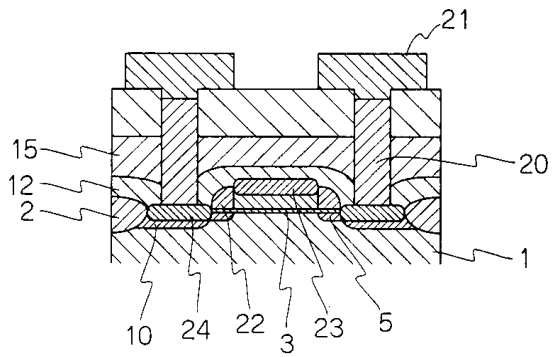


도면24

(a) 메모리 셀 내부



(b) 주변 회로부 (Nch)



(c) 주변 회로부 (Pch)

