

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

**特許第3747480号
(P3747480)**

(45) 発行日 平成18年2月22日(2006.2.22)

(24) 登録日 平成17年12月9日(2005.12.9)

(51) Int. Cl.	F I				
H03L 7/183 (2006.01)	H03L	7/18			B
H03L 7/06 (2006.01)	H03L	7/06			B
H03L 7/18 (2006.01)	H03L	7/18			Z

請求項の数 5 (全 10 頁)

<p>(21) 出願番号 特願平6-229085 (22) 出願日 平成6年8月31日(1994.8.31) (65) 公開番号 特開平7-154253 (43) 公開日 平成7年6月16日(1995.6.16) 審査請求日 平成13年5月22日(2001.5.22) (31) 優先権主張番号 9310577 (32) 優先日 平成5年8月31日(1993.8.31) (33) 優先権主張国 フランス(FR)</p>	<p>(73) 特許権者 591035139 エステーミクロエレクトロニクス ソシエ テ アノニム フランス国, 92120 モンルージュ, プールパール ロマン ロラン, 29番地 (74) 代理人 100074930 弁理士 山本 恵一 (72) 発明者 ジャック メイヤー フランス国, 38700 コレン, ケミ デ ラ クロワ デ モ ントフルーリ, 20番地 審査官 甲斐 哲雄</p>
---	--

最終頁に続く

(54) 【発明の名称】 周波数シンセサイザ

(57) 【特許請求の範囲】

【請求項1】

デジタルデータ(C)によりプログラム可能な分周器(22)に高速クロック信号(Fh)を供給する発振器(10-2)をふくみ、該デジタルデータの上位ビット(K)は前記プログラム可能な分周器に送られ、下位ビットはアキュムレータ(26)に送られ、該アキュムレータは該アキュムレータがオーバフローしたとき前記プログラム可能な分周器と共同してその分周比を1単位だけ増加させ、

合成信号(NF)の、順に遅延が増加するn個の位相信号(NF1 - NF n)、nは2より大、を生成する前記分周器の出力に接続される生成器(27)と、

前記アキュムレータの内容(A)を順に増加するn個のウィンドウと比較する比較手段(29)と、

前記アキュムレータの内容に対応して、前記ウィンドウのランクに対応するランクをもつ位相信号を合成信号として選択する手段(28)を有する、合成信号(NF)を提供する周波数シンセサイザ。

【請求項2】

同じ周波数で、クロック周期の1/nだけ先行の位相より遅延した奇数nのn個のクロック位相信号を提供する発振器(10-2)を有し、合成信号の位相信号は対応するクロック位相信号により得られる、請求項1記載の周波数シンセサイザ。

【請求項3】

ひとつのクロック位相信号(Fh1)が前記プログラム可能な分周器に提供され、該分

10

20

周器が合成信号の初期位相信号 (NF0) を提供し、合成信号の他の位相信号は合成信号の初期位相を他のクロック位相と各々同期させることにより得られ、合成信号のひとつの位相信号が前記比較手段 (29) により制御される選択手段 (28) を介して合成信号として選択される、請求項2記載の周波数シンセサイザ。

【請求項4】

合成信号の位相信号 (NF1, NF2, NF3) が、前記分周器 (22) の出力側で直列に接続され前記クロック位相信号 (Fh1, Fh2, Fh3) によりインターリーブモードでイネーブルされるフリップフロップ (30, 32, 34) を介して得られる、請求項3記載の周波数シンセサイザ。

【請求項5】

前記フリップフロップは、ランク i のフリップフロップ (Di) がランク $n + 2 - i$ (モジュロ n) のクロック位相信号でイネーブルされ、合成信号のランク $n - i$ (モジュロ n) の位相信号 (NF $n - i$) を $n - i - 1$ クロックサイクルの遅延回路 (Ti) を介して提供する、請求項4記載の周波数シンセサイザ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は位相同期ループ (PLL) に関し、特に電圧制御発振器としてデジタル型 PLL における周波数シンセサイザに関する。

【0002】

【従来の技術】

図1は一般的なPLLの構成を示す図である。PLLは周波数NFをN分周器12に供給する電圧制御発振器 (VCO) 10を含む。位相比較器14には分周器12からの出力周波数Fと基準周波数Frefが入力される。位相比較器14はフィルタ16へ位相エラー信号eを供給し、フィルタ16の出力cは電圧制御発振器10を制御する。信号Fの位相と周波数は基準信号Frefに同期される。共通な応用において、テレビの水平走査を例とすると、走査周波数Fはほぼ15kHzであり、周波数NFはほぼ12MHz ($N = 768$) であり、かつフィルタ16はカットオフ周波数が数百ヘルツである低域フィルタである。

実際に、現在、デジタル回路の形式でPLLの全構成を実現する傾向がある。

【0003】

これは、MOS型又はCMOS型の技術で標準なブロックを使用することを可能にすることにより、設計操作を簡易化し、素子をプログラム可能とし、そして集積するために困難である高い値のコンデンサの使用を避けられる。

【0004】

図2はフィルタ16がデジタルフィルタであり、デジタル補正信号Cを供給するときの、デジタルVCO10の構成を示す図である。制御発振器のデジタル等価は周波数シンセサイザである。通常、信号NFを発生するために、信号NFの周波数より高い周波数を有するクロック信号Fhがプログラマブル分周器10-1によって分周される。分周器10-1にはプログラム情報としてデジタル補正信号Cが供給される。合成される周波数NFに関して周波数Fhが高いほど合成される周波数の精度又は分解能が向上する。

【0005】

テレビ水平走査システムにおいて、信号NFはほぼ12MHzである。共通技術をもって得られることができる高周波数Fhは100~300MHzの範囲内である。周波数Fhは特に安定でなければならない。高い安定な周波数を得るための方法のひとつは、実際には補助アナログPLLである周波数逓倍器を使用することである。アナログPLLはプログラマブル分周器10-1に、かつ分周器10-3に周波数Fhを供給する制御発振器10-2を含む。位相比較器10-4には分周器10-3の出力とクォーツ発振器10-5の出力が供給される。比較器10-4の出力e2は制御発振器10-2に補正信号c2

10

20

30

40

50

を供給するフィルタ 10 - 6 に供給される。

【 0 0 0 6 】

前述した周波数逡倍 PLL は特に高い周波数で動作する。言い換えれば、PLL の構成に対して必要とされるコンデンサ、特にフィルタ 10 - 6 のコンデンサは小さいサイズで集積可能なコンデンサである。クロック周波数 F_h は分周器 10 - 3 の分周比によって乗算された発振器 10 - 5 の周波数に等しい。発振器 10 - 5 は、通常必要でないが完全には集積化されない。事実、この発振器の信号はデジタル PLL を含む集積回路で大変頻繁に利用できる任意のクロック信号になる。所望の周波数 F_h は分周器 10 - 3 の分周比を適切に選択することによって得られる。

【 0 0 0 7 】

もし良い分解能を有する周波数 $N F$ を得ることを望むならば分周器 10 - 1 の分周比 K は高くなければならず、又は代わりに周波数 F_h は周波数 $N F$ よりかなり高くしなければならぬ。しかし、周波数 F_h は実際問題として数百 MHz に限定されており、例えばテレビ水平走査 PLL でのほぼ 12 MHz の信号 $N F$ を得るために、18, 又は 19 の範囲の小さな分周比の使用に関係するように選択される 220 MHz に限定される。

【 0 0 0 8 】

図 3 は非整数である数によって高い周波数 F_h を分周することによる従来のデジタル周波数シンセサイザを示す図である。プログラムデータ C はデータ C のいくつかの高い重みのビットに対応する整数部分の $I n t (C) = K$ と、データ C の低い重みのビットに対応する端数の部分 $F r a c (C)$ に分割される。整数部分 K は加算器 20 の第 1 の入力に供給される。加算器 20 は整数部分 K 、及び第 2 の加算器 24 によって供給されるキャリービット値 $C o u t$ の和を通常のプログラブル分周器 22 に供給する。キャリービット $C o u t$ は加算器 20 の第 2 入力、又は加算器 20 のキャリー入力に印加される。後者のとき、加算器 20 の第 2 入力は 0 をうけとる。分周器 22 は K によって (又は K に対応する比によって) 高い周波数 F_h を分周することによって合成される信号 $N F$ を供給する。

【 0 0 0 9 】

データ C の端数の部分 $F r a c (C)$ は加算器 24 の第 1 の入力に供給される。レジスタ 25 には加算器 24 の出力が供給され、レジスタ 25 の内容 A は加算器 24 の第 2 の入力に供給される。レジスタ 25 は信号 $N F$ のレートでイネーブルされる。加算器 24 とレジスタ 25 は参照番号 26 で示すいわゆる「アキュムレータ」を構成する。

【 0 0 1 0 】

はじめに、アキュムレータ 26 (レジスタ 25 の内容 A) が “ 0 ” である。レジスタ 25 には信号 $N F$ のレートで内容 A と端数の部分 $F r a c (C)$ の和が供給される。連続する端数の部分の和が分周比 K の 1 単位に対応する値に達するとオーバーフローできるようにアキュムレータ 26 は設計されている。アキュムレータがオーバーフローする時、プログラブル分周器に供給される値 K は信号 $N F$ の 1 つのサイクル中でのみ 1 だけ増加する。

【 0 0 1 1 】

このような構成を用いて、高い周波数 F_h はある時は K によって分周され、ある時は $K + 1$ によって分周され、 $K + 1$ で分周される回数と K で分周される回数の比はデータ C の端数部に等しい。従って、合成信号 $N F$ の平均周波数は所定の端数の数によって分周された周波数 F_h に等しい。

【 0 0 1 2 】

デジタル PLL での図 3 のシンセサイザの使用は PLL によって生じる信号 F の周波数にとって良い精度を供給する。その理由は、信号 F を得るために、信号 $N F$ とその周波数誤差は、分周器 12 により高い数 (テレビの水平走査の例ではほぼ 768) によって割算されるからである。

【 0 0 1 3 】

【 発明が解決しようとする課題 】

しかし、PLL によって生じる周波数 F には高い周波数 F_h の周期に等しいジッタが現れる。いくつかの応用において、例えばテレビの水平走査でこのジッタは最大 220 MHz

10

20

30

40

50

zの周波数Fhを有する走査上で見ることはできない。一方、PLLが高い走査周波数を有するモニタで使用されるならばジッタは見える。

【0014】

従って、本発明の目的はPLLによって生じる信号のジッタを少なくすることができる、デジタルPLLで使用される周波数シンセサイザを提供することである。

【0015】

この目的を達成するために、本発明は図3に示すようなアキュムレータを含むシンセサイザを使用する。クロック周波数Fhから、n個の信号が合成される信号NFの周波数で信号NFの位相として生成される。位相はnによって分周されるクロック信号Fh周期だけ先行のものに関して遅延される。nウィンドウを含む比較器はアキュムレータから内容Aが供給され、出力信号NFとして、アキュムレータの内容を含むウィンドウのランクに対応するランクの位相を出力信号NFとして選択する。

10

【0016】

【課題を解決するための手段】

本発明は、デジタルデータ(C)によりプログラム可能な分周器(22)に高速クロック信号(Fh)を供給する発振器(10-2)をふくみ、該デジタルデータの上位ビット(K)は前記プログラム可能な分周器に送られ、下位ビットはアキュムレータ(26)に送られ、該アキュムレータは該アキュムレータがオーバフローしたとき前記プログラム可能な分周器と共同してその分周ランクを1単位だけ増加させ、合成信号(NF)の、増加する遅延のn位相(NF1-NFn)、nは2より大、を生成する生成器(27)と、前記アキュムレータの内容(A)をnレンジの増加する値と比較する比較手段(29)と、前記アキュムレータの内容に対応して、前記レンジのランクに対応するランクをもつ位相を合成信号として選択する手段(28)を有する、合成信号(NF)を提供する周波数シンセサイザ、を提供する。

20

【0017】

本発明の実施例によると、同じ周波数で、クロック周期の1/nだけ先行の位相より遅延した奇数nのn個のクロック位相を提供する発振器(10-2)を有し、合成信号の位相は対応するクロック位相により得られる。

【0018】

本発明の実施例によると、ひとつのクロック位相(Fh1)が前記プログラム可能な分周器に提供され、該分周器が合成信号の初期位相(NF0)を提供し、合成信号の他の位相は合成信号の初期位相を他のクロック位相と各々同期させることにより得られ、合成信号のひとつの位相が前記比較手段(29)により制御される選択手段(28)を介して合成信号として選択される。

30

【0019】

本発明の実施例によると、合成信号の位相(NF1, NF2, NF3)が、前記分周器(22)の出力側で直列に接続され前記クロック位相(Fh1, Fh2, Fh3)によりインターリーブモードでイネーブルされるフリップフロップ(30, 32, 34)を介して得られる。

【0020】

本発明の実施例によると、前記フリップフロップは、ランクiのフリップフロップ(Di)がランクn+2-i(モジュロn)のクロック位相でイネーブルされ、合成信号のランクn-i(モジュロn)の位相(NFn-i)をn-i-1クロックサイクルの遅延回路を介して提供する。

40

【0021】

【実施例】

以下、本発明の実施例を図面に基づいて説明する。

図4には、本質的に図3に示すようなアキュムレーションシンセサイザを含む本発明に係る周波数シンセサイザが示されている。シンセサイザに供給するためのクロック周波数Fhは図2に示すような補助PLLによって発生される。図において、同じ参照符号は同

50

じ構成要素を示す。

【0022】

本発明において、位相生成器27には分周器22の出力が供給される。生成器27はマルチプレクサ28にn個の信号NF1, NF2, ..., NFnを出力する。信号NF1~NFnは合成される信号NFの周波数であり、クロック信号Fhの周期の1/nだけ先行のものに関して遅延される。生成器27は信号NFのn位相を供給するものである。当業者であれば多種の方法で例えば遅延回路を用いて先行する位相に関して1位相遅延することによってこれらの位相を得ることができる。一例として以下に詳細に説明する。

【0023】

所望の信号NFに対して合成された信号NFの位相エラーを示すアキュムレータ26の内容Aはn個のウィンドウ比較器29によって使用され、アクティブエッジの位相(例えば立ち上がりエッジ)が信号NFの所望の立ち上がりエッジに対してもっとも接近するように、位相の中から選ばれる。比較器29にはアキュムレータ26の内容Aと、n個のウィンドウ(Amaxはアキュムレータの最大内容を示す)の中間リミットを定義する値Amax/n, 2Amax/n, ..., (n-1)Amax/nが供給される。値Aがランクi(値(i-1)Amax/nとiAmax/nによって表される)のウィンドウ内にあるときは、マルチプレクサ28は位相NF_iを選ぶように制御される。

10

【0024】

この構成を用いて、シンセサイザを構成するPLLによって生じる信号Fのジッタはnによって分割される。

20

【0025】

図5は本発明に係る周波数シンセサイザの一実施例を示す図である。図5の説明は本発明に係るように使用される信号の多種の位相の信号波形を示す図6を参照することによってより一層理解できるであろう。

【0026】

図5において、クロック周波数Fhでのn=3のクロック信号(Fh1, Fh2, Fh3)を供給する制御発振器10-2が使用される。クロック位相として参照されるクロック信号は、クロック周期の1/3だけ先行のものに関して遅延される。例えば、制御発振器10-2は3つのインバータを含むリング発振器であり電力供給電流が前述した制御信号c2によってセットされる。これらのインバータの出力に、各々のクロック位相Fh1, Fh2, Fh3が引き出される。位相Fh1は図3のシンセサイザの分周器22に供給される。合成される信号NFの位相NF1, NF2, NF3を得ることが望まれ、位相NF2及びNF3はクロック信号Fhの周期の各々に1/3及び2/3だけ位相NF1に関して遅延される。

30

【0027】

示された実施例において、分周器22の出力は信号NFの中間の位相NF0を得るためにフリップフロップ30を介して位相Fh1に同期される。位相NF0は位相NF1を得るためにフリップフロップ32を介して位相Fh3に同期される。位相NF1は位相NF3を得るためにフリップフロップ34を介して位相Fh2に同期される。位相NF2はフリップフロップ36を介して位相Fh1の1周期だけ位相NF0を遅延することによって得られる。

40

【0028】

スイッチS1-S3によって形成されるマルチプレクサ28はシンセサイザされた信号NFとして位相NF1-NF3の中から適切な位相を供給する。スイッチS1-S3は後述のウィンドウ比較器29によって制御される。

【0029】

第1の簡単な比較器38には入力aにアキュムレータ26に含むことができる最大値Amaxの1/3が供給される。入力bにはアキュムレータの内容Aが供給される。スイッチS1は比較器38の出力A1によって制御される。出力A1はアキュムレータ26の内容Aが最大値の1/3より小さいときに活性である。

50

【 0 0 3 0 】

第2の簡単な比較器40入力aには最大値Amaxの2/3が供給され、アキュムレータ26の内容Aが入力bに供給される。スイッチS3は比較器40の出力A3によって制御される。出力A3はアキュムレータの内容Aが最大値の2/3より大きいときに活性である。スイッチS2は信号A1及びA3が供給されるNORゲート42の出力A2によって制御される。信号A2は信号A1及びA3が両者不活性のとき活性で、アキュムレータ26の内容Aが最大値Amaxの1/3及び2/3の間のときの場合である。構成要素38-42は同じ幅を有する3つのウィンドウを有する比較器を構成する。

【 0 0 3 1 】

信号NFの最後の位相(NF3)の補数によってイネーブルされるレジスタ44は、位相NF1-NF3が全て“0”となる時、位相NF3の立ち下がりエッジの後スイッチS1-S3に状態A1-A3を伝送する。これはスイッチングの速度に関連する問題点を避けるものである。スイッチングは位相NF3の立ち下がりエッジと位相NF1の次の立ち上がりエッジとの間からなる時間の大きなレンジ内の任意の時間で生じることができる。もし、スイッチS1-S3が位相NF3の立ち下がりエッジより前で切り替わるならば、信号NFはスイッチングタイムと新たに選択される位相NF2又はNF3の立ち上がりエッジの間の0交叉を不必要に通り過ぎるといふ危険がある。もしスイッチングが合成信号NFの所定の数のサイクルだけ遅延されるのであれば、信号A1-A3は同様に信号NFによってイネーブルされるフリップフロップによって遅延される。

【 0 0 3 2 】

図7はアキュムレータ26の内容Aの変化を示し、図4のシンセサイザで得られる対応する変化、そして合成信号NFの位相エラーe(NF)の変化を示している。はじめに、定常状態で、レジスタ25は“0”で、分周器22の分周ランクはKである。そして、信号NFに選択された位相はNF1である。信号NFの各サイクルで、レジスタ25の内容Aは歩進し、これは合成信号NFと所望の信号NFの間の位相エラーe(NF)(位相前進)が増加するという事実に対応する。実際、所望の分周比はK及びK+1の範囲で構成され、一方、使用される分周比はKである。

【 0 0 3 3 】

レジスタ25の内容Aが最大値の1/3に達すると、次の位相NF2が信号NFとして選択される。このスイッチングの瞬間に、位相エラーe(NF)は補償されるが再び増加する。レジスタ25の内容Aが最大値の2/3に達すると、位相NF3が信号NFとして選択される。このスイッチングの瞬間に、位相エラーe(NF)は補償されるが再び増加し始める。位相エラーe(NF)は、レジスタ25がオーバフローし、かつ分周器22の分周比が信号NFの1サイクル中でK+1となる時まで増加する。そして、位相NF1が再び選ばれ、かつ分周器22の分周比が再びKであるときサイクルは繰り返される。

【 0 0 3 4 】

従って、図5のシンセサイザは発振器10-2によって供給されるクロック位相の数と同じ数の連続するステップによって所望の位相を有する合成信号NFの位相を調整し、これにより、クロック位相10-2の数だけ位相エラーを分割する。従って、本発明に係るシンセサイザを構成するPLLによって生じる信号Fのジッタはクロック位相の数によって分割される。

【 0 0 3 5 】

図5において、フリップフロップ30-34は直列に接続されるが「インターリーブ」モードも可能で、例えばクロック位相Fh3によってイネーブルされるフリップフロップには位相Fh1(位相Fh2の代わりに)によってイネーブルされるフリップフロップの出力が供給される。従って、フリップフロップのイネーブルが先行のフリップフロップのイネーブルのクロック周期Fhの2/3で生じるようにフリップフロップが接続される。もしフリップフロップが非インターリーブされる方法で接続されるならば、現在のフリップフロップは先行のフリップフロップの後周期の1/3でイネーブルされ、現在のフリップフロップがイネーブルされた時に、動作の高い周波数によって、先行のフリップフロップ

10

20

30

40

50

プの出力は最終の値に達する時間を有していない。もちろん、もし動作周波数が十分に低いならばフリップフロップは非インターリーブモードで接続される。

【0036】

もしプログラマブル分周器22が各位相 $Fh_1 - Fh_3$ に対して使用されるならばフリップフロップ30-36は省くことができる。しかし、そのような提案は大きなシリコン表面積を占めることとなる。

【0037】

図8はインターリーブのフリップフロップの構成を示し、増加する位相シフトの n クロック位相 $Fh_1 - Fh_n$ から合成信号の n 位相 $NF_1 - NF_n$ を得るためのものである。分周器22の出力で、 n フリップフロップ $D_1 - D_n$ は直列に配置される。

10

【0038】

フリップフロップ D_1 には分周器22の出力が供給され、 $n-2$ フリップフロップ T_1 による $n-2$ クロックサイクルだけ遅延された合成信号の位相 NF_{n-1} を出力する。フリップフロップ D_1 及び T_1 はクロック位相 Fh_1 によってイネーブルされる。

【0039】

フリップフロップ D_i にはフリップフロップ D_{i-1} の出力が供給され、クロック位相 Fh_{n+2-i} によってイネーブルされる。フリップフロップ D_i の出力は合成信号の位相 NF_{n-i} を提供する前に $n-i-1$ フリップフロップ T_i により $n-i-1$ クロックサイクルだけ遅延される。フリップフロップ T_i はクロック位相 Fh_{n+2-i} によってイネーブルされる。フリップフロップ D_{n-1} と D_n ($n-i-1=0$)には遅延は提供されない。値 $n+2-i$ 及び $n-i$ は1と n の間である(それらはモジュロ n で定義される)。

20

【0040】

この構成を用いて、フリップフロップは先行のクロック周期の後 $1-1/n$ クロック周期イネーブルされる。これにより、数 n が大きくても、フリップフロップに対してスイッチングのための十分な時間を残す。

【0041】

もちろん、当業者であれば多種のインターリーブの構成をなすことができるが、効果は少ないであろう。

【0042】

本発明の一実施例から多種の変形、修飾及び改良は当業者であれば簡単に想到し得る。そのような変形、修飾及び改良は明細書の一部として意図されたものであり、本発明の技術思想の範囲である。言い換えれば、上述の説明は一例に過ぎず、これに限定されるものではない。本発明は特許請求の範囲の記載及び均等にのみ限定されるものである。

30

【図面の簡単な説明】

【図1】 従来のPLLの構成を示す図である。

【図2】 図1のPLLの制御発振器のデジタル使用に係る周波数シンセサイザの一例を示す図である。

【図3】 端数による分周を実行する周波数シンセサイザの一例を示す図である。

【図4】 本発明に周波数シンセサイザの一実施例を示す図である。

40

【図5】 本発明に周波数シンセサイザの別の実施例を示す図である。

【図6】 図4の周波数シンセサイザで使用される多種の信号波形を示す図である。

【図7】 本発明に係る周波数シンセサイザをPLLで使用することによって得られる多種の位相エラーを示す図である。

【図8】 周波数シンセサイザの出力信号を形成しようとする n 信号を得るためのフリップフロップのインターリーブの構成を示す図である。

【符号の説明】

22 分周器

20, 24 加算器

25 レジスタ

50

- 2 6 アキュムレータ
- 2 7 位相生成器
- 2 8 マルチプレクサ
- 2 9 比較器

【 図 1 】

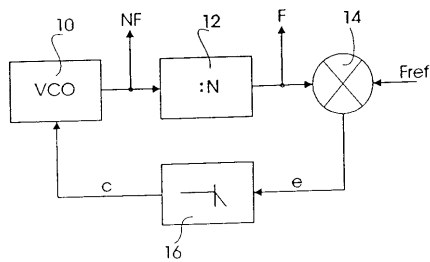


Fig 1

【 図 3 】

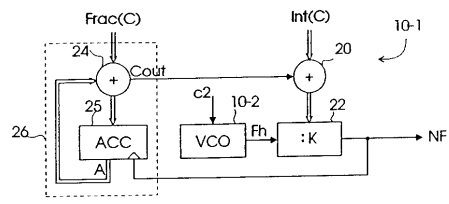


Fig 3

【 図 2 】

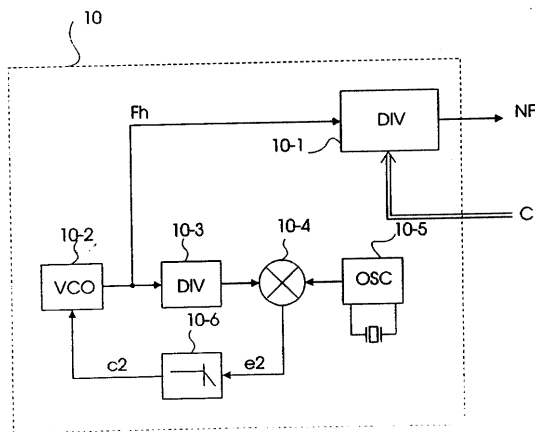


Fig 2

【 図 4 】

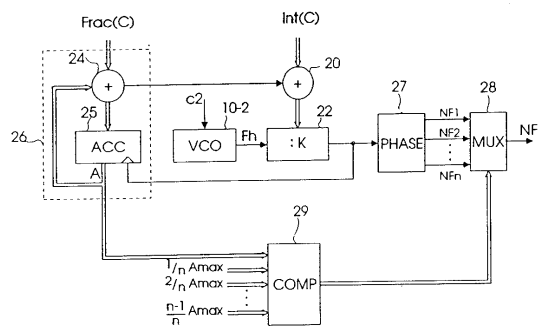


Fig 4

【 図 5 】

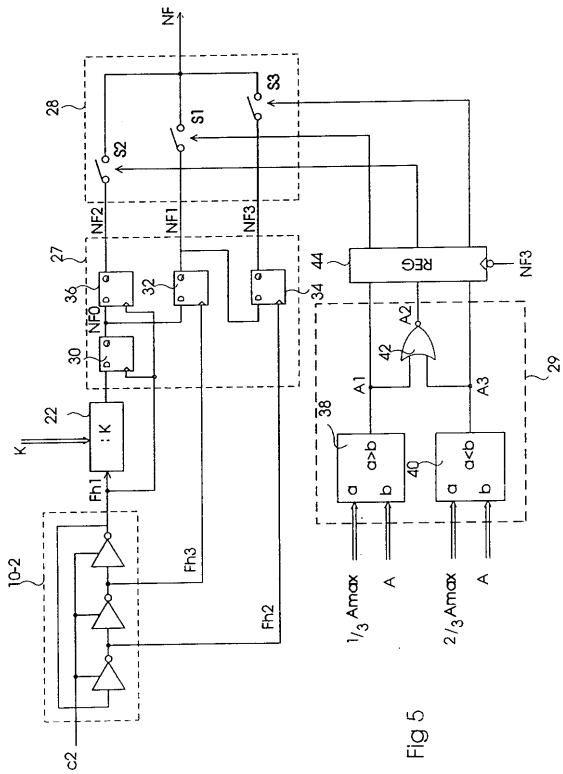


Fig 5

【 図 6 】

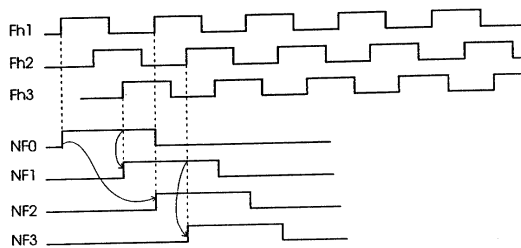


Fig 6

【 図 7 】

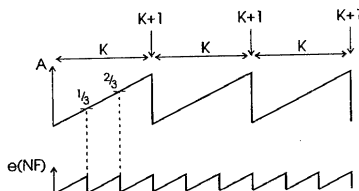


Fig 7

【 図 8 】

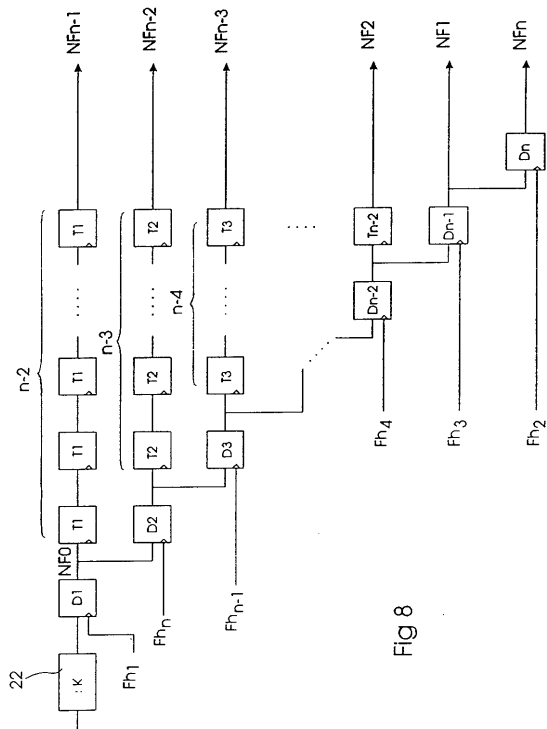


Fig 8

フロントページの続き

(56)参考文献 特表平03-502870(JP,A)
特開昭57-201342(JP,A)

(58)調査した分野(Int.Cl.,DB名)
H03L 7/06-7/23