

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4381191号
(P4381191)

(45) 発行日 平成21年12月9日(2009.12.9)

(24) 登録日 平成21年10月2日(2009.10.2)

(51) Int.Cl.

F I

H O 1 L 23/12 (2006.01)

H O 1 L 23/12 5 O 1 P

請求項の数 12 (全 24 頁)

<p>(21) 出願番号 特願2004-81491 (P2004-81491)</p> <p>(22) 出願日 平成16年3月19日 (2004. 3. 19)</p> <p>(65) 公開番号 特開2005-268661 (P2005-268661A)</p> <p>(43) 公開日 平成17年9月29日 (2005. 9. 29)</p> <p>審査請求日 平成18年8月14日 (2006. 8. 14)</p> <p>前置審査</p>	<p>(73) 特許権者 308033711 O K I セミコンダクタ株式会社 東京都八王子市東浅川町550番地1</p> <p>(74) 代理人 100085419 弁理士 大垣 孝</p> <p>(74) 代理人 100141955 弁理士 岡田 宏之</p> <p>(72) 発明者 山口 忠士 東京都港区虎ノ門1丁目7番12号 沖電 気工業株式会社内</p> <p>審査官 板谷 一弘</p>
--	---

最終頁に続く

(54) 【発明の名称】 半導体パッケージ及び半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

電極パッドが主表面に形成された半導体チップを用意する半導体チップ用意工程と、
前記電極パッド上に配置される第1の面を有する第1のサブ導電部と、頂面を含む第2の面を具える第2のサブ導電部とを有する導電部を形成する導電部形成工程と、

前記第2のサブ導電部の頂面を露出させるように、前記半導体チップの主表面を覆う封止層を形成する封止層形成工程と、

前記第2のサブ導電部の頂面の少なくとも一部を除去して、前記封止層の上面よりも下方に底面を有する凹部を形成する凹部形成工程と、

前記凹部にフラックスを供給するフラックス供給工程と、

前記第2のサブ導電部から離れる方向に伸びる外形が柱状であってかつ表面が半田層からなる半田層付き円柱状コアであって、プラスチック材料を含有する中細の円柱形状のコア部を有しており、該コア部の表面に設けられている前記半田層の融点よりも高い融点の材料からなる金属層と、前記半田層とが順次に積層されている前記半田層付き円柱状コアの一端を、前記第2のサブ導電部の前記凹部に挿入して前記半田層付き円柱状コアを配置する半田塊配置工程と、

前記半田層の融点以上であってかつ前記金属層の融点未満の温度で、該半田層を加熱溶解して前記第2のサブ導電部と接着させて外部端子を形成する外部端子形成工程とを含み、

前記封止層形成工程では、

10

20

前記第2のサブ導電部の前記頂面を覆うように前記半導体チップの主表面に封止層形成層を形成した後、前記頂面が露出される高さまで該封止層形成層を研磨して前記封止層を形成する

ことを特徴とする半導体パッケージの製造方法。

【請求項2】

請求項1に記載の半導体パッケージの製造方法において、

前記柱状の半田層付き円柱状コアとして、該半田層付き円柱状コアの軸方向の中央部の径が該軸方向の両端の径よりも小さい半田層付き円柱状コアを用いることを特徴とする半導体パッケージの製造方法。

【請求項3】

請求項1または2に記載の半導体パッケージの製造方法において、

前記凹部形成工程では、前記第2のサブ導電部を、前記第2のサブ導電部の頂面から該第2のサブ導電部径の2から10%の範囲内の深さまで除去することを特徴とする半導体パッケージの製造方法。

【請求項4】

電極パッドが主表面に形成された半導体チップを用意する半導体チップ用意工程と、前記電極パッド上に配置される第1の面を有する第1のサブ導電部と、頂面を含む第2の面を具える第2のサブ導電部とを有する導電部を形成する導電部形成工程と、

前記第2のサブ導電部の頂面の一部に凹部を形成する凹部形成工程と、

該凹部内に半田を供給する半田供給工程と、

前記半田の頂面を露出させるように、前記半導体チップの主表面を覆う封止層を形成する封止層形成工程と、

前記半田の頂面にフラックスを供給するフラックス供給工程と、

該フラックスを介して前記第2のサブ導電部と対向する位置に、表面が半田層からなる半田層付き円柱状コアを配置する半田塊配置工程と、

該半田層を加熱溶融して前記半田と接着させて外部端子を形成する外部端子形成工程とを含み、

前記封止層形成工程は、

前記凹部に供給された前記半田を覆う蓋部を形成する蓋部形成工程と、

該蓋部を覆うように前記半導体チップの主表面に封止層形成層を形成した後、前記半田が露出される高さまで前記封止層形成層及び前記蓋部を研磨して前記封止層を形成する研磨工程と

を含むことを特徴とする半導体パッケージの製造方法。

【請求項5】

請求項4に記載の半導体パッケージの製造方法において、

前記フラックス供給工程の前に、露出させた前記第2のサブ導電部の頂面の一部を所定深さ除去することを特徴とする半導体パッケージの製造方法。

【請求項6】

請求項4または5に記載の半導体パッケージの製造方法において、

前記凹部形成工程では、前記第2のサブ導電部を、該第2のサブ導電部径の10から50%の範囲内の径であって、かつ前記第2のサブ導電部の頂面から該第2のサブ導電部の高さの20から70%の範囲内の深さまで除去することを特徴とする半導体パッケージの製造方法。

【請求項7】

請求項1ないし6のいずれか一項に記載の半導体パッケージの製造方法において、

前記凹部形成工程では、ウェットエッチングで前記除去を行うことを特徴とする半導体パッケージの製造方法。

【請求項8】

請求項7に記載の半導体パッケージの製造方法において、

前記ウェットエッチングは、強酸性のウェットエッチング溶液を用いて行うことを特徴

10

20

30

40

50

とする半導体パッケージの製造方法。

【請求項 9】

請求項 1 ないし 8 のいずれか一項に記載の半導体パッケージの製造方法において、前記導電部形成工程では、前記第 1 のサブ導電部として前記半導体チップの主表面に沿って延在する配線層を形成するとともに、前記第 2 のサブ導電部として導電性のポスト部を前記配線層上に形成することを特徴とする半導体パッケージの製造方法。

【請求項 10】

請求項 1 ないし 8 のいずれか一項に記載の半導体パッケージの製造方法において、前記導電部形成工程では、前記第 1 のサブ導電部として前記半導体チップの主表面に沿って延在する第 1 の配線層を形成するとともに、前記第 2 のサブ導電部として前記第 1 の配線層と接続されかつ前記第 1 の配線層よりも前記半導体チップの主表面から遠ざかるように第 2 の配線層を形成することを特徴とする半導体パッケージの製造方法。

10

【請求項 11】

請求項 1 ないし 8 のいずれか一項に記載の半導体パッケージの製造方法において、前記導電部形成工程では、導電性のポスト部となるように、前記第 1 のサブ導電部と該第 1 のサブ導電部上に前記第 2 のサブ導電部とを形成することを特徴とする半導体パッケージの製造方法。

【請求項 12】

請求項 1 ないし 11 のいずれか一項に記載の製造方法によって得られた前記半導体パッケージを、さらに、前記外部端子を介して実装用基板に実装することを特徴とする半導体装置の製造方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体パッケージ及び当該パッケージを具える半導体装置の製造方法に関する。

【背景技術】

【0002】

従来より、携帯機器等の電子器機に搭載される半導体装置の外形サイズ（すなわち、パッケージサイズ）の小型化及び薄型化に対する要求が高まっている。これに伴い、半導体チップの外形サイズとほぼ同じ外形サイズにパッケージングが施された半導体装置である CSP (Chip Size Package) が提案されている。

30

【0003】

また、製造コストの低減を図る点から、ウェハ状態で半田ボール等の外部端子を形成する外部端子形成工程までを完了させた後、ダイシング等によって個片分割して得られる、WCSP (Wafer level Chip Size Package) が、CSP の一つの形態として注目されている。

【0004】

また、CSP が有する外部端子として、被接触面との接触面積の増大（すなわち、接触抵抗の低減）等の目的から、半田塊として、プラスチック材料等を含有するコア部の表面に金属層及び半田層を順次に設ける方法が提案されている（例えば、特許文献 1 及び特許文献 2 参照）。

40

【特許文献 1】特許第 3 2 1 7 0 4 6 号公報

【特許文献 2】特開 2 0 0 2 - 1 7 0 4 2 7 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところが、これまでのパッケージ構造は、封止層の表面と実質的に同一平面をなしているポスト部の頂面上に外部端子をリフロー形成する構成となっている。そのため、外部端子とポスト部との接触面積が小さいことに起因して、パッケージと実装用基板との間の電

50

氣的接続の信頼性が低下する虞があった。

【0006】

そこで、この発明の主たる目的は、外部端子が密着性良く搭載された高信頼性な半導体パッケージ及びその製造方法、ならびに、当該半導体パッケージと実装用基板との間の接続信頼性の向上が実現された半導体装置及びその製造方法を提供することにある。

【課題を解決するための手段】

【0007】

この目的の達成を図るため、この発明の半導体パッケージの製造方法によれば、下記のような構成上の特徴を有する。

【0008】

すなわち、まず、電極パッドが主表面に形成された半導体チップを用意する。次に、この電極パッド上に配置される第1の面を有する第1のサブ導電部と、頂面を含む第2の面を具える第2のサブ導電部とを有する導電部を形成する。次に、この第2のサブ導電部の頂面を露出させるように、半導体チップの主表面を覆う封止層を形成する。次に、第2のサブ導電部の頂面の少なくとも一部を除去して、封止層の上面よりも下方に底面を有する凹部を形成する。次に、この凹部にフラックスを供給する。次に、第2のサブ導電部から離れる方向に伸びる外形が柱状であってかつ表面が半田層からなる半田層付き円柱状コアであって、プラスチック材料を含有する中細の円柱形状のコア部を有しており、コア部の表面に設けられている半田層の融点よりも高い融点の材料からなる金属層と、半田層とが順次に積層されている半田層付き円柱状コアの一端を、第2のサブ導電部の凹部に挿入して半田層付き円柱状コアを配置する。次に、半田層の融点以上であってかつ金属層の融点未満の温度で、この半田層を加熱溶融して第2のサブ導電部と接着させて外部端子を形成する。

なお、封止層を形成する工程では、第2のサブ導電部の頂面を覆うように半導体チップの主表面に封止層形成層を形成した後、頂面が露出される高さまで封止層形成層を研磨して封止層を形成する。

また、この発明の半導体パッケージの製造方法によれば、下記のような構成上の特徴を有する。

すなわち、まず、電極パッドが主表面に形成された半導体チップを用意する。次に、この電極パッド上に配置される第1の面を有する第1のサブ導電部と、頂面を含む第2の面を具える第2のサブ導電部とを有する導電部を形成する。次に、この第2のサブ導電部の頂面の一部に凹部を形成する。次に、この凹部内に半田を供給する。次に、この半田の頂面を露出させるように、半導体チップの主表面を覆う封止層を形成する。次に、半田の頂面にフラックスを供給する。次に、フラックスを介して第2のサブ導電部と対向する位置に、表面が半田層からなる半田層付き円柱状コアを配置する。次に、半田層を加熱溶融して半田と接着させて外部端子を形成する。

なお、封止層を形成する工程では、凹部に供給された半田を覆う蓋部を形成し、蓋部を覆うように半導体チップの主表面に封止層形成層を形成した後、半田が露出される高さまで封止層形成層及び蓋部を研磨して封止層を形成する。

【発明の効果】

【0011】

このような構成によれば、導電部の頂面に形成された凹部にフラックスを貯留させることができる。

【0012】

これにより、凹部を覆うように配置した球状の半田塊を、流れ出しが抑制されたフラックスによって確実に保持（すなわち、仮固定）させておくことができる。

【0013】

そのうえ、流動性を有するフラックスが凹部の開口と当該開口を覆うように配置された球状の半田塊との間の隙間を充填するため、半田塊とフラックスとの接触面積を増大させることができる。その結果、半田塊を加熱溶融させた際の半田の表面張力を小さくでき、

10

20

30

40

50

よって、被接着面に対する濡れ性を促進させることができる。

【0014】

従って、凹部にフラックスを貯留させることにより、リフロー形成まで間の搬送過程やリフロー時における振動等による半田塊の位置ずれを抑制できるのはもとより、良好な半田の溶融接続を実現することができる。

【0015】

さらに、導電部の頂面の凹部をウェットエッチングで形成可能なため、フォトリソグラフィ技術を用いて形成する際の厳密な位置合わせ精度が要求されない。よって、凹部を比較的平易な方法によって形成することができるので、製造コストや歩留まり等に対する懸念を緩和できる。

10

【0016】

そのうえ、外部端子を構成する半田の一部が凹部に充填されることから、封止層表面よりも内側、すなわち半導体チップ側で外部端子と導電部とが接合された半導体パッケージとなる。

【0017】

よって、外部端子と導電部との接着性がより確実となるので、これまでよりも高信頼性な半導体パッケージを実現することができる。

【0018】

このことから、導電部に形成された凹部を、フラックスを貯留する貯留部として機能させるとともに、凹部に充填された半田によって導電部と外部端子との密着性を向上させる密着性向上部として機能させることができる。

20

【0019】

さらに、このような半導体パッケージを実装用基板に実装することにより、半導体パッケージと実装用基板との間の電氣的接続の信頼性が向上するため、高信頼性な半導体装置を実現することができる。

【発明を実施するための最良の形態】

【0020】

以下に、この発明の実施の形態につき説明する。尚、各図は、この発明が理解できる程度に各構成成分の形状、大きさ及び配置関係を概略的に示してあるに過ぎず、従って、この発明は図示例に限定されるものではない。また、図を分かり易くするために、断面を示すハッチングは、一部分を除き省略してある。尚、以下の説明は、単なる好適例に過ぎず、また、例示した数値的条件は何らこれに限定されない。また、各図において同様の構成成分については同一の番号を付して示し、その重複する説明を省略することもある。

30

【0021】

<第1の参考例>

図1(A)から図6(B)を参照して、この発明の第1の参考例に係る半導体パッケージ及び半導体装置およびこれらの製造方法について説明する。尚、半導体パッケージとしてWCS Pの場合を例に挙げて説明する(以下の各実施の形態についても同様とする)。

【0022】

図1(A)に示すように、この参考例の半導体パッケージ10であるWCS Pは、半導体チップ12の主表面12a上に電極パッド14が形成されている。電極パッド14は、半導体チップ12の表面領域に形成された、不図示の回路素子と電氣的に接続された電極であり、例えば、アルミニウム(A1)からなる。半導体チップ12の主表面12a上には、電極パッド14の頂面14aの少なくとも一部を露出させるように、パッシベーション膜15及び絶縁膜16が順次に設けられている。すなわち、電極パッド14の頂面14aは、パッシベーション膜15及び絶縁膜16によって形成された開口の底面を構成している。パッシベーション膜15は、回路素子と対向する位置に設けられ回路素子を保護する保護膜として機能し、例えば、シリコン酸化膜(SiO₂)やシリコン窒化膜(SiN)からなる。また、絶縁膜16は、熱応力を吸収して緩衝する緩衝層となる低硬度の膜であり、例えば、ポリイミド膜からなる。各電極パッド14は導電部17と電氣的に接続さ

40

50

れている。導電部 17 は、第 1 のサブ導電部 18 と第 2 のサブ導電部 20 とを具えている。ここでの第 1 のサブ導電部 18 は、電極パッド 14 上に配置される、すなわち電極パッド 14 の頂面 14 a と接触する第 1 の面 18 a を有し、かつ半導体チップの主表面 12 a に沿って絶縁膜 16 上に延在する専用の配線層（以下、再配線層とも称する。）とする。また、ここでの第 2 のサブ導電部 20 は、当該配線層 18 上に形成されかつ第 2 の面としての頂面 20 a を含む、導電性のポスト部とする。第 1 のサブ導電部としての再配線層 18 によって、電極パッド 14 の位置に依存することなく、後述する半田ボール 241 を半導体チップ 12 より上側のシフトした位置に再配置可能となる。再配線層 18 は、例えば、銅（Cu）からなる。また、第 2 のサブ導電部としてのポスト部 20 は、例えば、銅からなる。また、ポスト部 20 上には、実装用基板に接続するための外部端子として、ドーム形状の外部端子 24 が形成されている。こうして、電極パッド 14 と外部端子 24 とが、専用の再配線層 18 及びポスト部 20 を介して電氣的に個別に接続されている。尚、外部端子 24 は、半田のみからなるものでも良いが、ここでは、プラスチック材料を含有するコア部 242 の表面に、金属層 244 及び半田層 246 が順次に積層形成された多層構造とする（詳細後述）。また、半導体チップ 12 の主表面 12 a 上には、ポスト部 20 の周囲を埋め込むとともにポスト部 20 の頂面 20 a を露出させる高さ、封止層 30 が形成されている。封止層 30 は、例えば、エポキシ樹脂からなる。

10

【0023】

この参考例の半導体装置 10 の構造上の主たる特徴は、第 2 のサブ導電部であるポスト部 20 の頂面 20 a の少なくとも一部に、封止層 30 の上面 30 a よりも下方に、すなわち封止層の表面 30 a の位置よりも低い位置に、底面を有する凹部 35 が形成されている点である。

20

【0024】

この構成例では、第 2 のサブ導電部であるポスト部 20 の頂面 20 a の全面が封止層の上面 30 a よりも下方に形成され、凹部 35 を形成している。

【0025】

このため、外部端子 24 を構成する半田の一部が凹部 35 に充填されており、封止層の表面 30 a よりも内側、すなわち、半導体チップ 12 側に外部端子 24 とポスト部 20 との接合部分が形成されている。

【0026】

すなわち、凹部 35 に充填されている半田部分が、ポスト部 20 の頂面 20 a とはもとより凹部 35 の側面 35 b を構成する封止層 30 とも接着しているため、外部端子 24 とポスト部との密着性がこれまでよりも確実となる。よって、これまでよりも高信頼性な半導体パッケージである W C S P 10 が実現される。

30

【0027】

続いて、上述した半導体パッケージ 10 が実装用基板（或いは、マザーボードとも称する。）50 に実装された半導体装置 100 について説明する。

【0028】

図 1 (B) に示すように、この参考例の半導体装置 100 が具える実装用基板 50 の表面には、内部の配線設計（不図示）に基づいて形成された電極パッド 53 が配置されている。そして、電極パッド 53 に外部端子 24 が溶融接続されることにより、実装用基板 50 上に W C S P 10 が実装されている。

40

【0029】

このとき、外部端子 24 とポスト部 20 との密着性が向上された W C S P 10 によって、W C S P 10 と実装用基板 50 との間の電氣的接続の信頼性が向上して、これまでよりも高信頼性な半導体装置が実現される。

【0030】

続いて、図 2 (A) から図 5 を参照して、この半導体パッケージ 10 の製造方法について説明する。

【0031】

50

まず、半導体チップ用意工程として、電極パッド14がその主表面12aに形成された半導体チップ12を用意する。

【0032】

そこで、後工程のダイシングによって個片化されるべき半導体チップ12が複数配置された、半導体ウェハ40を用意する。尚、図中には便宜上約3個の個片化前の半導体チップ12が図示されているが、これに限定されるものではない。

【0033】

その後、ウェハ40の表面全面に、電極パッド14の頂面14aを露出させるようにして、シリコン酸化膜からなるパッシベーション膜15、及びポリイミド膜からなる絶縁膜16を順次に形成する(図2(A))。

【0034】

次に、導電部形成工程を以下の手順で行う。

【0035】

まず、露出している電極パッド14の頂面14aを含め絶縁膜16の上側からこれらを覆うように、例えば、銅膜をスパッタ法を用いて形成する。その後、電極パッド14と電氣的に接続されるとともに当該主表面12aに沿って延在する、第1のサブ導電部としての配線層(すなわち、再配線層)18を、ホトリソ及びスパッタ等によって形成する(図2(B))。ここでは、再配線層18が有する第1の面18aが電極パッド14上に配置されている。次に、再配線層18上の所定位置に、頂面を含む第2の面201aを有する凹部形成前の第2のサブ導電部であるポスト部201を、例えば、無電解めっき法等によって銅で形成する(図2(C))。ここでのポスト部201は、例えば、直径約400 μ m及び高さ約100 μ mの円柱形状とする。尚、ポスト部の形成には、無電解めっき法のほかに電解めっき法等を用いることができる。

【0036】

次に、封止層形成工程として、半導体チップの主表面12aの上側から、スピン塗布等によりエポキシ樹脂を塗布した後加熱して、ポスト部201が隠れる程度の厚みの封止層形成層301を形成する(図3(A))。その後、例えば、グラインダーによって封止層形成層301に対して研磨を行い、ポスト部201の頂面201aを露出させて封止層30を形成する(図3(B))。

【0037】

次に、凹部形成工程として、ポスト部201の頂面201aの少なくとも一部を所定深さ除去して、封止層30の表面30aの上面よりも下方に底面を有する凹部を形成する。

【0038】

ここでは、ポスト部201の頂面201a全面が封止層の表面の位置よりも低い位置となるように所定深さ除去して、凹部35を形成する。

【0039】

そこで、まず、封止層30及びポスト部201上にレジストを形成する(不図示)。その後、当該レジストに対して露光・現像を行い、サブポスト部201の頂面201a全面を露出させるマスクパターン42を形成する(図3(C))。その後、このマスクパターン42をマスクとして用いて、当該マスクパターン42から露出するサブポスト部201をエッチング除去する。ここでのエッチングは、例えば、強酸性のウェットエッチング溶液を用いたウェットエッチング用いて行う。強酸性のウェットエッチング溶液としては、例えば、塩酸(HCl水溶液)やフッ酸(HF水溶液)を含有する溶液等を用いることができる。尚、エッチング方法は、上述したウェットエッチングのみに限定されず、ドライエッチング或いは機械的な研削等を任意好適に選択しても良い。こうして、ポスト部20の頂面20aを底面とする凹部35を形成する(図4(A))。

【0040】

ここでの凹部35の深さは、後工程において、凹部35を、フラックスを貯留する貯留部として機能させるとともに、凹部35に供給する半田によってポスト部と外部端子との密着性を向上させる密着性向上部として機能させる点を考慮して設定する。

10

20

30

40

50

【 0 0 4 1 】

そのため、この構成例では、凹部 3 5 の深さを、ポスト部 2 0 1 の頂面 2 0 1 a から、当該ポスト部 2 0 1 の径（すなわち、直径）の 2 から 1 0 % の範囲内のまでの深さとするのが良い。ここでは、凹部 3 5 の深さが約 2 0 μm となるまでエッチングを行う。尚、ここでのポスト部の外形が角柱の場合には、円相当径を算出して設定する。

【 0 0 4 2 】

次に、フラックス供給工程として、ポスト部 2 0 と対向する位置、すなわち露出された凹部 3 5 に、フラックス 3 7 を供給する（図 4（B））。フラックスとは、半田が接着される被接着面上の酸化膜等を除去する清浄作用や、加熱溶解した半田の表面張力を小さくして被接着面に対する濡れ性の促進作用等を果たす物質をいう。ここでのフラックスの供給は、例えば、フラックス転写のうち基板反りの抑制に効果的なピン転写法を用いることができる。

10

【 0 0 4 3 】

このときのフラックス 3 7 の供給量は、後工程で凹部 3 5 の開口を覆う位置に半田ボール 2 4 1 を配置した際に半田ボール 2 4 1 と接触可能な量であれば良く、ここでは、各凹部 3 5 を充填して封止層 3 0 上に溢れる程度に供給する。

【 0 0 4 4 】

次に、半田塊配置工程として、ポスト部 2 0 と対向する位置、すなわち凹部 3 5 の開口を覆う位置に、フラックス 3 7 を介して半田塊としての半田ボール 2 4 1 をそれぞれ配置する。ここでの半田ボールの直径は、例えば、約 5 0 0 μm である（図 4（C））。

20

【 0 0 4 5 】

ここでの半田ボール 2 4 1 を、プラスチック材料を含有する球状のコア部 2 4 2 の表面に、金属層 2 4 4 及び半田層 2 4 6 1 が順次に積層して設けられた多層構造とする。多層構造の半田ボールは、半田材料のみからなる半田ボールよりも軽量であるのはもとより、実装用基板への実装時に、熱膨張率の差によって発生する熱応力をコア部が吸収して半田層にクラックが発生するのを抑制し、しかも、被接触面との接触面積の増大（すなわち、接触抵抗の低減）を実現することができる。

【 0 0 4 6 】

そこで、この参考例に用いる半田ボール 2 4 1 の一例について、さらに詳細に説明する。

30

【 0 0 4 7 】

球状のコア部 2 4 2 の形成は、例えば、球状の成型金型にプラスチック材料を注入して行うことができる。

【 0 0 4 8 】

また、コア部 2 4 2 となるプラスチック材料としては、例えば、ポリエチレン、ポリプロピレン、ポリメチルベンゼン、ポリ塩化ビニル、ポリテトラフルオロエチレン、ポリスチレン、ポリメチルメタクリレート、ポリエチレンテレフタレート、ポリブチレンテレフタレート、ポリアミド、ポリイミド、ポリスルホン、ポリフェニレンオキサイド、ポリアセタール等の線状または架橋高分子や、エポキシ樹脂、フェノール樹脂、メラミン樹脂、不飽和ポリエステル樹脂、ジビニルベンゼン重合体、ジビニルベンゼン - スチレン共重合体、ジビニルベンゼン - アクリル酸エステル共重合体、ジアリルフタレート重合体、トリアリルイソシアヌレート重合体、ベンゾグアナミン重合体等の網目構造を有する樹脂等を用いることができる。尚、上記プラスチック材料は、1 種類または複数の材料の組み合わせからなる材料を用いても良い。また、これらの樹脂のうちで、特に好ましいものは、ジビニルベンゼン重合体、ジビニルベンゼン - スチレン共重合体、ジビニルベンゼン - アクリル酸エステル共重合体、ジアリルフタレート重合体等の網目構造を有する樹脂である。

40

【 0 0 4 9 】

また、金属層 2 4 4 としては、例えば、導電性を有しかつ融点が 9 0 0 以上の材料からなる層で形成することができる。そこで、金属層 2 4 4 を形成する材料として、例えば

50

、金（Au）、銀（Ag）、銅（Cu）、白金（Pt）、パラジウム（Pd）、コバルト（Co）、ニッケル（Ni）、鉄（Fe）や、これらを主成分とする合金等を用いることができる。また、金属層244のコア部242の表面への形成方法としては、例えば、無電解めっき法、真空蒸着法、イオンプレーティング法、あるいはイオンスパッタリング法等を用いることができる。

【0050】

また、ここでの半田層2461とは、導電性を有しかつ融点が350以下の低融点金属材料からなる層を言い、例えば、錫（Sn）と鉛（Pb）との合金、インジウム（In）、錫、鉛や、これらを主成分とする合金等を用いることができる。また、半田層2461の金属層244の表面への形成方法としては、例えば、無電解めっき法や、ハイブリダイゼーションまたはメカノフュージョン法を用いた機械的、物理的方法を用いることができる。

10

【0051】

こうして、半田ボールを加熱溶融して外部端子を形成するまでの間、半田ボール241は、凹部35に供給されたフラックス37によってポスト部20上に保持されている。そのため、外部からの振動等によってフラックスが流れ出すことがないので、半田ボールが位置ずれを起こすのを抑制することができる。

【0052】

次に、外部端子形成工程として、半田ボール241を加熱溶融してポスト部20上に外部端子24を形成する。外部端子24を形成後、フラックス残渣を溶剤で洗浄して除去する（図5）。すなわち、ここでは、半田ボール241のうち半田層2461の融点以上の温度であってかつ金属層244の融点未満の温度で加熱して、最外層の半田層246のみを加熱溶融して、外部端子24を形成する。

20

【0053】

この構成例では、外部端子をリフロー形成するまでの間の半田ボール241の位置ずれが、凹部35に貯留されたフラックスによって抑制されるため、外部端子を所定位置に精度良く形成することができる。

【0054】

さらに、この構成例では、外部端子を構成する半田の一部が凹部35に充填されているので、封止層表面よりも内側で外部端子とポスト部とが接合されている。よって、外部端子24とポスト部20との接着性がより確実となる。

30

【0055】

外部端子形成後、例えば、ダイシングブレードによって隣り合う半導体チップ12間を切断して、WCSP10毎に切り出す（図1（A）参照）。

【0056】

また、WCSP10の実装用基板50への実装は、例えば、以下のように行う。

【0057】

まず、実装用基板50上に、当該実装用基板50上の電極パッド53と外部端子24とが接触するように、WCSP10を配置する。

【0058】

その後、半田層246の融点以上の温度であってかつ半田層246の内側の金属層244の融点未満の温度で加熱する。

40

【0059】

これにより、溶融された半田層246が、溶融されずに残存している金属層244と電極パッド53及びポスト部20との間隙部分に埋め込まれた状態で固着されて、WCSP10と実装用基板50とが電氣的に接続される。こうして実装用基板50にWCSP10が実装された半導体装置100を得る（図1（B）参照）。

【0060】

上述した説明から明らかなように、この参考例によれば、導電部の頂面に凹部を形成することにより、当該凹部にフラックスを貯留させることができる構成である。

50

【 0 0 6 1 】

これにより、凹部を覆うように配置した球状の半田塊を、流れ出しが抑制されたフラックスによって確実に保持（すなわち、仮固定）させておくことができる。

【 0 0 6 2 】

そのうえ、流動性を有するフラックスが凹部の開口と当該開口を覆うように配置された球状の半田塊との間の隙間を充填するため、半田塊とフラックスとの接触面積を増大させることができる。その結果、半田塊を加熱溶解させた際の半田の表面張力を小さくでき、よって、被接着面に対する濡れ性を促進させることができる。

【 0 0 6 3 】

従って、凹部にフラックスを貯留させることにより、リフロー形成まで間の搬送過程やリフロー時における振動等による半田塊の位置ずれを抑制できるのはもとより、良好な半田の溶解接続を実現することができる。

10

【 0 0 6 4 】

さらに、導電部の頂面の凹部をウェットエッチングで形成可能なため、フォトリソグラフィ技術を用いて形成する際の厳密な位置合わせ精度が要求されない。よって、凹部を比較的平易な方法によって形成することができるので、製造コストや歩留まり等に対する懸念を緩和できる。

【 0 0 6 5 】

さらに、外部端子を構成する半田の一部が凹部に充填されることから、封止層表面よりも内側、すなわち半導体チップ側で外部端子と導電部とが接合された半導体パッケージとなる。

20

【 0 0 6 6 】

よって、外部端子と導電部との接着性がより確実となるので、これまでよりも高信頼性な半導体パッケージを実現することができる。

【 0 0 6 7 】

このことから、導電部に形成された凹部を、フラックスを貯留する貯留部として機能させるとともに、凹部に充填された半田によって導電部と外部端子との密着性を向上させる密着性向上部として機能させることができる。

【 0 0 6 8 】

さらに、このような半導体パッケージを実装用基板に実装することにより、半導体パッケージと実装用基板との間の電氣的接続の信頼性が向上するため、高信頼性な半導体装置を実現することができる。

30

【 0 0 6 9 】

尚、この参考例の除去工程では、凹部形成前のポスト部の頂面全面を所定深さ除去して凹部 3 5 を形成した構成であるが、ポスト部の頂面を所定深さ除去してなる凹面によって凹部 3 5 1 を形成する構成であっても良く（図 6（A））、或いは、ポスト部の頂面の一部のみを所定深さ除去してポスト部自体に凹部 3 5 2 を形成する構成であっても良い（図 6（B））。このような場合にも、上述と同様の効果を得ることができる。

【 0 0 7 0 】

< 第 1 の実施の形態 >

40

図 7（A）から図 9（C）を参照して、この発明の第 1 の実施の形態に係る半導体パッケージ及び半導体装置およびこれらの製造方法について説明する。

【 0 0 7 1 】

この実施の形態では、外部端子がポスト部から離れる方向に伸びる柱状形状を有しており、かつ当該外部端子の一端がポスト部によって形成された凹部に挿入されている点が第 1 の実施の形態との主たる相違点である。尚、第 1 の参考例で既に説明した構成要素と同一の構成要素には同一の番号を付して示しその具体的な説明を省略する（以下の各実施の形態についても同様とする）。

【 0 0 7 2 】

図 7（A）に示すように、この実施の形態の半導体パッケージである W C S P 2 0 0 は

50

、円柱形状である外部端子44が、第2のサブ導電部としてのポスト部70から離れる方向に伸びかつその一端がポスト部70に形成された凹部75に挿入されている。ここでは、導電部69を構成する第2のサブ導電部であるポスト部70の第2の面としての頂面70aに、封止層30の上面30aよりも下方に底面75aを有する凹部75が形成されている。

【0073】

そのため、第1の参考例と同様に、凹部75に充填された半田が、ポスト部70によって構成される凹部75の底面75aと接着していることはもとより、凹部75の内壁面75bとも接着しているため、外部端子44とポスト部70との密着性が従来よりも確実となる。よって、従来よりも高信頼性な半導体パッケージであるWCS P 200が実現される。尚、ここでの外部端子44も、第1の参考例と同様、コア部442の表面に、金属層444及び半田層446が順次に積層形成された多層構造である。尚、外部端子44は、軸方向の径が実質的に同一である柱状形状でも良いが、ここでは、円柱形状のコア部442の中央部のくびれによって、軸方向の中央部の径が該軸方向の両端の径よりも小さい中細の円柱形状とする。外部端子をこうした中細形状とすることにより、実装用基板への実装時に外部端子にかかる応力を緩和させることができる。尚、外部端子の形状はこれに限定されず、任意好適な柱状形状とすることができる。

10

【0074】

また、図7(B)に示すように、半導体パッケージ200が実装された半導体装置300は、第1の参考例と同様、実装用基板50上の電極パッド53に外部端子44が溶融接続されている。

20

【0075】

このとき、外部端子とポスト部との密着性が向上されたWCS P 200によって、WCS P 200と実装用基板50との間の電氣的接続の信頼性が向上し、これまでよりも高信頼性な半導体装置が実現される。

【0076】

続いて、図8(A)から図9(C)を参照して、半導体パッケージ200の製造方法について説明する。

【0077】

先ず、第1の参考例と同様の方法により、封止層形成工程までを行う(図8(A)参照)。尚、ここで、凹部形成前の第2のサブ導電部であるポスト部701は、例えば、直径約500 μ m及び高さ約100 μ mの円柱形状とする。

30

【0078】

次に、凹部形成工程として、ポスト部701の頂面701aの一部を所定深さ除去して、封止層30の上面30aよりも下方に底面を有する凹部75を形成する。

【0079】

この実施の形態では、凹部75の形状を、後工程において円柱形状の半田塊(以下、円柱半田と称する。)の一端が挿入可能な形状となるように形成する。

【0080】

そこで、先ず、封止層30及びサブポスト部701上に、第1の参考例と同様な材料でレジストを形成する(不図示)。その後、当該レジストに対して露光・現像を行い、ポスト部701の頂面701aのうち、円柱半田の一端を挿入可能な凹部の開口領域を露出させるマスクパターン72を形成する(図8(B))。

40

【0081】

その後、マスクパターン72をマスクとして、当該マスク72から露出するポスト部701をエッチング除去して凹部75を形成する。こうして、凹部75が設けられたポスト部70を形成する(図8(C))。ここでの凹部75の形成も、第1の参考例と同様、例えば、強酸性のウェットエッチング溶液を用いたウェットエッチング用いて行うことができる。

【0082】

50

凹部 7 5 の深さは、後工程において、凹部 7 5 を、フラックスを貯留する貯留部として、また円柱半田を凹部に挿入した状態で保持する保持部として、さらには当該凹部 7 5 に供給する半田によってポスト部と外部端子との密着性を向上させる密着性向上部として、それぞれ、機能させる点を考慮して設定する。

【 0 0 8 3 】

そのため、この構成例では、凹部 7 5 の深さを、ポスト部 7 0 1 の頂面 7 0 1 a から、ポスト 7 0 1 の径の 2 から 1 0 % の範囲内までの深さとするのが良い。ここでは、凹部 7 5 の深さが約 2 5 μm となるまでエッチングを行う。尚、ここでのポスト部の外形が角柱の場合には、円相当径を算出して設定する。

【 0 0 8 4 】

次に、第 1 の参考例と同様の方法により、フラックス供給工程を行う。

【 0 0 8 5 】

このときのフラックス 7 7 の供給量は、後工程で円柱半田の一端を凹部 7 5 に挿入した際に半田柱状と接触可能な量であれば良く、ここでは、各凹部 7 5 を充填して封止層 3 0 上に溢れる程度に供給する（図 9 (A) ）。

【 0 0 8 6 】

次に、半田塊配置工程として、円柱半田 4 4 1 の一端をフラックス 7 7 を介して凹部 7 5 に挿入する。ここでの円柱半田 4 4 1 の直径は、例えば、直径約 4 0 0 μm 及び高さ約 5 0 0 μm である（図 9 (B) ）。

【 0 0 8 7 】

ここでの円柱半田 4 4 1 も、第 1 の参考例と同様に、プラスチック材料を含有する中細の円柱形状のコア部 4 4 2 の表面に、金属層 4 4 4 及び半田層 4 4 6 1 が順次に形成された多層構造とする。尚、円柱状半田 4 4 1 は、コア部 4 4 2 を中細の円柱状に金型成形する以外は、既に説明した方法によって形成すれば良く、その詳細については既に説明したのでここでは省略する。

【 0 0 8 8 】

こうして、円柱半田を加熱溶融して外部端子を形成するまでの間、円柱半田 4 4 1 は、その一端がフラックス 7 7 を介して凹部 7 5 に挿入された状態でポスト部 7 0 上に保持されている。そのため、外部からの振動等による円柱半田 4 4 1 の位置ずれの発生を効果的に抑制することができる。

【 0 0 8 9 】

次に、第 1 の参考例と同様の方法により、外部端子形成工程を行う。外部端子 4 4 を形成後、フラックス残渣を溶剤で洗浄して除去する（図 9 (C) ）。尚、ここでも第 1 の参考例と同様に、円柱半田 4 4 1 のうち最外層の半田層 4 4 6 のみを加熱溶融して、外部端子 4 4 を形成する。

【 0 0 9 0 】

この構成例によれば、外部端子をリフロー形成するまでの間の柱状半田 4 4 1 の位置ずれが抑制された構成であるため、外部端子を所定位置に精度良く形成することができる。

【 0 0 9 1 】

さらに、この構成例では、外部端子 4 4 が凹部 7 5 に埋め込み形成され、封止層表面よりも内側で外部端子 4 4 とポスト部 7 0 とが接合される。よって、外部端子 4 4 とポスト部 7 0 との接着性がより確実となる。

【 0 0 9 2 】

外部端子形成後、例えば、ダイシングブレードによって隣り合う半導体チップ 1 2 間を切断して、W C S P 2 0 0 毎に切り出す（図 7 (A) 参照）。

【 0 0 9 3 】

また、第 1 の参考例と同様の方法により、W C S P 2 0 0 を実装用基板 5 0 への実装を行うことができる。

【 0 0 9 4 】

こうして、溶融された半田層 4 4 6 が、溶融されずに残存している金属層 4 4 4 と電極

10

20

30

40

50

パッド53及びポスト部70との間隙部分に埋め込まれた状態で固着されて、WCSP200と実装用基板50とが電氣的に接続される。こうして実装用基板50にWCSP200が実装された半導体装置300を得る(図7(B)参照)。

【0095】

また、この構成例の外部端子は、円柱形状のコア部の中央部がくびれによって、軸方向の中央部の径が該軸方向の両端の径よりも小さい中細の円柱形状なため、実装用基板への実装時に外部端子にかかる応力が緩和される。

【0096】

上述した説明から明らかなように、この実施の形態においても、導電部の頂面にフラックスを貯留可能な凹部が形成された構成であることから、第1の参考例と同様の効果を得ることができる。

10

【0097】

さらに、この実施の形態によれば、外部端子をリフロー形成までの間、柱状の半田塊の一端が、当該凹部にフラックスを介して挿入された状態で保持しておくことができる。

【0098】

その結果、半田塊の位置ずれの発生をさらに抑制することができるので、外部端子を所定位置により一層精度良く形成することができる。

【0099】

また、この実施の形態においても、導電部の頂面の凹部をウェットエッチングで形成可能なため、フォトリソグラフィ技術を用いて形成する際の厳密な位置合わせ精度が要求されない。よって、凹部を比較的平易な方法によって形成することができるので、製造コストや歩留まり等に対する懸念を緩和できる。

20

【0100】

また、この実施の形態においても、外部端子を構成する半田の一部が凹部に充填されることから、封止層表面よりも内側、すなわち半導体チップ側で外部端子と導電部とが接合された半導体パッケージとなる。

【0101】

よって、外部端子と導電部との接着性がより確実となるので、これまでよりも高信頼性な半導体パッケージを実現することができる。

【0102】

このことから、導電部に形成された凹部を、フラックスを貯留する貯留部として機能させるとともに、凹部に充填された半田によって導電部と外部端子との密着性を向上させる密着性向上部として機能させることができる。

30

【0103】

さらに、このような半導体パッケージを実装用基板に実装することにより、半導体パッケージと実装用基板との間の電氣的接続の信頼性が向上するため、高信頼性な半導体装置を実現することができる。

【0104】

< 第2の実施の形態 >

図10(A)から図15を参照して、この発明の第2の実施の形態に係る半導体パッケージ及び半導体装置およびこれらの製造方法について説明する。

40

【0105】

この実施の形態では、半導体パッケージを製造するに当たり、ポスト部の頂面によって形成される凹部を覆うように配置した半田塊の一部で凹部を充填させる代わりに、半田塊を配置する工程前までに、当該凹部にあらかじめ半田を充填しておく点が第1の実施の形態との主たる相違点である。

【0106】

図10(A)に示すように、この実施の形態の半導体パッケージであるWCSP400は、ポスト部80に形成された凹部85に充填されていた半田87が、当該半田87上に形成されたサブ外部端子840と接着して外部端子84を構成している。ここでは、導電

50

部79を構成する第2のサブ導電部であるポスト部80の第2の面としての頂面80aに、封止層30の上面30aよりも下方に底面85aを有する凹部85が形成されている。

【0107】

そのため、第1の参考例と同様に、凹部85に充填された半田が、ポスト部80によって構成される凹部の底面85aと接着していることはもとより凹部の内壁面85bとも接着しているため、外部端子44とポスト部80との密着性が従来よりも確実となる。よって、従来よりも高信頼性な半導体パッケージであるWCSP400が実現される。尚、ここでのサブ外部端子840は、第1の参考例で既に説明したように、コア部842の表面に、金属層844及び半田層846が順次に積層形成された多層構造である。

【0108】

また、図10(B)に示すように、半導体パッケージ400が実装された半導体装置500は、第1の参考例と同様、実装用基板50上の電極パッド53に外部端子84が溶融接続されている。

【0109】

このとき、外部端子とポスト部との密着性が向上されたWCSP400によって、WCSP400と実装用基板50との間の電氣的接続の信頼性が向上し、その結果、従来よりも高信頼性な半導体装置が実現される。

【0110】

続いて、図11(A)から図15を参照して、半導体パッケージ400の製造方法について説明する。

【0111】

まず、第1の参考例と同様の方法により、導電部形成工程まで行う(図11(A)参照)。尚、ここで、凹部形成前の第2のサブ導電部であるポスト部801は、例えば、直径約500 μm 及び高さ約100 μm の円柱形状とする。

【0112】

次に、凹部形成工程として、ポスト部801の頂面801aの一部を所定深さ除去して、後工程において形成される封止層30の上面30aよりも下方に底面を有する凹部85を形成する。

【0113】

そこで、まず、封止層30及びポスト部801上に、第1の参考例と同様の材料でレジストを形成する(不図示)。その後、当該レジストに対して露光・現像を行って、ポスト部801の頂面801aの一部を露出させるマスクパターン82を形成する(図11(B))。

【0114】

その後、マスクパターン82をマスクとして、当該マスク82から露出するポスト部801をエッチング除去して凹部85を形成する(図11(C))。ここでの凹部85の形成も、第1の参考例と同様、例えば、強酸性のウェットエッチング溶液を用いたウェットエッチング用いて行うことができる。

【0115】

ここでの凹部85の形状は、後工程において、凹部85を、当該凹部85に供給する半田によってポスト部と外部端子との密着性を向上させる密着性向上部として機能させる点を考慮して設定する。

【0116】

そのため、この構成例では、凹部85の径を、ポスト部801の頂面801aの径の10から50%の範囲内の径とし、かつサブポスト部801の頂面801aから当該ポスト部の高さの20から70%の範囲内の深さとするのが良い。ここでは、凹部85を、開口径を約150 μm とし深さが約50 μm となるまでエッチングを行う。尚、ここでのポスト部の外形が角柱の場合には、円相当径を算出して設定する。

【0117】

次に、半田供給工程として、例えば、無電解めっき法によって、凹部85がすべて満た

10

20

30

40

50

されるように、後工程において外部端子の一部となる半田 8 7 を充填する（図 1 2 (A) ）。

【 0 1 1 8 】

次に、封止層形成工程を以下の手順で行う。

【 0 1 1 9 】

先ず、蓋部形成工程として、凹部 8 5 が充填された半田 8 7 を覆う蓋部 8 6 を、例えば、無電解めっき法を用いて銅によって形成する（ 1 2 (B) ）。その後、研磨工程として、先ず、半導体チップの主表面 1 2 a の上側から、スピン塗布等によりエポキシ樹脂を塗布した後加熱して、蓋部 8 6 が隠れる程度の厚みの封止層形成層 3 0 1 を形成する（図 1 2 (C) ）。このとき、半田 8 7 は、サブポスト部 8 0 1 及び蓋部 8 6 によって外部に露出されることなく内包されており、加熱によって溶融した半田が流れ出る懸念が無い。その後、例えば、グラインダーによって封止層形成層 3 0 1 及び蓋部 8 6 に対して研磨を行って、半田 8 7 の頂面 8 7 a を露出させて封止層 3 0 を形成するとともにポスト部 8 0 を形成する（図 1 3 (A) ）。

10

【 0 1 2 0 】

次に、フラックス供給工程として、ポスト部 8 0 と対向する位置、すなわち露出された半田 8 7 の頂面 8 7 a 及びポスト部 8 0 の頂面 8 0 a に、フラックス 8 9 を供給する（図 1 3 (B) ）。ここでのフラックス 8 9 の供給も、第 1 の参考例と同様、例えば、ピン転写法を用いることができる。

【 0 1 2 1 】

次に、半田塊配置工程として、ポスト部 8 0 と対向する位置に、フラックス 8 9 を介して半田塊としての半田ボール 8 4 1 を配置する。ここでの半田ボール 8 4 1 の直径は、例えば、約 5 0 0 μm である（図 1 3 (C) ）。

20

【 0 1 2 2 】

ここでの半田ボール 8 4 1 も、第 1 の参考例と同様に、プラスチック材料を含有する中細の円柱形状のコア部 8 4 2 の表面に、金属層 8 4 4 及び半田層 8 4 6 1 が順次に積層形成された多層構造とする。

【 0 1 2 3 】

次に、第 1 の参考例と同様の方法により、外部端子形成工程を行う。外部端子 8 4 を形成後、フラックス残渣を溶剤で洗浄して除去する（図 1 4 ）。

30

【 0 1 2 4 】

この構成例によれば、あらかじめ凹部 8 5 に埋め込み形成されていた半田 8 7 と半田ボールの最外層の半田層 8 4 6 1 とが溶融して、外部端子 8 4 となる。

【 0 1 2 5 】

そのため、外部端子 8 4 が凹部 8 5 に埋め込み形成され、かつ封止層表面よりも内側で外部端子 8 4 とポスト部 8 0 とが接合される。よって、外部端子 8 4 とポスト部 8 0 との接着性がより確実なものとなる。

【 0 1 2 6 】

さらに、この構成例のように、多層構造の半田ボール 8 4 1 を用いた場合には、最外層の半田層 8 4 6 1 の半田にくわえて凹部の半田 8 7 を外部端子形成材料として利用できるので、半田量の不足を抑制することができる。

40

【 0 1 2 7 】

外部端子形成後、例えば、ダイシングブレードによって隣り合う半導体チップ 1 2 間を切断して、W C S P 4 0 0 毎に切り出す（図 1 0 (A) 参照）。

【 0 1 2 8 】

また、第 1 の参考例と同様の方法により、W C S P 4 0 0 を実装用基板 5 0 への実装を行うことができる。

【 0 1 2 9 】

こうして、溶融された半田層 8 4 6 が、溶融されずに残存している金属層 8 4 4 と電極パッド 5 3 及びポスト部 8 0 との間隙部分に埋め込まれた状態で固着されて、W C S P 4

50

00と実装用基板50とが電氣的に接続される。こうして実装用基板50にWCSP400が実装された半導体装置500を得る(図10(B)参照)。

【0130】

上述した説明から明らかなように、この実施の形態によれば、外部端子を構成する半田の一部が凹部に充填されており、しかも封止層表面よりも内側で外部端子とポスト部とが接合された半導体パッケージとなる。

【0131】

その結果、外部端子とポスト部との接着性が向上するため、従来よりも高信頼性な半導体パッケージを実現することができる。

【0132】

さらに、この実施の形態によれば、外部端子をリフロー形成するにあたり、半田塊が凹部に供給されている半田に引き寄せられるため半田塊の位置ずれの発生を抑制でき、外部端子を所定位置に精度良く形成することができる。

【0133】

よって、こうした半導体パッケージを実装用基板に実装することにより、半導体パッケージと実装用基板との間の電氣的接続の信頼性が向上するため、従来よりも高信頼性な半導体装置となる。

【0134】

尚、この実施の形態では、封止層形成工程の後にフラックス供給工程を行った構成であるが、さらに、フラックス供給工程を行う前に、封止層形成工程によって露出されたポスト部80の頂面80aに任意好適な方法で凹部90を形成しても良い(図15参照)。

【0135】

こうすることにより、当該凹部90にラックスを貯留することができるので半田塊の位置ずれの発生をさらに抑制することができる。

【0136】

この発明は、上述した実施の形態の組合せのみに限定されるものではなく、任意好適な段階において好適な条件を組み合わせても、この発明を適用することができる。

【0137】

例えば、上述した各実施の形態では、多層構造を有する半田塊を例に挙げて説明したが、これに限定されるものではなく、半田のみからなる半田塊であってもこの発明を適用することができる。

【0138】

また、上述した各実施の形態では、半導体パッケージにおける導電部を、第1のサブ導電部としての再配線層と、第2のサブ導電部としての導電性のポスト部とを具える構成としたが、これに限定されるものではない。

【0139】

よって、例えば、第1の参考例において、半導体パッケージ600の導電部91が、半導体チップの主表面12aに沿って延在する第1の配線層92である第1のサブ導電部と、当該第1の配線層92と接続されかつ樹脂部95等によって第1の配線層92よりも主表面12aから遠ざかる位置に形成された第2の配線層93である第2のサブ導電部とを具える構成であっても良い(図16(A))。また、この半導体パッケージ600を実装用基板50に実装することにより、半導体装置700を得ることが出来る(図16(B))。

【0140】

また、例えば、第1の参考例において、半導体パッケージ800の導電部96が、電極パッド14上に形成される導電性のポストを構成する、第1のサブ導電部97と当該第1のサブ導電部97上の第2のサブ導電部98とを具える構成であっても良い(図17(A))。また、この半導体パッケージ800を実装用基板50に実装することにより、半導体装置900を得ることができる(図17(B))。尚、上述した導電部のこれらの構造を、上述した第1及び第2の実施の形態に適宜適用することも可能である。

10

20

30

40

50

【図面の簡単な説明】

【0141】

【図1】(A)は、この発明の第1の参考例の半導体パッケージを示す概略断面図であり、(B)は、この発明の第1の参考例の半導体装置を示す概略断面図である。

【図2】(A)～(C)は、この発明の第1の参考例の半導体パッケージの製造工程の説明に供する概略断面図(その1)である。

【図3】(A)～(C)は、この発明の第1の参考例の半導体装置の製造工程の説明に供する概略断面図(その2)である。

【図4】(A)～(C)は、この発明の第1の参考例の半導体装置の製造工程の説明に供する概略断面図(その3)である。

【図5】この発明の第1の参考例の半導体装置の製造工程の説明に供する概略断面図(その4)である。

【図6】(A)及び(B)は、この発明の第1の参考例の半導体装置の製造工程の説明に供する概略断面図(変形例)である。

【図7】(A)は、この発明の第1の実施の形態の半導体パッケージを示す概略断面図であり、(B)は、この発明の第1の実施の形態の半導体装置を示す概略断面図である。

【図8】(A)～(C)は、この発明の第1の実施の形態の半導体パッケージの製造工程の説明に供する概略断面図(その1)である。

【図9】(A)～(C)は、この発明の第1の実施の形態の半導体装置の製造工程の説明に供する概略断面図(その2)である。

【図10】(A)は、この発明の第2の実施の形態の半導体パッケージを示す概略断面図であり、(B)は、この発明の第2の実施の形態の半導体装置を示す概略断面図である。

【図11】(A)～(C)は、この発明の第2の実施の形態の半導体パッケージの製造工程の説明に供する概略断面図(その1)である。

【図12】(A)～(C)は、この発明の第2の実施の形態の半導体パッケージの製造工程の説明に供する概略断面図(その2)である。

【図13】(A)～(C)は、この発明の第2の実施の形態の半導体パッケージの製造工程の説明に供する概略断面図(その3)である。

【図14】この発明の第2の実施の形態の半導体パッケージの製造工程の説明に供する概略断面図(その4)である。

【図15】この発明の第2の実施の形態の半導体パッケージの製造工程の説明に供する概略断面図(変形例)である。

【図16】この発明の実施の形態の変形例の説明に供する図(その1)である。

【図17】この発明の実施の形態の変形例の説明に供する図(その2)である。

【符号の説明】

【0142】

10、200、400、600、800：半導体パッケージ(WCSP)

12：半導体チップ

12a：半導体チップの主表面

14：電極パッド

14a：電極パッドの主表面

15：パッシベーション膜

16：絶縁膜

17、69、79、91、96：導電部

18：配線層(再配線層)(第1のサブ導電部)

18a：第1の面(配線層の電極パッド接触面)

20、70、80：ポスト部(凹部形成後の第2のサブ導電部)

20a、70a、80a：ポスト部の頂面(凹部形成後の第2の面)

24、44、84：外部端子

30：封止層

10

20

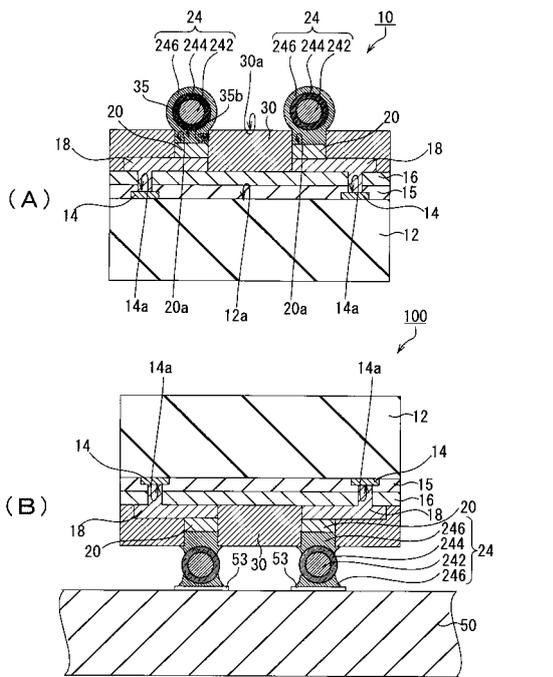
30

40

50

3 0 a : 封止層の表面	
3 5、7 5、8 5、9 0、3 5 1、3 5 2 : 凹部	
3 5 b : 凹部の側面	
3 7、7 7、8 9 : フラックス	
4 0 : 半導体ウェハ	
4 2、7 2、8 2 : マスクパターン	
5 0 : 実装用基板	
5 3 : 電極パッド	
7 5 a、8 5 a : 凹部の底面	
7 5 b、8 5 b : 凹部の内壁面	10
8 6 : 蓋部	
8 7 : 半田	
8 7 a : 半田の頂面	
9 2 : 第 1 の配線層 (第 1 のサブ導電部)	
9 2 a : 第 1 の面	
9 3 : 第 2 の配線層 (第 2 のサブ導電部)	
9 3 a : 第 2 の配線層の頂面 (第 2 の面)	
9 5 : 樹脂	
9 7 : 第 1 のサブ導電部	
9 7 a : 第 1 の面	20
9 8 : 第 2 のサブ導電部	
9 8 a : 第 2 のサブ導電部の頂面 (第 2 の面)	
1 0 0、3 0 0、5 0 0、7 0 0、9 0 0 : 半導体装置	
2 0 1、7 0 1、8 0 1 : ポスト部 (凹部形成前の第 2 のサブ導電部)	
2 0 1 a、7 0 1 a、8 0 1 a : ポスト部の頂面 (凹部形成前の第 2 の面)	
2 4 1、8 4 1 : 半田ボール (半田塊)	
2 4 2、4 4 2、8 4 2 : コア部	
2 4 4、4 4 4、8 4 4 : 金属層	
2 4 6、4 4 6、8 4 6、2 4 6 1、4 4 6 1、8 4 6 1 : 半田層	
3 0 1 : 封止層形成層	30
4 4 1 : 円柱半田 (半田塊)	
8 4 0 : サブ外部端子	

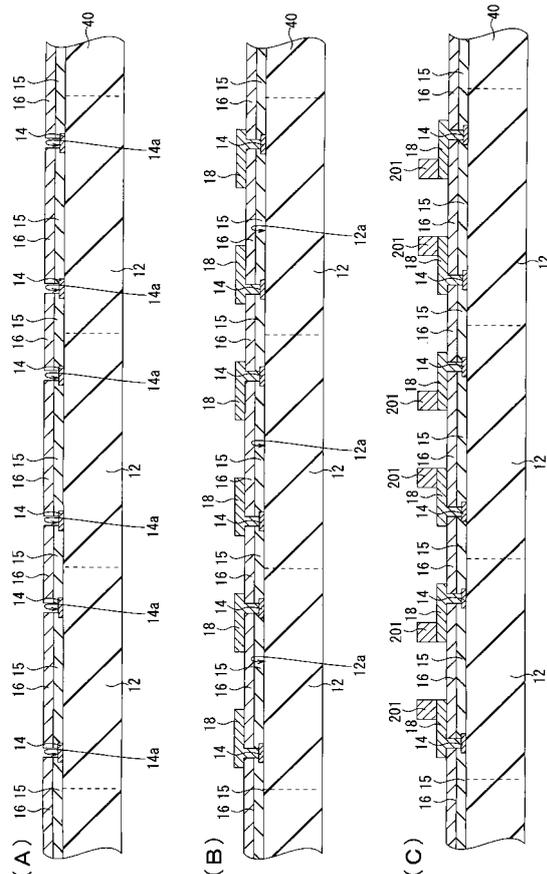
【図1】



10: 半導体パッケージ 12: 半導体チップ 12a: 半導体チップの主表面
 14: 電極パッド 14a: 電極パッドの主表面 15: パッシベーション膜
 16: 絶縁膜 18: 配線層 (再配線層) 20: ポスト部 20a: ポスト部の頂面
 24: 外部端子 30: 封止層 30a: 封止層の表面 35: 凹部 50: 実装用基板
 53: 電極パッド 100: 半導体装置 242: コア部 244: 金属層 246: 半田層

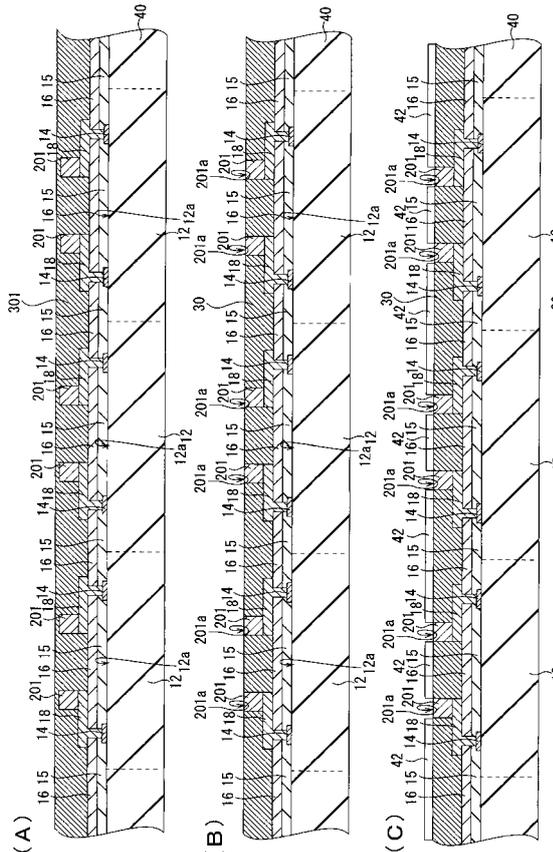
この発明の第1の参考例の半導体パッケージ及び半導体装置

【図2】



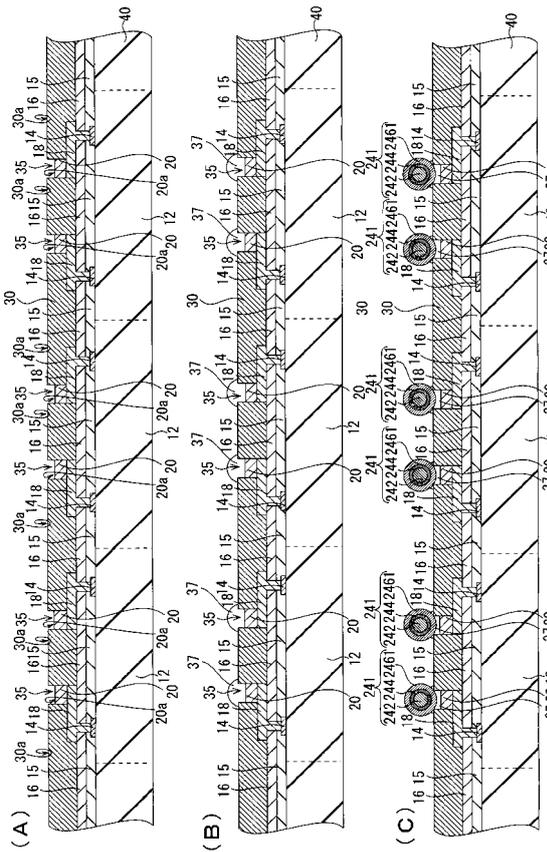
この発明の第1の参考例の半導体パッケージの製造工程図 (その1)

【図3】



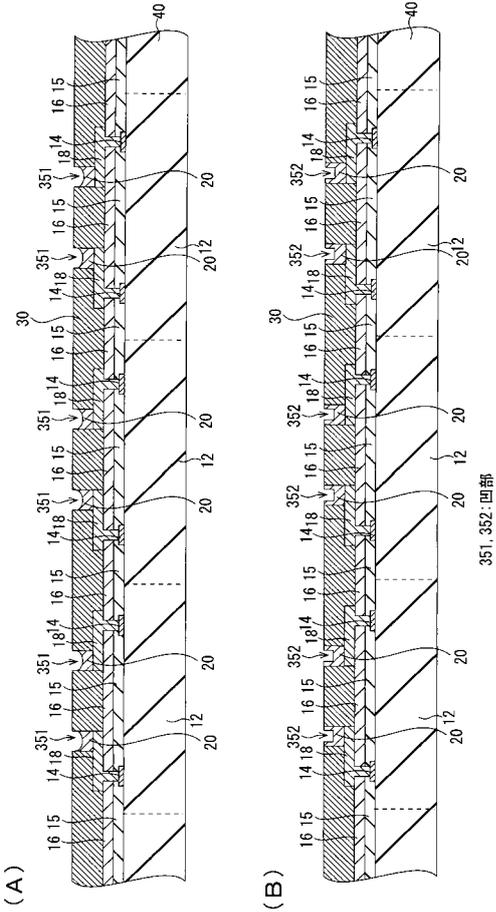
この発明の第1の参考例の半導体パッケージの製造工程図 (その2)

【図4】



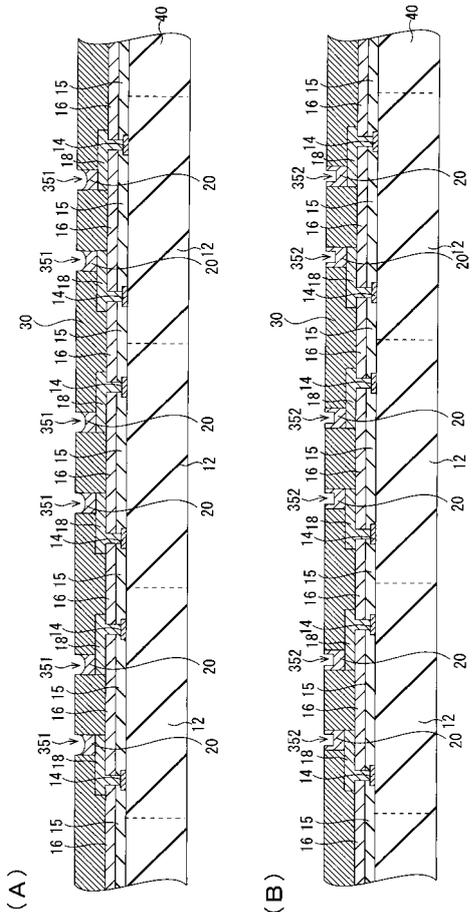
この発明の第1の参考例の半導体パッケージの製造工程図 (その3)

【図5】



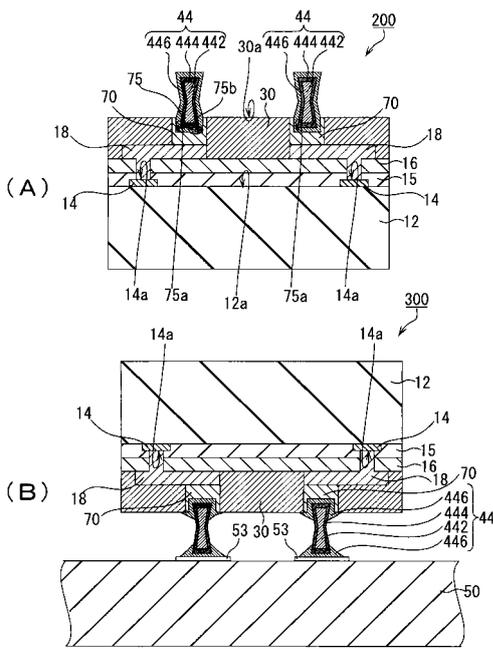
この発明の第1の参考例の半導体パッケージの製造工程図（変形例）

【図6】



この発明の第1の参考例の半導体パッケージの製造工程図（変形例）

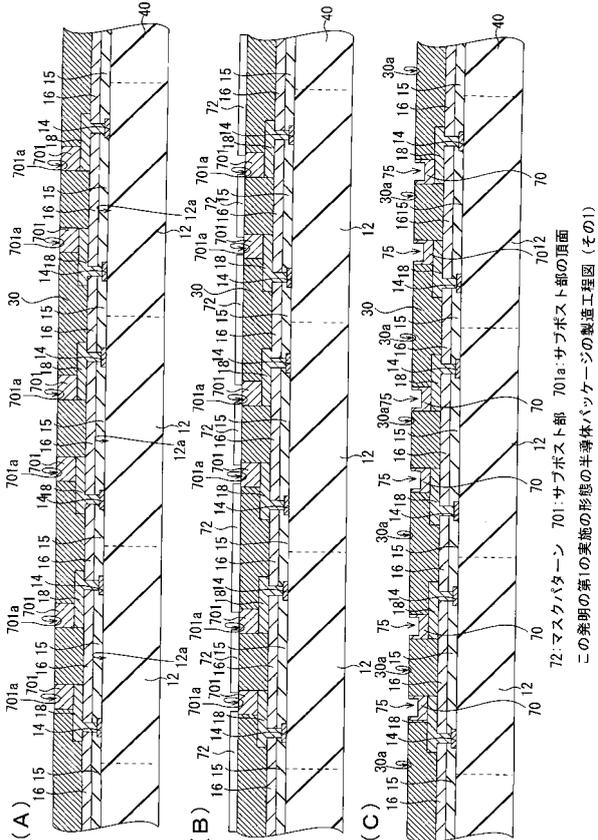
【図7】



44:外部端子 70:ポスト部 75:凹部 75a:凹部の底面
75b:凹部の内壁面 200:半導体パッケージ 300:半導体装置
442:コア部 444:金属層 446:半田層

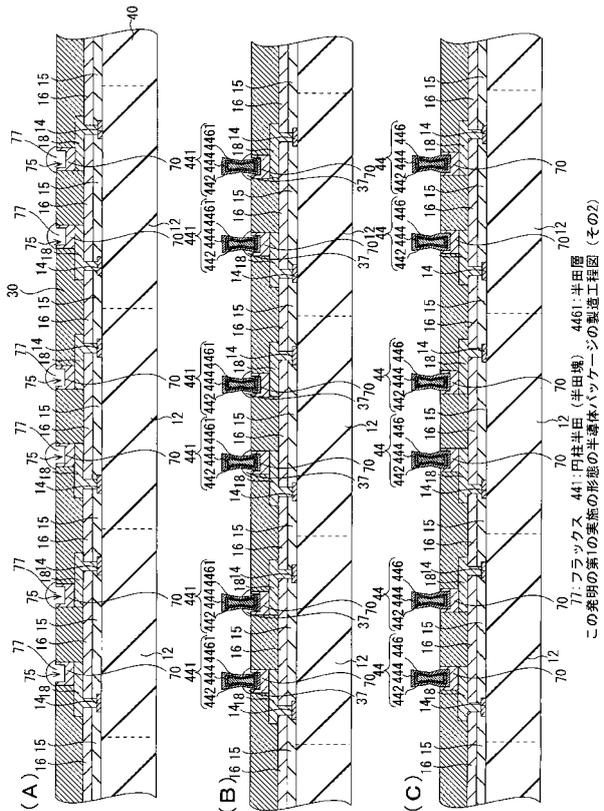
この発明の第1の実施の形態の半導体パッケージ及び半導体装置

【図8】

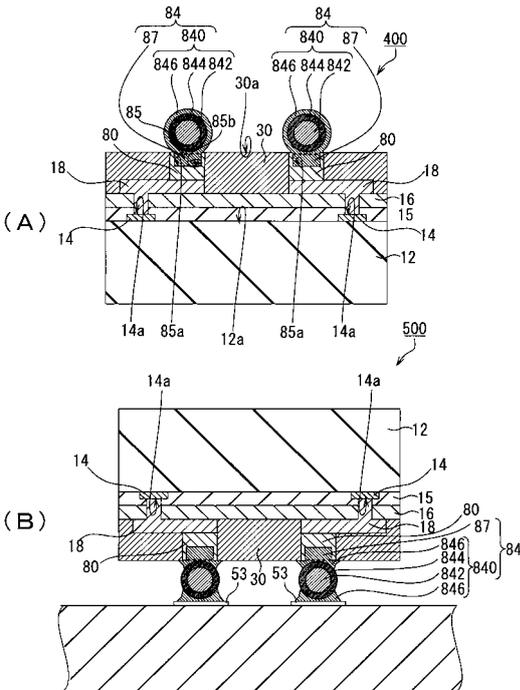


この発明の第1の実施の形態の半導体パッケージの製造工程図（その1）

【図9】



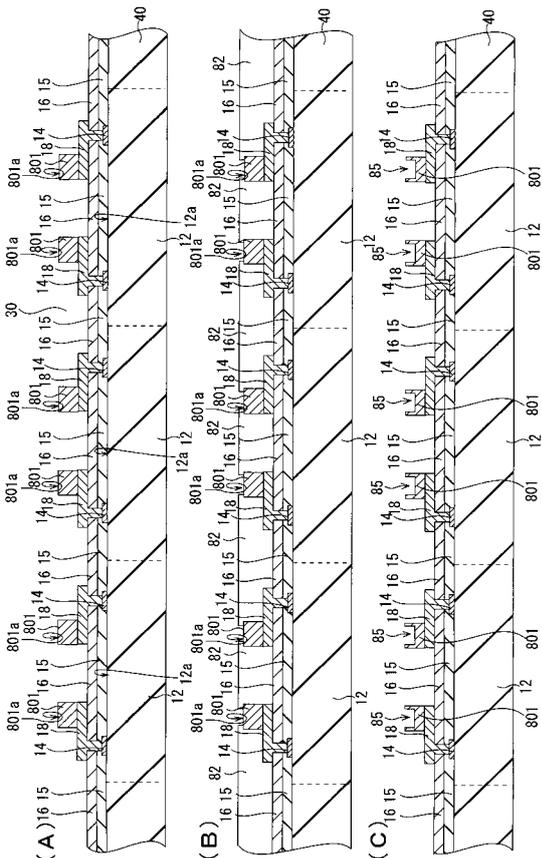
【図10】



84:外部端子 85:凹部 87:半田 400:半導体パッケージ
 500:半導体装置 840:サブ外部端子 842:コア部 844:金属層
 846:半田層

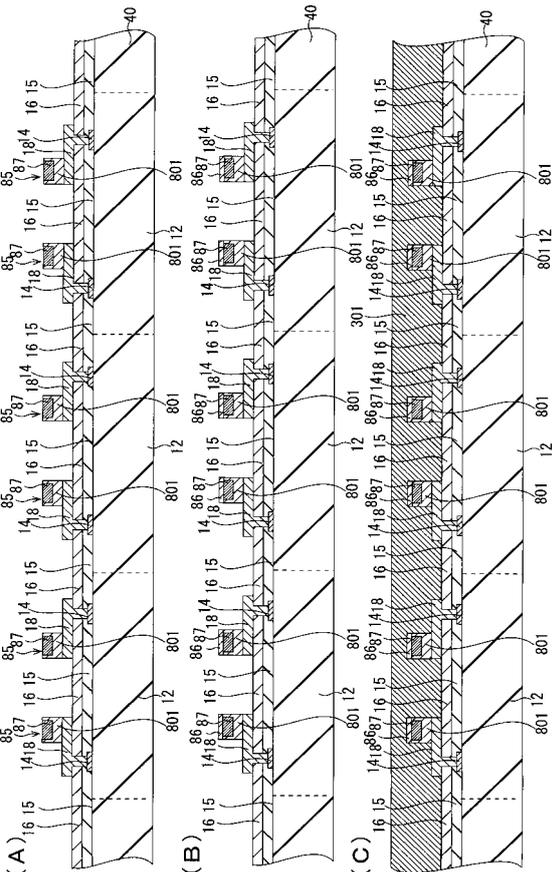
この発明の第2の実施の形態の半導体パッケージ及び半導体装置

【図11】



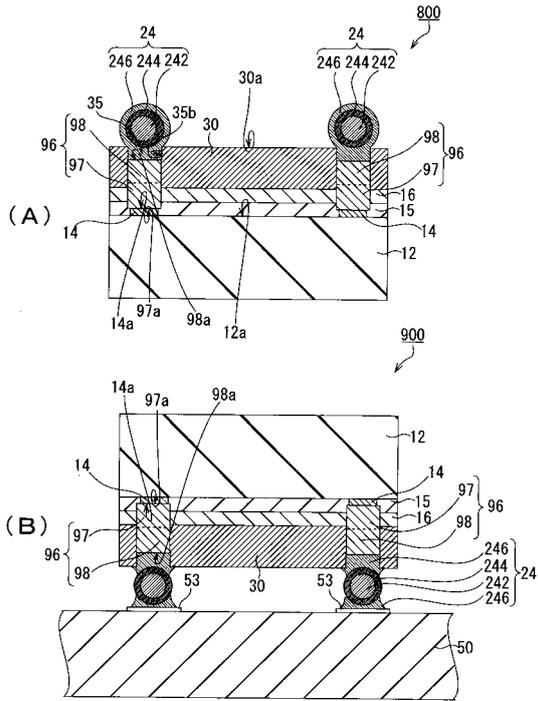
801:サブポスト部 801a:サブポスト部の頂面

【図12】



この発明の第2の実施の形態の半導体パッケージの製造工程図 (その2)

【図17】



96:導電部 97:第1のサブ導電部 97a:第1の面
98:第2のサブ導電部 98a:第2のサブ導電部の頂面(第2の面)
800:半導体パッケージ 900:半導体装置

この発明の実施の形態の半導体パッケージ及び半導体装置(変形例2)

フロントページの続き

- (56)参考文献 特開2002-359324(JP,A)
特開2001-077142(JP,A)
特開平07-249632(JP,A)
特開平07-312400(JP,A)
特開平06-338540(JP,A)
特許第3217046(JP,B2)
特開平10-173006(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12
H01L 21/56
H01L 21/60