

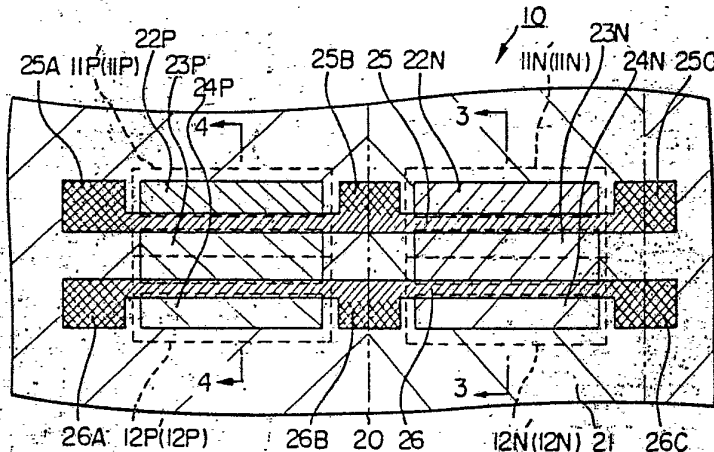


特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類 H01L 27/10, 21/90, 29/78</p>	<p>AI</p>	<p>(11) 国際公開番号 WO 79/00461 (43) 国際公開日 1979年7月26日 (26. 07. 79)</p>
<p>(21) 国際出願番号 PCT/JP78/00048 (22) 国際出願日 1978年12月11日 (11. 12. 78) (31) 優先権主張番号 特願昭52-158445 (32) 優先日 1977年12月30日 (30. 12. 77) (33) 優先権主張国 JP (71) 出願人 富士通株式会社 (FUJITSU LIMITED) 〒211 日本国神奈川県川崎市中原区上小田中1015番地 Kanagawa, Japan (米国を除くすべての指定国について) 松村信威 (MATSUMURA, Nobutake) 〒158 日本国東京都世田谷区深沢2丁目2番18号 Tokyo, Japan (米国についてのみ) 星川龍輔 (HOSHIKAWA, Ryusuke) 〒194-01 日本国東京都町田市山崎町2130番地 Tokyo, Japan (米国についてのみ) 杉浦義英 (SUGIURA, Yoshihide) 〒164 日本国東京都中野区中野2丁目23番7号1001 Tokyo, Japan (米国についてのみ) 市川博昭 (ICHIKAWA, Hiroaki) 〒227 日本国神奈川県横浜市緑区若草台13番地18 Kanagawa, Japan (米国についてのみ) 佐藤昭二 (SATO, Syoji) 〒229 日本国神奈川県相模原市田名6203 Kanagawa, Japan (米国についてのみ)</p>	<p>(72) 発明者 松村信威 (MATSUMURA, Nobutake) 〒158 日本国東京都世田谷区深沢2丁目2番18号 Tokyo, Japan 星川龍輔 (HOSHIKAWA, Ryusuke) 〒194-01 日本国東京都町田市山崎町2130番地 Tokyo, Japan 杉浦義英 (SUGIURA, Yoshihide) 〒164 日本国東京都中野区中野2丁目23番7号1001 Tokyo, Japan 市川博昭 (ICHIKAWA, Hiroaki) 〒227 日本国神奈川県横浜市緑区若草台13番地18 Kanagawa, Japan 佐藤昭二 (SATO, Syoji) 〒229 日本国神奈川県相模原市田名6203 Kanagawa, Japan (74) 代理人 弁理士 青木 朗 (AOKI, Akira) 西館和之 (NISHITATE, Kazuyuki) 内田幸男 (UCHIDA, Yukio) 山口昭之 (YAMAGUCHI, Teruyuki) 〒105 日本国東京都港区虎ノ門1丁目8番10号 静光 虎ノ門ビル 青木内外特許事務所 Tokyo, Japan (81) 指定国 DE (欧州特許), FR (欧州特許) GB (欧州特許), US. 添付公開書類 国際調査報告書 補正書</p>	

(54) Title: COMPLEMENTARY MIS-SEMICONDUCTOR INTEGRATED CIRCUITS

(54) 発明の名称 相補型MIS半導体集積回路装置



(57) Abstract

A semiconductor device having a plurality of unit cells, wherein the unit cells arranged along the row direction of a semiconductor substrate define unit cell arrays which are arranged along a columnar direction of the semiconductor substrate, and include depletion regions formed between adjacent primitive cell arrays. The unit cells are each composed of first and second P-channel MIS-transistors and first and second N-channel MIS-transistors. The first P-channel MIS-transistor and first N-channel MIS-transistor each have a gate defining a first single common gate, and the second P-channel MIS-transistor and second N-channel MIS-transistor each have a gate defining a second single common gate. The sources of drains of the first and second P-channel MIS-transistors each form a first single common source or drain and, on the other hand, the sources or drains of the first and second N-channel MIS-transistors each form a second single common source or drain. The first and second single common gates are each provided at both terminals of the unit cell arrays with terminal electrodes and are further provided at the center of the unit cell arrays with central terminal electrodes. The unit cells include small depletion regions extending along both sides of the unit cell arrays. These small depletion regions may be used as regions for wiring along the columnar direction of the small depletion regions.

BAD ORIGINAL

(57) 要約

多数の基本セルを有する半導体装置であって、半導体基板の行方向に沿って配列される複数の前記基本セルは該半導体基板の列方向に配列される基本セルアレイを構成し、さらに各隣接基本セルアレイに形成される空領域を含む。各前記基本セルは、第1および第2P-チャネルMISトランジスタと第1および第2N-チャネルMISトランジスタとからなる。前記第1P-チャネルおよび第1N-チャネルMISトランジスタの各ゲートは第1の単一共通ゲートを形成し、前記第2P-チャネルおよび第2N-チャネルMISトランジスタの各ゲートは第2の単一共通ゲートを形成する。前記第1P-チャネルおよび第2P-チャネルMISトランジスタの各ソースまたはドレインは第1の単一共通ソースまたはドレインを形成し、前記第1N-チャネルおよび第2N-チャネルMISトランジスタの各ソースまたはドレインは第2の単一共通ソースまたはドレインを形成する。各前記第1および第2の単一共通ゲートは前記基本セルアレイの両端に端子電極を有し、且つ該基本セルアレイの中央に中央端子電極を有する。さらに、各基本セルは前記基本セルアレイの両側に伸びる小空領域を含み、該小空領域は行方向に沿った配線を布設するための領域として利用できる。

情報としての用途のみ

PCTに基づいて公開される国際出願のパフレット第1頁にPCT加盟国を同定するために使用されるコード。

AT	オーストリア	JP	日本
BR	ブラジル	LU	ルクセンブルグ
CF	中央アフリカ	MG	マダガスカル
CG	コンゴ	MW	マラウイ
CH	スイス	SE	スウェーデン
CM	カメルーン	SN	セネガル
DE	西ドイツ	SU	ソウイェト連邦
DK	デンマーク	TD	チャード
FR	フランス	US	米国
GB	イギリス		

~~明 細 書~~

発明の名称

半導体装置

技術分野

- 5 本発明は半導体装置、特に半導体基板の横方向及び縦方向に沿つて配列される酸化金属半導体トランジスタの如き多数の大規模集積化CMIS（相補型金属絶縁半導体）トランジスタからなる半導体装置に関する。

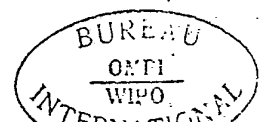
10 背景技術

近年、製造コスト及び製造時間を増大させることなしに多品種少量生産に適する大規模集積半導体装置を製造することの要求が高まつている。この要求に応じて、いわゆるマスタースライス半導体装置が

15 提案された。マスタースライス半導体装置は、周知の様に、単一の半導体基板上に初めに多数の基本セルが形成されるが、基本セル間あるいは各基本セル内の配線は形成されない。基本セルの各々は、通常トランジスタ、抵抗等の基本素子から構成される。

20 この様な基本セルのみからなる単一の半導体装置は大量生産向きである。このマスタースライス半導体装置を大量生産した後、所望の機能回路の品種に応じ、特定の配線用マスクを用いて基本セル間および各基本セル内の所定の配線を形成する。

25 マスタースライス半導体装置では、それぞれトラ



ンジスタ、抵抗等からなる基本セルが予め半導体基板内に大量生産されているので、所望の機能回路を得るべき必要性が生ずる毎に、単に所定の配線を形成すべき特定の配線マスクを用意するだけで所望の装置を完成できるので、従つて製造時間の短縮を図ることができる。さらに、大量生産された基本セルは、各種の機能回路のいずれを完成するにも共通に使用できるので、製造コストの低減をも図ることができる。加えて、マスタースライス半導体装置においては、多数の基本セルが半導体基板の行方向及び列方向に沿つて規則的に配列され標準化されたマトリクス・パターンをなすので、電子計算機を利用した配線の自動化が非常に簡単に行える。

上記のマスタースライス半導体装置は、例えばアイ・エス・エス・シー・シー 78/水曜、2月15日、1978/コンチネンタルボールルーム 4-5/4:15 ピー・エム (ISSCC 78/WEDNESDAY、FEBRUARY 15、1978/CONTINENTAL BALLROOM 4-5/4:15 PM) 及びアイ・エス・エス・シー・シー 78/水曜、2月15日、1978/コンチネンタルボールルーム 4-5/テイー・エッチ・エー・エム 9.2 (ISSCC 78/WEDNESDAY、February 15、1978/CONTINENTAL BALLROOM 4-5/THAM 9.2) の報告書に示されている。一般に、マスタースライス半導体装置はいくつかの欠点を有している。第1の欠点は高密度の集積化が



図れないことである。その理由は、各基本セルが行  
方向に沿つた空領域と列方向に沿つた空領域によつ  
て相互に隔絶されて基板上に分散せしめられている  
からである。第2の欠点は、配線群が基板上に均一  
5 して布設できないことである。その理由は、第1に  
配線が前記空領域に沿つてのみなされることであり、  
第2にたとえ未使用の基本セルであつても該未使用  
の基本セル上に配線を行なうことが不可能だからで  
ある。その他の欠点は、配線密度が前記空領域のあ  
10 る部分で非常に高くなつてしまうことである。その  
理由は、各基本セルが唯一つの入力端子電極と出力  
端子電極しか備えていないからである。前述の様に  
一般のマスタースライス半導体装置は、配線の布設  
に柔軟性がなく、又基本セルを高集積化する能力に  
15 も欠けている。

#### 発明の開示

本発明の目的は従来のマスタースライス半導体装  
置が有する上記の欠点を有しない半導体装置を提供  
することであり、従つて配線の布設に関して高い柔  
20 軟性を持つことが容易となると共に基本セルの高密  
度な実装を可能とする半導体装置を提供することを  
目的とするものである。

本発明によれば、多数の基本セルを具備した半導  
体装置が提供され、ここに多数の基本セルアレイが  
25 基板の行方向に沿つて配列され、多数の該行は基板



の列方向に沿つて配列されると共に隣接列間には空領域が形成される。各基本セルは、第1および第2 P - チャネル MIS トランジスタおよび、第1および第2 N - チャネル MIS トランジスタからなる。第1 P - チャネルおよび第1 N - チャネル MIS トランジスタの両ゲートは、第1の単一共通ゲートを形成し、一方第2 P - チャネルおよび第2 N - チャネル MIS トランジスタの両ゲートは、第2の単一共通ゲートを形成する。両第1 P - チャネルおよび第2 P - チャネル MIS トランジスタのソースまたはドレインは第1の単一共通ソースまたはドレインを形成し、一方両第1 N - チャネルおよび第2 N - チャネル MIS トランジスタのソースまたはドレインは第2の単一共通ソースまたはドレインを形成する。第1および第2の単一共通ゲートの各々は、各列の両端の側に2つの端子電極を有し、そして当該列の中央に中央端子電極を有する。さらに、各基本セルの各々は、各列の両端間に伸びる小空領域を含み、該小空領域は行方向に沿つた配線の布設領域として利用することができる。

#### 図面の簡単な説明

第1図は、本発明に基づく、基本セルの回路図；

第2図は、本発明に基づく、半導体基板上に形成された基本セルの平面図；

第3図は第2図に示した基本セルの線3-3から

みた断面図；

第 4 図は第 2 図に示した基本セルの線 4 - 4 から  
みた断面図；

第 5 図は、本発明に基づく、半導体チップ上の基  
5 本セルの特別な配列を示す平面図；

第 6 図は第 5 図中一点鎖線で包囲した部分の半導  
体チップを拡大して示す平面図；

第 7 図は、本発明に基づく、半導体チップ上に布  
設される配線の構成の一部を示す平面図；

10 第 8 図は第 7 図の線 8 - 8 からみた断面図；

第 9 図は、本発明に基づく、基本セル上に布設さ  
れた電源線を示す平面図；

第 10 図は 2 入力 NAND 回路の論理記号図；

第 11 図は CMIS トランジスタのみからなる NAND  
15 回路の構成を示す回路図；

第 12 図は、本発明に基づく、NAND 回路を形成す  
べき基本セルと配線の構成を示す平面図；

第 13 図は D 型フリップ・フロップの論理記号図；

第 14 図は CMIS トランジスタのみからなる D 型フ  
20 リップ・フロップの構成を示す回路図；

第 15 図は、本発明に基づく、D 型フリップ・フ  
ロップを形成すべき基本セルと配線の構成を示す平  
面図；

第 16 図は、本発明に基づく、基本セルアレイ上  
25 に形成される機能回路の配列を図解的に示す図；

第 17 図は、本発明に基づく、基本セルアレイ上に搭載された均圧線の構成を示す平面図；

第 18 図は第 17 図に示した周縁領域 175 上に形成される回路部分を図解的に示す平面図；

5 第 19 図は基本セル上に搭載される金属層の平面図である。

発明を実施するための最良の形態

以下添付図面を参照しながら本発明の好実施例を説明する。

10 第 1 図において、本発明の基本セル回路は 2 対の CMIS トランジスタからなる。すなわち、第 1 P - チャネル MIS トランジスタ 11P、第 1 N - チャネル MIS トランジスタ 11N、第 2 P - チャネル MIS トランジスタ 12P および第 2 N - チャネル MIS トランジスタ 12N である。トランジスタ 11P および 15 11N の各ゲートは相互に接続される。その共通接続ゲート端子は参照番号 13 で示される。同様に、トランジスタ 12P および 12N の各ゲートは相互に接続される。その共通接続ゲート端子は参照番号 20 14 で示される。さらに、トランジスタ 11P のソースまたはドレインのいずれかとトランジスタ 12P のソースまたはドレインのいずれかとは相互に接合され、共通端子 15 に接続される。同様に、トランジスタ 11N のドレインまたはソースのいずれかと 25 トランジスタ 12N のソースまたはドレインのい



れかとは相互に接合され、共通端子 1 6 に接続される。

第 1 図に示した回路構成を有する基本セルは種々の手法で半導体基板上に形成され得る。本発明に基づき基本セルの新規な形成手法は第 2 図において明らかとなる。なお、第 2 図中の種々のハッチングは、断面領域を示すものではなく、各領域を区分して示すためのものであることに注意されたい。

第 2 図において、参照番号 2 0 は N 型半導体基板を表わす。基板 2 0 は、もし必要なら、P 型半導体基板であつても良い。基板 2 0 において、P - ウエル 2 1 が形成される。P - ウエル 2 1 内において、点線 1 1 N' は、第 1 図の N - チャネルトランジスタ 1 1 N を形成すべき領域を規定する。同様に、点線 1 2 N' は、第 1 図の N - チャネルトランジスタ 1 2 N を形成すべき領域を規定する。一方、基板 2 0 内において、点線 1 1 P' および 1 2 P' は、それぞれ第 1 図の P - チャネルトランジスタ 1 1 P および 1 2 P を形成すべき領域を規定する。点線 1 1 N' で包囲された領域内で、領域 2 2 N および 2 3 N はトランジスタ 1 1 N のソースおよびドレインを表わす。点線 1 2 N' で包囲された領域内で、領域 2 4 N および 2 3 N はトランジスタ 1 2 N のソースおよびドレインを表わす。従つて、領域 2 3 N は両トランジスタ 1 1 N および 1 2 N によつて共通に占有される。こ

これらの領域  $2\ 2\ N$  ,  $2\ 3\ N$  および  $2\ 4\ N$  は全て  $N^+$ -領域である。

点線  $1\ 1\ P'$  で包囲された領域内において、領域  $2\ 2\ P$  および  $2\ 3\ P$  はトランジスタ  $1\ 1\ P$  のソースおよびドレインを表わす。点線  $1\ 2\ P'$  で包囲された領域内において、領域  $2\ 4\ P$  および  $2\ 3\ P$  はトランジスタ  $1\ 2\ P$  のソースおよびドレインを表わす。従つて領域  $2\ 3\ P$  は両トランジスタ  $1\ 1\ P$  および  $1\ 2\ P$  によつて共通に占有される。これらの領域  $2\ 2\ P$  ,  $2\ 3\ P$  および  $2\ 4\ P$  は全て  $P^+$ -領域である。

参照番号  $2\ 5$  は第1ゲートであり、これは両トランジスタ  $1\ 1\ N$  および  $1\ 1\ P$  の単一の共通ゲートである。第1ゲート  $2\ 5$  はポリシリコン層からなる。参照番号  $2\ 6$  は第2ゲートであり、これは両トランジスタ  $1\ 2\ N$  および  $1\ 2\ P$  の単一の共通ゲートである。第2ゲート  $2\ 6$  もポリシリコン層からなる。第1ゲート  $2\ 5$  はその両端に端子電極  $2\ 5\ A$  および  $2\ 5\ C$  を有し、その中央に端子電極  $2\ 5\ B$  を有する。同様に、第2ゲート  $2\ 6$  はその両端に端子電極  $2\ 6\ A$  および  $2\ 6\ C$  を有し、その中央に端子電極  $2\ 6\ B$  を有する。

領域  $2\ 2\ N$  ,  $2\ 3\ N$  および  $2\ 4\ N$  は、例えば一般的なイオンインプランテーション法あるいはいわゆる固相-固相拡散法を利用して、 $P$ -ウェル  $2\ 1$  内に  $N^+$ イオンを注入することにより形成される。領域

2 2 P , 2 3 P および 2 4 P は、例えば一般的なイ  
オンインプラントレーション法あるいはいわゆる固相  
- 固相拡散法を利用して、基板 2 0 内に P<sup>+</sup>イオンを  
注入することにより形成される。ポリシリコン層か  
5 らなる第 1 および第 2 ゲート 2 5 および 2 6 に対す  
る導電性の付与は、領域 2 2 N , 2 3 N , 2 4 N お  
よび 2 2 P , 2 3 P , 2 4 P の形成工程と同時にイ  
オンを注入することによつて行なわれる。

第 2 図に示すとおり、基本セル 1 0 は 1 対の P -  
10 チャネル MIS トランジスタ 1 1 P および 1 2 P 、 お  
よび 1 対の N - チャネル MIS トランジスタ 1 1 N お  
よび 1 2 N からなる。異なるチャネルのトランジス  
タの各ゲートは、単一の共通ゲートとして形成され  
る。同一チャネルのトランジスタのソース相互また  
15 はドレイン相互のいずれかは共通に一体として形成  
される。領域 2 2 P , 2 3 P , 2 4 P および領域  
2 2 N , 2 3 N , 2 4 N は、端子電極 2 5 B および  
2 6 B に関して相互に対称的に配置される。第 1 お  
よび第 2 ゲート 2 5 および 2 6 は、領域 2 3 P およ  
20 び 2 3 N に関して相互に対称的に配置される。第 1  
および第 2 ゲート 2 5 および 2 6 は、これらの間に  
領域 2 3 P および 2 3 N へ導入すべき電極 ( 図示 )  
を収納するに足る空領域を置いて離隔して配置され  
る。

25 第 2 図の線 3 - 3 および線 4 - 4 からみた部分断

面図が、それぞれ第3図および第4図に示される。  
第3および4図において、参照番号31は、二酸化シリコンからなる通常のゲート酸化膜を表わし、参照番号32は、二酸化シリコンからなる通常のフィールド絶縁層を表わす。両図において、第2図に用いた参照番号および記号と同一の番号および記号が付されたものは相互に同一の構成要素である。

半導体チップ上の多数の基本セルは、第5図に示す如き特別のパターンをもつて配列される。第5図において、参照番号50は半導体チップを表わす。半導体チップ50上において、多数の、例えば数100の基本セルで基本セルアレイ51-1を構成する。基本セルアレイ51-1内において、各基本セル10はチップ50の行方向に沿って配列される。多数の同様のセルアレイ51-1, 51-2~51-r、例えば数10のセルアレイはチップ50の列に沿って配列される。隣接基本セルアレイ間には、52で示す如き空領域が、チップ50の列方向に沿って配置される。空領域52は、各列に沿って布設されるべき配線(図示せず)、例えば数10の配線を布設するのに利用される。空領域52と同様の、チップ50の行方向に沿って設けられるべき空領域は、第5図に示されていない。然しながら、この様な、チップ50の行方向に沿って設けられるべき空領域は、均一な小空領域に分割され、各基本セル内

に収納される。これら小空領域の各々は、行方向に布設されるべき数本の配線を布設するために利用される。

上記の小空領域は第6図に示される。第6図は、  
5 第5図内の一点鎖線6によつて包囲された半導体チップ50の一部を拡大して示す平面図である。第6図において、参照番号63は、各基本セル10に含まれる前述した小空領域を表わす。同一の行内に設けられた小空領域63の群は空領域52を横切りながら、チップ50（第5図参照）の一方の側から他方の側まで伸びる。かくして、行方向に布設されるべき配線を、チップ50の全表面に亘つて均一に布設することができ、従つてチップ50上のどの部分をとつても配線密度を均一にすることが可能となる。  
10 同様に、列方向に布設されるべき配線をもまた、チップ50の全表面に亘つて均一に布設することができ、従つてチップ50上のどの部分をとつても配線密度が均一化される。なぜなら、ゲート25および26と接続すべき空領域52上の配線は、端子電極  
15 25Aまたは25C（若しくは26Aまたは26C）のいずれかを利用することにより、各基本セル10の左側空領域または右側空領域のいずれかを自由に選択して行なえるからである。もし右側空領域52の配線密度が高いのならば、ゲート25および26  
20 に接続すべき配線は、それぞれ端子電極25Aおよび

び 2 6 A を經由して左側空領域 5 2 に沿つて行なえば良い。かくして、半導体チップ 5 0 によつて製造される半導体装置は、チップ 5 0 上の配線の布設に関し、高い柔軟性を持つことになる。さらにまた、  
5 一般の行方向に沿つた空領域が、小空領域に分割されると共に各基本セル内に収納されるので、各基本セルアレイ内に収容される基本セル 1 0 は、隣接基本セル間に不要な空領域を一切介在させることなく、連続的に配列される。従つて、チップ 5 0 によつて  
10 製造される半導体装置では、機能回路を高密度で実装することが可能となる。

半導体チップ 5 0 上の行および列方向に配線を布設できるようにするため、多層の配線層を形成する必要がある。第 1 配線層は列方向に沿う配線の布設  
15 に用いる。第 2 配線層は、該第 1 配線層の上に設けられて、行方向に沿う配線の布設に用いる。上記の第 1 および第 2 配線層の構造は、第 7 および 8 図により明らかである。第 7 図において、列方向に沿つた配線は参照第号 7 1 で示され、例えば基本セルア  
20 レイ 5 1 - 1 および 5 1 - 2 間の空領域 5 2 上に布設される。行方向に沿つた配線の 1 つが番号 7 2 で示される。第 8 図は第 7 図の線 8 - 8 からみた断面図である。第 8 図中、基本セルアレイ 5 1 - 1 内の  $N^+$ -領域 2 2 N および P-ウエル 2 1 については既に述べたとおりである。同様に、基本セルアレイ  
25

5 1 - 2 内の  $P^+$ -領域 2 2 P についても既に述べたとおりである。N - 領域は空領域 5 2 をなす。前記フィールド絶縁層は空領域 5 2 を覆つて形成される。列方向に沿う第 1 配線層は、燐シリケートガラスからなる第 1 絶縁層 8 1 上に形成される。第 1 配線層はアルミニウム導体からなる配線 7 1 によつて構成され、第 1 絶縁層 8 1 上に形成される。行方向に沿う第 2 配線層は、燐シリケートガラスからなり且つ上記第 1 絶縁層 8 1 上に設けられた第 2 絶縁層上に形成される。第 2 配線層はアルミニウム導体からなる配線 7 2 によつて構成される。配線 7 1 および 7 2 が相互に接続する部分は、第 7 図中“・”印で示した部分に対応する。第 8 図において最終的に、燐シリケートガラスからなる通常のパッシベーション層（図示せず）が、半導体チップの全表面に亘つて覆われる。

本発明においては、各機能回路を完成するための内部配線と機能回路同士を結線するための外部配線とを同一の工程で行なう方法を採用している。これによつて第 5 図に示した半導体チップ 5 0 の汎用性の度合を高めることができる。従つて、第 1 絶縁層 8 1 および第 2 絶縁層 8 2 に形成されるべきスルーホールは、機能回路を構成しない未使用の基本セル上には存在しない。つまり、未使用の基本セル上の第 1 および第 2 絶縁層上にも自由に配線層を形成す

ることができる。このことは、集積度を向上させるのに有利である。第9図において、基本セル10の上に布設される列方向の配線は第1電源線( $V_{DD}$ )93として使用され、また第2電源線( $V_{SS}$ )94として使用される。これら第1および第2電源線93および94は未使用の基本セル上をも通過する。これら未使用の基本セル上にはスルー・ホールが無いので、これら電源線93および94を通過させることは全く問題ない。第2電源線94の電圧レベルは接地電位である。機能回路として使用される基本セル10の各々において、当該基本セル10に印加すべき第1電圧 $V_{DD}$ および第2電圧 $V_{SS}$ は、本発明に基づき小空領域63(第6図参照)内に形成された $N^+$ -領域91および $P^+$ -領域92を通して、当該基本セル10に印加される。すなわち、第1電圧 $V_{DD}$ および第2電圧 $V_{SS}$ は、第9図中“×”印で表示された部分で第1絶縁層81(第8図参照)に設けられたスルー・ホールを通し各電源線と抵抗性接触を行なう。第9図において、機能回路として使用される基本セル10の上に布設される列方向の配線として、配線95および96がある。一般に、CMISトランジスタにおいては、いずれにも接続していないいわゆる自由ゲートを含むことは許されない。該CMISトランジスタが正常に動作しないからである。このため、上記自由ゲートには論理“1”か論理“0”のいずれ



かが付与されなければならない。ここで、電圧  $V_{DD}$  が論理“1”に対応し、電圧  $V_{SS}$  が論理“0”に対応するものとする。一方、自由ゲート26には論理“1”が付与されなければならないとすると、自由ゲート26は、端子電極26A、配線95および第1絶縁層81（第8図）を介して抵抗性接触により、  
5 図中の“ $\otimes$ ”印の部分で  $N^+$ -領域91に接続する。また、自由ゲート25には論理“0”が付与されなければならないとすると、自由ゲート25は、端子電極25C、配線96および第1絶縁層81（第8  
10 図参照）に設けたスルーホールを介して抵抗性接触により、図中の“ $\otimes$ ”印の部分で  $P^+$ -領域92に接続する。

半導体装置において、AND回路あるいはフリップ・フロップ回路の如き所望の機能回路は、各基本セル内および基本セル間に適当な配線を布設することにより完成される。本発明の基本セル10は、数10種に及ぶ機能回路のいずれを完成させるのにも有効である。第1例として、NAND回路は本発明の基本セルを用いて次の様に形成される。第10図は2入力  
20 NAND回路の論理記号を示す。NAND回路100は2つの入力  $A_1$  および  $A_2$  と1つの出力  $OUT$  を有する。CMISトランジスタだけを用いてNAND回路100を形成するには第11図に示す回路を使用する。第11  
25 図において、トランジスタ111Pおよび112P

は 1 対の P - チャネル MIS トランジスタを構成し、  
トランジスタ 1 1 1 N および 1 1 2 N は 1 対の N -  
チャネル MIS トランジスタを構成する。記号  $V_{DD}$  お  
よび  $V_{SS}$  については第 9 図において述べたとおりで  
5 ある。第 1 1 図の記号  $A_1$  ,  $A_2$  および OUT は第 10  
図における対応する同じ記号と同様の意味を持つ。  
第 1 1 図に示す回路構成の NAND 回路 1 0 0 は、第 12  
図から明らかになる様に、本発明の基本セルに適當  
な配線を布設して完成される。第 1 2 図に示すとおり  
10 り、NAND 回路 1 0 0 は 1 つの基本セル 1 0 と、列方  
向に沿った配線 9 3 , 9 4 および 1 2 1 と、行方向  
に沿った配線 1 2 2 とから構成される。配線 9 3 ,  
9 4 および 1 2 1 は第 1 絶縁層 8 1 (第 8 図参照)  
上に形成され、配線 1 2 2 は第 2 絶縁層 8 2 (第 8  
15 図参照) 上に形成される。配線 9 3、すなわち電源  
線 ( $V_{DD}$ ) は、“×”印で示された部分において第 1  
絶縁層のスルー・ホールを介し抵抗性接触により領  
域 2 2 P および 2 4 P に接続する。配線 9 4、すな  
わち電源線 ( $V_{SS}$ ) は、“×”印で示された部分にお  
20 いて第 1 絶縁層のスルー・ホールを介し抵抗性接触  
により領域 2 4 N に接続する。配線 1 2 2、すなわ  
ち NAND 回路 1 0 0 の出力は配線 1 2 1 を介して領域  
2 2 N に接続する。線 1 2 1 は、その一端では“・”  
印で示された部分において第 2 絶縁層のスルー・ホ  
25 ールを介し線 1 2 2 に接続する。線 1 2 1 は、その

他端では“×”印で示された部分において第1絶縁層のスルー・ホールを介し抵抗性接触により領域22Nに接続する。線122はまた“・”印において、相互に連通する第1絶縁層のスルー・ホールと第2絶縁層のスルー・ホールを介し抵抗性接触により領域23Pに接続する。第12図において、基本セル10の両側に隣接して列方向に設けられている左側空領域52Lおよび右側空領域52Rのうちの所望のいずれか一方若しくは両方向つて、出力OUTが取り出せることに注意を要する。また、入力A<sub>1</sub>およびA<sub>2</sub>も、空領域52Lおよび52Rのうちの所望のいずれか一方若しくは両方から、基本セル10内に導入できることに注意を要する。

第2例では、本発明の基本セルを用いて次の様にD型フリップ・フロップ回路を形成する。第13図はD型フリップ・フロップ回路(F/F)の論理記号を示す。D型フリップ・フロップ回路130は、入力D、入力CK(クロック)、出力Qおよび該出力Qの反転出力である出力 $\bar{Q}$ を有する。CMISトランジスタのみを用いてこのD型フリップ・フロップ回路130を構成したとすると、第14図に示す如き回路になる。第14図において、回路130は12個のCMIS P-チャネルトランジスタおよび12個のCMIS N-チャネルトランジスタから構成される。記号V<sub>DD</sub>およびV<sub>SS</sub>の意味は第9図において説明した

とおりであり、記号  $CK$  ,  $D$  ,  $\bar{Q}$  および  $Q$  の意味は、  
第 1 3 図において対応する同一の記号と同じである。  
第 1 3 図の回路構成からなる D 型フリップ・フロツ  
5 プ回路 1 3 0 は、第 1 5 図に示す如く本発明の基本  
セル上に適当な配線を布設することにより完成する。  
第 1 5 図に示すとおり、D 型フリップ・フロツ回  
路 1 3 0 は、6 つの基本セル 1 0、列方向の第 1 電  
源線 ( $V_{DD}$ ) 9 3、列方向の第 2 電源線 ( $V_{SS}$ ) 9 4、  
列方向の配線 1 5 1 および行方向の配線 1 5 2 から  
10 なる。配線 1 5 2 は、第 2 絶縁層 8 2 (第 8 図参照)  
上に対応する各行方向に沿つて布設される。他の配  
線 9 3 , 9 4 および 1 5 1 ならびに第 1 および第 2  
電源線 9 3 , 9 4 は、第 1 絶縁層 8 1 (第 8 図参照)  
上に対応する各列方向に沿つて布設される。列方向  
15 の配線と行方向の配線とが相互に接続すべき部分は  
“ . ” 印で示される。配線が、基本セルの部分、す  
なわち領域 2 2 P , 2 3 P , 2 4 P , 2 2 N , 端子  
電極 2 5 A , 2 5 B , 2 5 C , 2 6 A , 2 6 B ,  
2 6 C ,  $N^+$ -領域 9 1 および  $P^+$ -領域 9 2 と、それ  
20 ぞれ対応する第 1 および第 2 絶縁層のスルー・ホー  
ルを介して、抵抗性接触すべき部分は “ X ” 印また  
は “ . ” 印で示される。第 1 5 図において、各基本  
セルに隣接した列方向に沿つて設けられた左側空領  
域 5 2 L および右側空領域 5 2 R のうちの所望のい  
25 ずれか一方若しくは両方へ、出力  $Q$  および  $\bar{Q}$  が取り

出し得ることに注意を要する。また、空領域 5 2 L および 5 2 R のうちの所望のいずれか一方若しくは両方から、入力 D および C K を、対応する基本セル内に導入し得ることに注意を要する。さらに、内部配線は、D 型フリップ・フロップ回路 1 3 0 に含まれる基本セル 1 0 の直上において全て形成される。各基本セルアレイの直上で列方向に沿って形成される内部配線は、半導体チップ 5 0 (第 5 図参照)の上側から下側に向って伸びる予め定めた複数本の定規ライン(図示せず)に沿って配列される。本実施例では、1 4 本の該定規ラインを設定したが、第 15 図では対応する該定規ラインに沿って布設された 9 本の内部配線が示されているのみである。他方、基本セルアレイを横切って行方向に沿って形成される内部配線は、半導体チップ 5 0 (第 5 図参照)の左側から右側に向って伸びる予め定めた複数本の定規ライン(図示せず)に沿って配列される。前述した小空領域(第 6 図の参照番号 6 3 に相当)のうち参照番号 1 5 3 で示した小空領域は、D 型フリップ・フロップ回路を形成すべき行方向の内部配線を布設するために利用されていないので、空領域 5 2 L および 5 2 R 間を通過する行方向の外部配線はこれら小空領域 1 5 3 を利用して布設できる。これら行方向の外部配線は第 2 絶縁層上に布設される。また、第 6 図の参照番号 6 3 で示す小空領域に相当しない

小空領域で内部配線の布設に供されなかつた小空領域（第15図中参照番号153'で示す）も同様に前記外部配線の布設に利用できる。これらの外部配線も第2絶縁層上に形成される。本図中、入力D, CK  
5 および出力Q,  $\bar{Q}$ はすべて第2絶縁層上において処理可能である。

上述した NAND 回路および D 型フリップ・フロップ回路以外の機能回路もまた、1またはそれ以上の本発明の基本セル10を用いて容易に構成することができる。かくの如く、本発明の基本セル10はマ  
10 スターライス半導体装置用の基本セルとして有益である。

既述のとおり、本発明の基本セルからなるマスターライス半導体装置は機能回路を高集積度で実装  
15 することができる。その理由は、多数の機能回路が各基本セルアレイ上に隙間なく連続的に配列でき、未使用の基本セルの数を最小限に抑えられるからである。

第16図は、基本セルアレイ上に形成される、例  
20 えば NAND 回路、NOR 回路、インバータ回路およびフリップ・フロップ回路の配列を図解的に示す図である。基本セルアレイ51-1上には、3入力 NAND 回路161、フリップ・フロップ回路162、イン  
バータ回路163および2入力 NOR 回路164が連  
25 続して配列される。基本セルアレイ51-2上には、

フリップ・フロップ回路 1 6 5、2 入力 NAND 回路 1 6 6 および 3 入力 NAND 回路 1 6 7 が連続して配列される。次に、所望の大規模集積半導体回路を得るべく、2 以上の機能回路間に適当な配線がなされる。

- 5 再び第 9, 1 2 および 1 5 図に戻ると、第 1 および第 2 電源線 9 3 および 9 4 は、列方向に沿つて各基本セルアレイ上をその上下間に亘つて布設される。それ故、各電源線の長さはかなり長くなり、従つて各電源線に生ずる電圧降下は比較的高くなる。この
- 10 電圧降下を低く抑えるためには、好ましくは均圧線を導入する。この均圧線は第 1 7 図に示される。第 1 7 図において、基本セルアレイ 5 1 - 1, 5 1 - 2 ~ 5 1 - r の各々は、実線 9 3 で示した前記第 1 電源線 ( $V_{DD}$ ) と点線 9 4 で示した前記第 2 電源線 ( $V_{SS}$ ) とを有する。第 1 電源線 9 3 は、その各両端において、実線 1 7 1 で示した第 1 電圧源に接続する。第 2 電源線 9 4 は、その各両端において、点線 1 7 2
- 15 で示した第 2 電圧源に接続する。第 1 均圧線は実線 1 7 3 で示され、その各両端において、第 2 絶縁層 8 2 (第 8 図参照) のスルー・ホールを介し第 1 電
- 20 圧源 1 7 1 に接続する。第 2 均圧線は点線 1 7 4 で示され、その各両端において、第 2 絶縁層 8 2 (第 8 図参照) のスルー・ホールを介し第 2 電圧源 1 7 2 に接続する。かくして、非常に低い電圧降下に抑え

ながら、指定の第1および第2電源レベルを、基本セルの半導体チップ上に占める位置に拘わらず、全ての該基本セルに印加することができる。均圧線は、例えば列方向に沿つて10個目の基本セル10毎に  
5 配列される。参照番号175は、インターフェース回路、入力/出力電極パッド等の通常の回路部分を搭載するための周縁領域を表わす。この様な通常のインターフェース回路、入力/出力電極パッド等は、  
第18図に図解的に示す配列構成で周縁領域175  
10 に搭載される。第18図において、参照番号181は通常の入力/出力マクロ構成部分を表わす。各入力/出力マクロ構成部分181はデバイス領域182と入力/出力電極パッド領域183とからなる。デバイス領域182はトランジスタ、膜抵抗（図示せず）等からなる。これらデバイスは、トランジスタ  
15 からなる対応する機能回路と協働するべき入力/出力バッファ回路を形成する。入力/出力バッファ回路は、例えばスリー・ステート入力/出力バッファ回路、スリー・ステート出力回路、トルー出力バッファ回路およびトルー入力バッファ回路等である。マ  
20 クロ構成部分181および外部回路若しくは装置（図示せず）間の結線は、領域183内の対応する入力/出力電極パッドを介して通常のリード線を用いて行なわれる。

25 第2, 6, 9, 12および15図に示した前記第



1 および第2ゲート25および26についてみると、  
行方向に沿った第1ゲート25の長さならびに行方  
向に沿った第2ゲート26の長さは比較的長い。な  
ぜなら、これらのゲートは、行方向に沿い、P-チ  
ヤネルおよびN-チャネルトランジスタ11P,  
5 11Nおよび12P, 12N(第2図参照)を横切  
つて各基本セル10の一方の側から他方の側まで伸  
びているからである。各該ゲートの長さが比較的長  
く、加えて各該ゲートがポリシリコン層から形成さ  
10 れるので、各ゲートの抵抗値は非常に高くなる。そ  
れ故、該ポリシリコン層の両端間の抵抗値を減少さ  
せる手段が必要である。この様な抵抗値を減少させ  
る手段は、本発明において、例えばアルミニウム導  
体からなる金属層によつて実現される。基本セル  
15 10の平面図を示す第19図において、金属層は参  
照番号195および196で示される。金属層195  
は、第1ゲート25に沿つてその上方に配設される。  
好ましくは、該金属層195は端子電極25A,  
25Bおよび25Cの直上にあたる部分を経由しな  
20 がら行方向に沿つて伸びる。金属層196は、第2  
ゲート26に沿つてその上方に配設される。好まし  
くは、該金属層196は端子電極26A, 26Bお  
よび26Cの直上にあたる部分を経由しながら行方  
向に沿つて伸びる。第1ゲート25の両端間の抵抗  
25 値は、第1および第2絶縁層81および82(第8

図参照)のスルー・ホールを介し一点鎖線197A, 197Bおよび197Cで表わされた接続部を通して該金属層195と端子電極25A, 25Bおよび25Cとを接続することにより、減少せしめられる。

5 同様に、第2ゲート26の両端間の抵抗値は、第1および第2絶縁層81および82のスルー・ホールを介し一点鎖線198A, 198Bおよび198Cで表わされた接続部分を通して該金属層196と端子電極26A, 26Bおよび26Cとを接続することにより、減少せしめられる。第2絶縁層82上に

10 形成される金属層195および196は、それぞれ第1および第2ゲート25および26の直上に配設されても構わない。然しこの場合には金属層195および196間の間隙幅が小さくなるので、従つて

15 ゲート25および26(第12図参照)間に形成される配線122(第12図参照)は、両金属層に非常に近接してしまふ。この様に、配線122と金属層195, 196とが非常に小さい間隙で配列されることになると、半導体チップの製造上においてあ

20 るいは良好な電気特性を得る上で実用的でなくなる。なぜなら、これらの間に不要な干渉が誘起されるからである。なお、金属層195, 196は、機能回路として使用される基本セル10に対してのみ導入される。

25 もし第1および第2ゲートが金属層で形成される

ならば、金属層 195 および 196 は不要であろう。  
この場合、第 1 および第 2 ゲートは耐熱性金属で形成されなければならない。

以上説明したように本発明の半導体装置によれば  
5 次の様な利点をもたらされる。第 1 に、各基本セル  
アレイは多数の基本セルを収容できる。これは、各  
基本セルが 1 対の CMIS トランジスタから構成される  
ので非常に小形となるからである。第 2 に、半導体  
装置から構成される LSI 回路は高集積度をもつて機  
10 能回路群を収容し得る。なぜなら、各基本セルア  
レイが多数の基本セルを収容できるからである。第 3  
に、機能回路は使用される基本セル上の内部配線だ  
けで形成され、一方外部配線は使用される基本セル  
上のみならず未使用の基本セル上にも形成される。  
15 従つて、高集積化に有利である。最後に、半導体装  
置は配線の布設に関し相当な柔軟性を備える。これ  
は、各基本セルのゲートが、該基本セルの両側に面  
して設けられているからである。また、CMIS トラン  
ジスタのソースおよびドレインが、該基本セルの両  
20 側の列方向空領域に設けられた配線のいずれにも接  
続できるからでもある。さらにまた、行方向の配線  
が、各基本セル毎に設けられた小空領域を通して布  
設できるからでもある。

## 請 求 の 範 囲

1. 多数の基本セルを半導体基板上に有し、該基本セルは該半導体基板の行方向および列方向に沿つて配列されてなる半導体装置において、各前記基本セルは第1 P - チャネル MIS トランジスタと、第1 N - チャネル MIS トランジスタと、第2 P - チャネル MIS トランジスタと、第2 N - チャネル MIS トランジスタとからなり、ここに前記第1 P - チャネルおよび N - チャネル MIS トランジスタの各ゲートは相互に接続され、前記第2 P - チャネルおよび N - チャネル MIS トランジスタの各ゲートは相互に接続され、前記第1および第2 P - チャネル MIS トランジスタの各ドレインまたはソースが相互に接続され、そして前記第1および第2 N - チャネル MIS トランジスタの各ソースまたはドレインが相互に接続されることを特徴とする半導体装置。

2. 1対の第1および第2 P - チャネル MIS トランジスタと1対の第1および第2 N - チャネル MIS トランジスタとが半導体基板の行方向に相隣り合つて配置される請求の範囲第1項記載の半導体装置。

3. 第1 P - チャネルおよび N - チャネル MIS トランジスタの各ゲートが、行方向に沿つて伸びる第1のゲートによつて共通に形成され、第2 P - チャネルおよび N - チャネル MIS トランジスタの各ゲートが、行方向に沿つて伸びる第2のゲートによつて

共通に形成される請求の範囲第2項記載の半導体装置。

4. 第1および第2 P-チャネル MIS トランジスタの各ソースまたはドレインが、単一のソースまたはドレインとして形成された  $P^+$  領域を共通に占有し、同様に第1および第2 N-チャネル MIS トランジスタの各ソースまたはドレインが、単一のソースまたはドレインとして形成された  $N^+$  領域を共通に占有する請求の範囲第3項記載の半導体装置。

5. 第1および第2のゲートの各々がその両端において端子電極を有しまた2つの該端子電極間に位置する中央端子電極を有する請求の範囲第4項記載の半導体装置。

6. 各基本セルが、さらに、行方向に沿って伸びる小空領域を備え、該小空領域内に数本の配線を収容し得る請求の範囲第5項記載の半導体装置。

7. 各行方向に沿って配列された複数の基本セルが基本セルアレイを形成し、複数の該基本セルアレイが列方向に沿って配列され、各隣接基本セルアレイはそれらの間に空領域を含み、該空領域は列方向に伸びる数10本の配線を収容し得る請求の範囲第6項記載の半導体装置。

8. 半導体基板の全表面上に第1絶縁層が形成され、該第1絶縁層の全表面上に第2絶縁層が形成され、ここにおいて列方向に伸びる配線は該第1絶縁

層上に形成され、一方行方向に伸びる配線は該第 2 絶縁層上に形成される請求の範囲第 7 項記載の半導体装置。

9. 使用される基本セルの直上に布設される配線は所望の機能回路を構成するために利用され、一方未使用の基本セル直上に位置する領域は配線の布設のために利用される請求の範囲第 8 項記載の半導体装置。

10. 列方向に沿って伸び且つ各基本セルアレイの直上に布設される配線の少なくとも 1 つが、基本セルを構成する MIS トランジスタに接続すべき電源線として利用される請求の範囲第 9 項記載の半導体装置。

11. 列方向に沿って伸び且つ各基本セルアレイの直上に布設される 2 つの配線が、それぞれ第 1 電源線 ( $V_{DD}$ ) および第 2 電源線 ( $V_{SS}$ ) として利用され、該第 1 電源線は基本セルによつて構成される第 1 および第 2 P - チャネル MIS トランジスタに協働する各  $N^+$  - 領域に接続し、該第 2 電源線は基本セルによつて構成される第 1 および第 2 N - チャネル MIS トランジスタに協働する各  $P^+$  - 領域に接続する請求の範囲第 10 項記載の半導体装置。

12.  $P^+$  - 領域および  $N^+$  - 領域が各基本セル内の小空領域直下に形成される請求の範囲第 11 項記載の半導体装置。

13. 列方向の空領域上に布設される配線ならびに行方向に沿つて小空領域上に布設される配線が、機能回路相互間の電氣的接続に利用される請求の範囲第9項記載の半導体装置。

5 14. 複数の第1および第2均圧線が半導体基板上で且つその行方向に沿つて形成され、各該第1均圧線はその一端において第1電圧源にそしてその他端においてスルー・ホールを介して第1電源線にそれぞれ接続し、一方各該第2均圧線はその一端において  
10 て第2電圧源にそしてその他端においてスルー・ホールを介して第2電源線にそれぞれ接続し、前記第1および第2電源線と前記第1および第2均圧線とが全体としてマトリックス・パターンをなす請求の  
範囲第11項記載の半導体装置。

15 15. 第1および第2のゲートがポリシリコン層からなる請求の範囲第5項記載の半導体装置。

16. 第1および第2のゲートが耐熱性金属層からなる請求の範囲第5項記載の半導体装置。

17. 第1および第2の金属層が、それぞれ第1および第2のゲートに沿つて且つこれらの上方に形成  
20 される請求の範囲第15項記載の半導体装置。

18. 第1および第2の金属層がそれぞれ第1および第2のゲートの各端子電極に接続される請求の範囲第17項記載の半導体装置。

## 補正された請求の範囲

(国際事務局により1979年5月8日(08.05.79)受理)

1. (補正後)多数の基本セルを半導体基板上に有し、該基本セルは該半導体基板の行方向および列方向に沿つて配列されてなる半導体装置において、
- 5 各前記基本セルは第1 P - チャネル MIS トランジスタと、第1 N - チャネル MIS トランジスタと、第2 P - チャネル MIS トランジスタと、第2 N - チャネル MIS トランジスタとからなり、ここに前記第1 P - チャネルおよび N - チャネル MIS トランジスタの
- 10 各ゲートは同一の電極材料によつて相互に共通接続され、前記第2 P - チャネルおよび N - チャネル MIS トランジスタの各ゲートは同一の電極材料によつて相互に共通接続され、前記第1および第2 P - チャネル MIS トランジスタの各ドレインまたはソースが単一の P 型領域を占有して相互に接続され、そ
- 15 して前記第1および第2 N - チャネル MIS トランジスタの各ソースまたはドレインが単一の N 型領域を占有して相互に接続されることを特徴とする半導体装置。
- 20 2. (削除)
3. (削除)
4. (削除)
5. (補正後)各ゲートがその両端において端子電極を有した2つの該端子電極間に位置する中央
- 25 端子電極を有する請求の範囲第1項記載の半導体装



置。

6. 各基本セルが、さらに、行方向に沿って伸びる小空領域を備え、該小空領域内に数本の配線を収容し得る請求の範囲第5項記載の半導体装置。

5 7. 各行方向に沿って配列された複数の基本セルが基本セルアレイを形成し、複数の該基本セルアレイが列方向に沿って配列され、各隣接基本セルアレイはそれらの間に空領域を含み、該空領域は列方向  
10 に伸びる数10本の配線を収容し得る請求の範囲第6項記載の半導体装置。

8. 半導体基板の全表面上に第1絶縁層が形成され、該第1絶縁層の全表面上に第2絶縁層が形成され、ここにおいて列方向に伸びる配線は該第1絶縁層上に形成され、一方行方向に伸びる配線は該第2  
15 絶縁層上に形成される請求の範囲第7項記載の半導体装置。

9. 使用される基本セルの直上に布設される配線は所望の機能回路を構成するために利用され、一方未使用の基本セル直上に位置する領域は配線の布設  
20 のために利用される請求の範囲第8項記載の半導体装置。

10. 列方向に沿って伸び且つ各基本セルアレイの直上に布設される配線の少なくとも1つが、基本セルを構成するMISトランジスタに接続すべき電源線  
25 として利用される請求の範囲第9項記載の半導体装

置。

11. 列方向に沿つて伸び且つ各基本セルアレイの直上に布設される2つの配線が、それぞれ第1電源線 ( $V_{DD}$ ) および第2電源線 ( $V_{SS}$ ) として利用され、  
5 該第1電源線は基本セルによつて構成される第1および第2 P-チャネル MIS トランジスタに協働する各  $N^+$ -領域に接続し、該第2電源線は基本セルによつて構成される第1および第2 N-チャネル MIS トランジスタに協働する各  $P^+$ -領域に接続する請求の  
10 範囲第10項記載の半導体装置。

12.  $P^+$ -領域および  $N^+$ -領域が各基本セル内の小空領域直下に形成される請求の範囲第11項記載の半導体装置。

13. 列方向の空領域上に布設される配線ならびに  
15 行方向に沿つて小空領域上に布設される配線が、機能回路相互間の電氣的接続に利用される請求の範囲第9項記載の半導体装置。

14. 複数の第1および第2均圧線が半導体基板上で且つその行方向に沿つて形成され、各該第1均圧線はその一端において第1電圧源にそしてその他端においてスルー・ホールを介して第1電源線にそれぞれ接続し、一方各該第2均圧線はその一端において第2電圧源にそしてその他端においてスルー・ホールを介して第2電源線にそれぞれ接続し、前記第  
20 1および第2電源線と前記第1および第2均圧線と  
25

が全体としてマトリックス・パターンをなす請求の  
範囲第 1 1 項記載の半導体装置。

15. 第 1 および第 2 のゲートがポリシリコン層からなる請求の範囲第 5 項記載の半導体装置。

5 16. 第 1 および第 2 のゲートが耐熱性金属層からなる請求の範囲第 5 項記載の半導体装置。

17. 第 1 および第 2 の金属層が、それぞれ第 1 および第 2 のゲートに沿って且つこれらの上方に形成される請求の範囲第 1 5 項記載の半導体装置。

10 18. 第 1 および第 2 の金属層がそれぞれ第 1 および第 2 のゲートの各端子電極に接続される請求の範囲第 1 7 項記載の半導体装置。

15 19. (追加) 列方向に沿って配列された複数個の基本セルを含む基本セルアレイは、単一又は複数個の基本セルから構成される機能回路を含み、該機能回路は該列方向に沿って配列される請求の範囲第 1 項記載の半導体装置。

20

25

## 第19条に基づく説明書

差換用紙に記載した請求の範囲は最初に提出した請求の範囲と以下の点で相違する。

請求の範囲第1項は発明の範囲を減縮すべく補正された。

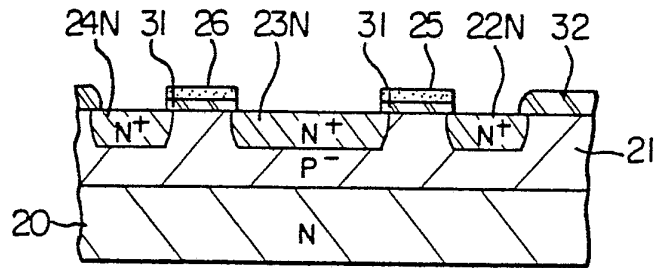
請求の範囲第2項ないし第4項は削除された。

請求の範囲第5項は補正された。

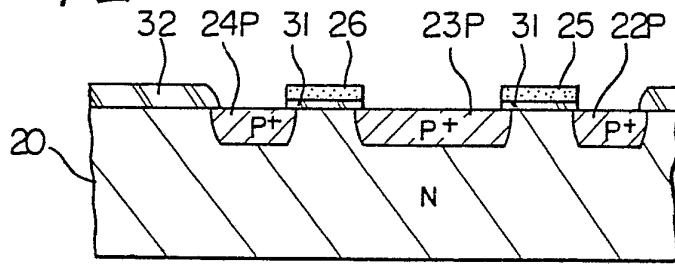
請求の範囲第19項は新たに追加された。



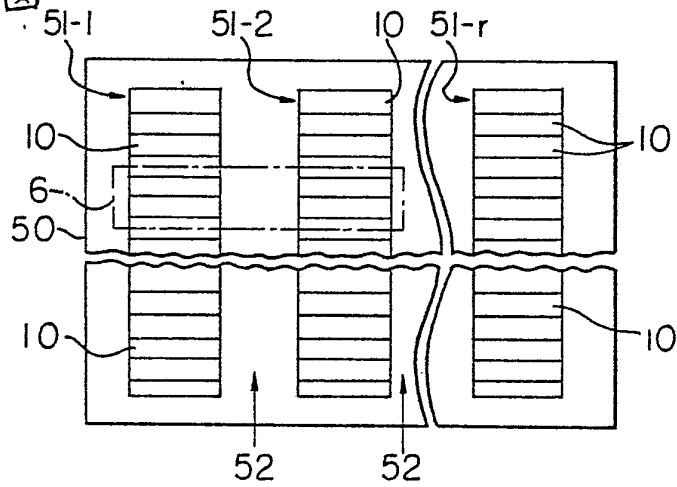
第 3 図



第 4 図

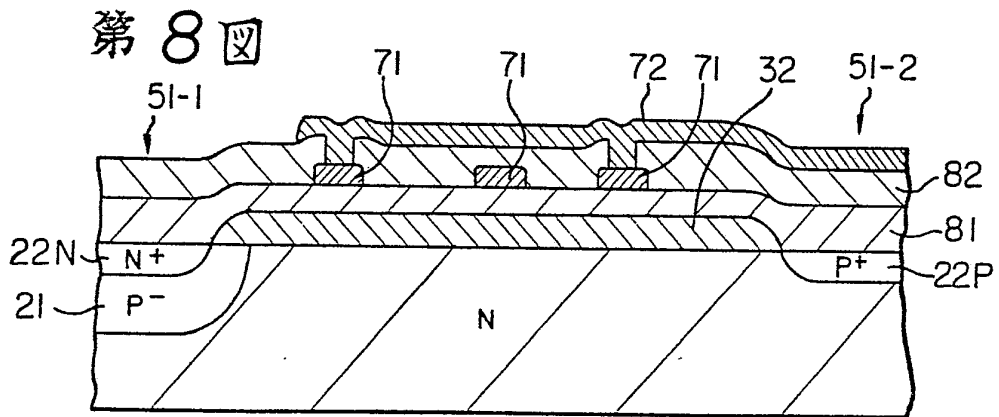
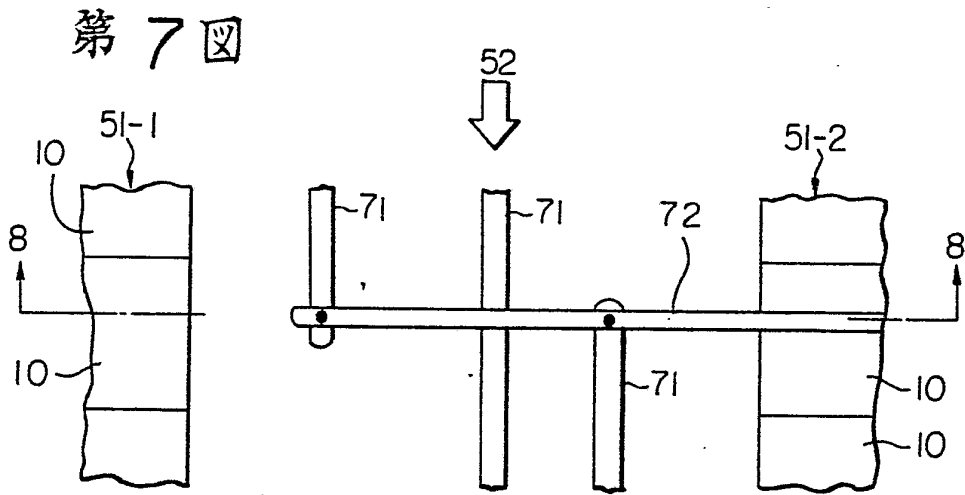
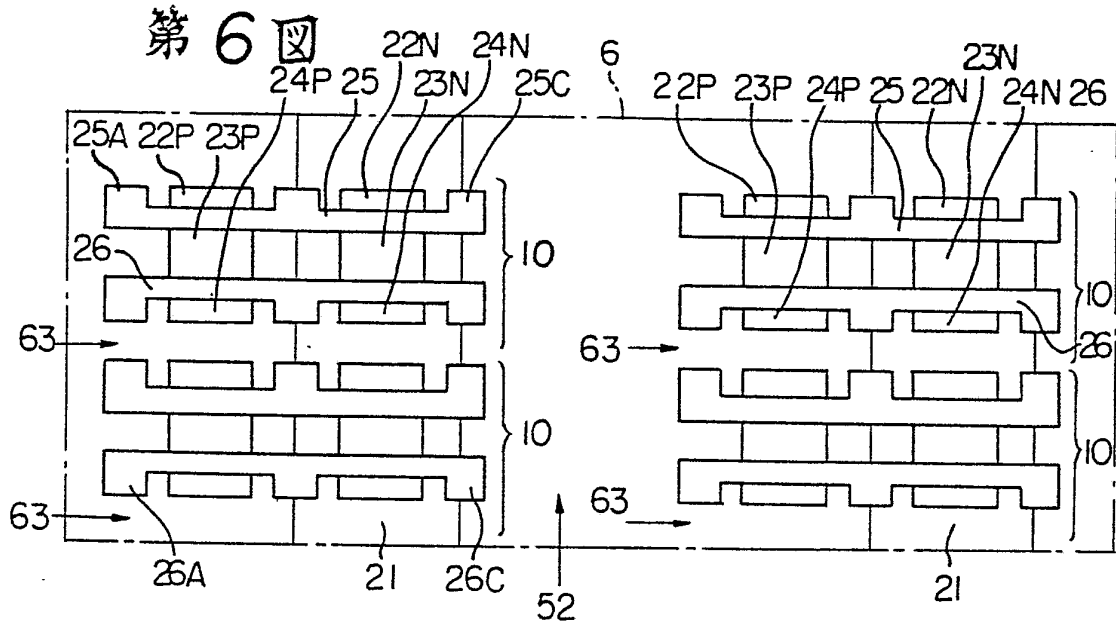


第 5 図

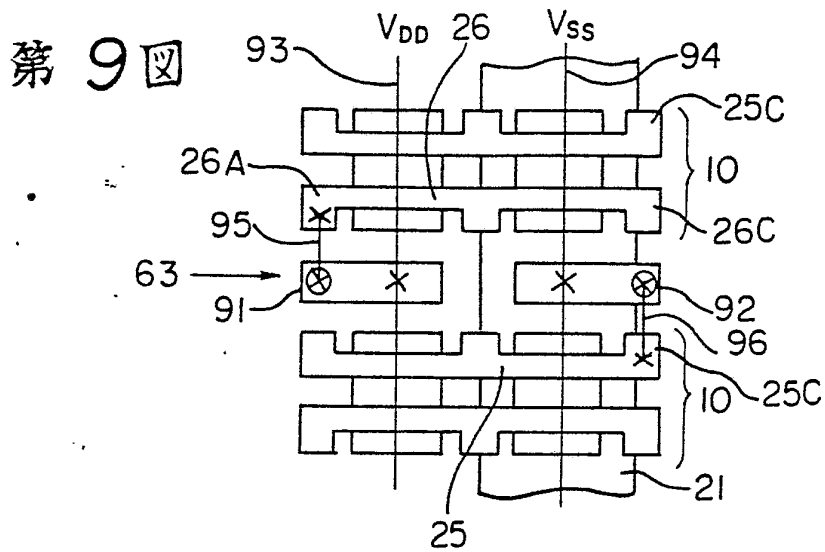


500 (NL)

3

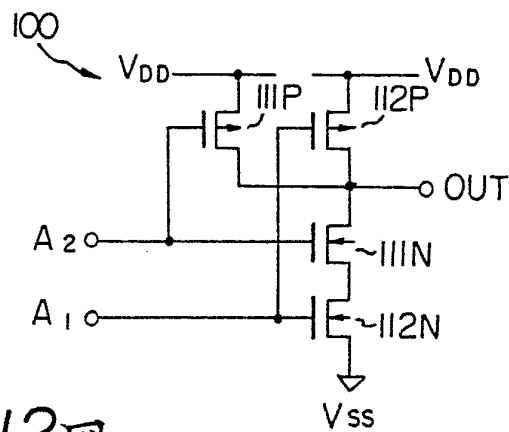
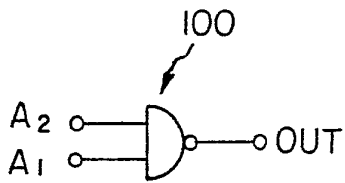


INTERNATIONAL

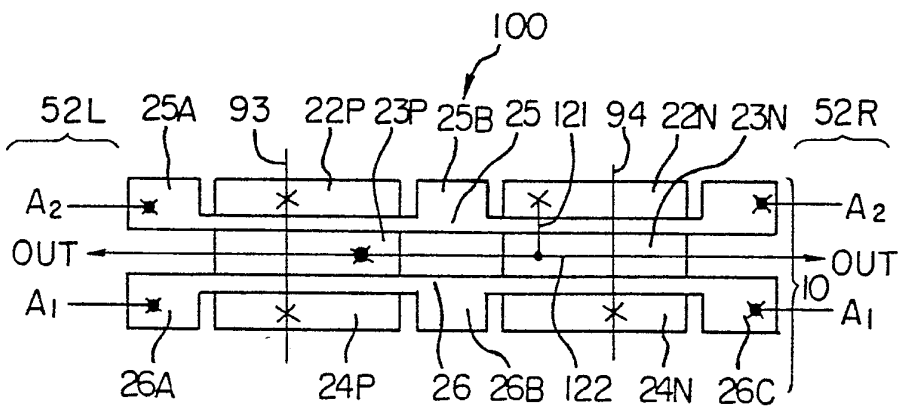


第11図

第10図

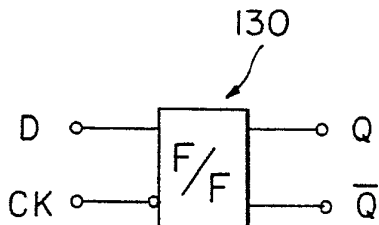


第12図

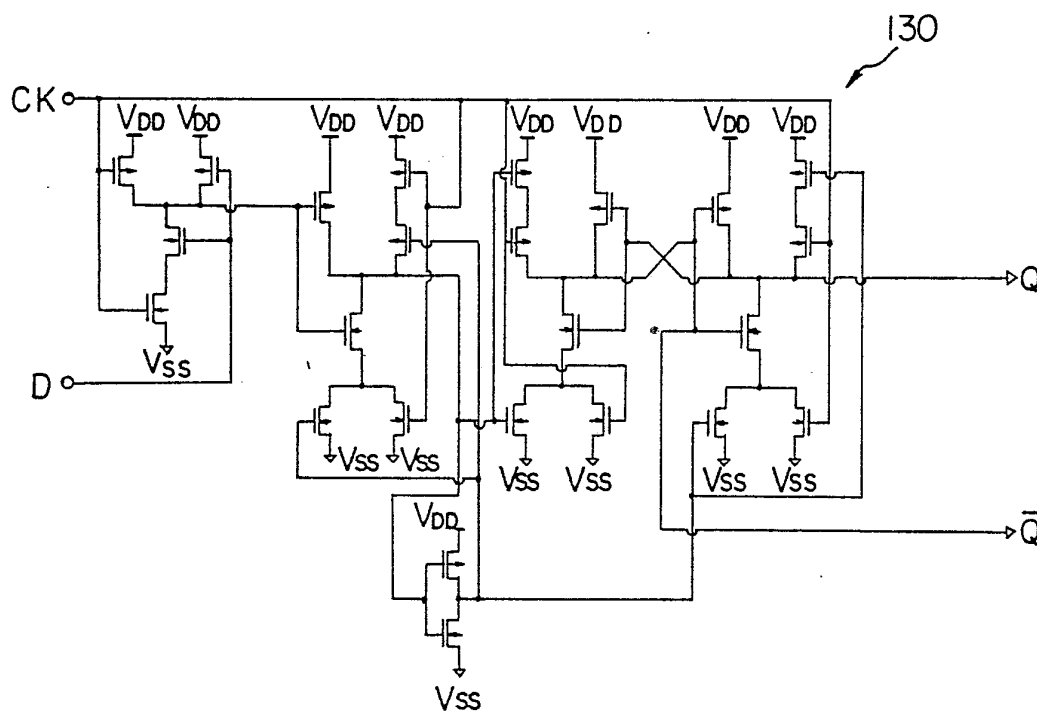


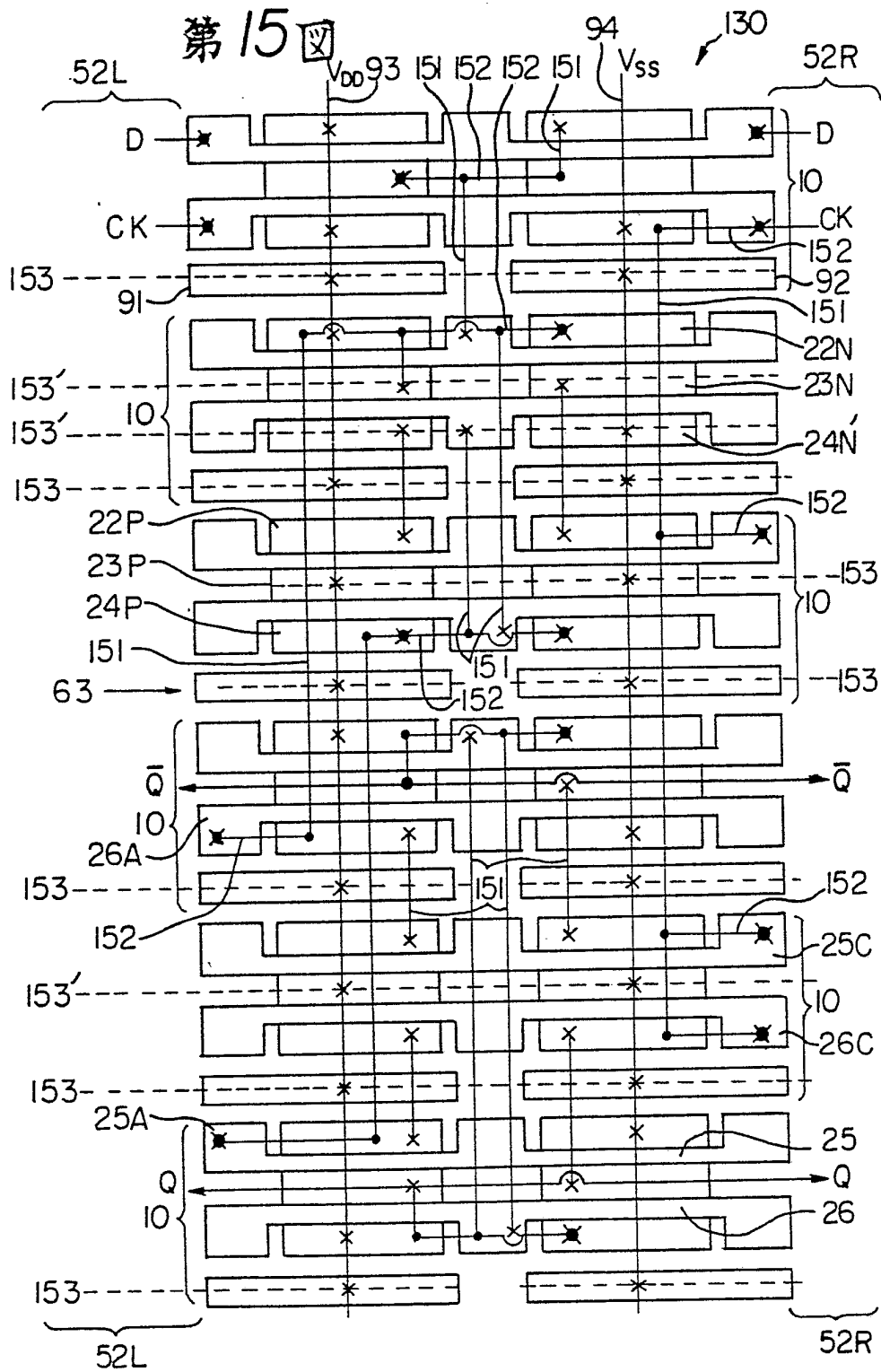


第13図



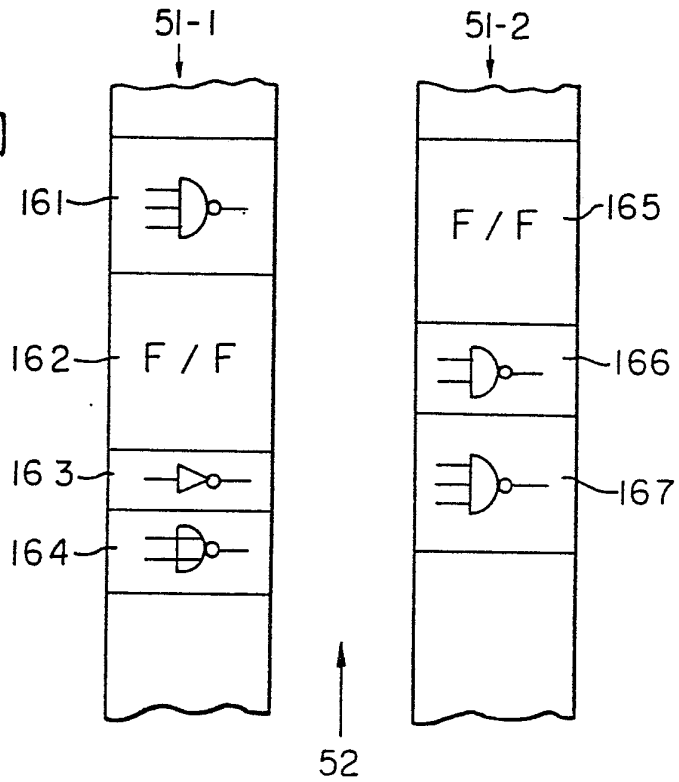
第14図



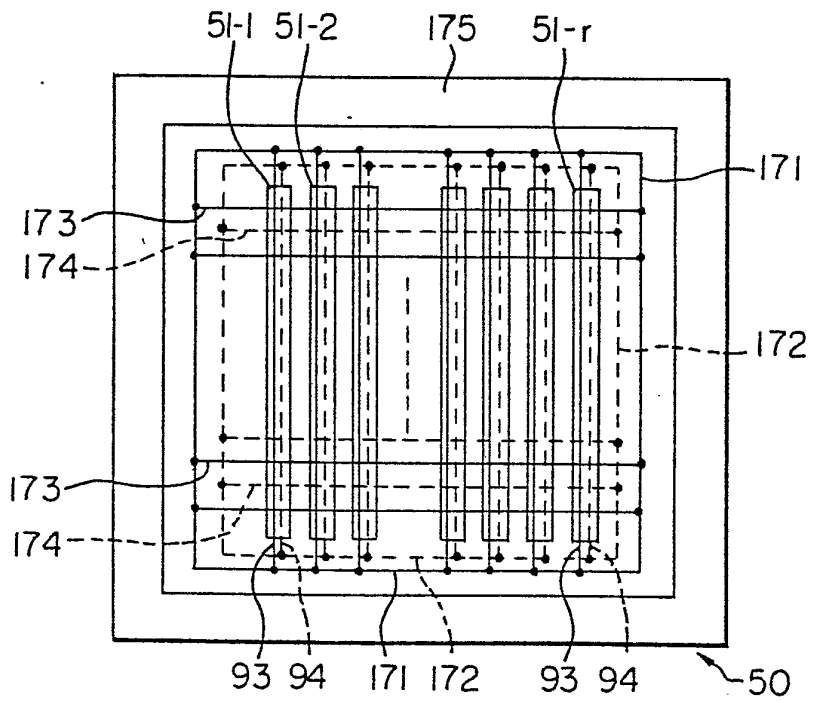


7

第16図

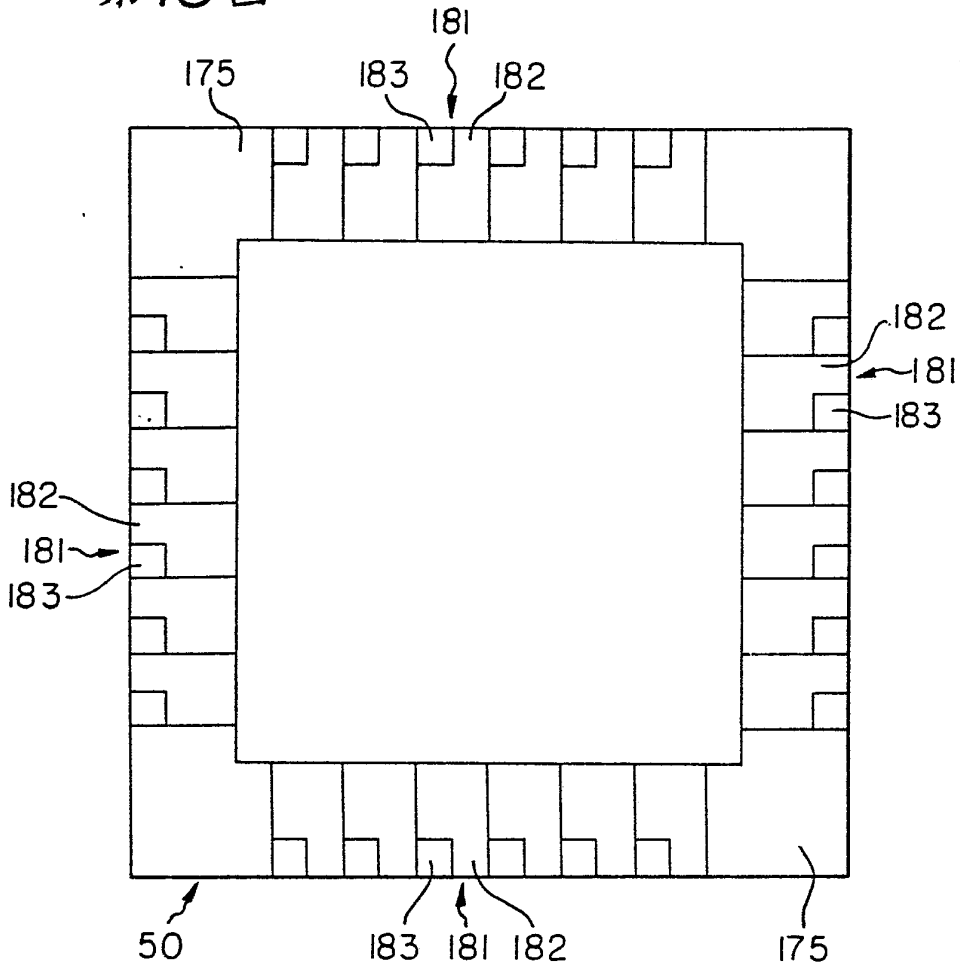


第17図

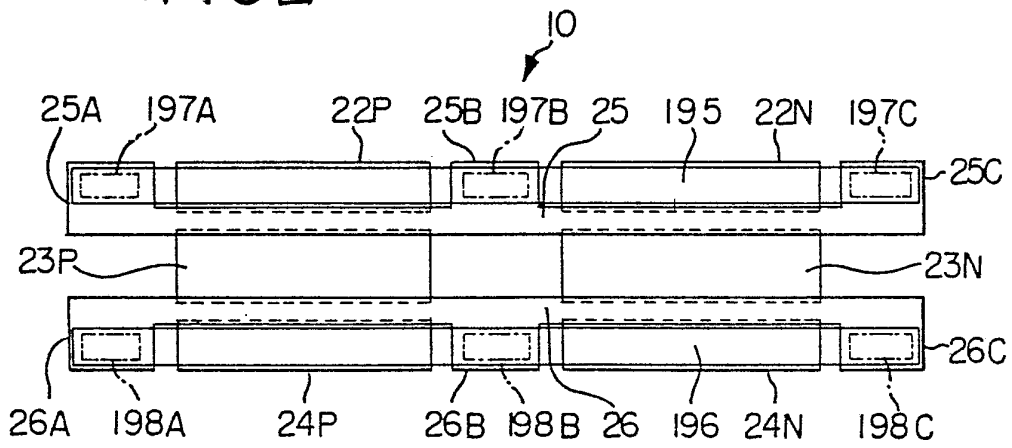


8

第18図



第19図



参照符号・事項の一覧表

1 0	.....	基本セル
1 1 P , 1 2 P	.....	P - チャネル MIS トランジスタ
1 1 N , 1 2 N	.....	N - チャネル MIS トランジスタ
2 0	.....	半導体基板
2 2 P , 2 3 P , 2 4 P	.....	$P^{+}$ -領域
2 2 N , 2 3 N , 2 4 N	.....	$N^{+}$ -領域
2 5 , 2 6	.....	ゲート
2 5 A , 2 5 B , 2 5 C	.....	端子電極
2 6 A , 2 6 B , 2 6 C	.....	端子電極
5 0	.....	半導体チップ
5 1 - 1 , 5 1 - 2 , 5 1 - r	...	基本セルアレイ
5 2	.....	空領域
6 3	.....	小空領域
7 1 , 7 2	.....	配線
8 1 , 8 2	.....	絶縁層
9 1	.....	$N^{+}$ -領域
9 2	.....	$P^{+}$ -領域
9 3 , 9 4	.....	電源線
1 0 0	.....	2 入力 NAND 回路
1 3 0	.....	D 型フリップ・フロップ回路
1 7 3 , 1 7 4	.....	均圧線
1 9 5 , 1 9 6	.....	金属層

I. 発明の属する分野の分類		
国際特許分類 (IPC)		
H 0 1 L 2 7 / 1 0 , H 0 1 L 2 1 / 9 0 , H 0 1 L 2 9 / 7 8		
II. 国際調査を行った分野		
調査を行った最小限資料		
分類体系	分類記号	
I P O	H 0 1 L 2 1 / 9 0 , H 0 1 L 2 7 / 0 0 , H 0 1 L 2 9 / 7 8 H 0 3 K 8 / 0 0 , H 0 3 K 1 9 / 0 0	
最小限資料以外の資料で調査を行ったもの		
III. 関連する技術に関する文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
X	U S , A , 3 , 9 4 3 , 5 5 1 , 1 9 7 6 - 3 - 9	1-18
X	U S , A , 3 , 8 1 2 8 7 1 , 1 9 6 7 - 4 - 4	1-18
X	Electronics (1967-2-20) (U. S. A) Cloyd E. Marvin and Robert M. Walker "Customizing by interconnection" P 1 5 7 - 1 6 4	1-18
X	J P , B 1 , 4 9 - 2 7 9 6 , 1 9 7 4 - 1 - 2 2	5-14
X	J P , B 1 , 4 9 - 2 8 7 1 , 1 9 7 4 - 1 - 2 3	6-14
X	J P , B 1 , 4 9 - 3 0 3 5 , 1 9 7 4 - 1 - 2 4	6-14
X	U S , A , 3 , 7 0 2 0 2 5 , 1 9 7 2 - 1 1 - 7	9-14
A	J P , A , 4 6 - 2 3 2 4 , 1 9 7 1 - 1 0 - 2 3	1-18
A	J P , B 1 , 4 5 - 1 2 0 9 7 , 1 9 7 0 - 5 - 2	15, 17-18
A	J P , A , 4 6 - 3 0 2 5 , 1 9 7 1 - 1 0 - 2 5	16
*引用文献のカテゴリー		
「A」 一般的技术水準を示す文献		「P」 国際出願日前でかつ優先権の主張の基礎となる出願の日以後に公表された文献
「E」 先行文献ではあるが国際出願日以後に公表されたもの		「T」 国際出願日又は優先日以後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「L」 他のカテゴリーに該当しない文献		「X」 特に関連のある文献
「O」 口頭による開示、使用、展示等に言及する文献		
IV. 認 証		
国際調査を完了した日	0 8 . 0 3 . 7 9	国際調査報告の発送日 12.03.79
国際調査機関	日本国特許庁 (ISA/JP)	権限のある職員 5 F 7 2 1 0 特許庁審査官 内 野 春 喜

第2ページから続く情報		
A	J P, A, 5 1 - 1 4 6 1 9 5, 1 9 7 6 - 1 2 - 1 5	1-18
A	J P, A, 5 0 - 1 5 1 0 4 8, 1 9 7 5 - 1 2 - 4	1-18
<p>V. <input type="checkbox"/> 一部の請求の範囲について国際調査を行わないときの意見</p> <p>次の請求の範囲については特許協力条約に基づく国際出願等に関する法律第8条第3項の規定によりこの国際調査報告を作成しない。その理由は、次のとおりである。</p> <p>1. <input type="checkbox"/> 請求の範囲_____は、国際調査をすることを要しない事項を内容とするものである。</p> <p>2. <input type="checkbox"/> 請求の範囲_____は、有効な国際調査をすることができる程度にまで所定の要件を満たしていない国際出願の部分に係るものである。</p>		
<p>VI. <input type="checkbox"/> 発明の単一性の要件を満たしていないときの意見</p> <p>次に述べるようにこの国際出願には二以上の発明が含まれている。</p> <p>1. <input type="checkbox"/> 追加して納付すべき手数料が指定した期間内に納付されたので、この国際調査報告は、国際出願のすべての調査可能な請求の範囲について作成した。</p> <p>2. <input type="checkbox"/> 追加して納付すべき手数料が指定した期間内に一部分しか納付されなかったため、この国際調査報告は、手数料の納付があった発明に係る次の請求の範囲について作成した。 請求の範囲_____</p> <p>3. <input type="checkbox"/> 追加して納付すべき手数料が指定した期間内に納付されなかったため、この国際調査報告は、請求の範囲に最初に記載された発明に係る次の請求の範囲について作成した。 請求の範囲_____</p> <p>追加手数料異議の申立てに関する注意</p> <p><input type="checkbox"/> 追加して納付すべき手数料の納付と同時に、追加手数料異議の申立てがされた。</p> <p><input type="checkbox"/> 追加して納付すべき手数料の納付に際し、追加手数料異議の申立てがされなかった。</p>		

# INTERNATIONAL SEARCH REPORT

International Application No **PCT/JP78/00048**

<b>I. CLASSIFICATION OF SUBJECT MATTER</b> (if several classification symbols apply, indicate all) <sup>3</sup>		
According to International Patent Classification (IPC) or to both National Classification and IPC		
H 01 L 27/10, H 01 L 21/90, H 01 L 29/78		
<b>II. FIELDS SEARCHED</b>		
Minimum Documentation Searched <sup>4</sup>		
Classification System	Classification Symbols	
IPC	H 01 L 21/90, H 01 L 27/00, H 01 L 29/78 H 03 K 3/00, H 03 K 19/00	
Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched <sup>5</sup>		
<b>III. DOCUMENTS CONSIDERED TO BE RELEVANT</b> <sup>14</sup>		
Category *	Citation of Document, <sup>15</sup> with indication, where appropriate, of the relevant passages <sup>17</sup>	Relevant to Claim No. <sup>18</sup>
X	US, A, 3,943,551, 1976-3-9	1-18
X	US, A, 3,312,871, 1967-4-4	1-18
X	Electronics (1967-2-20) (U.S.A) Cloyd E. Marvin and Robert M.Walker "Customizing by interconnection" P 157-164	1-18
X	JP, B1, 49-2796, 1974-1-22	5-14
X	JP, B1, 49-2871, 1974-1-23	6-14
X	JP, B1, 49-3035, 1974-1-24	6-14
X	US, A, 3,702,025, 1972-11-7	9-14
A	JP, A, 46-3324, 1971-10-28	1-18
A	JP, B1, 45-12097, 1970-5-2	15,17-18
A	JP, A, 46-3025, 1971-10-25	16
<p>* Special categories of cited documents: <sup>15</sup></p> <p>"A" document defining the general state of the art</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document cited for special reason other than those referred to in the other categories</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but on or after the priority date claimed</p> <p>"T" later document published on or after the international filing date or priority date and not in conflict with the application, but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance</p>		
<b>IV. CERTIFICATION</b>		
Date of the Actual Completion of the International Search <sup>3</sup>	Date of Mailing of this International Search Report <sup>3</sup>	
3 March 1979 (03.03.79)	12 March 1979 (12.03.79)	
International Searching Authority <sup>1</sup>	Signature of Authorized Officer <sup>20</sup>	
Japanese Patent Office		



## FURTHER INFORMATION CONTINUED FROM THE SECOND SHEET

A	JP, A, 51-146195, 1976-12-15	1-18
A	JP, A, 50-151048, 1975-12-4	1-18

V.  OBSERVATIONS WHERE CERTAIN CLAIMS WERE FOUND UNSEARCHABLE <sup>10</sup>

This international search report has not been established in respect of certain claims under Article 17(2) (a) for the following reasons:

1.  Claim numbers ....., because they relate to subject matter <sup>12</sup> not required to be searched by this Authority, namely:

2.  Claim numbers ....., because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out <sup>13</sup>, specifically:

VI.  OBSERVATIONS WHERE UNITY OF INVENTION IS LACKING <sup>11</sup>

This International Searching Authority found multiple inventions in this international application as follows:

1.  As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims of the international application.

2.  As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims of the international application for which fees were paid, specifically claims:

3.  No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claim numbers:

## Remark on Protest

The additional search fees were accompanied by applicant's protest.

No protest accompanied the payment of additional search fees.