

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5958732号
(P5958732)

(45) 発行日 平成28年8月2日(2016.8.2)

(24) 登録日 平成28年7月1日(2016.7.1)

(51) Int.Cl.	F I
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 J
HO 1 L 21/768 (2006.01)	HO 1 L 27/14 D
HO 1 L 23/522 (2006.01)	HO 1 L 23/02 F
HO 1 L 27/14 (2006.01)	HO 1 L 23/02 D
HO 1 L 23/02 (2006.01)	HO 1 L 23/04 E

請求項の数 9 (全 13 頁) 最終頁に続く

(21) 出願番号	特願2011-54389 (P2011-54389)	(73) 特許権者	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(22) 出願日	平成23年3月11日(2011.3.11)	(74) 代理人	100082131 弁理士 稲本 義雄
(65) 公開番号	特開2012-191055 (P2012-191055A)	(74) 代理人	100121131 弁理士 西川 孝
(43) 公開日	平成24年10月4日(2012.10.4)	(72) 発明者	長田 昌也 東京都港区港南1丁目7番1号 ソニー株式会社社内
審査請求日	平成26年2月25日(2014.2.25)	審査官	右田 勝則

最終頁に続く

(54) 【発明の名称】 半導体装置、製造方法、および電子機器

(57) 【特許請求の範囲】

【請求項1】

光を検出するセンサ部と、
前記センサ部から出力される信号を取り出すための縦孔配線部とからなり、
前記縦孔配線部は、
半導体からなる基板である半導体基板と、
前記半導体基板の内部の一方の面側に形成され、前記センサ部から出力される信号を前記半導体基板の一方の面側から出力する電極層と、
前記半導体基板の一方の面に積層された枠層と、
前記電極層が前記半導体基板の一方の面に露出するように前記半導体基板および前記枠層に加工された開口部に形成された導電体層と、
前記半導体基板の他方の面から前記半導体基板を貫通して前記導電体層まで開口するように形成された縦孔と、
前記縦孔の先端部において前記導電体層を介して前記電極層に電氣的に接続され、前記半導体基板の他方の面まで延在するように形成された配線層と
を備え、
前記センサ部における前記半導体基板の一方の面側には複数のフォトダイオードを有する
半導体装置。

【請求項2】

前記導電体層は、銀、銅、窒化チタン、および窒化タンタルのうちの、少なくともいずれか一つからなる

請求項 1 に記載の半導体装置。

【請求項 3】

前記縦孔は、前記半導体基板の他方の面から前記導電体層に到るまで前記電極層を貫通している

請求項 1 に記載の半導体装置。

【請求項 4】

前記導電体層は、前記開口部に充填されている導電体のペースト材からなる

請求項 1 に記載の半導体装置。

10

【請求項 5】

前記枠層は、前記半導体基板の一方の面にガラス基板を貼り合せているシール材である
請求項 1 に記載の半導体装置。

【請求項 6】

光を検出するセンサ部と、前記センサ部から出力される信号を取り出すための縦孔配線部とからなる半導体装置の製造方法であって、

前記縦孔配線部の製造において、

半導体からなる基板である半導体基板の一方の面側の内部に、前記センサ部から出力される信号を前記半導体基板の一方の面側から出力する電極層を形成し、

前記半導体基板の一方の面に枠層を積層し、

20

前記電極層が前記半導体基板の一方の面に露出するように前記半導体基板および前記枠層に加工された開口部に導電体層を形成し、

前記半導体基板の他方の面から前記半導体基板を貫通して前記導電体層まで開口するように縦孔を形成し、

前記縦孔の先端部において前記導電体層を介して前記電極層に電氣的に接続され、前記半導体基板の他方の面まで延在するように配線層を形成する

ステップを含み、

前記センサ部における前記半導体基板の一方の面側には複数のフォトダイオードを有する

半導体装置の製造方法。

30

【請求項 7】

前記導電体層は、銀、銅、窒化チタン、および窒化タンタルのうちの、少なくともいずれか一つからなる

請求項 6 に記載の半導体装置の製造方法。

【請求項 8】

光を検出するセンサ部と、

前記センサ部から出力される信号を取り出すための縦孔配線部とからなり、

前記縦孔配線部は、

半導体からなる基板である半導体基板と、

前記半導体基板の内部の一方の面側に形成され、前記センサ部から出力される信号を前記半導体基板の一方の面側から出力する電極層と、

40

前記半導体基板の一方の面に積層された枠層と、

前記電極層が前記半導体基板の一方の面に露出するように前記半導体基板および前記枠層に加工された開口部に形成された導電体層と、

前記半導体基板の他方の面から前記半導体基板を貫通して前記導電体層まで開口するように形成された縦孔と、

前記縦孔の先端部において前記導電体層を介して前記電極層に電氣的に接続され、前記半導体基板の他方の面まで延在するように形成された配線層と

を備え、

前記センサ部における前記半導体基板の一方の面側には複数のフォトダイオードを有す

50

る半導体装置

を備える電子機器。

【請求項 9】

前記導電体層は、銀、銅、窒化チタン、および窒化タンタルのうちの、少なくともいずれか一つからなる

請求項 8 に記載の電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置、製造方法、および電子機器に関し、特に、製造コストの低減を図ることができるようにした半導体装置、製造方法、および電子機器に関する。 10

【背景技術】

【0002】

近年、CMOS (Complementary Metal Oxide Semiconductor) イメージセンサに代表される固体撮像素子には、WL-CSP (Wafer Level Chip Size Package : ウエハレベルチップサイズパッケージ) が採用されている。WL-CSPは、半導体基板からチップを切り出す前に端子の形成や配線などが行われ、その後、半導体基板からチップを切り出すという方法によって形成される。

【0003】

このようなWL-CSPの製造工程では、例えば、半導体基板の背面から、半導体基板の内部に配置されているメタルパッドまで開口する微細な縦孔 (VIA) を加工するプロセスがある。この縦孔の加工は、半導体素子の製造コストに大きな影響を及ぼすプロセスである。 20

【0004】

従来、前工程装置であるDRIE (Deep Reactive Ion Etching : 深掘り反応性イオンエッチング装置) を用いて、シリコンウェハに縦孔が加工されるが、DRIEを用いた場合には装置コストが高くなる。また、DRIEでは、シリコンウェハの表面に感光性の物質を塗布し、パターン状に露光するフォトリソグラフィ工程が必要であった。

【0005】

これに対し、基板形成技術であるレーザードリルを使用して、シリコンウェハに縦孔を加工することが提案されている。レーザードリルを用いたプロセスでは、レーザを照射して基板に縦孔を形成することができるため、フォトリソグラフィ工程が不要である。また、レーザードリルの装置は安価であることより、DRIEによる加工よりもレーザードリルによる加工の方が、製造コストの点で非常に有利である。 30

【0006】

ところが、レーザードリルを使用した場合、例えば、半導体基板の内部にあるメタルパッドまで縦穴が到達したタイミングで加工を正確に停止させるような制御を行うことが非常に困難であった。

【0007】

そこで、特許文献 1 には、半導体基板の内部においてメタルパッド上に金属バンプを配置し、その金属バンプに到るようにレーザードリルにより縦孔を加工するプロセスにより半導体装置を製造する方法が開示されている。このプロセスでは、レーザードリルにより縦孔を加工する際に、金属バンプが、加工の進行を停止させるためのストッパとして使用されている。金属バンプとしては、例えば、15 μm の厚みのニッケルめっきが使用されている。 40

【先行技術文献】

【特許文献】

【0008】

【特許文献 1】特開 2007 - 305995 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 9 】

しかしながら、特許文献 1 に開示されているような金属バンプを、レーザードリルによる加工のストッパとして使用する場合には、金属バンプの貫通を回避するために、レーザのパワーを低出力とする必要がある。このため、縦孔の加工に長時間を要していた。さらに、金属バンプとして、厚さ 15 μm のニッケルめっきを形成する工程においても、加工に長時間を要していた。このように、半導体基板に縦孔を加工する工程が長時間になると、製造コストが上昇することになる。

【 0 0 1 0 】

また、金属バンプの厚みを増した場合には、レーザードリルのパワーを高出力にしても金属バンプの貫通を回避することができると想定されるが、厚手の金属バンプを形成するのにさらなる時間を要してしまう。

【 0 0 1 1 】

そこで、従来よりも、縦孔の加工に要する時間を短縮して、製造コストの低減を図ることが求められていた。

【 0 0 1 2 】

本発明は、このような状況に鑑みてなされたものであり、製造コストの低減を図ることができるようにするものである。

【課題を解決するための手段】

【 0 0 1 3 】

本発明の一側面の半導体装置は、光を検出するセンサ部と、前記センサ部から出力される信号を取り出すための縦孔配線部とからなり、前記縦孔配線部は、半導体からなる基板である半導体基板と、前記半導体基板の内部の一方の面側に形成され、前記センサ部から出力される信号を前記半導体基板の一方の面側から出力する電極層と、前記半導体基板の一方の面に積層された枠層と、前記電極層が前記半導体基板の一方の面に露出するように前記半導体基板および前記枠層に加工された開口部に形成された導電体層と、前記半導体基板の他方の面から前記半導体基板を貫通して前記導電体層まで開口するように形成された縦孔と、前記縦孔の先端部において前記導電体層を介して前記電極層に電氣的に接続され、前記半導体基板の他方の面まで延在するように形成された配線層とを備え、前記センサ部における前記半導体基板の一方の面側には複数のフォトダイオードを有する。

【 0 0 1 4 】

本発明の一側面の製造方法は、光を検出するセンサ部と、前記センサ部から出力される信号を取り出すための縦孔配線部とからなる半導体装置の製造方法であって、前記縦孔配線部の製造において、半導体からなる基板である半導体基板の一方の面側の内部に、前記センサ部から出力される信号を前記半導体基板の一方の面側から出力する電極層を形成し、前記半導体基板の一方の面に枠層を積層し、前記電極層が前記半導体基板の一方の面に露出するように前記半導体基板および前記枠層に加工された開口部に導電体層を形成し、前記半導体基板の他方の面から前記半導体基板を貫通して前記導電体層まで開口するように縦孔を形成し、前記縦孔の先端部において前記導電体層を介して前記電極層に電氣的に接続され、前記半導体基板の他方の面まで延在するように配線層を形成するステップを含み、前記センサ部における前記半導体基板の一方の面側には複数のフォトダイオードを有する。

【 0 0 1 5 】

本発明の一側面の電子機器は、光を検出するセンサ部と、前記センサ部から出力される信号を取り出すための縦孔配線部とからなり、前記縦孔配線部は、半導体からなる基板である半導体基板と、前記半導体基板の内部の一方の面側に形成され、前記センサ部から出力される信号を前記半導体基板の一方の面側から出力する電極層と、前記半導体基板の一方の面に積層された枠層と、前記電極層が前記半導体基板の一方の面に露出するように前記半導体基板および前記枠層に加工された開口部に形成された導電体層と、前記半導体基板の他方の面から前記半導体基板を貫通して前記導電体層まで開口するように形成された縦孔と、前記縦孔の先端部において前記導電体層を介して前記電極層に電氣的に接続され

10

20

30

40

50

、前記半導体基板の他方の面まで延在するように形成された配線層とを備え、前記センサ部における前記半導体基板の一方の面側には複数のフォトダイオードを有する半導体装置を備える。

【0016】

本発明の一側面においては、半導体装置は、光を検出するセンサ部と、センサ部から出力される信号を取り出すための縦孔配線部とからなり、縦孔配線部では、半導体基板の一方の面側の内部に、センサ部から出力される信号を半導体基板の一方の面側から出力する電極層が形成され、半導体基板の一方の面に枠層が積層され、電極層が半導体基板の一方の面に露出するように半導体基板および枠層に加工された開口部に導電体層が形成される。そして、半導体基板の他方の面から半導体基板を貫通して導電体層まで開口するように縦孔が形成され、縦孔の先端部において導電体層を介して電極層に電氣的に接続され、半導体基板の他方の面まで延在するように配線層が形成される。さらに、センサ部における半導体基板の一方の面側には複数のフォトダイオードを有する。

10

【発明の効果】

【0017】

本発明の一側面によれば、製造コストの低減を図ることができる。

【図面の簡単な説明】

【0018】

【図1】本発明を適用した固体撮像素子の一実施の形態の構成例を示す断面図である。

【図2】縦孔配線部の製造工程について説明する図である。

20

【図3】縦孔配線部の製造工程について説明する図である。

【図4】ガラスシール材およびセンサ部に開口部が形成された状態を示す図である。

【図5】スクリーン印刷法およびスプレーコート法を説明する図である。

【図6】ストッパ層として使用可能な材料を示す図である。

【図7】メタルパッドの下面にストッパ層が形成されているシリコンウェハを示す図である。

【図8】電子機器に搭載される撮像装置の構成例を示すブロック図である。

【発明を実施するための形態】

【0019】

以下、本発明を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。

30

【0020】

図1は、本発明を適用した固体撮像素子の一実施の形態の構成例を示す断面図である。

【0021】

図1において、固体撮像素子11は、被写体からの光を検出するセンサ部12と、センサ部12から出力される信号を下面側から取り出すための縦孔配線部13とを備えており、センサ部12および縦孔配線部13の上面側がガラス基板14により覆われて構成される。

【0022】

センサ部12は、受光した光に応じた電荷信号を出力する複数のフォトダイオード21、フォトダイオード21に光を集光するためのオンチップマイクロレンズ22を備えている。なお、図示しないが、センサ部12は、カラーフィルタや、フローティングディフュージョン、各種のトランジスタなどを備えている。

40

【0023】

縦孔配線部13では、シリコンウェハ31の上面(図1において上側を向く面)に、メタルパッド32、ガラスシール材33、およびストッパ層34が積層されており、ガラスシール材33およびストッパ層34の上面にガラス基板14が配置されている。また、縦孔配線部13では、シリコンウェハ31を貫通するように形成された縦孔35の内面および下面(図1において下側を向く面)に、絶縁膜36、メタルシード層37、およびめっき層38が形成されている。そして、絶縁膜36およびめっき層38の下面に溶ダーマ

50

スク 39 が形成され、ソルダーマスク 39 を貫通してめっき層 38 に接続するようにソルダーボール 40 が配設されている。

【0024】

シリコンウェハ 31 は、半導体からなる薄い基板であり、シリコン層 31 a の上面に酸化膜 31 b が形成されている。

【0025】

メタルパッド 32 は、シリコンウェハ 31 の酸化膜 31 b 内、つまり、シリコンウェハ 31 の内部の上面側に形成された金属の層であり、センサ部 12 からの信号を出力する電極として機能する。また、メタルパッド 32 としては、例えば、アルミニウムや、銅、タングステン、ニッケル、タンタルなどの金属が使用される。

10

【0026】

ガラスシール材 33 は、シリコンウェハ 31 にガラス基板 14 を貼り合わせるためのシール材である。また、ガラスシール材 33 には開口部 42 (図 2 参照) が形成され、ガラスシール材 33 は、ストッパ層 34 を形成するための枠となる層である。

【0027】

ストッパ層 34 は、シリコンウェハ 31 の上面にメタルパッド 32 が露出するように、酸化膜 31 b およびガラスシール材 33 に形成された開口部を充填するように形成された導電体からなる層である。また、ストッパ層 34 は、ガラスシール材 33 と同程度の厚みとなるように形成され、例えば、約 50 μm 、好ましくは、10 ~ 100 μm の範囲の厚みで形成される。ストッパ層 34 としては、後述の図 6 に示すように、銀や銅などが使用される。

20

【0028】

縦孔 35 は、シリコンウェハ 31 の上面側に形成されたメタルパッド 32 からシリコンウェハ 31 の下面までの配線を設けるために形成され、シリコンウェハ 31 の上下面に対して略直交する微細な孔である。絶縁膜 36 は、シリコンウェハ 31 の下面側を絶縁する。メタルシード層 37 は、センサ部 12 からの信号をシリコンウェハ 31 の下面側に導くための配線であり、縦孔 35 の先端部分においてストッパ層 34 を介してメタルパッド 32 と電気的に接続され、シリコンウェハ 31 の下面まで延在するように形成される。

【0029】

めっき層 38 は、例えば、メタルシード層 37 をエッチングにより形成する際のマスクとして利用される層である。ソルダーマスク 39 は、ソルダーボール 40 に外部から配線を接続する際に、はんだ付けが不要な部分にはんだが付かないようにするためのマスクである。ソルダーボール 40 は、センサ部 12 からの信号を外部に出力する配線を接続するための端子である。

30

【0030】

次に、図 2 乃至図 5 を参照して、縦孔配線部 13 の製造工程について説明する。

【0031】

まず、図 2 に示す第 1 の工程において、シリコンウェハ 31 の酸化膜 31 b 内にメタルパッド 32 が形成される。メタルパッド 32 は、例えば、センサ部 12 が有する図示しない選択トランジスタに接続される信号線の端部 (BEOL: Back End Of the Line) である。

40

【0032】

第 2 の工程において、シリコンウェハ 31 の上面側のメタルパッド 32 に対応する箇所の酸化膜 31 b に、メタルパッド 32 が露出するような開口部 41 が形成される。開口部 41 は、上面から見てメタルパッド 32 よりも小面積となるように形成され、メタルパッド 32 の縁部には酸化膜 31 b が重なり合っている。つまり、メタルパッド 32 は、開口部 41 を形成する際のプロセスマージンを考慮して大きめに形成されている。

【0033】

第 3 の工程において、シリコンウェハ 31 およびメタルパッド 32 の上面にガラスシール材 33 が形成される。また、ガラスシール材 33 は、センサ部 12 (図 1) の上面にも形成される。

50

【 0 0 3 4 】

第4の工程において、メタルパッド32が露出するように、ガラスシール材33に開口部42が形成される。ガラスシール材33に形成される開口部42は、上面から見て酸化膜31bに形成される開口部41よりも大面積となるように形成され、メタルパッド32が上面側に確実に露出される。また、メタルパッド32の縁部に重なり合う酸化膜31bも上面側に露出する。

【 0 0 3 5 】

なお、第4の工程では、図4に示すように、ガラスシール材33に開口部42を形成すると同時に、センサ部12の上面に形成されたガラスシール材33にも開口部43が形成される。図4には、ガラスシール材33の開口部42とセンサ部12の開口部43とが形成された状態が示されている。

10

【 0 0 3 6 】

第5の工程において、酸化膜31bに形成された開口部41およびガラスシール材33に形成された開口部42に、ストッパ層34が形成される。また、ストッパ層34を形成する方法としては、スクリーン印刷法や、スプレーコート法、スタッドバンプ形成法などが用いられる。

【 0 0 3 7 】

ここで、図5Aには、スクリーン印刷法の概略的な構成が示されている。スクリーン印刷法では、ストッパ層34となる導電性のペースト51が、ガラスシール材33に形成された開口部42に対応するような孔が形成されたスクリーン52の上面に載せられ、スキージ53によりスクリーン52に押し付けられるように伸ばされる。これにより、スクリーン52の孔を通過したペースト51が開口部42に充填され、ストッパ層34が形成される。

20

【 0 0 3 8 】

また、図5Bには、スプレーコート法の概略的な構成が示されている。スプレーコート法では、ストッパ層34となる導電性のペースト51が、ノズル54から微量ずつ吐出される。これにより、ガラスシール材33に形成された開口部42にペースト51が充填され、ストッパ層34が形成される。

【 0 0 3 9 】

このようにしてストッパ層34が形成され、ストッパ層34の厚みは、ガラスシール材33と同程度の厚み（例えば、50μm程度）となる。

30

【 0 0 4 0 】

次に、図3に示す第6の工程において、ガラスシール材33を介してシリコンウェハ31の上面にガラス基板14が貼り合される。また、この工程において、シリコンウェハ31の下面側が研削（BGR：Back Grind）され、シリコンウェハ31が薄肉化される。

【 0 0 4 1 】

第7の工程において、レーザードリルにより、メタルパッド32を貫通してストッパ層34に到るまで縦孔35が加工される。このとき、レーザードリルのパワーを高出力にしても、例えば、上述の特許文献1の金属バンプよりも膜厚化されたストッパ層34においてレーザードリルによる加工の進行が停止される。即ち、ストッパ層34が貫通することなく、高出力のレーザードリルにより短時間で縦孔35が加工される。

40

【 0 0 4 2 】

第8の工程において、縦孔35およびシリコンウェハ31の下面に絶縁膜36が形成される。

【 0 0 4 3 】

第9の工程において、縦孔35の先端面における絶縁膜36が開口されて、縦孔35にストッパ層34が露出される。その後、ストッパ層34および絶縁膜36にメタルシード層37が積層される。これにより、ストッパ層34とメタルシード層37とが電氣的に接続される。その後、図1に示されているように、めっき層38、ソルダーマスク39、ソルダーボール40が形成される。

50

【 0 0 4 4 】

以上のように縦孔配線部 1 3 は形成され、ガラスシール材 3 3 に形成された開口部 4 2 にペースト 5 1 (図 5) を充填することによりストッパ層 3 4 が形成されるので、約 5 0 μm の厚みのあるストッパ層 3 4 が形成可能である。また、スクリーン印刷法またはスプレーコート法を採用することで、例えば、スパッタ法を採用する場合などに要する加工時間と比較して、1 / 2 から 1 / 1 0 まで程度の短時間でストッパ層 3 4 を形成することができる。

【 0 0 4 5 】

このようにストッパ層 3 4 を膜厚化することで、上述したような製造工程による製造方法では、特許文献 1 に開示されている製造方法よりも、高出力のレーザードリルを使用することができる。これにより、高出力のレーザードリルにより短時間で縦孔 3 5 を加工することができ、縦孔配線部 1 3 の製造時間を従来よりも短縮することができる。従って、全体的に、固体撮像素子 1 1 の製造時間が短縮されるので、固体撮像素子 1 1 の製造コストの低減を図ることができる。

10

【 0 0 4 6 】

一方、例えば、上述の特許文献 1 に開示されている金属バンプの厚みを増すことにより、金属バンプによりレーザードリルをストップさせることができると想定される。しかしながら、金属バンプの厚みを増す場合には、金属バンプの形成に長時間を要するだけでなく、隣接する金属バンプどうしが接触する恐れがあった。これに対し、固体撮像素子 1 1 における縦孔配線部 1 3 の製造方法では、ガラスシール材 3 3 に形成された開口部を充填するようにストッパ層 3 4 が形成されるため、ストッパ層 3 4 どうしが接触することが発生することはない。

20

【 0 0 4 7 】

また、レーザードリルを使用した場合、レーザードリルの装置の装置コストは、DRIEの装置コストよりも安価であり、この点においても、固体撮像素子 1 1 の製造コストの低減を図ることができる。

【 0 0 4 8 】

さらに、約 5 0 μm の厚みのあるストッパ層 3 4 により、レーザードリルによる縦孔 3 5 の加工を確実に停止することができ、レーザードリルによる加工の制御を容易に行うことができる。また、ストッパ層 3 4 に厚みがあるので、レーザードリルによる加工を簡易的な制御で行うことができ、縦孔 3 5 の深さに多少のバラツキが発生しても、ストッパ層 3 4 とメタルシード層 3 7 とで良好なコンタクトを得ることができる。つまり、固体撮像素子 1 1 は、縦孔 3 5 の深さバラツキに対してロバストのある設計と行うことができる。

30

【 0 0 4 9 】

ここで、図 6 には、ストッパ層 3 4 として使用可能な材料が示されている。

【 0 0 5 0 】

上述したように、レーザードリルによりシリコンウェハ 3 1 に縦孔 3 5 を加工するため、ストッパ層 3 4 においてレーザードリルによる加工の進行を停止させるには、シリコン (Si) の融点 (1410) よりも融点が高い材料をストッパ層 3 4 として使用することが好ましい。また、シリコンの融点よりも融点が高い材料であっても、縦孔配線部 1 3 では、ストッパ層 3 4 の厚みを 5 0 μm 程度と厚く形成することができるので、この厚みによりストッパ層 3 4 が貫通することなくレーザードリルによる加工の進行を停止させることができる。

40

【 0 0 5 1 】

シリコンの融点よりも融点が高い材料としては、銀 (Ag : 融点 961)、金 (Au : 融点 : 1063)、および銅 (Cu : 融点 1083) がストッパ層 3 4 として使用可能である。

【 0 0 5 2 】

また、シリコンの融点よりも融点が高い材料としては、クロム (Cr : 融点 1890)、イリジウム (Ir : 融点 2410)、モリブデン (Mo : 融点 2610)、ニオブ (Nb : 融点 2468)、ニッケル (Ni : 融点 1453)、パラジウム (Pd : 融点 1552)、白金 (Pt : 融点 1769

50

)、ルテニウム (Ru: 融点2250)、タンタル (Ta: 融点2998)、バナジウム (V: 融点1890)、タングステン (W: 融点3410)、および、ジルコニウム (Zr: 融点1852)がストッパ層34として使用可能である。

【0053】

さらに、これらの材料の中でもペーストとして容易に入手することができる材料、例えば銀や銅などをストッパ層34として使用することがより好適である。また、これらの材料の他、窒化チタン (TiN) や、窒化タンタル (TaN) などストッパ層34として使用することができる。窒化チタンおよび窒化タンタルの融点は、シリコンの融点よりも非常に高く、それぞれ2930 および3090 であり、窒化チタンおよび窒化タンタルで上述した程度の厚みのストッパ層34を形成することで、より良好に、レーザードリルによる加工の進行を停止させることができる。

10

【0054】

なお、上述の縦孔配線部13では、メタルパッド32の上面にストッパ層34が形成された構成例が示されているが、メタルパッド32の下面にストッパ層34が形成される構成としてもよい。

【0055】

図7には、メタルパッド32の下面にストッパ層34'が形成されているシリコンウェハ31が示されている。例えば、図2で説明した第1の工程においてメタルパッド32を形成する際に、メタルパッド32よりも先にストッパ層34'を形成することで、メタルパッド32の下面にストッパ層34'を形成することができる。

20

【0056】

図8は、電子機器に搭載される撮像装置の構成例を示すブロック図である。

【0057】

図8に示すように、撮像装置101は、光学系102、シャッタ装置103、撮像素子104、駆動回路105、信号処理回路106、モニタ107、およびメモリ108を備えて構成され、静止画像および動画像を撮像可能である。

【0058】

光学系102は、1枚または複数枚のレンズを有して構成され、被写体からの像光 (入射光) を撮像素子104に導き、撮像素子104の受光面 (センサ部) に結像させる。

【0059】

シャッタ装置103は、光学系102および撮像素子104の間に配置され、駆動回路105の制御に従って、撮像素子104への光照射期間および遮光期間を制御する。

30

【0060】

撮像素子104としては、上述したような構成例の固体撮像素子11が適用される。撮像素子104には、光学系102およびシャッタ装置103を介して受光面に結像される像に応じて、一定期間、信号電荷が蓄積される。そして、撮像素子104に蓄積された信号電荷は、駆動回路105から供給される駆動信号 (タイミング信号) に従って転送される。

【0061】

駆動回路105は、撮像素子104の転送動作、および、シャッタ装置103のシャッタ動作を制御する駆動信号を出力して、撮像素子104およびシャッタ装置103を駆動する。

40

【0062】

信号処理回路106は、撮像素子104から出力された信号電荷に対して各種の信号処理を施す。信号処理回路106が信号処理を施すことにより得られた画像 (画像データ) は、モニタ107に供給されて表示されたり、メモリ108に供給されて記憶 (記録) されたりする。

【0063】

このように構成されている撮像装置101では、撮像素子104として、上述したように低コストで製造可能な固体撮像素子11を適用することにより、撮像装置101の製造

50

コストの削減を図ることができる。

【0064】

なお、縦孔35の加工には、レーザードリルの他、DRIEやドライエッチングなどを採用することができる。

【0065】

また、固体撮像素子11の構成は、裏面照射型のCMOS型固体撮像素子や、表面照射型のCMOS型固体撮像素子、CCD(Charge Coupled Device)型固体撮像素子に採用することができる。さらに、本発明は、固体撮像素子の他、例えば、論理回路がIC(Integrated Circuit)チップ上に集積されて構成されたロジックチップなどの半導体装置(半導体素子)に適用することができる。

10

【0066】

なお、本発明の実施の形態は、上述した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能である。

【符号の説明】

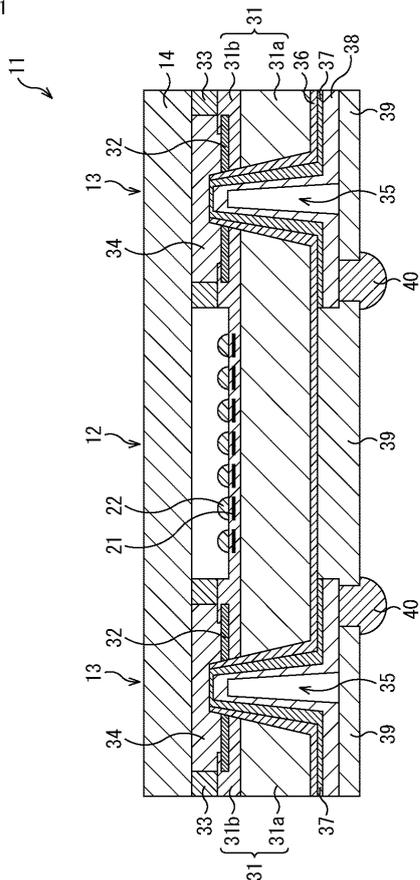
【0067】

11 固体撮像素子11, 12 センサ部, 13 縦孔配線部, 14 ガラス基板, 21 フォトダイオード, 22 オンチップマイクロレンズ, 31 シリコンウェハ, 32 メタルパッド, 33 ガラスシール材, 34 ストップ層, 35 縦孔, 36 絶縁膜, 37 メタルシード層, 38 めっき層, 39 ソルダーマスク, 40 ソルダースポット, 41乃至43 開口部, 101 撮像装置, 102 光学系, 103 シャッタ装置, 104 撮像素子, 105 駆動回路, 106 信号処理回路, 107 モニタ, 108 メモリ

20

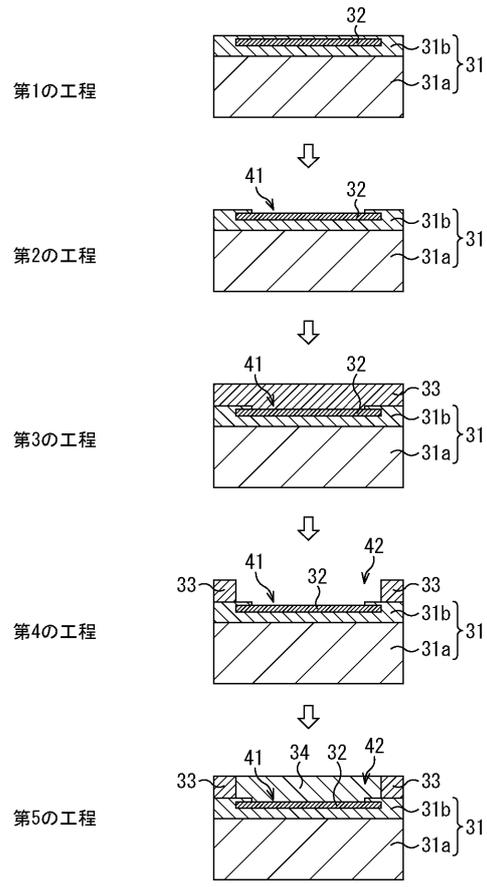
【図1】

図1



【図2】

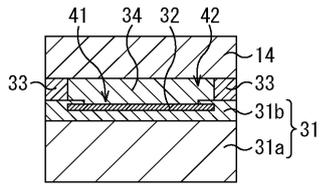
図2



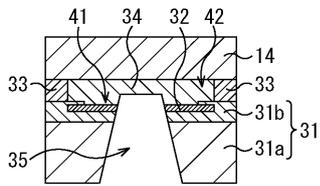
【図3】

図3

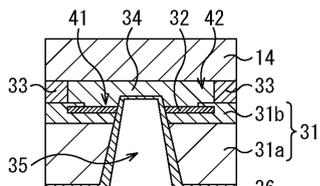
第6の工程



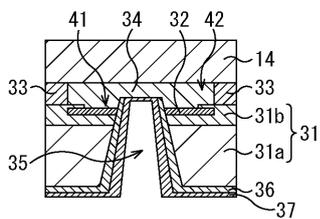
第7の工程



第8の工程

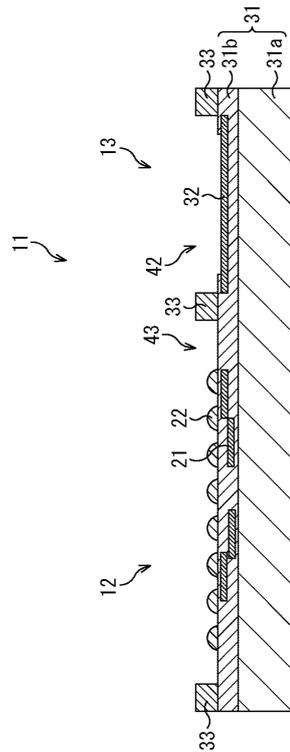


第9の工程



【図4】

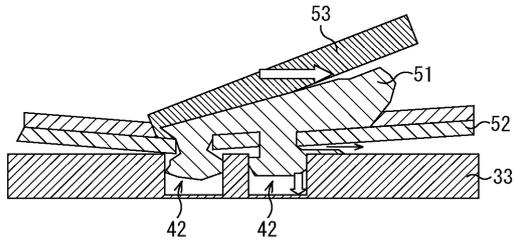
図4



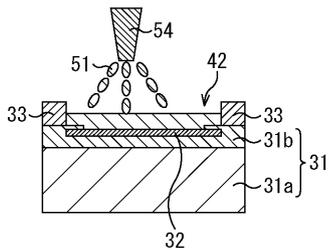
【図5】

図5

A



B



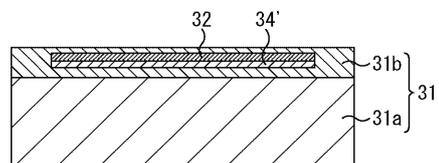
【図6】

図6

材料	融点 (°C)
Si	1410
Ag	961
Au	1063
Cr	1890
Cu	1083
Ir	2410
Mo	2610
Nb	2468
Ni	1453
Pd	1552
Pt	1769
Ru	2250
Ta	2998
V	1890
W	3410
Zr	1852

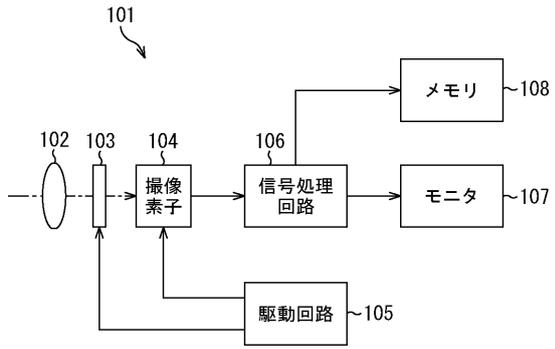
【図7】

図7



【図8】

図8



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 23/04 (2006.01)

(56)参考文献 特開2007-305995(JP,A)
特開2004-056031(JP,A)
特開2011-035038(JP,A)
特開2009-158862(JP,A)
特開2010-109380(JP,A)
特開2007-305955(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 2 0 5

H 0 1 L 2 1 / 7 6 8

H 0 1 L 2 3 / 0 2

H 0 1 L 2 3 / 0 4

H 0 1 L 2 3 / 5 2 2

H 0 1 L 2 7 / 1 4