

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年10月6日(06.10.2022)



(10) 国際公開番号

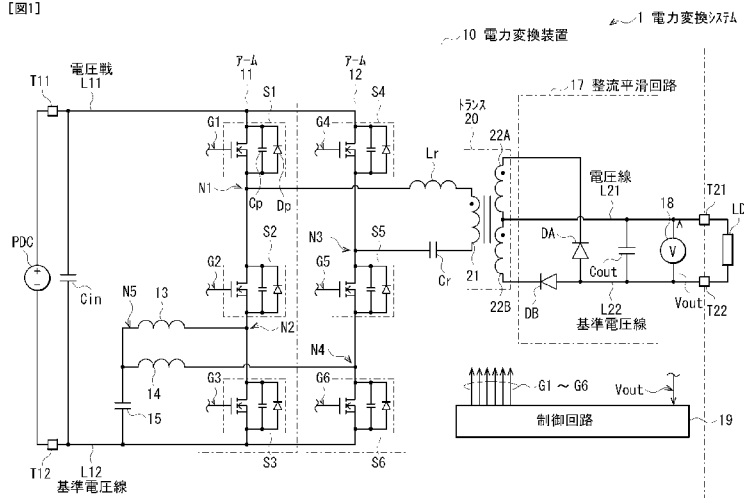
WO 2022/208644 A1

- (51) 国際特許分類:
H02M 3/28 (2006.01)
- (21) 国際出願番号: PCT/JP2021/013484
- (22) 国際出願日: 2021年3月30日(30.03.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: T D K株式会社(TDK CORPORATION)
[JP/JP]; 〒1036128 東京都中央区日本橋二丁目5番1号 Tokyo (JP).
- (72) 発明者: 石橋 尚之 (ISHIBASHI, Naoyuki);
〒1036128 東京都中央区日本橋二丁目5番1号 T D K株式会社内 Tokyo (JP).
- (74) 代理人: 弁理士法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号さわだビル3階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: POWER CONVERSION DEVICE AND POWER CONVERSION SYSTEM

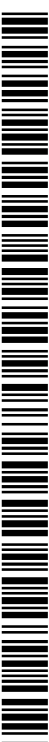
(54) 発明の名称: 電力変換装置および電力変換システム

[図1]



- 1 Power conversion system
- 10 Power conversion device
- 11, 12 Arm
- 17 Rectifying/smoothing circuit
- 19 Control circuit
- 20 Transformer
- L11, L21 Voltage line
- L12, L22 Reference voltage line

(57) Abstract: A power conversion device according to the present invention comprises: a first power terminal; a first arm which has a first switching element between a first connecting terminal and a first node, a second switching element between the first node and a second node, and a third switching element between the second node and a second connecting terminal; a second arm which has a fourth switching element between the first connecting terminal and a third node, a fifth switching element between the third node and a fourth node, and a sixth switching element between the fourth node and the second connecting terminal; a first inductor between the second node and a fifth node; a second inductor between the fourth node and the fifth node; a first capacitor between the fifth node and the second connecting terminal; a first transformer which has a second winding and a first winding which is provided in a path connecting the first node and the



WO 2022/208644 A1

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

third node; a rectifying circuit; a second power terminal; and a control circuit.

(57) 要約 : 本発明の電力変換装置は、第1の電力端子と、第1の接続端子と第1のノードとの間の第1のスイッチング素子と、第1のノードと第2のノードとの間の第2のスイッチング素子と、第2のノードと第2の接続端子との間の第3のスイッチング素子とを有する第1のアームと、第1の接続端子と第3のノードとの間の第4のスイッチング素子と、第3のノードと第4のノードとの間の第5のスイッチング素子と、第4のノードと第2の接続端子との間の第6のスイッチング素子とを有する第2のアームと、第2のノードと第5のノードとの間の第1のインダクタと、第4のノードと第5のノードとの間の第2のインダクタと、第5のノードと第2の接続端子との間の第1のキャパシタと、第1のノードと第3のノードとを結ぶ経路に設けられた第1の巻線と、第2の巻線とを有する第1のトランスと、整流回路と、第2の電力端子と、制御回路とを備える。

明 細 書

発明の名称：電力変換装置および電力変換システム

技術分野

[0001] 本発明は、電力を変換する電力変換装置および電力変換システムに関する。

背景技術

[0002] 電力変換装置は、入力電圧を昇圧または降圧することにより電力を変換する。特許文献1には、トランスと、トランスの1次側に設けられた、3つのトランジスタを含むアームとを有し、入力された電圧を昇圧し、昇圧された電圧を変圧する電力変換装置が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2019-187021号公報

発明の概要

[0004] 電力変換装置では、様々な入力電圧に基づいて動作できることが望まれており、広い入力電圧範囲を実現することが期待されている。

[0005] 入力電圧範囲を広くすることができる電力変換装置および電力変換システムを提供することが望ましい。

[0006] 本発明の一実施の形態に係る第1の電力変換装置は、第1の電力端子と、第1のアームと、第2のアームと、第1のインダクタと、第2のインダクタと、第1のキャパシタと、第1のトランスと、整流回路と、第2の電力端子と、制御回路とを備えている。第1の電力端子は、第1の接続端子および第2の接続端子を有するように構成される。第1のアームは、第1の接続端子と第2の接続端子とを結ぶ第1の経路に設けられ、第1の接続端子と第1のノードとの間に設けられた第1のスイッチング素子と、第1のノードと第2のノードとの間に設けられた第2のスイッチング素子と、第2のノードと第2の接続端子との間に設けられた第3のスイッチング素子とを有する。第2

のアームは、第1の接続端子と第2の接続端子とを結ぶ第2の経路に設けられ、第1の接続端子と第3のノードとの間に設けられた第4のスイッチング素子と、第3のノードと第4のノードとの間に設けられた第5のスイッチング素子と、第4のノードと第2の接続端子との間に設けられた第6のスイッチング素子とを有する。第1のインダクタは、第2のノードと第5のノードとの間に設けられる。第2のインダクタは、第4のノードと第5のノードとの間に設けられる。第1のキャパシタは、第5のノードと第2の接続端子との間に設けられる。第1のトランスは、第1のノードと第3のノードとを結ぶ経路に設けられた第1の巻線と、第2の巻線とを有する。整流回路は、第2の巻線に接続された複数の整流素子を有する。第2の電力端子は、整流回路に接続され、第3の接続端子および第4の接続端子を有する。制御回路は、第2の電力端子における電圧に基づいて、第1のアームおよび第2のアームにおけるスイッチング動作を制御するように構成される。

[0007] 本発明の一実施の形態に係る第2の電力変換装置は、第1の電力端子と、アームと、インダクタと、第1のキャパシタと、第2のキャパシタと、第3のキャパシタと、トランスと、整流回路と、第2の電力端子と、制御回路とを備えている。第1の電力端子は、第1の接続端子および第2の接続端子を有するように構成される。アームは、第1の接続端子と第2の接続端子とを結ぶ第1の経路に設けられ、第1の接続端子と第1のノードとの間に設けられた第1のスイッチング素子と、第1のノードと第2のノードとの間に設けられた第2のスイッチング素子と、第2のノードと第2の接続端子との間に設けられた第3のスイッチング素子とを有する。インダクタは、第2のノードと第3のノードとの間に設けられる。第1のキャパシタは、第3のノードと第2の接続端子との間に設けられる。第2のキャパシタは、第1の接続端子と第4のノードとの間に設けられる。第3のキャパシタは、第4のノードと、第2の接続端子との間に設けられる。トランスは、第1のノードと第4のノードとを結ぶ経路に設けられた第1の巻線と、第2の巻線とを有する。整流回路は、第2の巻線に接続された複数の整流素子を有する。第2の電力

端子は、整流回路に接続され、第3の接続端子および第4の接続端子を有する。制御回路は、第2の電力端子における電圧に基づいて、アームにおけるスイッチング動作を制御するように構成される。

[0008] 本発明の一実施の形態に係る電力変換システムは、電力変換装置と、直流電源装置とを備えている。電力変換装置は、上記第1の電力変換装置または上記第2の電力変換装置である。直流電源装置は、電力変換装置の第1の電力端子に接続される。

[0009] 本発明の一実施の形態に係る電力変換装置および電力変換システムによれば、入力電圧範囲を広くすることができる。

図面の簡単な説明

[0010] [図1]本発明の第1の実施の形態に係る電力変換システムの一構成例を表す回路図である。

[図2]図1に示した電力変換システムの一動作例を表すタイミング波形図である。

[図3]図1に示した電力変換システムの一動作例を表す他のタイミング波形図である。

[図4A]図1に示した電力変換システムにおける一動作状態を表す説明図である。

[図4B]図1に示した電力変換システムにおける他の動作状態を表す説明図である。

[図4C]図1に示した電力変換システムにおける他の動作状態を表す説明図である。

[図4D]図1に示した電力変換システムにおける他の動作状態を表す説明図である。

[図4E]図1に示した電力変換システムにおける他の動作状態を表す説明図である。

[図4F]図1に示した電力変換システムにおける他の動作状態を表す説明図である。

[図5]第1の実施の形態の変形例に係る電力変換システムの一構成例を表す回路図である。

[図6]図5に示した電力変換システムの一動作例を表すタイミング波形図である。

[図7]第1の実施の形態の他の変形例に係る電力変換システムの一構成例を表す回路図である。

[図8]図7に示した電力変換システムの一動作例を表すタイミング波形図である。

[図9]第1の実施の形態の他の変形例に係る電力変換システムの一構成例を表す回路図である。

[図10]図9に示した電力変換システムの一動作例を表すタイミング波形図である。

[図11]第2の実施の形態に係る電力変換システムの一構成例を表す回路図である。

[図12]図11に示した電力変換システムの一動作例を表すタイミング波形図である。

[図13A]図11に示した電力変換システムにおける一動作状態を表す説明図である。

[図13B]図11に示した電力変換システムにおける他の動作状態を表す説明図である。

[図13C]図11に示した電力変換システムにおける他の動作状態を表す説明図である。

[図13D]図11に示した電力変換システムにおける他の動作状態を表す説明図である。

発明を実施するための形態

[0011] 以下、本発明の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 第1の実施の形態

2. 第2の実施の形態

[0012] <第1の実施の形態>

[構成例]

図1は、本発明の一実施の形態に係る電力変換装置を備えた電力変換システム1の一構成例を表すものである。電力変換システム1は、直流電源装置PDCと、電力変換装置10と、負荷装置LDとを備えている。電力変換システム1は、直流電源装置PDCから供給された電圧を降圧することにより電力を変換し、変換された電力を負荷装置LDに供給するように構成される。

[0013] 直流電源装置PDCは、直流電力を電力変換装置10に供給するように構成される。直流電源装置PDCは、例えばバッテリーであってもよい。また、直流電源装置PDCは、バッテリーおよびDC/DCコンバータを有し、DC/DCコンバータが、このバッテリーから供給された直流電力を変換し、変換された直流電力を電力変換装置10に供給してもよい。

[0014] 電力変換装置10は、直流電源装置PDCから供給された電圧（入力電圧）を降圧することにより、電力を変換し、変換された電力を負荷装置LDに供給するように構成される。電力変換装置10は、2つのアームを有するインターリーブ型の回路である。電力変換装置10は、入力端子T11、T12と、入力キャパシタCinと、アーム11、12と、インダクタ13、14と、キャパシタ15と、共振インダクタLrと、共振キャパシタCrと、トランス20と、整流平滑回路17と、電圧センサ18と、制御回路19と、出力端子T21、T22とを有している。直流電源装置PDC、入力キャパシタCin、アーム11、12、インダクタ13、14、キャパシタ15、共振インダクタLr、および共振キャパシタCrは、電力変換システム1の1次側回路を構成し、整流平滑回路17および負荷装置LDは、電力変換システム1の2次側回路を構成する。

[0015] 入力端子T11、T12は、直流電源装置PDCから電力が供給されるように構成される。電力変換装置10の装置内において、入力端子T11は電

圧線L 1 1に接続され、入力端子T 1 2は基準電圧線L 1 2に接続される。

[0016] 入力キャパシタC_{in}の一端は電圧線L 1 1に接続され、他端は基準電圧線L 1 2に接続される。

[0017] アーム1 1は、電圧線L 1 1と基準電圧線L 1 2とを結ぶ経路に設けられる。アーム1 1は、3つのトランジスタS 1～S 3を有する。アーム1 2は、電圧線L 1 1と基準電圧線L 1 2とを結ぶ、アーム1 1が設けられた経路とは異なる経路に設けられる。アーム1 2は、3つのトランジスタS 4～S 6を有する。トランジスタS 1～S 6は、ゲート信号G 1～G 6に基づいて、それぞれスイッチング動作を行うスイッチング素子である。トランジスタS 1～S 6のそれぞれは、例えばN型の電界効果トランジスタ（FET: Field Effect Transistor）を用いて構成される。トランジスタS 1～S 6のそれぞれは、寄生ダイオードD_pを有している。例えば、トランジスタS 1において、寄生ダイオードD_pのアノードはトランジスタS 1のソースに接続され、カソードはトランジスタS 1のドレインに接続される。また、この図では、トランジスタS 1の寄生キャパシタンスを示すキャパシタC_pをも図示している。トランジスタS 2～S 6についても同様である。なお、この例では、N型の電界効果トランジスタを用いたが、スイッチング素子であればどのようなものを用いてもよい。

[0018] トランジスタS 1は、電圧線L 1 1とノードN 1との間に設けられ、オン状態になることによりノードN 1を電圧線L 1 1に接続するように構成される。トランジスタS 1のドレインは電圧線L 1 1に接続され、ゲートにはゲート信号G 1が供給され、ソースはノードN 1に接続される。トランジスタS 2は、ノードN 1とノードN 2との間に設けられ、オン状態になることによりノードN 1をノードN 2に接続するように構成される。トランジスタS 2のドレインはノードN 1に接続され、ゲートにはゲート信号G 2が供給され、ソースはノードN 2に接続される。トランジスタS 3は、ノードN 2と基準電圧線L 1 2との間に設けられ、オン状態になることによりノードN 2を基準電圧線L 1 2に接続するように構成される。トランジスタS 3のドレ

インはノードN2に接続され、ゲートにはゲート信号G3が供給され、ソースは基準電圧線L12に接続される。ノードN1は、トランジスタS1のソースとトランジスタS2のドレインとの接続点である。ノードN2は、トランジスタS2のソースとトランジスタS3のドレインとの接続点である。

[0019] トランジスタS4は、電圧線L11とノードN3との間に設けられ、オン状態になることによりノードN3を電圧線L11に接続するように構成される。トランジスタS4のドレインは電圧線L11に接続され、ゲートにはゲート信号G4が供給され、ソースはノードN3に接続される。トランジスタS5は、ノードN3とノードN4との間に設けられ、オン状態になることによりノードN3をノードN4に接続するように構成される。トランジスタS5のドレインはノードN3に接続され、ゲートにはゲート信号G5が供給され、ソースはノードN4に接続される。トランジスタS6は、ノードN4と基準電圧線L12との間に設けられ、オン状態になることによりノードN4を基準電圧線L12に接続するように構成される。トランジスタS6のドレインはノードN4に接続され、ゲートにはゲート信号G6が供給され、ソースは基準電圧線L12に接続される。ノードN3は、トランジスタS4のソースとトランジスタS5のドレインとの接続点である。ノードN4は、トランジスタS5のソースとトランジスタS6のドレインとの接続点である。

[0020] インダクタ13の一端はアーム11のノードN2に接続され、他端はノードN5に接続される。インダクタ14の一端はアーム12のノードN4に接続され、他端はノードN5に接続される。キャパシタ15の一端はノードN5に接続され、他端は基準電圧線L12に接続される。

[0021] 共振インダクタLrの一端はアーム11のノードN1に接続され、他端はトランス20の巻線21（後述）の一端に接続される。共振キャパシタCrの一端はアーム12のノードN3に接続され、他端はトランス20の巻線21（後述）の他端に接続される。

[0022] トランス20は、1次側回路と2次側回路とを直流的に絶縁するとともに交流的に接続し、1次側回路から供給された交流電圧を、トランス20の変

成比 N で変換し、変換された交流電圧を二次側回路に供給するように構成される。トランス20は、巻線21、22A、22Bを有している。巻線21の一端は共振インダクタ L_r の他端に接続され、他端は共振キャパシタ C_r の他端に接続される。巻線22Aの一端は整流平滑回路17のダイオードDA（後述）のカソードに接続され、他端は電圧線L21に接続される。巻線22Bの一端は電圧線L21に接続され、他端は整流平滑回路17のダイオードDB（後述）のカソードに接続される。

[0023] 整流平滑回路17は、トランス20の巻線22A、22Bから出力された交流電圧を整流することにより直流電圧を生成するように構成される。整流平滑回路17は、ダイオードDA、DBと、キャパシタ C_{out} とを有している。ダイオードDAのアノードは基準電圧線L22に接続され、カソードはトランス20の巻線22Aの一端に接続される。ダイオードDBのアノードは基準電圧線L22に接続され、カソードはトランス20の巻線22Bの一端に接続される。キャパシタ C_{out} の一端は電圧線L21に接続され、他端は基準電圧線L22に接続される。

[0024] 電圧センサ18は、電圧線L21における電圧を検出するように構成される。電圧センサ18の一端は電圧線L21に接続され、他端は基準電圧線L22に接続される。電圧センサ18は、基準電圧線L22における電圧を基準とした電圧線L21における電圧を、出力電圧 V_{out} として検出する。そして、電圧センサ18は、出力電圧 V_{out} の検出結果を制御回路19に供給するようになっている。

[0025] 制御回路19は、電圧センサ18により検出された出力電圧 V_{out} に基づいて、アーム11、12の動作を制御することにより、電力変換装置10の動作を制御するように構成される。具体的には、制御回路19は、出力電圧 V_{out} に基づいてゲート信号G1～G6を生成し、このゲート信号G1～G6によりPWM (Pulse Width Modulation) 制御を行うことにより、電力変換装置10の動作を制御するようになっている。なお、この例では、電圧センサ18により検出された出力電圧 V_{out} に基づいて、アーム11、12の動作を

制御したが、これに限定されるものではない。これに代えて、例えば、制御回路19は、出力電圧 V_{out} を推定し、推定された出力電圧 V_{out} に基づいて、アーム11, 12の動作を制御してもよい。具体的には、制御回路19は、例えば、トランス20の巻線21の両端間の電圧、および1次側回路から2次側回路への電力伝達のデューティ比（後述する交流電圧 V_{ac} のデューティ比）に基づいて、出力電圧 V_{out} を推定することができる。また、制御回路19は、例えば、アーム11, 12におけるスイッチング周波数、共振インダクタ L_r のインダクタンスおよび共振キャパシタ C_r のキャパシタンス、および共振インダクタ L_r の両端間の電圧に基づいて、出力電圧 V_{out} を推定することができる。また、制御回路19は、例えば、アーム11, 12におけるスイッチング周波数、共振インダクタ L_r のインダクタンスおよび共振キャパシタ C_r のキャパシタンス、および共振キャパシタ C_r の両端間の電圧に基づいて、出力電圧 V_{out} を推定することができる。

[0026] 出力端子T21, T22は、電力変換装置10が生成した直流電力を負荷装置LDに供給するように構成される。電力変換装置10の装置内において、出力端子T21は電圧線L21に接続され、出力端子T22は基準電圧線L22に接続される。

[0027] 負荷装置LDは、電力変換装置10の負荷である。負荷装置LDは、例えば、定電流負荷であってもよい。

[0028] この構成により、電力変換システム1では、直流電源装置PDCから供給された電圧を降圧することにより電力を変換し、変換された電力を負荷装置LDに供給するようになっている。

[0029] ここで、入力端子T11, T12は、本開示における「第1の電力端子」の一具体例に対応する。入力端子T11は、本開示における「第1の接続端子」の一具体例に対応する。入力端子T12は、本開示における「第2の接続端子」の一具体例に対応する。アーム11は、本開示における「第1のアーム」の一具体例に対応する。アーム12は、本開示における「第2のアーム」の一具体例に対応する。トランジスタS1は、本開示における「第1の

スイッチング素子」の一具体例に対応する。トランジスタ S 2 は、本開示における「第 2 のスイッチング素子」の一具体例に対応する。トランジスタ S 3 は、本開示における「第 3 のスイッチング素子」の一具体例に対応する。ノード N 1 は、本開示における「第 1 のノード」の一具体例に対応する。ノード N 2 は、本開示における「第 2 のノード」の一具体例に対応する。トランジスタ S 4 は、本開示における「第 4 のスイッチング素子」の一具体例に対応する。トランジスタ S 5 は、本開示における「第 5 のスイッチング素子」の一具体例に対応する。トランジスタ S 6 は、本開示における「第 6 のスイッチング素子」の一具体例に対応する。ノード N 3 は、本開示における「第 3 のノード」の一具体例に対応する。ノード N 4 は、本開示における「第 4 のノード」の一具体例に対応する。インダクタ 1 3 は、本開示における「第 1 のインダクタ」の一具体例に対応する。インダクタ 1 4 は、本開示における「第 2 のインダクタ」の一具体例に対応する。キャパシタ 1 5 は、本開示における「第 1 のキャパシタ」の一具体例に対応する。ノード N 5 は、本開示における「第 5 のノード」の一具体例に対応する。トランス 2 0 は、本開示における「第 1 のトランス」の一具体例に対応する。巻線 2 1 は、本開示における「第 1 の巻線」の一具体例に対応する。巻線 2 2 A、2 2 B は、本開示における「第 2 の巻線」の一具体例に対応する。整流平滑回路 1 7 は、本開示における「整流回路」の一具体例に対応する。ダイオード D A、D B は、本開示における「複数の整流素子」の一具体例に対応する。出力端子 T 2 1、T 2 2 は、本開示における「第 2 の電力端子」の一具体例に対応する。出力端子 T 2 1 は、本開示における「第 3 の接続端子」の一具体例に対応する。出力端子 T 2 2 は、本開示における「第 4 の接続端子」の一具体例に対応する。制御回路 1 9 は、本開示における「制御回路」の一具体例に対応する。直流電源装置 P D C は、本開示における「直流電源装置」の一具体例に対応する。共振インダクタ L r は、本開示における「共振インダクタ」の一具体例に対応する。共振キャパシタ C r は、本開示における「共振キャパシタ」の一具体例に対応する。

[0030] [動作および作用]

続いて、本実施の形態の電力変換システム1の動作および作用について説明する。

[0031] (全体動作概要)

まず、図1, 2を参照して、電力変換システム1の全体動作概要を説明する。アーム11, 12のトランジスタS1~S6は、ゲート信号G1~G6に基づいてそれぞれスイッチング動作を行う。トランス20は、1次側回路から供給された交流電圧を、トランス20の変成比Rで変換し、変換された交流電圧を2次側回路に供給する。整流平滑回路17は、トランス20から供給された交流電圧に基づいて整流平滑動作を行う。電圧センサ18は、基準電圧線L22における電圧を基準とした電圧線L21における電圧を、出力電圧V_{out}として検出する。制御回路19は、電圧センサ18により検出された出力電圧V_{out}に基づいて、アーム11, 12の動作を制御することにより、電力変換装置10の動作を制御する。このようにして、電力変換システム1は、直流電源装置PDCから供給された電圧を降圧することにより電力を変換し、変換された電力を負荷装置LDに供給する。

[0032] (詳細動作)

図2は、電力変換システム1の一動作例を表すものであり、(A)~(F)はゲート信号G1~G6の波形をそれぞれ示し、(G)はノードN3の電圧を基準としたノードN1の電圧(交流電圧V_{ac})の波形およびトランス20の巻線21の一端(ノードN1側)から他端(ノードN3側)に流れる電流(交流電流I_{ac})の波形を示し、(H)はノードN5からノードN2に向かってインダクタ13に流れる電流(インダクタ電流I_{L13})の波形およびノードN5からノードN4に向かってインダクタ14に流れる電流(インダクタ電流I_{L14})の波形を示す。図2(A)~(F)において、“ON”、“OFF”は、ゲート信号G1~G6が供給されるトランジスタS1~S6のオンオフ状態をそれぞれ示している。この例では、直流電源装置PDCは、電力変換装置10に100Vの直流電圧を供給する。

- [0033] 電力変換システム1は、タイミング $t_1 \sim t_5$ の期間の動作を繰り返すことにより動作する。タイミング $t_1 \sim t_5$ の期間の長さは、スイッチング周期 T_{sw} である。タイミング $t_1 \sim t_5$ の期間は、タイミング $t_1 \sim t_2$ の期間 P_1 、タイミング $t_2 \sim t_3$ の期間 P_2 、タイミング $t_3 \sim t_4$ の期間 P_3 、およびタイミング $t_4 \sim t_5$ の期間 P_4 を含む。
- [0034] 制御回路19は、出力電圧 V_{out} に基づいてゲート信号 $G_1 \sim G_6$ を生成し、このゲート信号 $G_1 \sim G_6$ によりPWM制御を行うことにより、電力変換装置10の動作を制御する。
- [0035] タイミング t_1 において、制御回路19は、ゲート信号 G_1, G_6 を高レベルから低レベルに変化させる(図2(A), (F))。また、タイミング t_1 からデッドタイム T_d (図示せず)だけ経過したタイミングで、制御回路19は、ゲート信号 G_3, G_5 を低レベルから高レベルに変化させる(図2(C), (E))。これにより、トランジスタ $S_2 \sim S_5$ はオン状態になり、トランジスタ S_1, S_6 はオフ状態になる。
- [0036] タイミング t_2 において、制御回路19は、ゲート信号 G_2 を高レベルから低レベルに変化させる(図2(B))。また、タイミング t_2 からデッドタイム T_d (図示せず)だけ経過したタイミングで、制御回路19は、ゲート信号 G_1 を低レベルから高レベルに変化させる(図2(A))。これにより、トランジスタ $S_1, S_3 \sim S_5$ はオン状態になり、トランジスタ S_2, S_6 はオフ状態になる。
- [0037] タイミング t_3 において、制御回路19は、ゲート信号 G_3, G_4 を高レベルから低レベルに変化させる(図2(C), (D))。また、タイミング t_3 からデッドタイム T_d (図示せず)だけ経過したタイミングで、制御回路19は、ゲート信号 G_2, G_6 を低レベルから高レベルに変化させる(図2(B), (F))。これにより、トランジスタ S_1, S_2, S_5, S_6 はオン状態になり、トランジスタ S_3, S_4 はオフ状態になる。
- [0038] タイミング t_4 において、制御回路19は、ゲート信号 G_5 を高レベルから低レベルに変化させる(図2(E))。また、タイミング t_4 からデッド

タイム T_d （図示せず）だけ経過したタイミングで、制御回路19は、ゲート信号 G_4 を低レベルから高レベルに変化させる（図2（D））。これにより、トランジスタ S_1 、 S_2 、 S_4 、 S_6 はオン状態になり、トランジスタ S_3 、 S_5 はオフ状態になる。

[0039] 制御回路19は、出力電圧 V_{out} に応じて、トランジスタ S_1 、 S_2 、 S_4 、 S_5 のオンデューティ比を変化させるように、トランジスタ S_1 ～ S_6 の動作を制御する。また、制御回路19は、トランジスタ S_3 、 S_6 のオンデューティ比を約50%に維持する。トランジスタ S_1 のオンデューティ比は、スイッチング周期 T_{sw} に対応する時間における、トランジスタ S_1 がオン状態である時間の時間比率である。トランジスタ S_2 ～ S_6 についても同様である。この例では、直流電源装置PDCから供給される電圧（入力電圧 V_{in} ）は100Vであるので、ノード N_5 における電圧は、約50Vである。

[0040] 電力変換システム1では、図2（H）に示したように、インダクタ13、14に、インダクタ電流 I_{L13} 、 I_{L14} が流れ、図2（G）に示したように、ノード N_1 とノード N_3 との間に交流電圧 V_{ac} が生じる。この例では、交流電圧 V_{ac} は、期間 P_2 、 P_4 では0Vであり、期間 P_1 では約“ $-100V$ ”（ $-V_{in}$ と同程度）であり、期間 P_3 では約“ $100V$ ”（ V_{in} と同程度）である。そして、トランス20の巻線21に、図2（G）に示したように交流電流 I_{ac} が流れる。トランス20は、1次側回路から供給された交流信号を、トランス20の変成比 N で変換し、変換された交流信号を2次側回路に供給する。これにより、電力変換システム1では、2次側回路に電流が流れ、整流平滑回路17が整流平滑動作を行う。このようにして、電力変換システム1は、直流電圧を生成し、生成した直流電圧を負荷装置LDに供給する。

[0041] 制御回路19は、トランジスタ S_1 、 S_2 、 S_4 、 S_5 のオンデューティ比を変化させる際、図2（A）、（B）において矢印で示したように、タイミング t_2 付近におけるゲート信号 G_1 、 G_2 の遷移タイミングを変化させるとともに、図2（D）、（E）において矢印で示したように、タイミング

t 4 付近におけるゲート信号 G 4, G 5 の遷移タイミングを変化させる。具体的には、制御回路 1 9 は、タイミング t 2 付近における、ゲート信号 G 1 が低レベルから高レベルに遷移する遷移タイミング、およびゲート信号 G 2 が高レベルから低レベルに遷移する遷移タイミングを変化させる。また、制御回路 1 9 は、タイミング t 4 付近における、ゲート信号 G 4 が低レベルから高レベルに遷移する遷移タイミング、およびゲート信号 G 5 が高レベルから低レベルに遷移する遷移タイミングを変化させる。これにより、電力変換システム 1 は、図 2 (G) において矢印で示したように、タイミング t 2 付近における交流電圧 V_{ac} の遷移タイミング、およびタイミング t 4 付近における交流電圧 V_{ac} の遷移タイミングを変化させ、交流電圧 V_{ac} のデューティ比を変化させる。交流電圧 V_{ac} のデューティ比のデューティ比は、スイッチング周期 T_{sw} に対応する時間における、交流電圧 V_{ac} が 0 V でない時間の時間比率である。その結果、電力変換システム 1 では、1 次側回路から 2 次側回路に伝達される電力が変化する。制御回路 1 9 は、出力電圧 V_{out} に応じてトランジスタ S 1, S 2, S 4, S 5 の遷移タイミングを変化させ、交流電圧 V_{ac} のデューティ比を変化させることにより、入力電圧 V_{in} が変動した場合でも出力電圧 V_{out} が一定になるように、電力変換システム 1 の動作を制御する。

[0042] 例えば、直流電源装置 P D C から供給された電圧 (入力電圧 V_{in}) が一定である場合において、負荷装置 L D に流れる負荷電流が増加した場合には、制御回路 1 9 は、共振条件を調節するために、スイッチング周期 T_{sw} を長くし、交流電圧 V_{ac} のデューティ比を一定に保つ。具体的には、制御回路 1 9 は、タイミング t 1 ~ t 2 の期間 P 1 の長さ、タイミング t 2 ~ t 3 の期間 P 2 の長さ、タイミング t 3 ~ t 4 の期間 P 3 の長さ、およびタイミング t 3 ~ t 5 の期間 P 4 の長さを、スイッチング周期 T_{sw} と同じ比率で長くする。これにより、電力変換システム 1 では、出力電圧 V_{out} を維持することができる。

[0043] また、例えば、負荷装置 L D に流れる負荷電流が維持される場合において

、直流電源装置PDCから供給された電圧（入力電圧 V_{in} ）が高くなる場合には、制御回路19は、スイッチング周期 T_{sw} を一定に保ち、入力電圧が高くなった分だけ、交流電圧 V_{ac} のデューティ比を低くするように制御する。具体的には、制御回路19は、期間P1、P3の長さを短くするとともに期間P2、P4の長さを長くする。これにより、電力変換システム1では、出力電圧 V_{out} を維持することができる。

[0044] 以下に、タイミング $t_1 \sim t_5$ の期間における電力変換システム1の動作について、詳細に説明する。

[0045] 図3は、電力変換システム1の詳細動作を表すものであり、(A)はゲート信号 $G_1 \sim G_6$ の波形を示し、(B)はノードN3の電圧を基準としたノードN1の電圧（交流電圧 V_{ac} ）の波形およびトランス20の巻線21の一端から他端に流れる電流（交流電流 I_{ac} ）の波形を示し、(C)はノードN5からノードN2に向かってインダクタ13に流れる電流（インダクタ電流 I_{L13} ）の波形を示し、(D)はトランジスタS1のドレイン・ソース間の電圧 V_{ds1} の波形、トランジスタS1の本体のドレインからソースに向かって流れる電流 I_{S1} の波形、およびトランジスタS1の寄生ダイオード D_p に流れる電流 I_{D1} の波形を示し、(E)はトランジスタS2のドレイン・ソース間の電圧 V_{ds2} の波形、トランジスタS2の本体のドレインからソースに向かって流れる電流 I_{S2} の波形、およびトランジスタS2の寄生ダイオード D_p に流れる電流 I_{D2} の波形を示し、(F)はトランジスタS3のドレイン・ソース間の電圧 V_{ds3} の波形、トランジスタS3の本体のドレインからソースに向かって流れる電流 I_{S3} の波形、およびトランジスタS3の寄生ダイオード D_p に流れる電流 I_{D3} の波形を示し、(G)はノードN5からノードN4に向かってインダクタ14に流れる電流（インダクタ電流 I_{L14} ）の波形を示し、(H)はトランジスタS4のドレイン・ソース間の電圧 V_{ds4} の波形、トランジスタS4の本体のドレインからソースに向かって流れる電流 I_{S4} の波形、およびトランジスタS4の寄生ダイオード D_p に流れる電流 I_{D4} の波形を示し、(H)はトランジスタS5のドレイン・ソー

ス間の電圧 V_{ds5} の波形、トランジスタ S_5 の本体のドレインからソースに向かって流れる電流 I_{S5} の波形、およびトランジスタ S_5 の寄生ダイオード D_p に流れる電流 I_{D5} の波形を示し、(1)はトランジスタ S_6 のドレイン・ソース間の電圧 V_{ds6} の波形、トランジスタ S_6 の本体のドレインからソースに向かって流れる電流 I_{S6} の波形、およびトランジスタ S_6 の寄生ダイオード D_p に流れる電流 I_{D6} の波形を示す。

[0046] 図4A～4Fは、6つの動作状態 ST_1 ～ ST_6 における電力変換システム1の動作を表すものである。図4A～4Fでは、説明の便宜上、電力変換システム1をより簡略化して描いている。以下では、インダクタ13、14に流れる電流を電流 I_1 とし、トランス20の巻線21に流れる電流を I_2 とし、直流電源装置PDCに流入しあるいは直流電源装置PDCから流出する電流を I_3 とし、2次側回路に流れる電流を I_9 とする。

[0047] タイミング t_1 から始まる期間 P_1 では、図2に示したように、トランジスタ S_3 、 S_5 はオフ状態からオン状態に変化し、トランジスタ S_1 、 S_6 はオン状態からオフ状態に変化し、トランジスタ S_2 、 S_4 はオン状態を維持する。この期間 P_1 では、動作状態 ST は、まず動作状態 ST_1 (図4A)になり、その後に動作状態 ST_2 (図4B)になる。

[0048] 動作状態 ST_1 (図4A)では、1次側回路において、電流 I_1 が、ノード N_2 、インダクタ13、ノード N_5 、インダクタ14、ノード N_4 、トランジスタ S_5 、ノード N_3 の順に流れる。電流 I_2 は、ノード N_3 、共振キャパシタ C_r 、トランス20の巻線21、共振インダクタ L_r 、ノード N_1 、トランジスタ S_2 、ノード N_2 の順に流れる。電流 I_3 は、ノード N_3 、トランジスタ S_4 、電圧線 L_{11} 、直流電源装置PDC、基準電圧線 L_{12} 、トランジスタ S_3 、ノード N_2 の順に流れる。このように、インダクタ13、14に流れる電流 I_1 は、トランスに流れる電流 I_2 よりも多いので、直流電源装置PDCにエネルギーが回生されるように電流 I_3 が流れる。

[0049] トランジスタ S_3 、 S_5 では、デッドタイム T_d の期間には寄生ダイオード D_p に電流が流れ、ゲート信号 G_3 、 G_5 が低レベルから高レベルに変化

した後に、トランジスタS3, S5の本体に電流が流れる(図3(A), (F), (I))。このように、トランジスタS3, S5は、ドレイン・ソース間の電圧が小さい状態でオフ状態からオン状態に変化することができるので、いわゆるソフトスイッチングを実現することができる。その結果、電力変換システム1では、効率を高めることができる。

[0050] 図3(F), (H)に示したように、電流 I_{S3} , I_{S4} の電流の絶対値は徐々に減っていき、電流 I_{S3} , I_{S4} は負から正に変化する。これにより、動作状態ST1(図4A)から動作状態ST2(図4B)に変化する。

[0051] 動作状態ST2では、1次側回路において、電流 I_1 が、ノードN2、インダクタ13、ノードN5、インダクタ14、ノードN4、トランジスタS5、ノードN3の順に流れる。電流 I_2 は、ノードN3、共振キャパシタ C_r 、トランス20の巻線21、共振インダクタ L_r 、ノードN1、トランジスタS2、ノードN2の順に流れる。電流 I_3 は、ノードN2、トランジスタS3、基準電圧線L12、直流電源装置PDC、電圧線L11、トランジスタS4、ノードN3の順に流れる。すなわち、動作状態ST1から動作状態ST2に変化する前後では、電流 I_3 の向きが反対向きになり、動作状態ST1における回生動作は終了する。2次側回路では、電流 I_9 が、巻線22A、キャパシタ C_{out} および負荷装置LD、ダイオードDA、巻線22Aの順に流れる。これにより、1次側回路から2次側回路に電力が伝達される。

[0052] タイミング t_2 から始まる期間P2では、図2に示したように、トランジスタS1はオフ状態からオン状態になり、トランジスタS2はオン状態からオフ状態になり、トランジスタS3~S5はオン状態を維持し、トランジスタS6はオフ状態を維持する。この期間P2では、動作状態STは、動作状態ST3(図4C)になる。

[0053] 動作状態ST3では、1次側回路において、電流 I_1 が、ノードN3、トランジスタS5、ノードN4、インダクタ14、ノードN5、インダクタ13、ノードN2の順に流れる。電流 I_2 は、ノードN3、共振キャパシタ C_r 、トランス20の巻線21、共振インダクタ L_r 、ノードN1、トランジ

スタS 1、電圧線L 1 1の順に流れる。電流I 3は、ノードN 2、トランジスタS 3、基準電圧線L 1 2、直流電源装置P D C、電圧線L 1 1、トランジスタS 4、ノードN 3の順に流れる。

[0054] トランジスタS 1では、デッドタイムT dの期間には寄生ダイオードD pに電流が流れ、ゲート信号G 1が低レベルから高レベルに変化した後に、トランジスタS 1の本体に電流が流れる(図3(A), (D))。このように、トランジスタS 1は、ドレイン・ソース間の電圧が小さい状態でオフ状態からオン状態に変化することができるので、いわゆるソフトスイッチングを実現することができる。その結果、電力変換システム1では、効率を高めることができる。

[0055] このように、共振回路(共振インダクタL rおよび共振キャパシタC r)を備えた構成では、この期間P 2のうちの、共振回路に蓄えられたエネルギーが放出される期間において、動作状態S T 2(図4 B)と同様に、2次側回路に、電流I 9が流れる。これにより、1次側回路から2次側回路に電力が伝達される。

[0056] タイミングt 3から始まる期間P 3では、図2に示したように、トランジスタS 2, S 6はオフ状態からオン状態に変化し、トランジスタS 3, S 4はオン状態からオフ状態に変化し、トランジスタS 1, S 5はオン状態を維持する。この期間P 3では、動作状態S Tは、まず動作状態S T 4(図4 D)になり、その後に動作状態S T 5(図4 E)になる。

[0057] 動作状態S T 4(図4 D)では、1次側回路において、電流I 1が、ノードN 4、インダクタ1 4、ノードN 5、インダクタ1 3、ノードN 2、トランジスタS 2、ノードN 1の順に流れる。電流I 2は、ノードN 1、共振インダクタL r、トランス2 0の巻線2 1、共振キャパシタC r、ノードN 3、トランジスタS 5、ノードN 4の順に流れる。電流I 3は、ノードN 1、トランジスタS 1、電圧線L 1 1、直流電源装置P D C、基準電圧線L 1 2、トランジスタS 6、ノードN 4の順に流れる。このように、インダクタ1 3, 1 4に流れる電流I 1は、トランスに流れる電流I 2よりも多いので、

直流電源装置PDCにエネルギーが回生されるように電流I₃が流れる。

- [0058] トランジスタS₂, S₆では、デッドタイムT_dの間には寄生ダイオードD_pに電流が流れ、ゲート信号G₂, G₆が低レベルから高レベルに変化した後に、トランジスタS₂, S₆の本体に電流が流れる(図3(A), (E), (J))。このように、トランジスタS₂, S₆は、ドレイン・ソース間の電圧が小さい状態でオフ状態からオン状態に変化することができるので、いわゆるソフトスイッチングを実現することができる。その結果、電力変換システム1では、効率を高めることができる。
- [0059] 図3(D), (J)に示したように、電流I_{S1}, I_{S6}の電流の絶対値は徐々に減っていき、電流I_{S1}, I_{S6}は負から正に変化する。これにより、動作状態ST₄(図4D)から動作状態ST₅(図4E)に変化する。
- [0060] 動作状態ST₅では、1次側回路において、電流I₁が、ノードN₄、インダクタ1₄、ノードN₅、インダクタ1₃、ノードN₂、トランジスタS₂、ノードN₁の順に流れる。電流I₂は、ノードN₁、共振インダクタL_r、トランス20の巻線2₁、共振キャパシタC_r、ノードN₃、トランジスタS₅、ノードN₄の順に流れる。電流I₃は、ノードN₄、トランジスタS₆、基準電圧線L₁₂、直流電源装置PDC、電圧線L₁₁、トランジスタS₁、ノードN₁の順に流れる。すなわち、動作状態ST₄から動作状態ST₅に変化する前後では、電流I₃の向きが反対向きになり、動作状態ST₄における回生動作は終了する。2次側回路では、電流I₉が、巻線2_{2B}、キャパシタC_{out}および負荷装置LD、ダイオードDB、巻線2_{2B}の順に流れる。これにより、1次側回路から2次側回路に電力が伝達される。
- [0061] タイミングt₄から始まる期間P₄では、図2に示したように、トランジスタS₄はオフ状態からオン状態になり、トランジスタS₅はオン状態からオフ状態になり、トランジスタS₁, S₂, S₆はオン状態を維持し、トランジスタS₃はオフ状態を維持する。この期間P₄では、動作状態STは、動作状態ST₆(図4F)になる。
- [0062] 動作状態ST₆では、1次側回路において、電流I₁が、ノードN₁、ト

ランジスタS2、ノードN2、インダクタ13、ノードN5、インダクタ14、ノードN4の順に流れる。電流I2は、ノードN1、共振インダクタLr、トランス20の巻線21、共振キャパシタCr、ノードN3、ランジスタS4、電圧線L11の順に流れる。電流I3は、ノードN4、ランジスタS6、基準電圧線L12、直流電源装置PDC、電圧線L11、ランジスタS1、ノードN1の順に流れる。

[0063] トランジスタS4では、デッドタイムTdの期間には寄生ダイオードDpに電流が流れ、ゲート信号G4が低レベルから高レベルに変化した後に、トランジスタS4の本体に電流が流れる(図3(A), (H))。このように、トランジスタS4は、ドレイン・ソース間の電圧が小さい状態でオフ状態からオン状態に変化することができるので、いわゆるソフトスイッチングを実現することができる。その結果、電力変換システム1では、効率を高めることができる。

[0064] このように、共振回路(共振インダクタLrおよび共振キャパシタCr)を備えた構成では、この期間P2のうちの、共振回路に蓄えられたエネルギーが放出される期間において、動作状態ST5(図4E)と同様に、2次側回路に、電流I9が流れる。これにより、1次側回路から2次側回路に電力が伝達される。

[0065] このように、電力変換システム1では、アーム11、12と、インダクタ13、14と、キャパシタ15とを設けるようにした。アーム11は、入力端子T11と入力端子T12とを結ぶ第1の経路に設けられ、入力端子T11とノードN1との間に設けられたトランジスタS1と、ノードN1とノードN2との間に設けられたトランジスタS2と、ノードN2と入力端子T12との間に設けられたトランジスタS3をと有するようにした。アーム12は、入力端子T11と入力端子T12とを結ぶ第2の経路に設けられ、入力端子T11とノードN3との間に設けられたトランジスタS4と、ノードN3とノードN4との間に設けられたトランジスタS5と、ノードN4と入力端子T12との間に設けられたトランジスタS6をと有するようにした。イ

インダクタ13は、ノードN2とノードN5との間に設けるようにした。インダクタ14は、ノードN4とノードN5との間に設けるようにした。キャパシタ15は、ノードN5と入力端子T12との間に設けるようにした。これにより、電力変換システム1は、図2に示したように動作することにより、交流電圧 V_{ac} のデューティ比を変化させ、1次側回路から2次側回路に伝達される電力を変化させる。

[0066] 具体的には、制御回路19は、出力電圧 V_{out} に基づいて、トランジスタS1, S2, S4, S5のオンデューティ比を変化させ、トランジスタS3, S6のオンデューティ比を維持するように、トランジスタS1~S6のスイッチング動作を制御することができる。例えば、制御回路19は、図2に示したように、トランジスタS3がオン状態である期間において、トランジスタS1がオフ状態からオン状態に変化するスイッチングタイミング、およびトランジスタS2がオン状態からオフ状態に変化するスイッチングタイミングを変化させる。また、制御回路19は、トランジスタS6がオン状態である期間において、トランジスタS4がオフ状態からオン状態に変化するスイッチングタイミング、およびトランジスタS5がオン状態からオフ状態に変化するスイッチングタイミングを変化させる。これにより、制御回路19は、トランジスタS1, S2, S4, S5のオンデューティ比を変化させる。これにより、例えば、直流電源装置PDCから供給された電圧（入力電圧 V_{in} ）が高い場合には、トランジスタS2, S5のオンデューティ比を低くするとともにトランジスタS1, S4のオンデューティ比を高くすることにより、出力電圧 V_{out} を維持することができる。また、例えば、直流電源装置PDCから供給された電圧（入力電圧 V_{in} ）が低い場合には、トランジスタS2, S5のオンデューティ比を高くするとともにトランジスタS1, S4のオンデューティ比を低くすることにより、出力電圧 V_{out} を維持することができる。トランジスタS1, S2, S4, S5のオンデューティ比は、例えば50%以上100%以下の範囲で設定される。これにより、電力変換システム1では、入力電圧範囲を広くすることができる。

[0067] また、電力変換システム1では、例えば、図2, 3(A)に示したように、トランジスタS2がオン状態であるタイミングt1付近の期間において、トランジスタS1をオフ状態にしたタイミングからデッドタイムTdが経過したタイミングにおいてトランジスタS3をオン状態にした。また、例えば、トランジスタS3がオン状態であるタイミングt2付近の期間において、トランジスタS2をオフ状態にしたタイミングからデッドタイムTdが経過したタイミングにおいてトランジスタS1をオン状態にした。また、トランジスタS1がオン状態であるタイミングt3付近の期間において、トランジスタS3をオフ状態にしたタイミングからデッドタイムTdが経過したタイミングにおいてトランジスタS2をオン状態にした。トランジスタS4~S6についても同様である。これにより、電力変換システム1では、トランジスタS1~S6がソフトスイッチングを行うことができるので、効率を高めることができる。

[0068] [効果]

以上のように本実施の形態では、アーム11, 12と、インダクタ13, 14と、キャパシタ15とを設けるようにした。アーム11は、入力端子T11と入力端子T12とを結ぶ第1の経路に設けられ、入力端子T11とノードN1との間に設けられたトランジスタS1と、ノードN1とノードN2との間に設けられたトランジスタS2と、ノードN2と入力端子T12との間に設けられたトランジスタS3をと有するようにした。アーム12は、入力端子T11と入力端子T12とを結ぶ第2の経路に設けられ、入力端子T11とノードN3との間に設けられたトランジスタS4と、ノードN3とノードN4との間に設けられたトランジスタS5と、ノードN4と入力端子T12との間に設けられたトランジスタS6をと有するようにした。インダクタ13は、ノードN2とノードN5との間に設けるようにした。インダクタ14は、ノードN4とノードN5との間に設けるようにした。キャパシタ15は、ノードN5と入力端子T12との間に設けるようにした。これにより、入力電圧範囲を広くすることができる。

[0069] 本実施の形態では、出力電圧に基づいて、トランジスタS1, S2, S4, S5のオンデューティ比を変化させ、トランジスタS3, S6のオンデューティ比を維持するようにしたので、入力電圧範囲を広くすることができる。

[0070] 本実施の形態では、トランジスタS2がオン状態である期間において、トランジスタS1をオフ状態にしたタイミングから所定の時間が経過したタイミングにおいてトランジスタS3をオン状態にし、トランジスタS3がオン状態である期間において、トランジスタS2をオフ状態にしたタイミングから所定の時間が経過したタイミングにおいてトランジスタS1をオン状態にし、トランジスタS1がオン状態である期間において、トランジスタS3をオフ状態にしたタイミングから所定の時間が経過したタイミングにおいてトランジスタS2をオン状態にしたので、効率を高めることができる。

[0071] [変形例1-1]

上記実施の形態では、インダクタ13およびインダクタ14を設けたが、これに限定されるものではない。これに代えて、例えば、図5に示す電力変換システム1Aのように、トランス30Aを設けてもよい。この電力変換システム1Aは、電力変換装置10Aを備えている。電力変換装置10Aは、トランス30Aを有している。トランス30Aは、巻線33, 34を有している。巻線33の一端はアーム11のノードN2に接続され、他端はノードN5に接続される。巻線34の一端はノードN5に接続され、他端はアーム12のノードN4に接続される。巻線33は、上記第1の実施の形態に係るインダクタ13に対応し、巻線34は、上記第1の実施の形態に係るインダクタ14に対応する。図2(H)に示したように、インダクタ13に流れるインダクタ電流 I_{L13} 、およびインダクタ14に流れるインダクタ電流 I_{L14} の大きさは、互いにほぼ同じであり、インダクタ電流 I_{L13} , I_{L14} の極性は、互いに逆であるので、この変形例では、インダクタ13, 14をトランス30Aに置き換えている。このように、2つのインダクタ13, 14に代えてトランス30Aを用いることにより、回路を小型化すること

ができる。ここで、トランス30Aは、本開示における「第2のトランス」の一具体例に対応する。

[0072] 図6は、この電力変換システム1Aの一動作例を表すものであり、(A)はノードN3の電圧を基準としたノードN1の電圧(交流電圧 V_{ac})の波形およびトランス20の巻線21の一端(ノードN1側)から他端(ノードN3側)に流れる電流(交流電流 I_{ac})の波形を示し、(B)はノードN5からノードN2に向かって巻線33に流れる電流(トランス電流 I_{L33})の波形およびノードN5からノードN4に向かって巻線34に流れる電流(トランス電流 I_{L34})の波形を示す。この例では、直流電源装置PDCは、電力変換装置10に100Vの直流電圧を供給する。この図6(A)、(B)は、上記実施の形態に係る図2(G)、(H)に対応する。電力変換システム1Aは、このように上記実施の形態に係る電力変換システム1と同様の動作を行うことができる。

[0073] [変形例1-2]

上記実施の形態では、図1に示した整流平滑回路17を設けたが、これに限定されるものではない。以下に、いくつか例を挙げて詳細に説明する。

[0074] 図7は、本変形例に係る電力変換システム1Bの一構成例を表すものである。電力変換システム1Bは、電力変換装置10Bを備えている。電力変換装置10Bは、アーム11、12と、トランス20と、整流平滑回路17Bとを有している。トランス20の巻線21の一端はアーム11のノードN1に接続され、他端はアーム12のノードN3に接続される。巻線22Aの一端は整流平滑回路17BのダイオードDAのアノードに接続され、他端は基準電圧線L22に接続される。巻線22Bの一端は基準電圧線L22に接続され、他端は整流平滑回路17BのダイオードDBのアノードに接続される。整流平滑回路17Bは、ダイオードDA、DBと、インダクタ33Bと、キャパシタ C_{out} とを有している。ダイオードDAのアノードはトランス20の巻線22Aの一端に接続され、カソードはダイオードDBのカソードおよびインダクタ33Bの一端に接続される。ダイオードDBの一端はトランス

20の巻線22Bの他端に接続され、カソードはダイオードDAのカソードおよびインダクタ33Bの一端に接続される。インダクタ33Bの一端はダイオードDA, DBのカソードに接続され、他端は電圧線L21に接続される。キャパシタCoutの一端は電圧線L21に接続され、他端は基準電圧線L22に接続される。この例では、インダクタ33Bの一端をダイオードDA, DBのカソードに接続し、他端を電圧線L21に接続したが、これに限定されるものではない。これに代えて、例えば、インダクタ33Bの一端を巻線22Aの他端および巻線22Bの一端に接続し、他端を基準電圧線L22に接続してもよい。整流平滑回路17Bは、本開示における「整流回路」の一具体例に対応する。ダイオードDA, DBは、本開示における「複数の整流素子」の一具体例に対応する。

[0075] この例では、共振回路（共振インダクタ L_r および共振キャパシタ C_r ）を省いている。この構成では、負荷装置LDに流れる負荷電流が維持される場合において、直流電源装置PDCから供給された電圧（入力電圧 V_{in} ）が高くなる場合には、制御回路19は、スイッチング周期 T_{sw} を一定に保ち、入力電圧が高くなった分だけ、交流電圧 V_{ac} のデューティ比を低くするように制御する。具体的には、制御回路19は、期間P1, P3の長さを短くするとともに期間P2, P4の長さを長くする。これにより、電力変換システム1では、出力電圧 V_{out} を維持することができる。

[0076] 図8は、電力変換システム1Bの一動作例を表すものである。この図8は、上記実施の形態に係る図3に対応する。電力変換システム1Bは、このように上記実施の形態に係る電力変換システム1と同様の動作を行うことができる。

[0077] 図9は、本変形例に係る電力変換システム1Cの一構成例を表すものである。電力変換システム1Cは、電力変換装置10Cを備えている。電力変換装置10Cは、トランス20Cと、整流平滑回路17Cとを有している。トランス20Cは、巻線21, 22を有している。巻線21の一端は共振インダクタ L_r の他端に接続され、他端は共振キャパシタ C_r の他端に接続され

る。巻線 2 2 の一端は整流平滑回路 1 7 C のノード N 6 に接続され、他端は整流平滑回路 1 7 C のノード N 7 に接続される。整流平滑回路 1 7 C は、ブリッジ型の回路であり、ダイオード D 1 1 ~ D 1 4 と、キャパシタ C_{out} とを有している。ダイオード D 1 1 のアノードはノード N 6 に接続され、カソードは電圧線 L 2 1 に接続される。ダイオード D 1 2 のアノードは基準電圧線 L 2 2 に接続され、カソードはノード N 6 に接続される。ダイオード D 1 3 のアノードはノード N 7 に接続され、カソードは電圧線 L 2 1 に接続される。ダイオード D 1 4 のアノードは基準電圧線 L 2 2 に接続され、カソードはノード N 7 に接続される。キャパシタ C_{out} の一端は電圧線 L 2 1 に接続され、他端は基準電圧線 L 2 2 に接続される。トランス 2 0 C は、本開示における「第 1 のトランス」の一具体例に対応する。整流平滑回路 1 7 C は、本開示における「整流回路」の一具体例に対応する。ダイオード D 1 1 ~ D 1 4 は、本開示における「複数の整流素子」の一具体例に対応する。

[0078] 図 1 0 は、電力変換システム 1 C の一動作例を表すものである。この図 1 0 は、上記実施の形態に係る図 3 に対応する。電力変換システム 1 C は、このように上記実施の形態に係る電力変換システム 1 と同様の動作を行うことができる。

[0079] [その他の変形例]

また、これらの変形例のうちの 2 以上を組み合わせてもよい

[0080] <第 2 の実施の形態>

次に、第 2 の実施の形態に係る電力変換システム 2 について説明する。上記第 1 の実施の形態では、2 つのアーム 1 1, 1 2 を設けたが、これに代えて、本実施の形態では、1 つのアームを設けている。なお、上記第 1 の実施の形態に係る電力変換システム 1 と実質的に同一の構成部分には同一の符号を付し、適宜説明を省略する。

[0081] 図 1 1 は、電力変換システム 2 の一構成例を表すものである。電力変換システム 2 は、直流電源装置 P D C と、電力変換装置 4 0 と、負荷装置 L D とを備えている。

- [0082] 電力変換装置40は、直流電源装置PDCから供給された電圧（入力電圧）を降圧することにより、電力を変換し、変換された電力を負荷装置LDに供給するように構成される。電力変換装置40は、アーム11と、インダクタ13と、キャパシタ15、41、42と、を有する。すなわち、上記第1の実施の形態に係る電力変換装置10（図1）は2つのアーム11、12を有するようにしたが、本実施の形態に係る電力変換装置40は、1つのアーム11を有する。
- [0083] アーム11は、電圧線L11と基準電圧線L12とを結ぶ経路に設けられる。アーム11は、3つのトランジスタS1～S3を有する。トランジスタS1～S3は、ゲート信号G1～G3に基づいて、それぞれスイッチング動作を行うように構成される。トランジスタS1～S3のそれぞれは、上記第1の実施の形態の場合と同様に、例えばN型の電界効果トランジスタを用いて構成される。
- [0084] トランジスタS1は、電圧線L11とノードN1との間に設けられ、オン状態になることによりノードN1を電圧線L11に接続するように構成される。トランジスタS1のドレインは電圧線L11に接続され、ゲートにはゲート信号G1が供給され、ソースはノードN1に接続される。トランジスタS2は、ノードN1とノードN2との間に設けられ、オン状態になることによりノードN1をノードN2に接続するように構成される。トランジスタS2のドレインはノードN1に接続され、ゲートにはゲート信号G2が供給され、ソースはノードN2に接続される。トランジスタS3は、ノードN2と基準電圧線L12との間に設けられ、オン状態になることによりノードN2を基準電圧線L12に接続するように構成される。トランジスタS3のドレインはノードN2に接続され、ゲートにはゲート信号G3が供給され、ソースは基準電圧線L12に接続される。
- [0085] インダクタ13の一端はアーム11のノードN2に接続され、他端はノードN5に接続される。キャパシタ15の一端はノードN5に接続され、他端は基準電圧線L12に接続される。

- [0086] キャパシタ41の一端は電圧線L11に接続され、他端はノードN3に接続される。キャパシタ42の一端はノードN3に接続され、他端は基準電圧線L12に接続される。ノードN3は、キャパシタ41の他端とキャパシタ42の一端との接続点である。
- [0087] 共振インダクタLrの一端はノードN3に接続され、他端はトランス20の巻線21の一端に接続される。共振キャパシタCrの一端はアーム11のノードN1に接続され、他端はトランス20の巻線21の他端に接続される。
- [0088] 制御回路49は、電圧センサ18により検出された電圧outに基づいて、アーム11の動作を制御することにより、電力変換装置40の動作を制御するように構成される。具体的には、制御回路49は、出力電圧Voutに基づいてゲート信号G1～G3を生成し、このゲート信号G1～G3により、直流電源装置PDCから供給された電圧（入力電圧Vin）の変動に対してはPWM制御を行い、負荷電流の変動に対してはPFM（Pulse Frequency Modulation）制御を行うことにより、電力変換装置40の動作を制御するようになっている。
- [0089] ここで、アーム11は、本開示における「アーム」の一具体例に対応する。トランジスタS1は、本開示における「第1のスイッチング素子」の一具体例に対応する。トランジスタS2は、本開示における「第2のスイッチング素子」の一具体例に対応する。トランジスタS3は、本開示における「第3のスイッチング素子」の一具体例に対応する。ノードN1は、本開示における「第1のノード」の一具体例に対応する。ノードN2は、本開示における「第2のノード」の一具体例に対応する。インダクタ13は、本開示における「インダクタ」の一具体例に対応する。キャパシタ15は、本開示における「第1のキャパシタ」の一具体例に対応する。ノードN5は、本開示における「第3のノード」の一具体例に対応する。キャパシタ41は、本開示における「第1のキャパシタ」の一具体例に対応する。キャパシタ42は、本開示における「第2のキャパシタ」の一具体例に対応する。ノードN3は

、本開示における「第4のノード」の一具体例に対応する。トランス20は、本開示における「トランス」の一具体例に対応する。制御回路49は、本開示における「制御回路」の一具体例に対応する。

[0090] 図12は、電力変換システム2の詳細動作を表すものであり、(A)はゲート信号G1～G3の波形を示し、(B)はノードN1の電圧を基準としたノードN3の電圧（交流電圧 V_{ac} ）の波形およびトランス20の巻線21の一端（ノードN1側）から他端（ノードN3側）に流れる電流（交流電流 I_{ac} ）の波形を示し、(C)はノードN5からノードN2に向かってインダクタ13に流れる電流（インダクタ電流 I_{L13} ）の波形を示し、(D)はトランジスタS1のドレイン・ソース間の電圧 V_{ds1} の波形、トランジスタS1の本体のドレインからソースに向かって流れる電流 I_{S1} の波形、およびトランジスタS1の寄生ダイオード D_p に流れる電流 I_{D1} の波形を示し、(E)はトランジスタS2のドレイン・ソース間の電圧 V_{ds2} の波形、トランジスタS2の本体のドレインからソースに向かって流れる電流 I_{S2} の波形、およびトランジスタS2の寄生ダイオード D_p に流れる電流 I_{D2} の波形を示し、(F)はトランジスタS3のドレイン・ソース間の電圧 V_{ds3} の波形、トランジスタS3の本体のドレインからソースに向かって流れる電流 I_{S3} の波形、およびトランジスタS3の寄生ダイオード D_p に流れる電流 I_{D3} の波形を示す。

[0091] 図13A～13Dは、4つの動作状態ST11～ST14における電力変換システム2の動作を表すものである。

[0092] タイミング t_{41} から始まる期間P11では、図12(A)に示したように、トランジスタS2はオフ状態からオン状態に変化し、トランジスタS3はオン状態からオフ状態に変化し、トランジスタS1はオン状態を維持する。この期間P11では、動作状態STは、まず動作状態ST11（図13A）になり、その後に動作状態ST12（図13B）になる。

[0093] 動作状態ST11（図13A）では、1次側回路において、電流 I_1 が、基準電圧線L12、キャパシタ15、ノードN5、インダクタ13、ノード

N2、トランジスタS2、ノードN1の順に流れる。電流I2は、ノードN1、共振キャパシタCr、トランス20の巻線21、共振インダクタLr、ノードN3の順に流れる。電流I3は、ノードN3、キャパシタ41、電圧線L11の順に流れるとともに、ノードN3、キャパシタ42、基準電圧線L12の順に流れる。電流I4は、電圧線L11、トランジスタS1、ノードN1の順に流れる。

[0094] トランジスタS2では、デッドタイムTdの期間には寄生ダイオードDpに電流が流れ、ゲート信号G2が低レベルから高レベルに変化した後に、トランジスタS2の本体に電流が流れる(図12(A),(E))。このように、トランジスタS2は、ドレイン・ソース間の電圧が小さい状態でオフ状態からオン状態に変化することができるので、いわゆるソフトスイッチングを実現することができる。その結果、電力変換システム2では、効率を高めることができる。

[0095] 図12(E)に示したように、電流IS2の電流の絶対値は徐々に減っていき、電流IS2は負から正に変化する。これにより、動作状態ST11(図13A)から動作状態ST12(図13B)に変化する。

[0096] 動作状態ST12では、1次側回路において、電流I1が、ノードN1、トランジスタS2、ノードN2、インダクタ13、ノードN5、キャパシタ15、基準電圧線L12の順に流れる。電流I2は、ノードN1、共振キャパシタCr、トランス20の巻線21、共振インダクタLr、ノードN3の順に流れる。電流I3は、ノードN3、キャパシタ41、電圧線L11の順に流れるとともに、ノードN3、キャパシタ42、基準電圧線L12の順に流れる。電流I4は、電圧線L11、トランジスタS1、ノードN1の順に流れる。すなわち、動作状態ST12では、動作状態ST11と比べて、電流I1の向きが反対向きになる。

[0097] タイミングt42から始まる期間P12では、図12に示したように、トランジスタS3はオフ状態からオン状態になり、トランジスタS1はオン状態からオフ状態になり、トランジスタS2はオン状態を維持する。この期間

P 1 2 では、動作状態 S T は、動作状態 S T 1 3 (図 1 3 C) になる。

[0098] 動作状態 S T 1 3 では、1次側回路において、電流 I 1 が、ノード N 1、トランジスタ S 2、ノード N 2、インダクタ 1 3、ノード N 5、キャパシタ 1 5、基準電圧線 L 1 2 の順に流れる。電流 I 2 は、ノード N 3、共振インダクタ L r、トランス 2 0 の巻線 2 1、共振キャパシタ C r、ノード N 1 の順に流れる。電流 I 3 は、基準電圧線 L 1 2、直流電源装置 P D C、電圧線 L 1 1、キャパシタ 4 1、ノード N 3 の順に流れるとともに、基準電圧線 L 1 2、キャパシタ 4 2、ノード N 3 の順に流れる。電流 I 5 は、基準電圧線 L 1 2、トランジスタ S 3、ノード N 2 の順に流れる。

[0099] トランジスタ S 3 では、デッドタイム T d の期間には寄生ダイオード D p に電流が流れ、ゲート信号 G 3 が低レベルから高レベルに変化した後に、トランジスタ S 3 の本体に電流が流れる (図 1 2 (A) , (F)) 。このように、トランジスタ S 3 は、ドレイン・ソース間の電圧が小さい状態でオフ状態からオン状態に変化することができるので、いわゆるソフトスイッチングを実現することができる。その結果、電力変換システム 2 では、効率を高めることができる。

[0100] タイミング t 4 3 から始まる期間 P 1 3 では、図 1 2 に示したように、トランジスタ S 1 はオフ状態からオン状態に変化し、トランジスタ S 2 はオン状態からオフ状態に変化し、トランジスタ S 3 はオン状態を維持する。この期間 P 1 3 では、動作状態 S T は、動作状態 S T 1 4 (図 1 3 D) になる。

[0101] 動作状態 S T 1 4 では、1次側回路において、電流 I 1 が、基準電圧線 L 1 2、キャパシタ 1 5、ノード N 5、インダクタ 1 3、ノード N 2、トランジスタ S 3、基準電圧線 L 1 2 の順に流れる。電流 I 2 は、ノード N 3、共振インダクタ L r、トランス 2 0 の巻線 2 1、共振キャパシタ C r、ノード N 1 の順に流れる。電流 I 3 は、電圧線 L 1 1、キャパシタ 4 1、ノード N 3 の順に流れるとともに、基準電圧線 L 1 2、キャパシタ 4 2、ノード N 3 の順に流れる。電流 I 4 は、ノード N 1、トランジスタ S 1、電圧線 L 1 1 の順に流れる。

- [0102] トランジスタS1では、デッドタイム T_d の期間には寄生ダイオード D_p に電流が流れ、ゲート信号G1が低レベルから高レベルに変化した後に、トランジスタS1の本体に電流が流れる（図12（A），（D））。このように、トランジスタS1は、ドレイン・ソース間の電圧が小さい状態でオフ状態からオン状態に変化することができるので、いわゆるソフトスイッチングを実現することができる。その結果、電力変換システム2では、効率を高めることができる。
- [0103] 制御回路49は、出力電圧 V_{out} に応じて、トランジスタS1，S2のオンデューティ比を変化させるように、トランジスタS1，S2の動作を制御する。また、制御回路49は、トランジスタS3のオンデューティ比を約50%に維持する。
- [0104] 制御回路49は、トランジスタS1，S2のオンデューティ比を変化させる際、タイミング t_{43} 付近における、ゲート信号G1が低レベルから高レベルに遷移する遷移タイミング、およびゲート信号G2が高レベルから低レベルに遷移する遷移タイミングを変化させる。これにより、電力変換システム2は、第1の実施の形態の場合（図2）と同様に、タイミング t_{43} 付近における交流電圧 V_{ac} の遷移タイミングを変化させ、交流電圧 V_{ac} のデューティ比を変化させる。交流電圧 V_{ac} のデューティ比は、スイッチング周期 T_{sw} に対応する時間における、交流電圧 V_{ac} （図14（B））が正である時間（期間P12の時間）の時間比率である。その結果、電力変換システム2では、1次側回路から2次側回路に伝達される電力が変化する。制御回路49は、出力電圧 V_{out} に応じてトランジスタS1，S2のオンデューティ比を変化させることにより、入力電圧 V_{in} が変動した場合でも出力電圧 V_{out} が一定になるように、電力変換システム2の動作を制御する。
- [0105] このように、電力変換システム2では、アーム11と、インダクタ13と、キャパシタ15，41，42とを設けるようにした。アーム11は、入力端子T11と入力端子T12とを結ぶ第1の経路に設けられ、入力端子T11とノードN1との間に設けられたトランジスタS1と、ノードN1とノー

ドN 2との間に設けられたトランジスタS 2と、ノードN 2と入力端子T 1 2との間に設けられたトランジスタS 3をと有するようにした。インダクタ1 3は、ノードN 2とノードN 5との間に設けるようにした。キャパシタ1 5は、ノードN 5と入力端子T 1 2との間に設けるようにした。キャパシタ4 1は、入力端子T 1 1とノードN 3との間に設けるようにした。キャパシタ4 2は、ノードN 3と入力端子T 1 2との間に設けるようにした。これにより、電力変換システム2は、第1の実施の形態の場合と同様に交流電圧V_acのデューティ比を変化させ、1次側回路から2次側回路に伝達される電力を変化させる。

[0106] 具体的には、制御回路4 9は、出力電圧V_{out}に基づいて、トランジスタS 1, S 2のオンデューティ比を変化させ、トランジスタS 3のオンデューティ比を維持するように、トランジスタS 1~S 3のスイッチング動作を制御することができる。例えば、制御回路4 9は、図1 2に示したように、トランジスタS 3がオン状態である期間における、トランジスタS 1, S 2のスイッチングタイミングを変化させることにより、トランジスタS 1, S 2のオンデューティ比を変化させる。これにより、例えば、直流電源装置PDCから供給された電圧（入力電圧）が高い場合には、トランジスタS 1のオンデューティ比を高くするとともにトランジスタS 2のオンデューティ比を低くすることにより、出力電圧V_{out}を維持することができる。また、例えば、直流電源装置PDCから供給された電圧（入力電圧）が低い場合には、トランジスタS 1のオンデューティ比を低くするとともにトランジスタS 2のオンデューティ比を高くすることにより、出力電圧V_{out}を維持することができる。トランジスタS 1, S 2のオンデューティ比は、例えば50%以上100%以下の範囲で設定される。これにより、電力変換システム2では、入力電圧範囲を広くすることができる。

[0107] また、電力変換システム2では、例えば、図1 2 (A) に示したように、トランジスタS 1がオン状態であるタイミングt_{4 1}付近の期間において、トランジスタS 3をオフ状態にしたタイミングからデッドタイムT_dが経過

したタイミングにおいてトランジスタS2をオン状態にした。また、例えば、トランジスタS2がオン状態であるタイミングt42付近の期間において、トランジスタS1をオフ状態にしたタイミングからデッドタイムTdが経過したタイミングにおいてトランジスタS3をオン状態にした。また、トランジスタS3がオン状態であるタイミングt43付近の期間において、トランジスタS2をオフ状態にしたタイミングからデッドタイムTdが経過したタイミングにおいてトランジスタS1をオン状態にした。これにより、電力変換システム2では、トランジスタS1～S3がソフトスイッチングを行うことができるので、効率を高めることができる。

[0108] また、電力変換システム2では、第1の実施の形態に係る電力変換システム1(図1)に比べ、アームの数を減らすことによりトランジスタの数を減らすことができるので、回路をシンプルにすることができる。

[0109] 以上のように本実施の形態では、アーム11と、インダクタ13と、キャパシタ15, 41, 42とを設けるようにした。アーム11は、入力端子T11と入力端子T12とを結ぶ第1の経路に設けられ、入力端子T11とノードN1との間に設けられたトランジスタS1と、ノードN1とノードN2との間に設けられたトランジスタS2と、ノードN2と入力端子T12との間に設けられたトランジスタS3をと有するようにした。インダクタ13は、ノードN2とノードN5との間に設けるようにした。キャパシタ15は、ノードN5と入力端子T12との間に設けるようにした。キャパシタ41は、入力端子T11とノードN3との間に設けるようにした。キャパシタ42は、ノードN3と入力端子T12との間に設けるようにした。これにより、入力電圧範囲を広くすることができる。

[0110] 本実施の形態では、出力電圧に基づいて、トランジスタS1, S2のオンデューティ比を変化させ、トランジスタS3のオンデューティ比を維持するようにしたので、入力電圧範囲を広くすることができる。

[0111] 本実施の形態では、トランジスタS1がオン状態である期間において、トランジスタS3をオフ状態にしたタイミングから所定の時間が経過したタイ

ミングにおいてトランジスタS2をオン状態にし、トランジスタS2がオン状態である期間において、トランジスタS1をオフ状態にしたタイミングから所定の時間が経過したタイミングにおいてトランジスタS3をオン状態にし、トランジスタS3がオン状態である期間において、トランジスタS2をオフ状態にしたタイミングから所定の時間が経過したタイミングにおいてトランジスタS1をオン状態にしたので、効率を高めることができる。

[0112] [変形例2]

上記実施の形態に係る電力変換システム2に、上記第1の実施の形態の変形例1-2を適用してもよい。

[0113] 以上、実施の形態および変形例を挙げて本発明を説明したが、本発明はこれらの実施の形態等には限定されず、種々の変形が可能である。

[0114] 例えば、上記実施の形態では、整流平滑回路17では、ダイオードDA, DBを整流素子として用いたが、これに限定されるものではなく、これに代えて、例えば、トランジスタを整流素子として用いてもよい。この場合には、このトランジスタをオンオフさせることにより、いわゆる同期整流を行うことができる。

請求の範囲

[請求項1]

第1の接続端子および第2の接続端子を有する第1の電力端子と、
前記第1の接続端子と前記第2の接続端子とを結ぶ第1の経路に設けられ、前記第1の接続端子と第1のノードとの間に設けられた第1のスイッチング素子と、前記第1のノードと第2のノードとの間に設けられた第2のスイッチング素子と、前記第2のノードと前記第2の接続端子との間に設けられた第3のスイッチング素子とを有する第1のアームと、

前記第1の接続端子と前記第2の接続端子とを結ぶ第2の経路に設けられ、前記第1の接続端子と第3のノードとの間に設けられた第4のスイッチング素子と、前記第3のノードと第4のノードとの間に設けられた第5のスイッチング素子と、前記第4のノードと前記第2の接続端子との間に設けられた第6のスイッチング素子とを有する第2のアームと、

前記第2のノードと第5のノードとの間に設けられた第1のインダクタと、

前記第4のノードと前記第5のノードとの間に設けられた第2のインダクタと、

前記第5のノードと前記第2の接続端子との間に設けられた第1のキャパシタと、

前記第1のノードと前記第3のノードとを結ぶ経路に設けられた第1の巻線と、第2の巻線とを有する第1のトランスと、

前記第2の巻線に接続された複数の整流素子を有する整流回路と、
前記整流回路に接続され、第3の接続端子および第4の接続端子を有する第2の電力端子と、

前記第2の電力端子における電圧に基づいて、前記第1のアームおよび前記第2のアームにおけるスイッチング動作を制御する制御回路と

を備えた電力変換装置。

[請求項2] 前記第1のノードと前記第3のノードとを結ぶ前記経路に設けられた共振インダクタおよび共振キャパシタをさらに備えた

請求項1に記載の電力変換装置。

[請求項3] 第1の巻線および第2の巻線を有する第2のトランスを備え、
前記第2のトランスの前記第1の巻線は、前記第1のインダクタを含み、

前記第2のトランスの前記第2の巻線は、前記第2のインダクタを含む

請求項1または請求項2に記載の電力変換装置。

[請求項4] 前記制御回路は、前記第2の電力端子における電圧に基づいて、前記第1のスイッチング素子、前記第2のスイッチング素子、前記第4のスイッチング素子、および前記第5のスイッチング素子の第1のオンデューティ比を変化させ、前記第3のスイッチング素子および前記第6のスイッチング素子の第2のオンデューティ比を維持するように、前記スイッチング動作を制御する

請求項1から請求項3のいずれか一項に記載の電力変換装置。

[請求項5] 前記制御回路は、

第1の期間において、前記第3のスイッチング素子をオン状態にし、

前記第1の期間の期間外における第2の期間において、前記第6のスイッチング素子をオン状態にし、

前記第1の期間における前記第1のスイッチング素子および前記第2のスイッチング素子のスイッチングタイミングを変化させ、前記第2の期間における前記第4のスイッチング素子および前記第5のスイッチング素子のスイッチングタイミングを変化させることにより、前記第1のオンデューティ比を変化させる

請求項4に記載の電力変換装置。

[請求項6]

前記制御回路は、

前記第2のスイッチング素子がオン状態である期間において、前記第1のスイッチング素子をオフ状態にしたタイミングから所定の時間が経過したタイミングにおいて前記第3のスイッチング素子をオン状態にし、

前記第3のスイッチング素子がオン状態である期間において、前記第2のスイッチング素子をオフ状態にしたタイミングから所定の時間が経過したタイミングにおいて前記第1のスイッチング素子をオン状態にし、

前記第1のスイッチング素子がオン状態である期間において、前記第3のスイッチング素子をオフ状態にしたタイミングから所定の時間が経過したタイミングにおいて前記第2のスイッチング素子をオン状態にする

請求項1から請求項5のいずれか一項に記載の電力変換装置。

[請求項7]

第1の接続端子および第2の接続端子を有する第1の電力端子と、
前記第1の接続端子と前記第2の接続端子とを結ぶ経路に設けられ、
前記第1の接続端子と第1のノードとの間に設けられた第1のスイッチング素子と、
前記第1のノードと第2のノードとの間に設けられた第2のスイッチング素子と、
前記第2のノードと前記第2の接続端子との間に設けられた第3のスイッチング素子とを有するアームと、
前記第2のノードと第3のノードとの間に設けられたインダクタと

、
前記第3のノードと前記第2の接続端子との間に設けられた第1のキャパシタと、

前記第1の接続端子と第4のノードとの間に設けられた第2のキャパシタと、

前記第4のノードと前記第2の接続端子との間に設けられた第3のキャパシタと、

前記第1のノードと前記第4のノードとを結ぶ経路に設けられた第1の巻線と、第2の巻線とを有するトランスと、

前記第2の巻線に接続された複数の整流素子を有する整流回路と、前記整流回路に接続され、第3の接続端子および第4の接続端子を有する第2の電力端子と、

前記第2の電力端子における電圧に基づいて、前記アームにおけるスイッチング動作を制御する制御回路とを備えた電力変換装置。

[請求項8] 前記第1のノードと前記第3のノードとを結ぶ前記経路に設けられた共振インダクタおよび共振キャパシタをさらに備えた請求項7に記載の電力変換装置。

[請求項9] 前記制御回路は、前記第2の電力端子における電圧に基づいて、前記第1のスイッチング素子および前記第2のスイッチング素子の第1のオンデューティ比を変化させ、前記第3のスイッチング素子の第2のオンデューティ比を維持するように、前記スイッチング動作を制御する請求項7または請求項8に記載の電力変換装置。

[請求項10] 前記制御回路は、第1の期間において、前記第3のスイッチング素子をオン状態にし、前記第1の期間における前記第1のスイッチング素子および前記第2のスイッチング素子のスイッチングタイミングを変化させることにより、前記第1のオンデューティ比を変化させる請求項9に記載の電力変換装置。

[請求項11] 前記制御回路は、前記第1のスイッチング素子がオン状態である期間において、前記第3のスイッチング素子をオフ状態にしたタイミングから所定の時間が経過したタイミングにおいて前記第2のスイッチング素子をオン状

態にし、

前記第2のスイッチング素子がオン状態である期間において、前記第1のスイッチング素子をオフ状態にしたタイミングから所定の時間が経過したタイミングにおいて前記第3のスイッチング素子をオン状態にし、

前記第3のスイッチング素子がオン状態である期間において、前記第2のスイッチング素子をオフ状態にしたタイミングから所定の時間が経過したタイミングにおいて前記第1のスイッチング素子をオン状態にする

請求項7から請求項10のいずれか一項に記載の電力変換装置。

[請求項12]

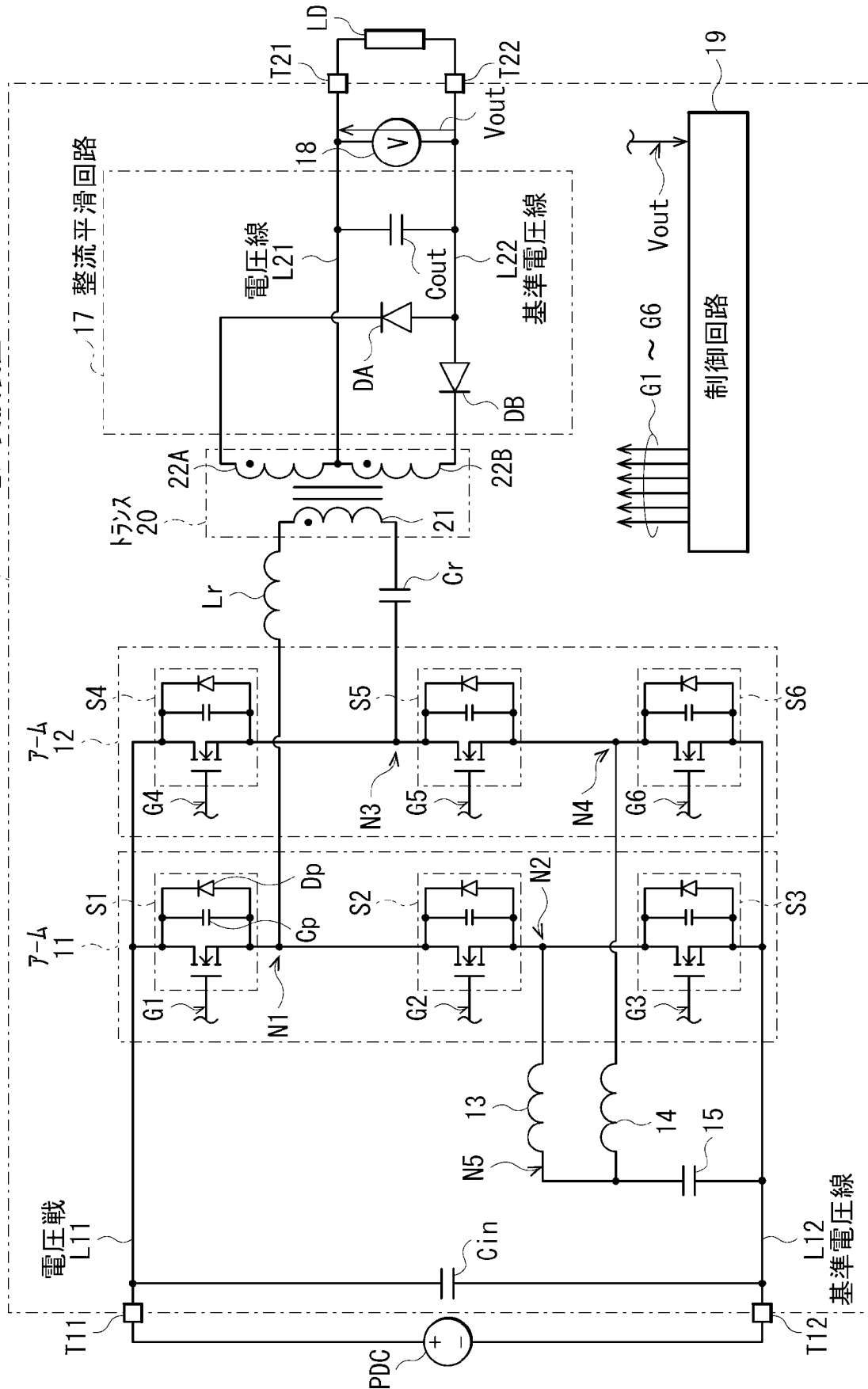
請求項1から請求項11のいずれか一項に記載の電力変換装置と、前記電力変換装置の前記第1の電力端子に接続された直流電源装置と

を備えた電力変換システム。

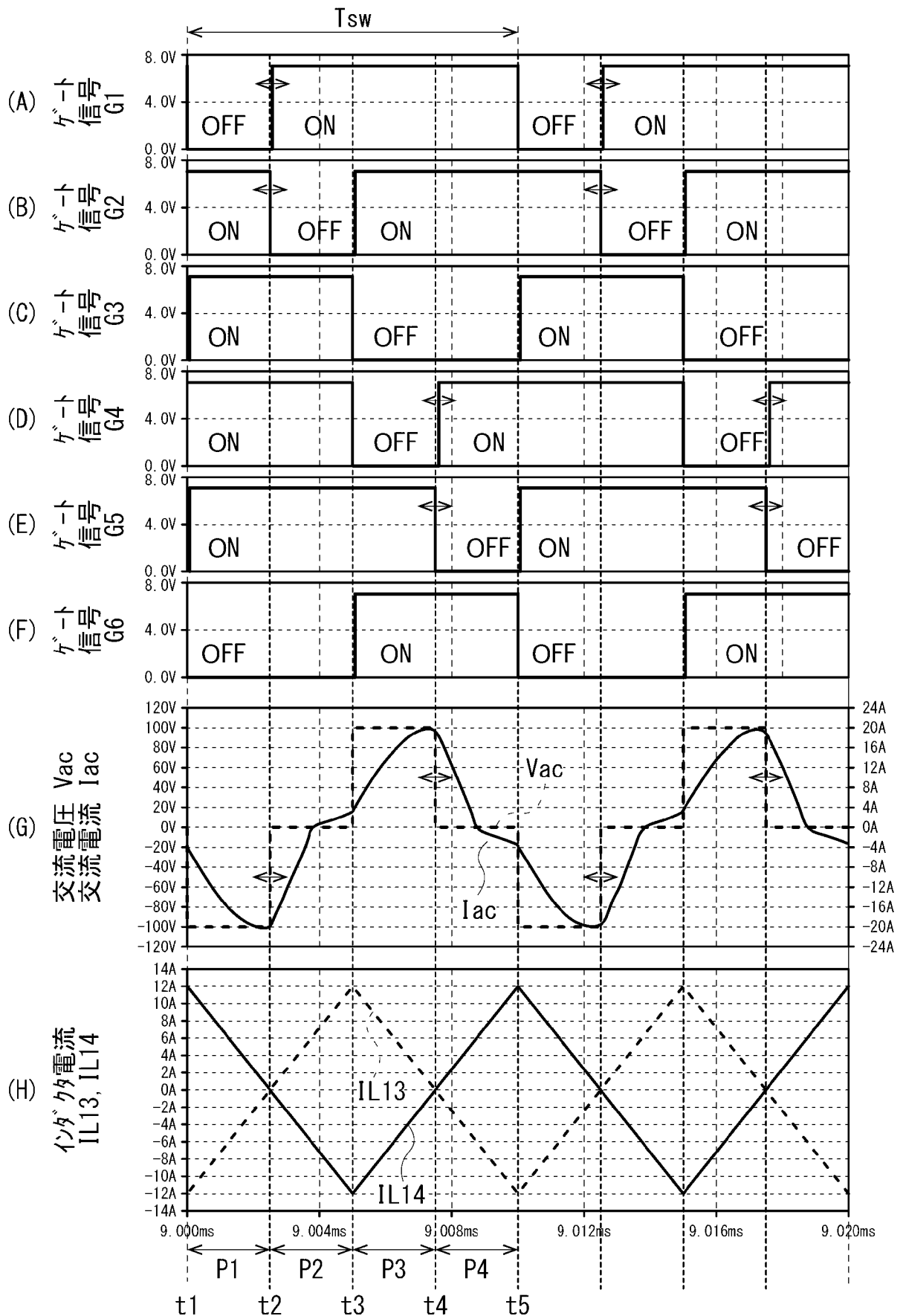
[図1]

電力変換装置

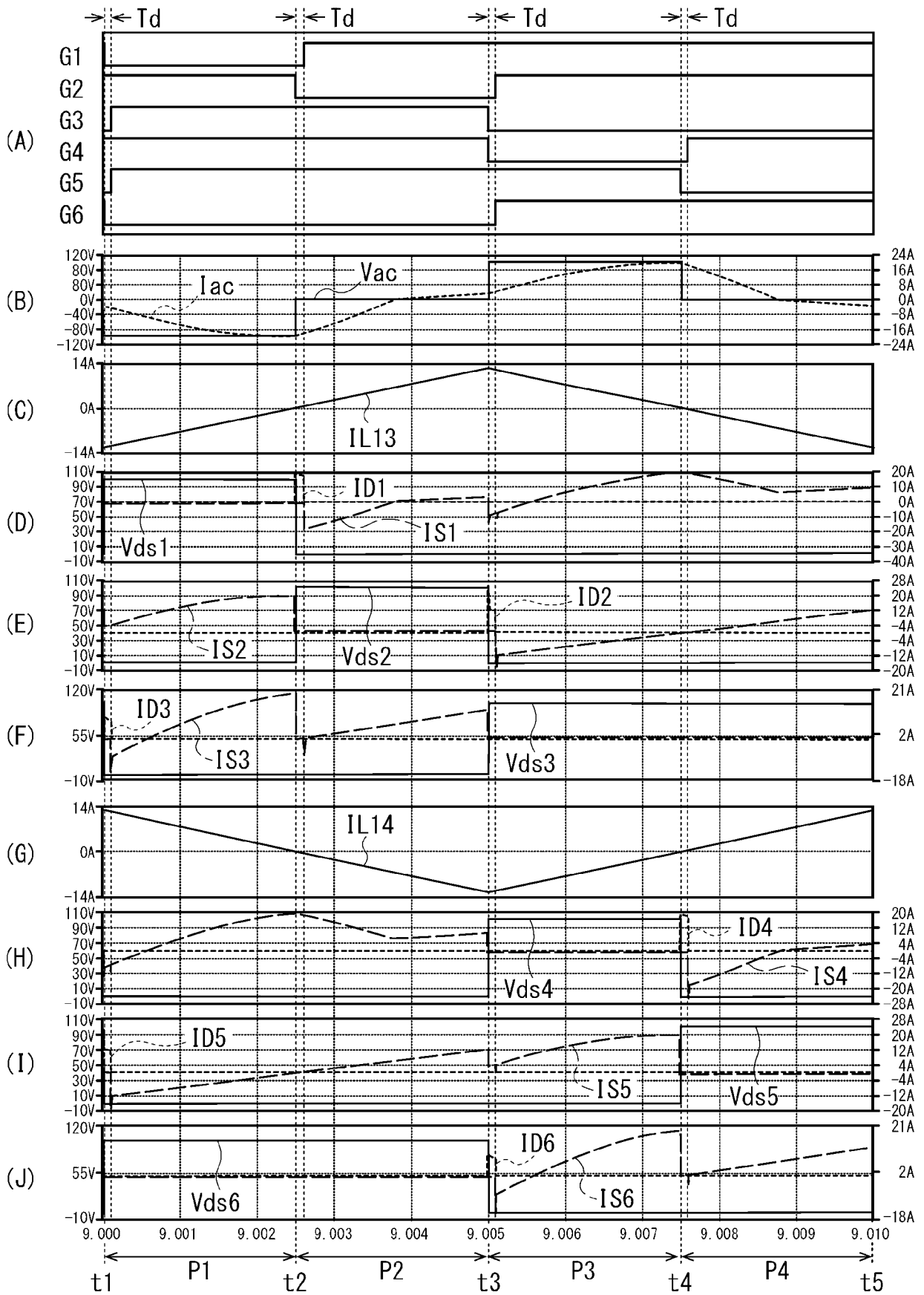
電力変換装置



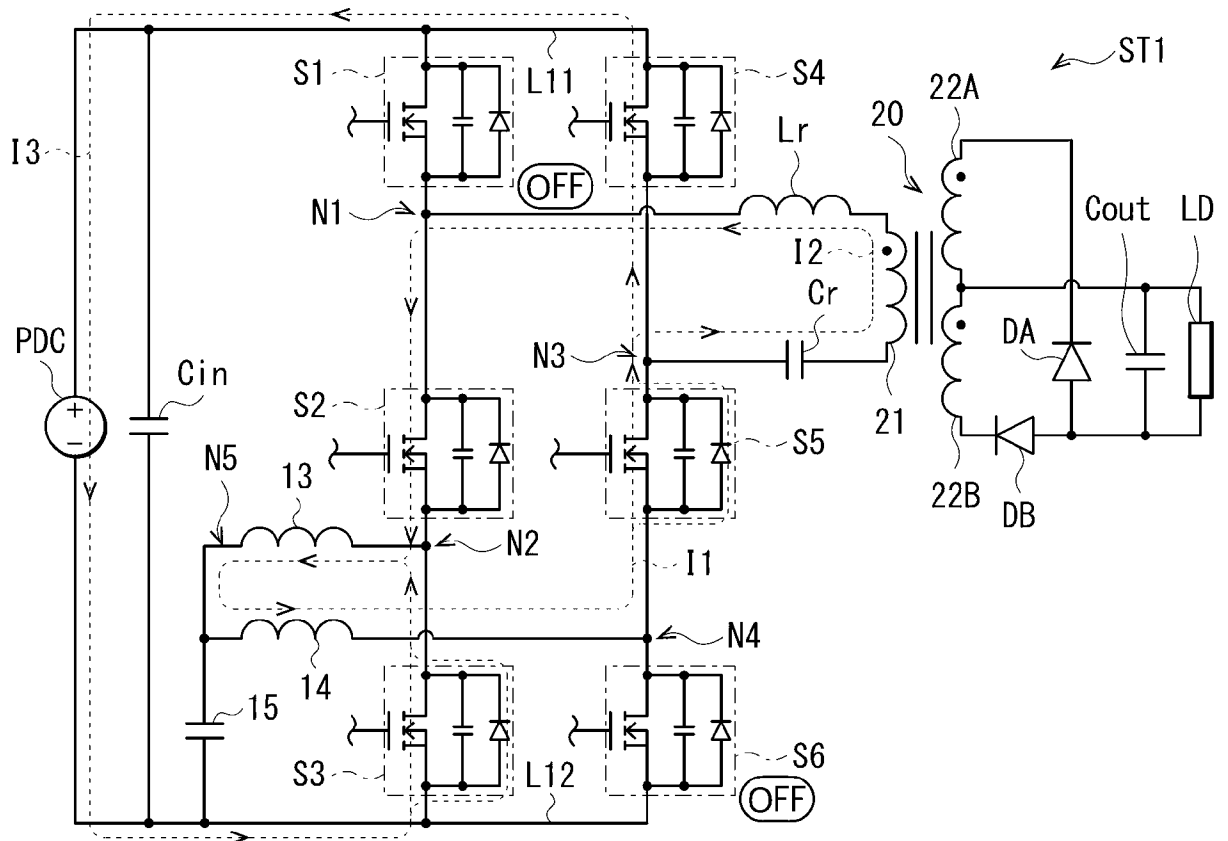
[図2]



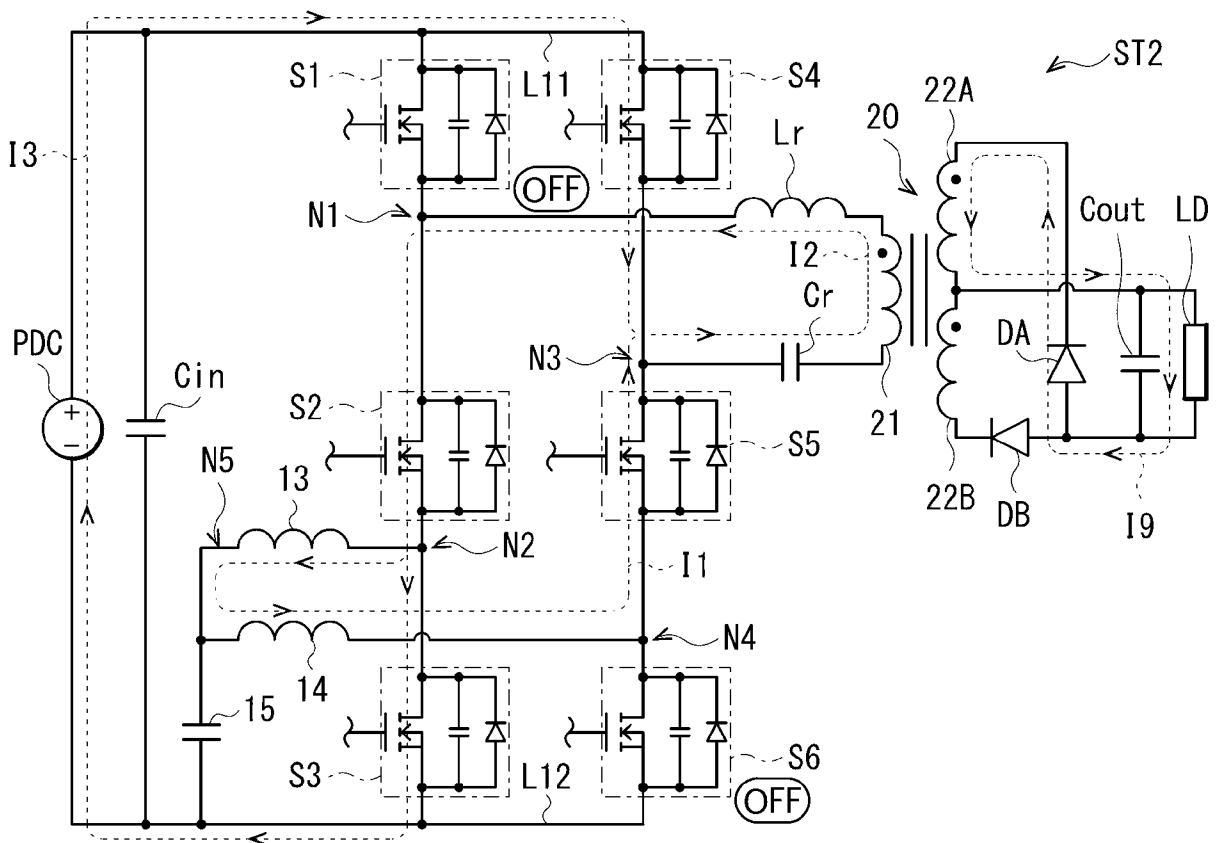
[図3]



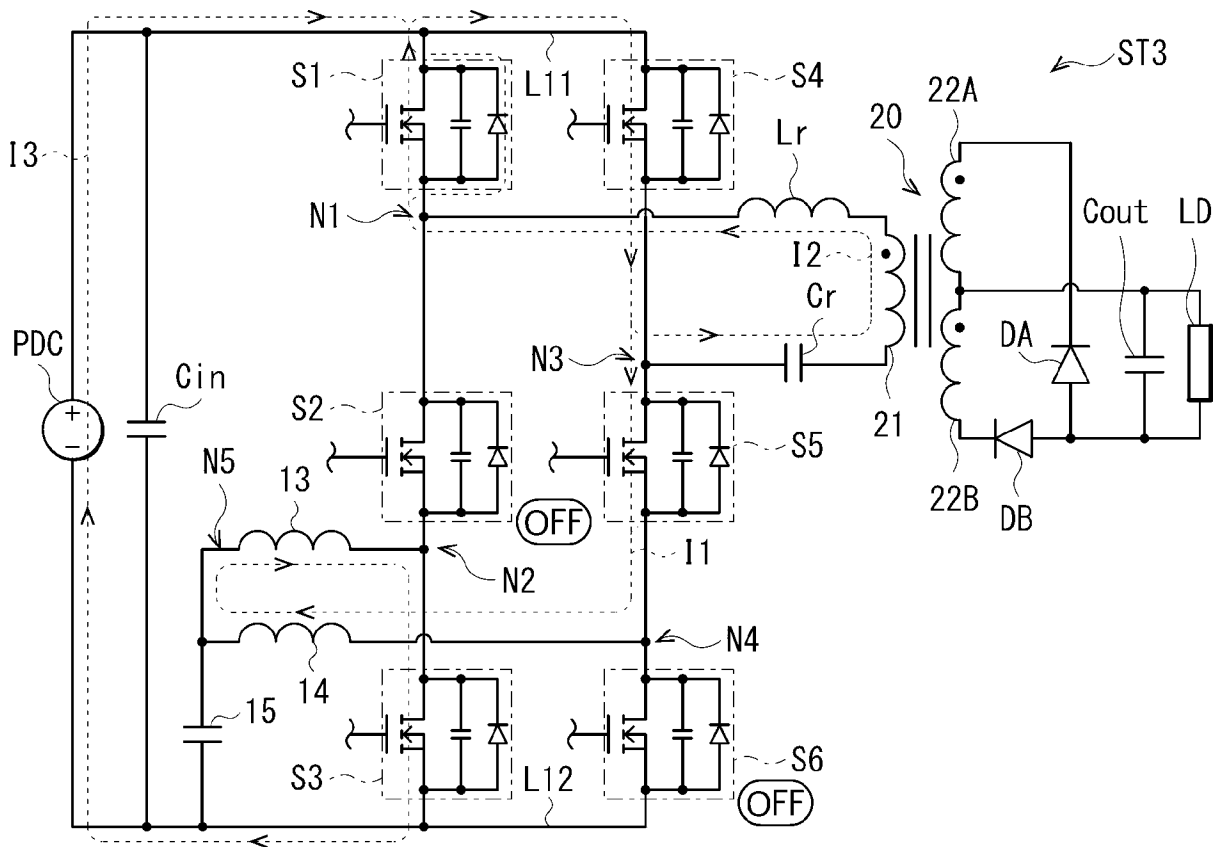
[図4A]



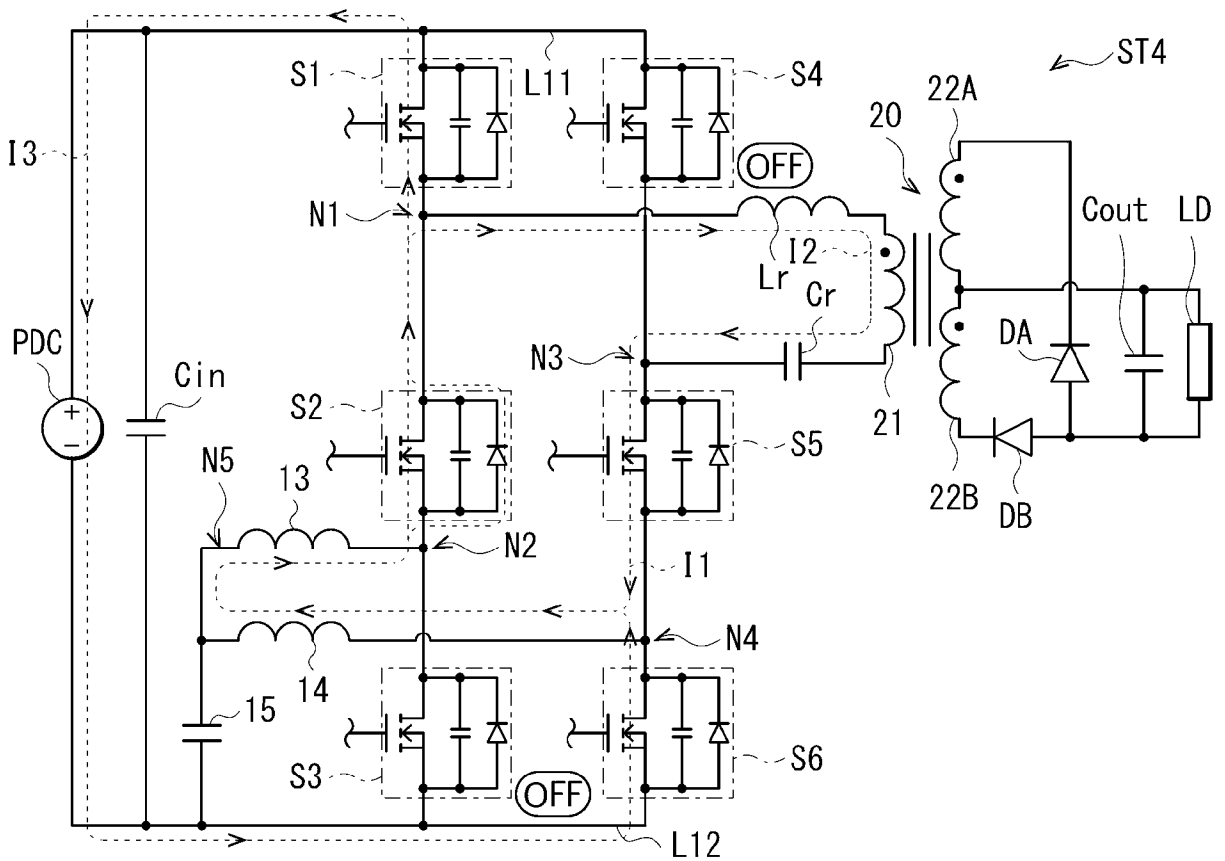
[図4B]



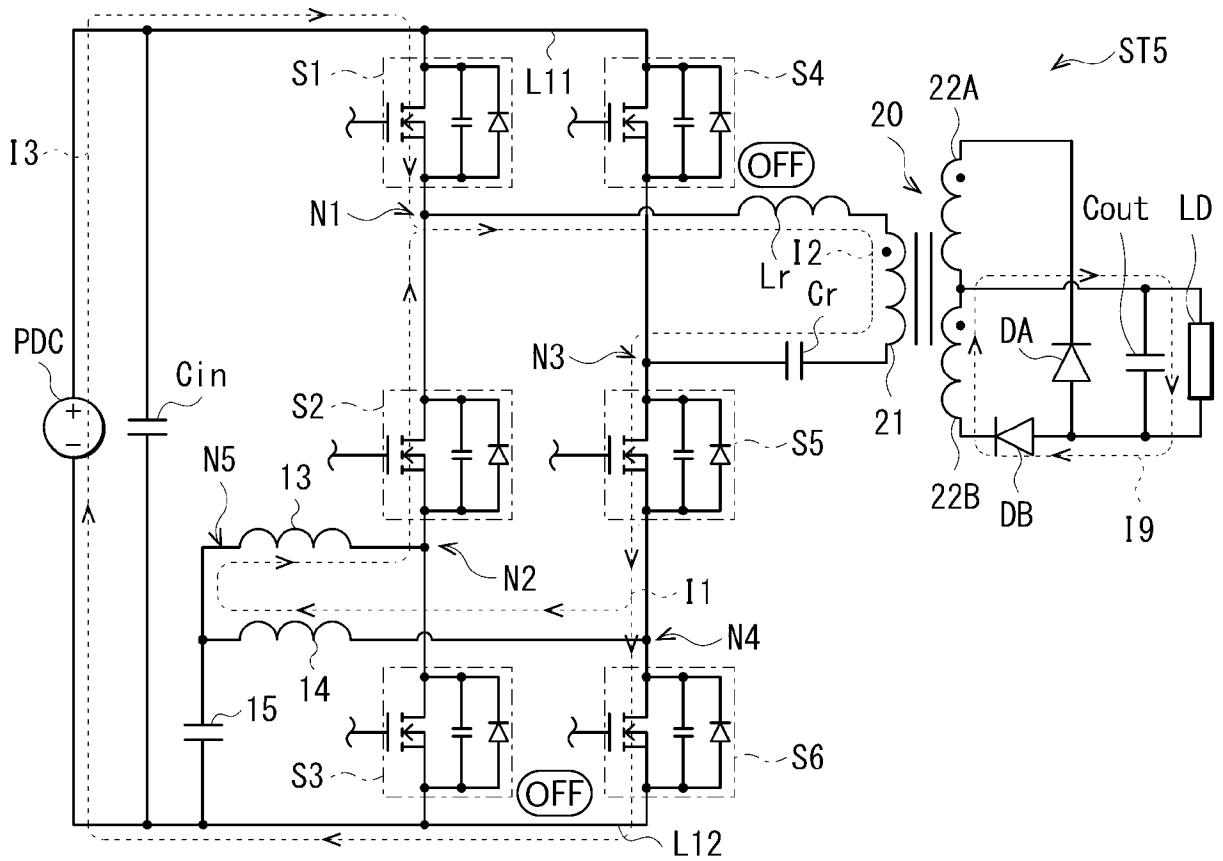
[図4C]



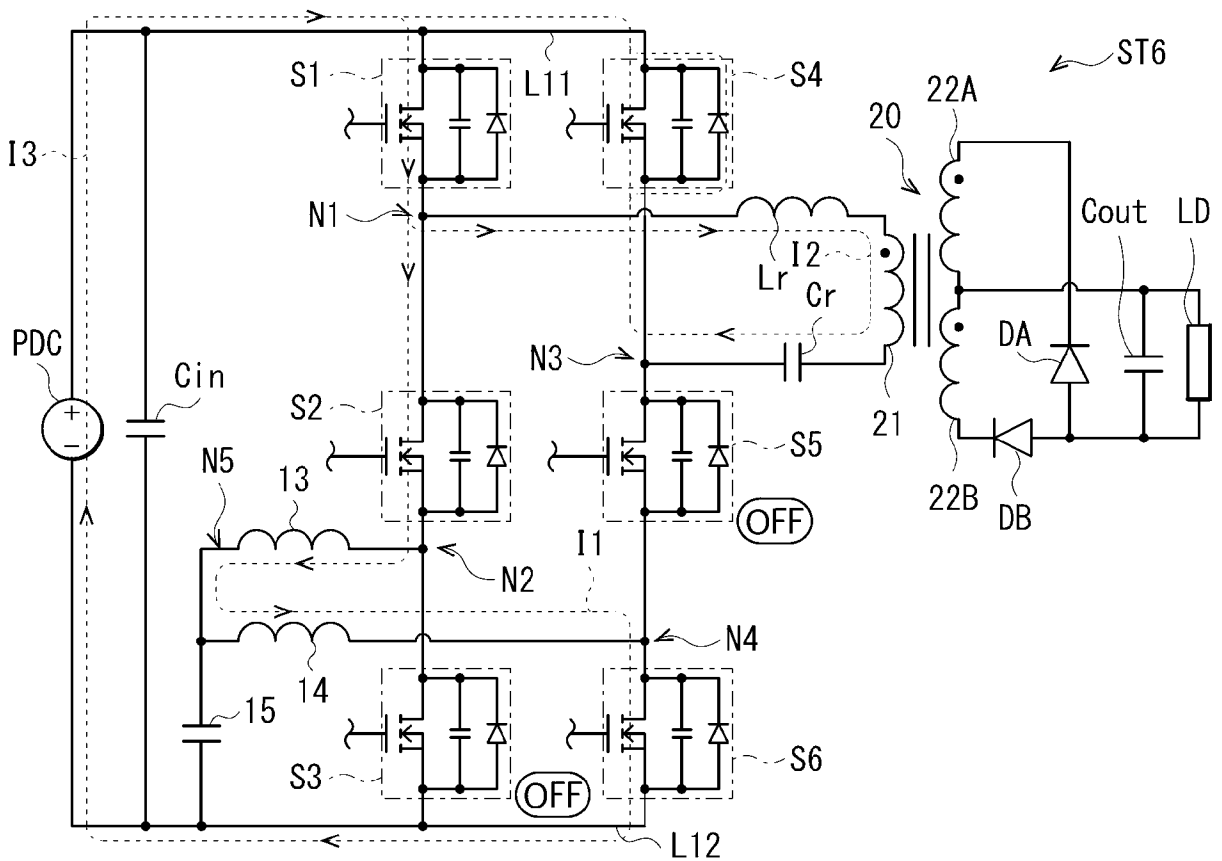
[図4D]



[図4E]



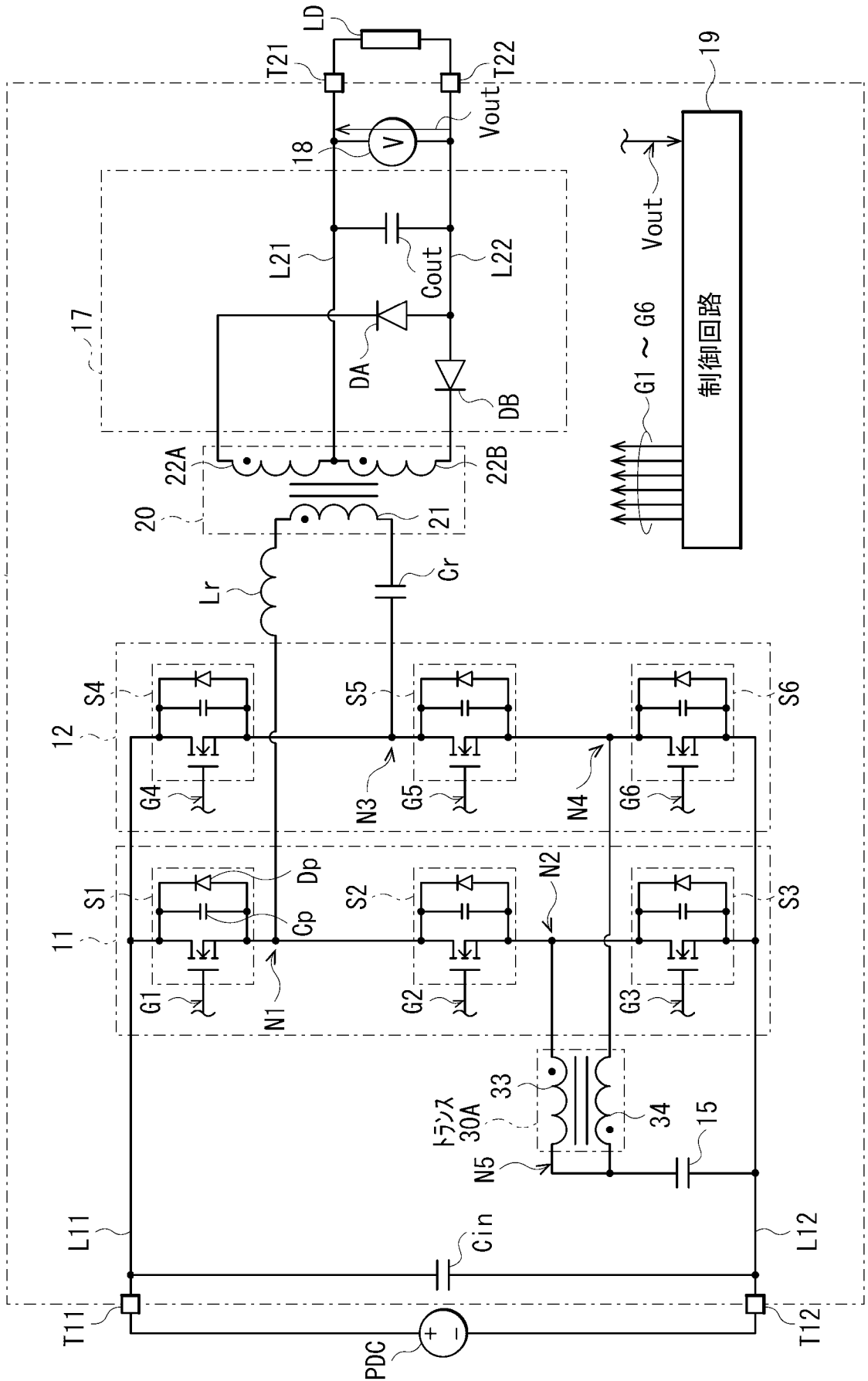
[図4F]



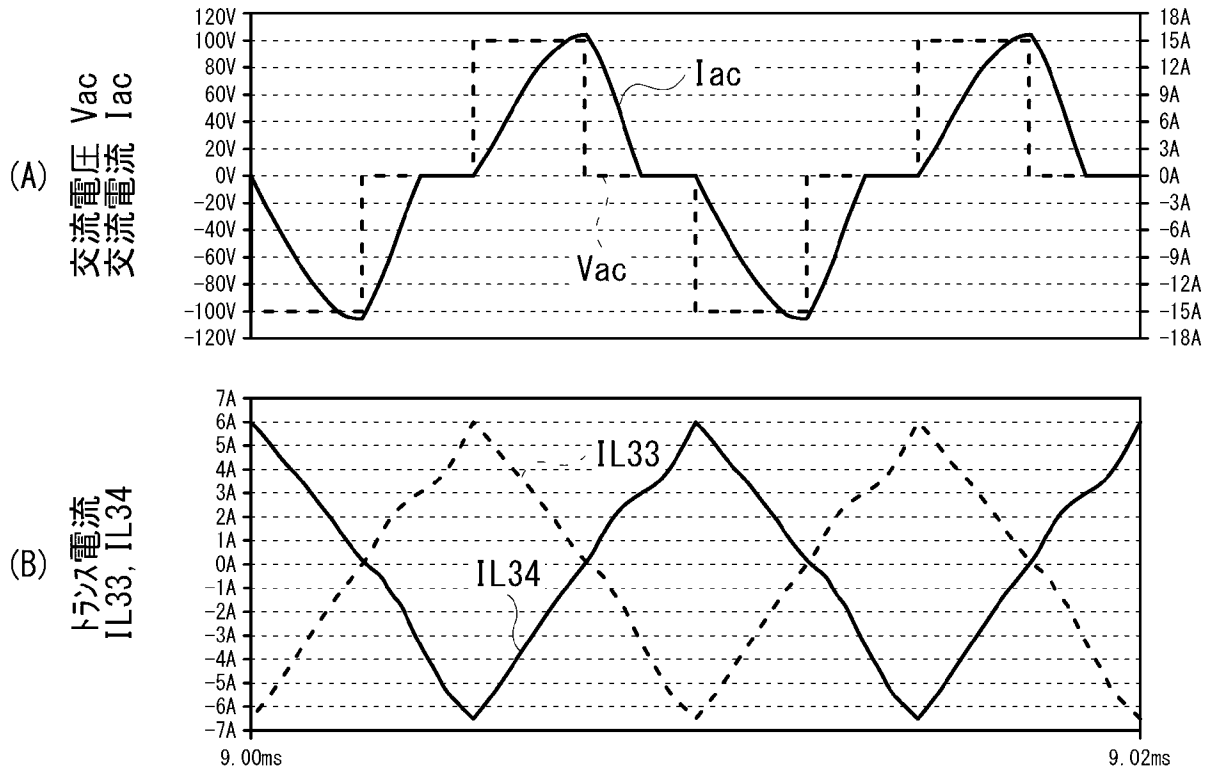
[図5]

1A 電力変換システム

10A 電力変換装置



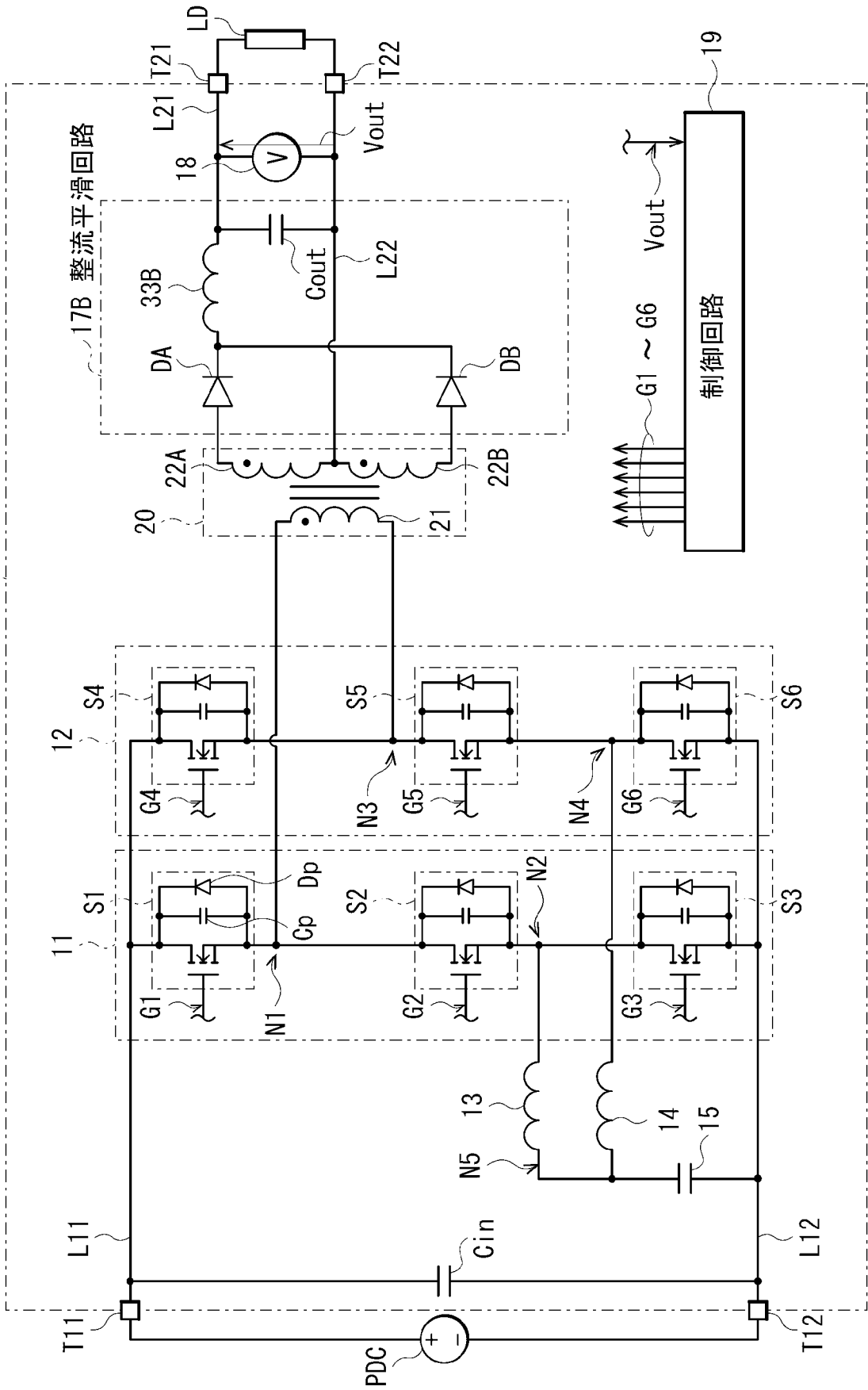
[図6]



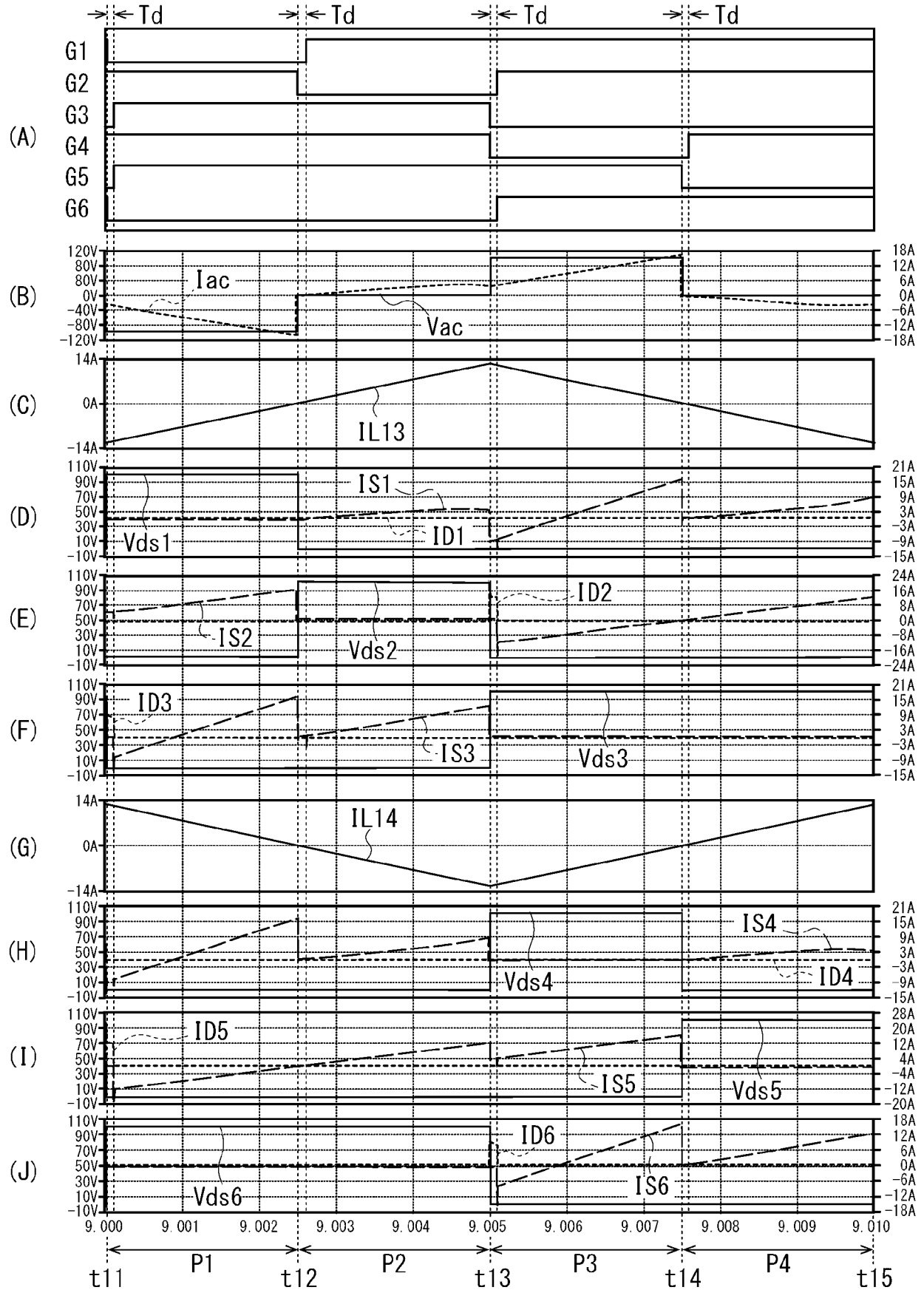
[図7]

1B 電力変換システム

10B 電力変換装置



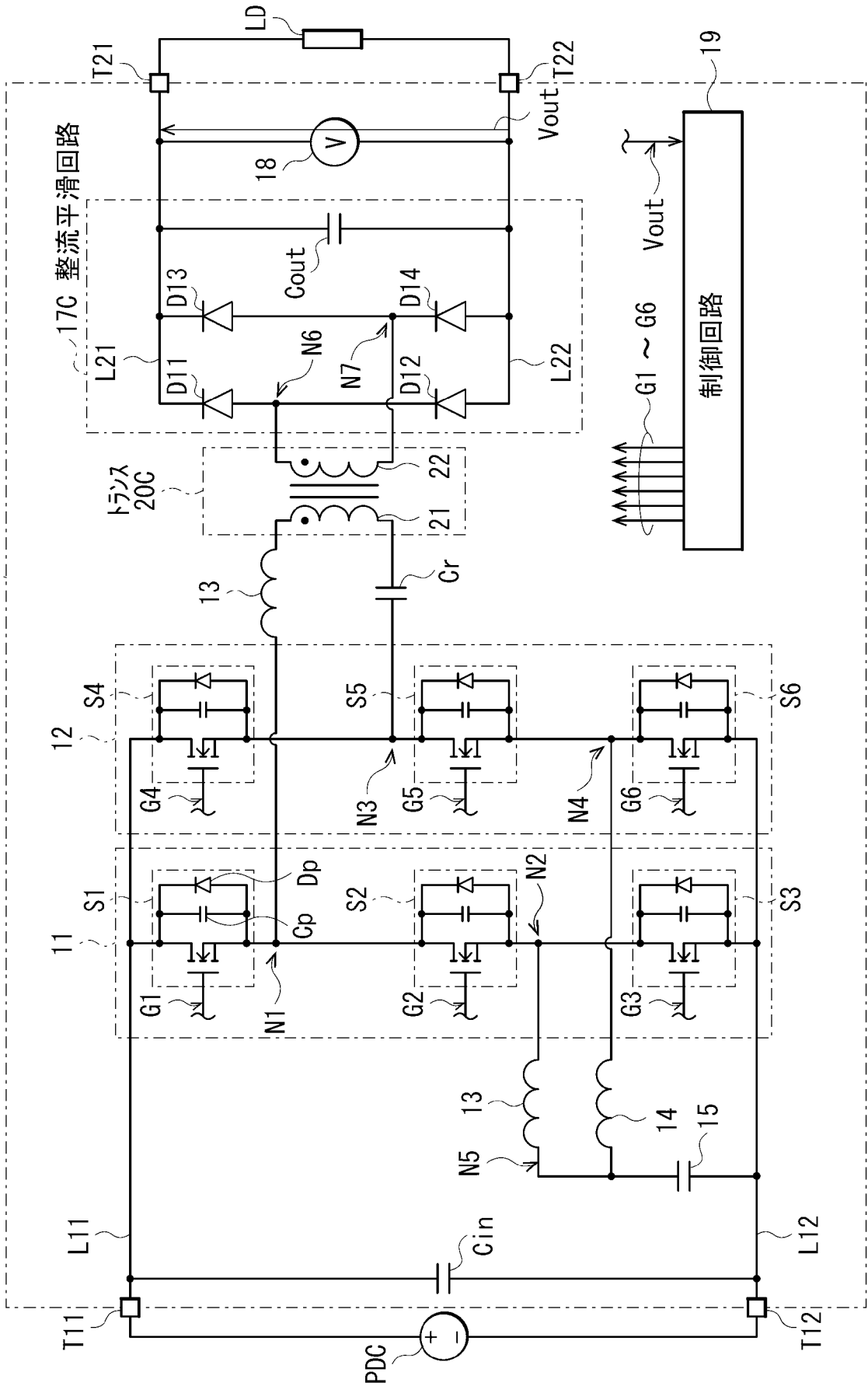
[図8]



[図9]

10C 電力変換装置

17C 整流平滑回路



制御回路

V_{out}

$G1 \sim G6$

V_{out}, T_{22}

V

T_{21}

LD

C_{out}

D_{14}

D_{13}

L_{22}

L_{21}

N_7

N_6

D_{12}

D_{11}

T_{12}

T_{11}

L_{12}

L_{11}

C_{in}

PDC

L_{12}

L_{11}

C_{in}

N_5

13

14

15

N_2

N_3

N_4

G_3

G_2

G_1

N_1

S_3

S_2

S_1

D_p

S_5

S_4

Cr

22

21

トランス

$20C$

N_7

N_6

D_{14}

D_{13}

L_{22}

L_{21}

C_{out}

V

LD

T_{22}

T_{21}

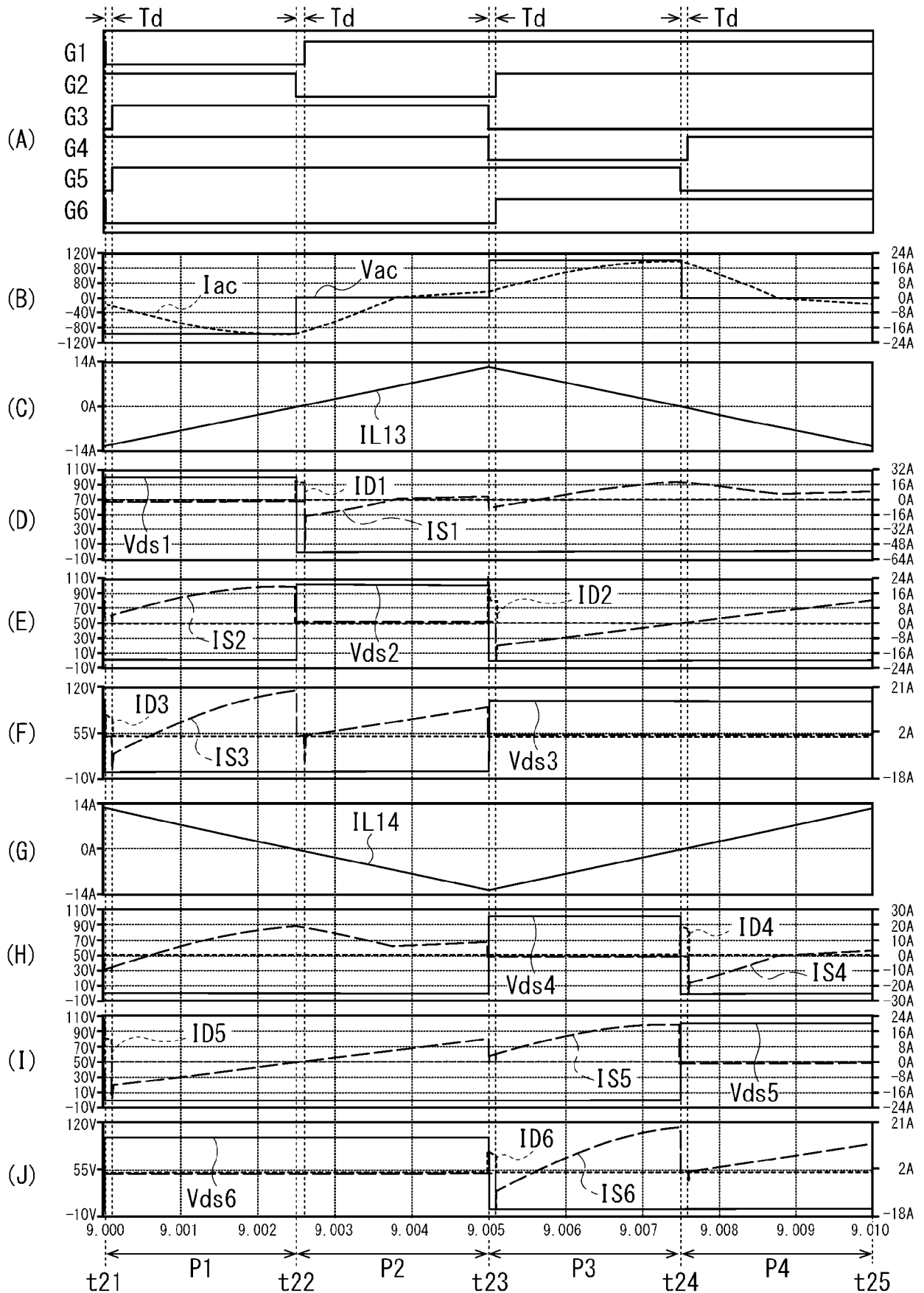
V_{out}

$G1 \sim G6$

制御回路

19

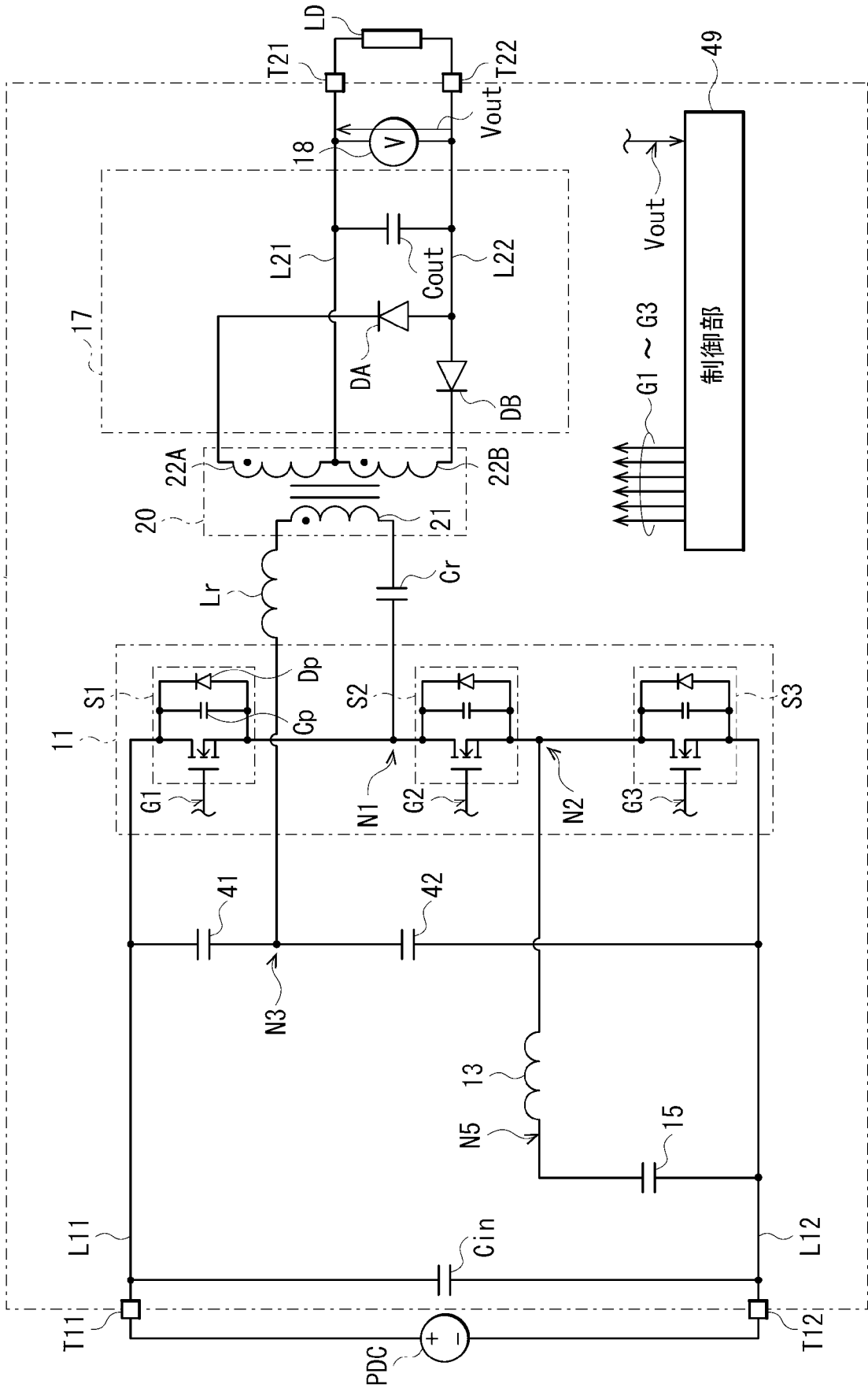
[図10]



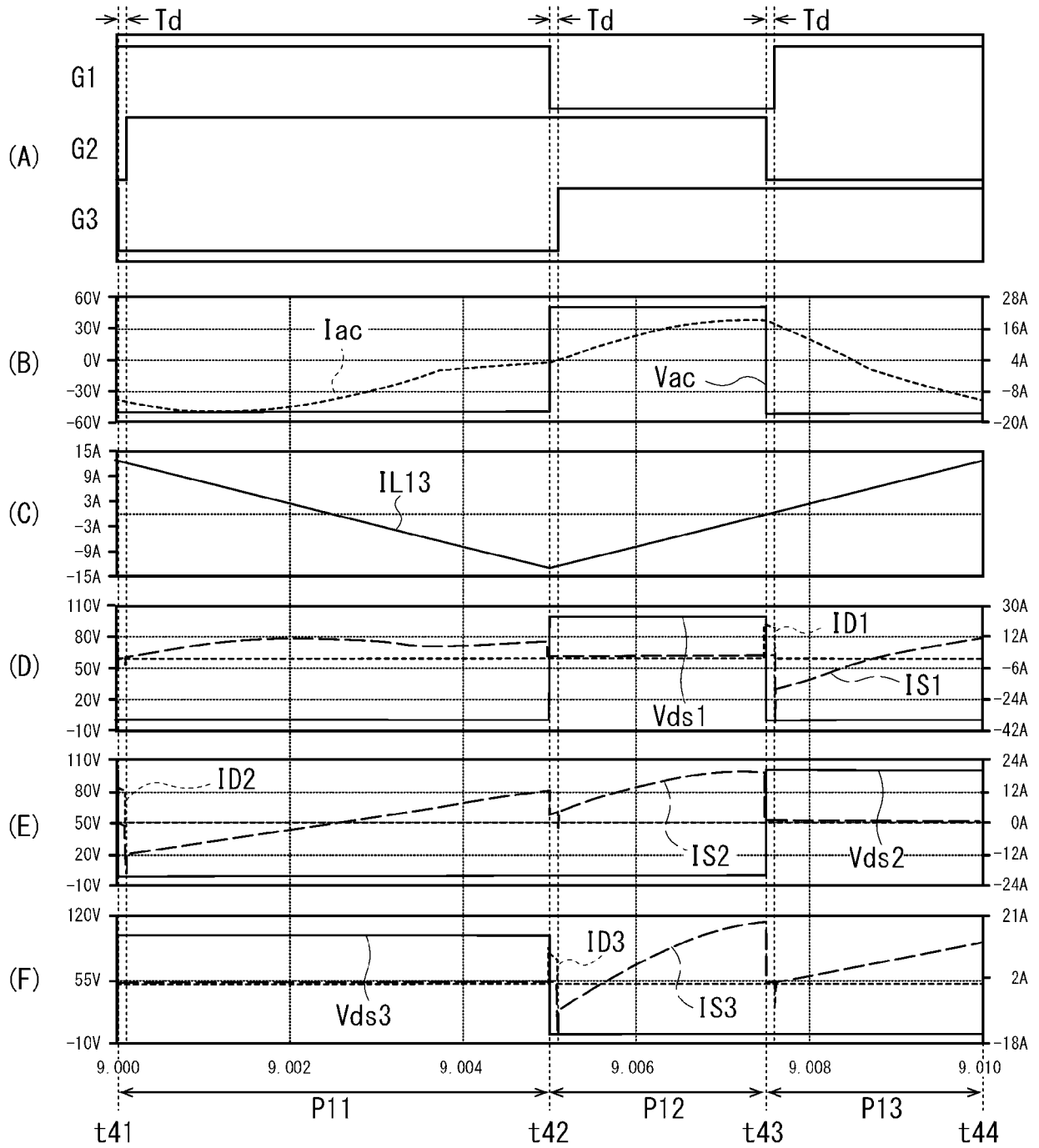
[図11]

2 電力変換システム

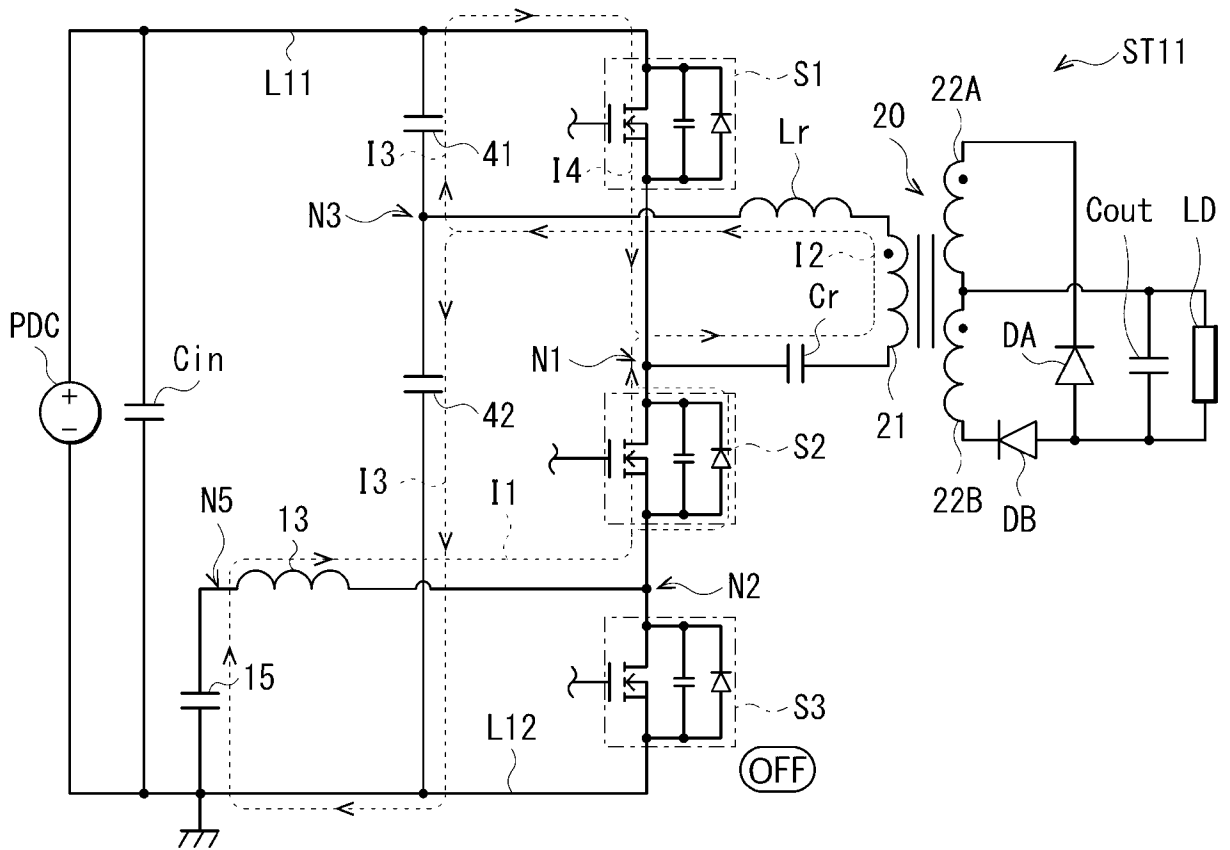
40 電力変換装置



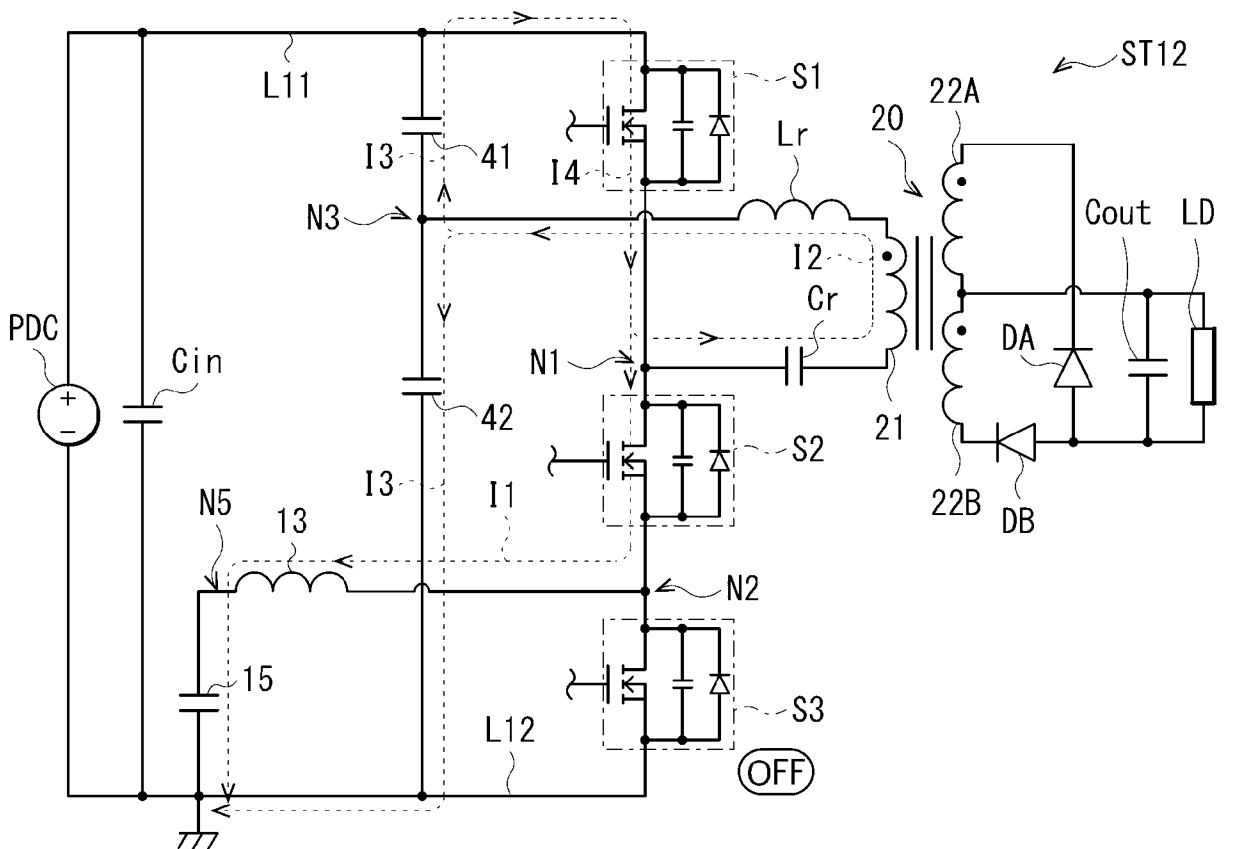
[図12]



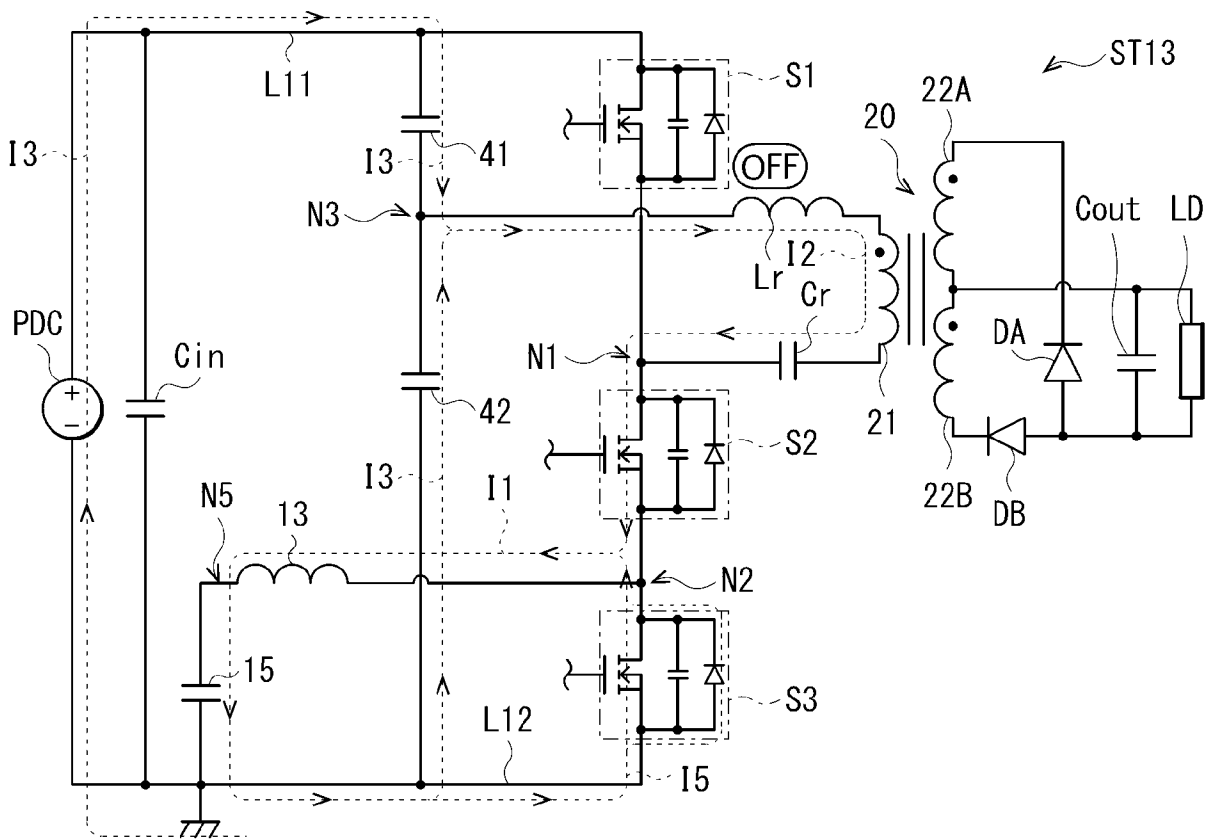
[図13A]



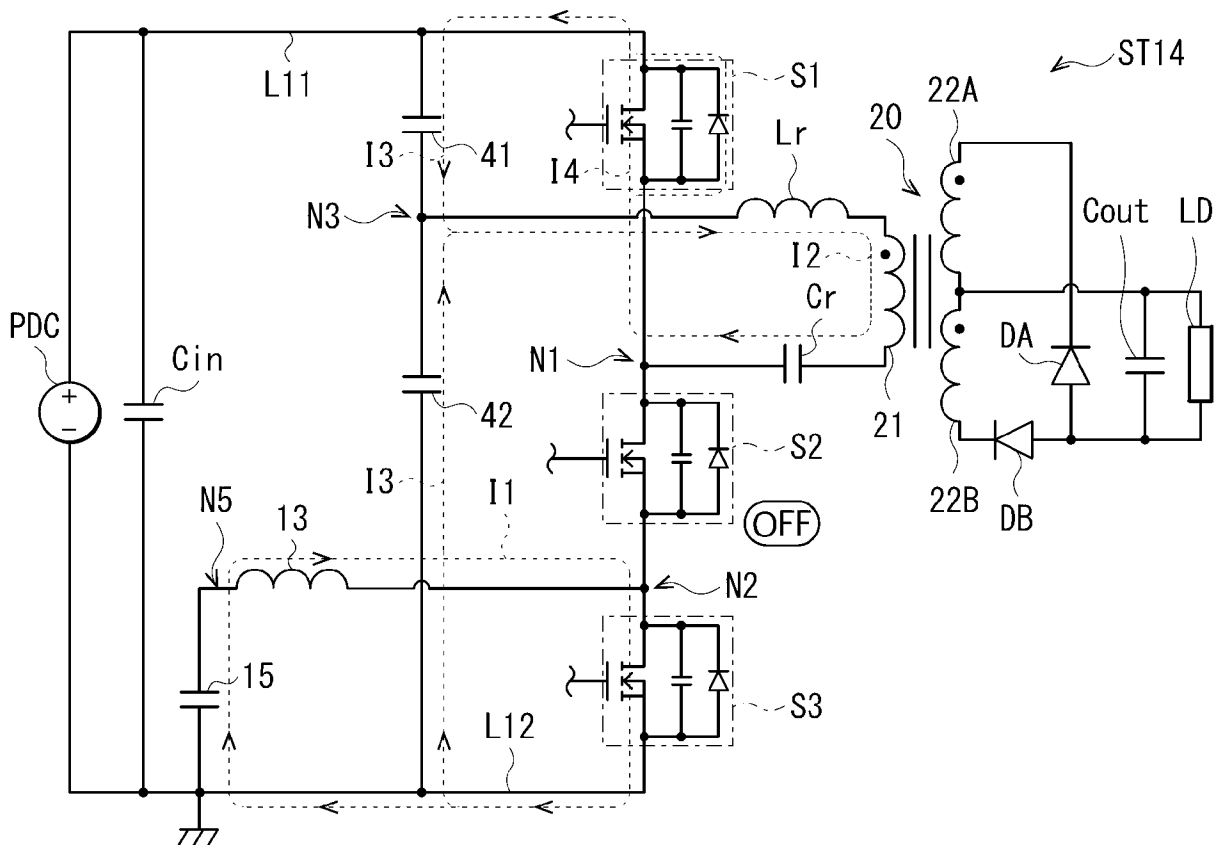
[図13B]



[図13C]



[图13D]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/013484

<p>A. CLASSIFICATION OF SUBJECT MATTER H02M 3/28(2006.01)i FI: H02M3/28 M According to International Patent Classification (IPC) or to both national classification and IPC</p>														
<p>B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H02M1/00-7/98</p>														
<p>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched</p> <table style="width:100%; border:none;"> <tr> <td style="width:70%;">Published examined utility model applications of Japan</td> <td style="text-align:right;">1922-1996</td> </tr> <tr> <td>Published unexamined utility model applications of Japan</td> <td style="text-align:right;">1971-2021</td> </tr> <tr> <td>Registered utility model specifications of Japan</td> <td style="text-align:right;">1996-2021</td> </tr> <tr> <td>Published registered utility model applications of Japan</td> <td style="text-align:right;">1994-2021</td> </tr> </table>			Published examined utility model applications of Japan	1922-1996	Published unexamined utility model applications of Japan	1971-2021	Registered utility model specifications of Japan	1996-2021	Published registered utility model applications of Japan	1994-2021				
Published examined utility model applications of Japan	1922-1996													
Published unexamined utility model applications of Japan	1971-2021													
Registered utility model specifications of Japan	1996-2021													
Published registered utility model applications of Japan	1994-2021													
<p>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)</p>														
<p>C. DOCUMENTS CONSIDERED TO BE RELEVANT</p> <table border="1" style="width:100%; border-collapse: collapse;"> <thead> <tr> <th style="width:10%;">Category*</th> <th style="width:70%;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="width:20%;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td align="center">A</td> <td>JP 2019-187021 A (COSEL CO LTD) 24 October 2019 (2019-10-24) entire text, all drawings</td> <td align="center">1-12</td> </tr> <tr> <td align="center">A</td> <td>US 2014/0268908 A1 (SOLARBRIDGE TECHNOLOGIES, INC) 18 September 2014 (2014-09-18) entire text, all drawings</td> <td align="center">1-12</td> </tr> <tr> <td align="center">A</td> <td>XIAOFENG, Sun et al. Interleaved Boost-Integrated LLC Resonant Converter With Fixed-Frequency PWM Control for Renewable Energy Generation Applications. IEEE TRANSACTIONS ON POWER ELECTRONICS., 16 September 2014, vol. 30, no. 8, pp. 4312-4326, entire text, all drawings</td> <td align="center">1-12</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	A	JP 2019-187021 A (COSEL CO LTD) 24 October 2019 (2019-10-24) entire text, all drawings	1-12	A	US 2014/0268908 A1 (SOLARBRIDGE TECHNOLOGIES, INC) 18 September 2014 (2014-09-18) entire text, all drawings	1-12	A	XIAOFENG, Sun et al. Interleaved Boost-Integrated LLC Resonant Converter With Fixed-Frequency PWM Control for Renewable Energy Generation Applications. IEEE TRANSACTIONS ON POWER ELECTRONICS., 16 September 2014, vol. 30, no. 8, pp. 4312-4326, entire text, all drawings	1-12
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
A	JP 2019-187021 A (COSEL CO LTD) 24 October 2019 (2019-10-24) entire text, all drawings	1-12												
A	US 2014/0268908 A1 (SOLARBRIDGE TECHNOLOGIES, INC) 18 September 2014 (2014-09-18) entire text, all drawings	1-12												
A	XIAOFENG, Sun et al. Interleaved Boost-Integrated LLC Resonant Converter With Fixed-Frequency PWM Control for Renewable Energy Generation Applications. IEEE TRANSACTIONS ON POWER ELECTRONICS., 16 September 2014, vol. 30, no. 8, pp. 4312-4326, entire text, all drawings	1-12												
<p><input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.</p>														
<table style="width:100%; border:none;"> <tr> <td style="width:50%; vertical-align: top;"> <p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> </td> <td style="width:50%; vertical-align: top;"> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p> </td> </tr> </table>			<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>										
<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>													
<p>Date of the actual completion of the international search 27 May 2021 (27.05.2021)</p>		<p>Date of mailing of the international search report 08 June 2021 (08.06.2021)</p>												
<p>Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan</p>		<p>Authorized officer</p> <p>Telephone No.</p>												

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application no.

PCT/JP2021/013484

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2019-187021 A	24 Oct. 2019	(Family: none)	
US 2014/0268908 A1	18 Sep. 2014	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H02M 3/28(2006.01)i FI: H02M3/28 M		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H02M1/00-7/98 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2019-187021 A (コーセル株式会社) 24.10.2019 (2019-10-24) 全文, 全図	1-12
A	US 2014/0268908 A1 (SOLARBRIDGE TECHNOLOGIES, INC.) 18.09.2014 (2014-09-18) 全文, 全図	1-12
A	XIAOFENG, Sun et al., Interleaved Boost-Integrated LLC Resonant Converter With Fixed-Frequency PWM Control for Renewable Energy Generation Applications, IEEE TRANSACTIONS ON POWER ELECTRONICS, 2014.09.16, Vol.30, No.8, p.4312-4326 全文, 全図	1-12
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日	27.05.2021	国際調査報告の発送日 08.06.2021
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 土井 悠生 5G 1595 電話番号 03-3581-1101 内線 3526	

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2021/013484

引用文献	公表日	パテントファミリー文献	公表日
JP 2019-187021 A	24.10.2019	(ファミリーなし)	
US 2014/0268908 A1	18.09.2014	(ファミリーなし)	