(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
G11C 8/08

(11) 공개번호 특2001-0092074
(43) 공개일자 2001년10월24일

(21) 출원번호 10-2000-0014007
(22) 출원일자 2000년03월20일

(71) 출원인 삼성전자 주식회사
윤종용
경기 수원시 팔달구 매탄3동 416

(72) 발명자 이기종
서울특별시성북구보문동1가169번지(1층)

(74) 대리인 임창현
권혁수

심사청구 : 없음

(54) 고전압 워드 라인 드라이버 회로를 구비한 반도체 메모리장치

요약

여기에 개시되는 반도체 메모리 장치의 워드 라인 드라이버 회로는 고전압용 트랜지스터들을 포함하는 레벨 쉬프터와, 레벨 쉬프터의 출력단에 연결된 드라이버와, 상기 레벨 쉬프터의 출력단에 연결된 방전 회로를 포함한다. 상기 방전 회로는 저전압용 트랜지스터를 이용하여 구현되며, 상기 레벨 쉬프터와 연동하여 상기 레벨 쉬프터의 출력단을 방전한다. 이러한 회로 구성에 따르면, 레벨 쉬프터의 하이-로우 천이 시간을 단축함으로써, 워드 라인 드라이버 회로의 속도가 향상될 수 있다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 종래 기술에 따른 반도체 메모리 장치의 워드 라인 드라이버 회로를 보여주는 회로도;

도 2는 본 발명에 따른 반도체 메모리 장치의 워드 라인 드라이버 회로를 보여주는 회로도;

도 3은 종래 기술 및 본 발명의 워드 라인 드라이버 회로의 속도를 비교하기 위한 도면;

도 4는 본 발명의 다른 실시예에 따른 반도체 메모리 장치의 워드 라인 드라이버 회로를 보여주는 회로도; 그리고

도 5는 본 발명의 또 다른 실시예에 따른 반도체 메모리 장치의 워드 라인 드라이버 회로를 보여주는 회로도이다.

도면의 주요 부분에 대한 부호의 설명

10, 100, 100', 100" : 워드 라인 드라이버 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로서, 구체적으로는 불휘발성 반도체 메모리 장치의 고전압 워드 라인 드라이버 회로에 관한 것이다.

잘 알려진 바와 같이, 집적 회로 전자 장치들은, 비록 서로 연동하더라도, 다른 전압 레벨들에서 동작하며 별도의 전원을 공급받는, 회로부들을 포함한다. 게다가, 그러한 회로부들 중 몇몇은 동작 모드에 따라 다른 공급 전압들을 필요로 한다. 예를 들면, 전기적으로 프로그램 가능한 롬 (EPROM), 전기적으로 소거 및 프로그램 가능한 롬 (EEPROM), 플래시 (flash), 등과 같은 불휘발성 반도체 메모리 장치들에 있어서, 드라이버, 디코딩, 리던던시, 프로그래밍 회로들과 같은 다양한 회로부들은 동작 모드에 따라 다른 전압들에서 동작하며, 그러므로, " 레벨 쉬프터" (고전압 스위칭 회로, 레벨 변환기 등으로 불림)와 같은 잘 알려진 회로들에 연결되어야 한다.

그러한 레벨 쉬프터들에 대한 예들이 U.S. Pat. No. 5,214,602에 "DYNAMIC MEMORY WORD LINE DRIVER SCHEME" 라는 제목으로, U.S. Pat. No. 5,315,188에 "HIGH VOLAGE SWITCHING CIRCUIT" 라는 제목으로, U.S. Pat. No. 5,602,796에 "WORD LINE DRIVER IN A SEMICONDUCTOR MEMORY DEVICE" 라는 제목으로, 그리고 U.S. Pat. No. 5,959,902에 "VOLATGE LEVEL SHIFTER DEVICE, PARTICULARY FOR A NONVOLATILE MEMORY" 라는 제목으로 각각 게재되어 있으며, 레퍼런스로 포함된다.

도 1을 참조하면, 이 분야에 잘 알려진 워드 라인 드라이버 회로가 도시되어 있다. 워드 라인 드라이버 회로 (10)는 레벨 쉬프터 (12)와 드라이버 (14)로 구성되며, 선택 신호 (WDen)에 응답하여 메모리 셀 (MC)에 연결된 워드 라인 (WL)을 구동한다. 특히, 상기 워드 라인 드라이버 회로 (10)는 전기적으로 소거 및 프로그램 가능한 메모리 셀들을 갖는 불휘발성 반도체 메모리 장치에 사용되며, 상기 워드 라인 (WL)으로 고전압을 전달한다. 상기 고전압은 프로그램/소거 동작에 필요한 전압으로서 저전압용 NMOS 트랜지스터의 접합 브레이크다운 전압 (junction breakdown voltage) (예를 들면, +7V 이상의 고전압) 보다 높은 전압이다.

앞서 언급된 레퍼런스 (U.S. Pat. No. 5,959,902의 도 3 참조)에 도시된 것과 동일한 기능을 수행하는 도 1의 레벨 쉬프터 (12)는 인버터 (20), 2개의 PMOS 트랜지스터들 (22, 24), 그리고 2개의 NMOS 트랜지스터들 (26, 28)로 구성된다. 교차 접속된 PMOS 트랜지스터들 (22, 24)는 Vpp로 표기된 전원 공급 노드 (30)와 대응하는 제어 노드들 (32, 34) 사이에 각각 연결된 소오스-드레인 채널들을 갖는다. PMOS 트랜지스터 (22)의 게이트는 제어 노드 (34)에 연결되고, PMOS 트랜지스터 (24)의 게이트는 제어 노드 (32)에 연결된다. NMOS 트랜지스터 (26)의 드레인-소오스 채널은 제어 노드 (32)와 접지 전압 사이에 연결되고, 게이트는 인버터 (20)를 통해 선택 신호 (WDen)를 받아

들이도록 연결된다. NMOS 트랜지스터 (28)의 드레인-소오스 채널은 제어 노드 (34)와 접지 전압 사이에 연결되며, 게이트는 선택 신호 (WDen)를 직접 받아들이도록 연결된다. 레벨 쉬프터 (12)의 출력단으로 사용되는 제어 노드 (34)에는 풀-업용 PMOS 트랜지스터 (36)와 풀-다운용 NMOS 트랜지스터 (38)로 구성된 드라이버 (14)가 연결된다.

도 1에서, 트랜지스터들 (22, 24, 26, 28, 36, 38)은 고전압 (Vpp)용 트랜지스터를 이용하여 구현되며, 인버터 (20)는 전원으로서 고전압 (Vpp)보다 낮은 전원 전압 (Vdd)을 사용한다.

회로 동작에 있어서, 선택 신호 (WDen)가 로직 로우 레벨일 때 (워드 라인이 선택되지 않을 때), NMOS 트랜지스터 (26)는 턴 온되는 반면에 NMOS 트랜지스터 (28)는 턴 오프된다. 이는 PMOS 트랜지스터 (24)를 통해 제어 노드 (34)가 고전압 (Vpp)으로 충전되게 한다. 결과적으로, 워드 라인 (WL)은 드라이버 (14)의 NMOS 트랜지스터 (38)를 통해 접지된다. 이와 반대로, 선택 신호 (WDen)가 로직 하이 레벨일 때 (워드 라인이 선택될 때), NMOS 트랜지스터 (26)는 턴 오프되는 반면에 NMOS 트랜지스터 (28)는 턴 온된다. 이는 NMOS 트랜지스터 (28)를 통해 제어 노드 (34)의 충전된 전압이 접지 전압으로 방전되게 한다. 결과적으로, 워드 라인 (WL)은 드라이버 (14)의 PMOS 트랜지스터 (36)를 통해 고전압 (Vpp)을 공급받는다.

실질적으로, 도 1의 워드 라인 드라이버 회로 (10)는 정상적으로 동작하지만, 느린 구동 속도를 갖는다 (또는, 선택 신호의 활성화 시점에서 워드 라인의 활성화 시점까지의 시간이 길다). 상기 워드 라인 드라이버 회로 (10)의 속도는 레벨 쉬프터 (12)의 스위칭 속도 (또는 제어 노드 (34) 즉, 레벨 쉬프터 (12)의 출력단의 하이-로우 천이 시간)에 의해서 결정된다. 이 분야의 통상적인 지식을 갖는 자들에게 잘 알려져 있듯이, 일반적으로, 고전압용 NMOS 트랜지스터 (28)의 방전 능력은 고전압용 NMOS 트랜지스터의 구조적인 특성 (예를 들면, 소오스 및 드레인의 더블 디퓨젼 구조 (double diffusion struture))으로 인해 저전압용 NMOS 트랜지스터의 방전 능력보다 떨어진다 (임의의 충전된 전압을 접지 전압까지 충분히 방전하는 능력이 나쁨을 의미함). 그러므로, 도 1의 워드 라인 드라이버 회로 (10)는 고속 메모리 장치에 부적합하다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 향상된 스위칭 속도를 갖는 반도체 메모리 장치의 워드 라인 드라이버 회로를 제공하는 것이다.

발명의 구성 및 작용

(구성)

상술한 제반 목적을 달성하기 위한 본 발명의 특징에 의하면, 반도체 메모리 장치에서 사용되는 드라이버 회로는 전원 전압과 접지 전압 중 하나를 갖는 입력 신호를 받아들이고, 상기 입력 신호의 전압 레벨을 상기 접지 전압과 고전압 중 어느 하나로 변환하는 레벨 쉬프터와; 상기 고전압은 저전압용 NMOS 트랜지스터의 접합 브레이크다운 전압보다 크며; 상기 레벨 쉬프터로부터 출력된 출력 신호의 전압 레벨에 따라, 상기 드라이버 회로의 출력 단자를 상기 고전압과 접지 전압 중 하나로 구동하는 드라이버 및; 상기 레벨 쉬프터의 출력단에 연결되며, 상기 입력 신호에 따라 상기 레벨 쉬프터와 연동하여 상기 레벨 쉬프터의 출력단의 전압을 방전하는 방전 회로를 포함한다.

이 실시예에 있어서, 상기 레벨 쉬프터는 한 쌍의 교차 접속된 PMOS 트랜지스터들과, 한 쌍의 제어 노드들과, 상기 고전압을 공급받는 전원 공급 노드와, 상기 제어 노드들 중 하나는 상기 레벨 쉬프터의 출력단을 형성하며, 상기 입력 신호에 연결된 입력단을 갖는 인버터와, 그리고 각각이 상기 제어 노드들 중 대응하는 제어 노드와 상기 접지 전압 사이에

연결된 한 쌍의 NMOS 트랜지스터들과, 상기 NMOS 트랜지스터들 중 하나의 게이트는 상기 인버터의 출력단에 연결되고, 다른 NMOS 트랜지스터의 게이트는 상기 입력 신호에 연결되며, 상기 각 트랜지스터는 고전압용 트랜지스터이다.

이 실시예에 있어서, 상기 방전 수단은 저전압용 NMOS 트랜지스터와 공핍형(depletion-type) NMOS 트랜지스터를 포함하며, 상기 저전압용 NMOS 트랜지스터는 상기 레벨 쉬프터의 출력단과 상기 인버터의 출력단 사이에 연결된 채널 및, 상기 입력 신호를 받아들이도록 연결된 게이트를 갖지며, 상기 공핍형 NMOS 트랜지스터는 상기 레벨 쉬프터의 출력단과 상기 저전압용 NMOS 트랜지스터 사이에 연결된 채널 및, 상기 입력 신호를 받아들이도록 연결된 게이트를 갖는다.

(작용)

이러한 회로에 의하면, 고전압 워드 라인 드라이버 회로에 사용되는 레벨 쉬프터에 저전압용 NMOS 트랜지스터를 추가함으로써 레벨 쉬프터의 스위칭 속도가 개선된다.

(실시예)

본 발명에 따른 실시예들이 참조도면들에 의거하여 이하 상세히 설명된다.

본 발명의 바람직한 실시예에 따른 워드 라인 드라이버 회로가 도 2에 도시되어 있다. 본 발명의 워드 라인 드라이버 회로 (100)는 반도체 메모리 장치 특히, 불휘발성 반도체 메모리 장치 (예를 들면, EPROM, EEPROM, 플래시, 등)에 사용되며, 선택 신호에 따라 메모리 셀 (또는 플로팅 게이트 메모리 셀 트랜지스터)에 연결된 워드 라인으로 고전압 (Vpp)을 전달한다. 상기 고전압 (Vpp)은 프로그램/소거 동작에 필요한 전압으로서 저전압용 NMOS 트랜지스터의 접합 브레이크다운 전압 (예를 들면, +7V 이상의 고전압) 보다 높은 전압이다.

도 2를 참조하면, PMOS 트랜지스터 (52)의 소오스는 " Vpp" 라 표기된 전원 공급 노드 (64)에 연결되고, 드레인은 제어 노드 (60) 또는 제 1 제어 노드에 연결되며, 게이트는 제어 노드 (62) 또는 제 2 제어 노드에 연결된다. 게이트가 제어 노드 (60)에 연결된 PMOS 트랜지스터 (54)는 노드들 (64, 62) 사이에 연결된 소오스-드레인 채널을 갖는다. 드레인-소오스 채널이 제어 노드 (60)와 접지 전압 사이에 연결된 NMOS 트랜지스터 (56)는 인버터 (50)를 통해 선택 신호 (WDen)를 받아들이도록 연결된 게이트를 갖는다. NMOS 트랜지스터 (58)의 드레인-소오스 채널은 제어 노드 (62)와 접지 전압 사이에 연결되며, 게이트는 선택 신호 (WDen)를 직접 공급받도록 연결된다.

게이트가 제어 노드 (62)에 연결된 PMOS 트랜지스터 (66)는 노드 (66)와 메모리 셀에 연결된 워드 라인 (WL) 사이에 연결된 소오스-드레인 채널을 가지며, NMOS 트랜지스터 (68)는 워드 라인 (WL)과 접지 전압 사이에 연결된 드레인-소오스 채널 및, 제어 노드 (62)에 연결된 게이트를 갖는다. 인버터 (50)의 출력단 (또는 NMOS 트랜지스터 (56)의 게이트)과 제어 노드 (62) 사이에는, NMOS 트랜지스터 (70)와 공핍형 NMOS 트랜지스터 (72)가 직렬로 연결된다. 트랜지스터들 (70, 72)의 게이트들은 선택 신호 (WDen)를 공통으로 받아들이도록 연결된다.

도 2에서, PMOS 및 NMOS 트랜지스터들 (52-68)은 고전압 (Vpp)용 트랜지스터를 이용하여 각각 구현되며, NMOS 트랜지스터 (70)는 저전압용 트랜지스터를 이용하여 구현된다. 인버터 (50)는 전원으로서 전원 전압 (Vdd)을 사용한다. 교차 접속된 PMOS 트랜지스터들 (52, 54)과 NMOS 트랜지스터 (56)는 인버터 (50)의 출력 신호에 응답하여

제어 노드 (62)를 고전압 (Vpp)으로 충전하는 풀-업 회로를 구성하며, NMOS 트랜지스터들 (58, 70, 72)은 선택 신호 (WDen)에 응답하여 제어 노드 (62)의 충전된 전압 (Vpp)을 접지 전압으로 방전하는 풀-다운 회로를 구성한다. 그리고, PMOS 및 NMOS 트랜지스터들 (66, 68)은 드라이버를 구성하고, 풀-다운 회로, 풀-업 회로 및 인버터 (50)는 레벨 쉬프터를 구성한다.

도 2에서, NMOS 트랜지스터 (70)의 드레인이 인버터 (50)의 출력단에 연결되어 있지만, 접지 전압에 직접 연결될 수 있다.

회로 동작에 있어서, 선택 신호 (WDen)가 로직 로우 레벨일 때 (워드 라인이 선택되지 않을 때), NMOS 트랜지스터 (56)는 턴 온되는 반면에 NMOS 트랜지스터 (58)는 턴 오프된다. 이와 동시에, NMOS 트랜지스터 (70) 역시 턴 오프된다. 이는 PMOS 트랜지스터 (54)를 통해 레벨 쉬프터의 출력단을 형성하는 제어 노드 (62)가 고전압 (Vpp)으로 충전되게 한다. 결과적으로, 워드 라인 (WL)은 NMOS 트랜지스터 (68)를 통해 접지된다. 여기서, 제어 노드 (62)에 고전압 (Vpp)이 충전될 때, 그러한 고전압 (Vpp)에 따라 생기는 접합 브레이크다운 전압 또는 게이트에 유도되는 브레이크다운 전압으로 인한 저전압용 NMOS 트랜지스터 (70)의 게이트 산화막 파괴는 공핍형 NMOS 트랜지스터 (72)에 의해서 방지된다.

이와 반대로, 선택 신호 (WDen)가 로직 하이 레벨일 때 (워드 라인이 선택될 때), NMOS 트랜지스터 (56)는 턴 오프되는 반면에 NMOS 트랜지스터 (58)는 턴 온된다. 게이트가 선택 신호 (WDen)에 연결된 저전압용 NMOS 트랜지스터 (70) 역시 턴 온된다. 이는 제어 노드 (62)의 충전된 전압이 제 1 방전 경로를 형성하는 고전압용 NMOS 트랜지스터 (58)를 통해 그리고 제 2 방전 경로를 형성하는 공핍형 PMOS 트랜지스터 (72), 저전압용 NMOS 트랜지스터 (70) 그리고 인버터 (50)의 풀다운 트랜지스터 (미도시됨)를 통해 접지 전압으로 방전되게 한다. 결과적으로, 워드 라인 (WL)은 PMOS 트랜지스터 (66)를 통해 고전압 (Vpp)을 공급받는다.

앞서 설명된 바와 같이, 선택 신호 (WDen)가 로우-하이 천이를 가질 때, 제어 노드 (62)의 충전된 전압은 고전압용 NMOS 트랜지스터 (58)로 구성된 제 1 방전 경로와 저전압용 NMOS 트랜지스터 (70)로 구성된 제 2 방전 경로를 통해 접지 전압 레벨까지 빠르게 방전된다. 이는 레벨 쉬프터의 스위칭 속도 즉, 방전 속도가 빨라지게 하며, 그 결과 워드 라인 드라이버 회로의 속도 (또는, 선택 신호의 활성화 시점에서 워드 라인의 구동 시점까지의 시간)가 빨라진다. 도 4에서 알 수 있듯이, 본 발명에 따른 워드 라인 드라이버 회로 (100)의 속도는 종래 기술의 드라이버 회로 (10)와 비교하여 볼 때 약 3.2ns 정도 빠르다. 그러므로, 본 발명의 바람직한 실시예에 따른 워드 라인 드라이버 회로는 고속 메모리 장치에 적합하다.

본 발명의 다른 실시예들에 따른 워드 라인 드라이버 회로들이 도 4 및 도 5에 각각 도시되어 있다. 도 4를 참조하면, 워드 라인 드라이버 회로 (100')는 도 2의 공핍형 NMOS 트랜지스터 (72)가 PMOS 트랜지스터 (82)로 대체된 점을 제외하고 도 2의 워드 라인 드라이버 회로 (100)와 동일하다. PMOS 트랜지스터 (82)의 게이트는 인버터 (50)의 출력단에 연결되며, 소오스-드레인 채널은 제어 노드 (62)와 저전압용 NMOS 트랜지스터 (70) 사이에 연결되고, 벌크는 제어 노드 (62)에 연결된다. 설명의 중복을 피하기 위해서, 도 4의 워드 라인 드라이버 회로 (100')에 대한 동작 설명은 여기서 생략된다. 하지만, 도 4의 워드 라인 드라이버 회로 (100') 역시 도 2와 동일한 효과 즉, 향상된 속도를 갖는다.

도 5의 워드 라인 드라이버 회로 (100")는 도 4의 워드 라인 드라이버 회로 (100')에 NMOS 트랜지스터 (92)가 추

가되었다는 점을 제외하고 도 4와 동일하며, 상기 NMOS 트랜지스터 (92)는 제어 노드 (62)와 저전압용 NMOS 트랜지스터 (70) 사이에 연결된 드레인-소오스 채널 및, 전원 전압 (Vdd)보다 낮은 레벨의 바이어스 전압 (Bias)을 공급받는 게이트를 갖는다. 설명의 중복을 피하기 위해서 도 5의 워드 라인 드라이버 회로 (100")에 대한 동작 설명은 여기서 생략된다. 하지만, 도 5의 워드 라인 드라이버 회로 (100") 역시 도 2와 동일한 효과 즉, 향상된 속도를 갖는다.

발명의 효과

상술한 바와 같이, 고전압 워드 라인 드라이버 회로에 사용되는 레벨 쉬프터에 저전압용 NMOS 트랜지스터를 추가함으로써 레벨 쉬프터의 스위칭 속도가 개선된다. 결과적으로, 고전압 워드 라인 드라이버 회로의 속도가 향상된다.

(57) 청구의 범위

청구항 1.

반도체 메모리 장치에서 사용되는 드라이버 회로에 있어서:

전원 전압과 접지 전압 중 하나를 갖는 입력 신호를 받아들이고, 상기 입력 신호의 전압 레벨을 상기 접지 전압과 고전압 중 어느 하나로 변환하는 레벨 쉬프터와;

상기 고전압은 저전압용 NMOS 트랜지스터의 접합 브레이크다운 전압보다 크며;

상기 레벨 쉬프터로부터 출력된 출력 신호의 전압 레벨에 따라, 상기 드라이버 회로의 출력 단자를 상기 고전압과 접지 전압 중 하나로 구동하는 드라이버 및;

상기 레벨 쉬프터의 출력단에 연결되며, 상기 입력 신호에 따라 상기 레벨 쉬프터와 연동하여 상기 레벨 쉬프터의 출력단의 전압을 방전하는 수단을 포함하는 반도체 메모리 장치의 드라이버 회로.

청구항 2.

제 1 항에 있어서,

상기 레벨 쉬프터는 한 쌍의 교차 접속된 PMOS 트랜지스터들과, 한 쌍의 제어 노드들과, 상기 고전압을 공급받는 전원 공급 노드와, 상기 제어 노드들 중 하나는 상기 레벨 쉬프터의 출력단을 형성하며, 상기 입력 신호에 연결된 입력단을 갖는 인버터와, 그리고 각각이 상기 제어 노드들 중 대응하는 제어 노드와 상기 접지 전압 사이에 연결된 한 쌍의 NMOS 트랜지스터들과, 상기 NMOS 트랜지스터들 중 하나의 게이트는 상기 인버터의 출력단에 연결되고, 다른 NMOS 트랜지스터의 게이트는 상기 입력 신호에 연결되며, 상기 각 트랜지스터는 고전압용 트랜지스터인 반도체 메모리 장치의 드라이버 회로.

청구항 3.

제 2 항에 있어서,

상기 수단은 저전압용 NMOS 트랜지스터를 포함하며, 상기 저전압용 NMOS 트랜지스터는 상기 레벨 쉬프터의 출력단과 상기 인버터의 출력단 사이에 연결된 채널 및, 상기 입력 신호를 받아들이도록 연결된 게이트를 갖는 반도체 메모리 장치의 드라이버 회로.

청구항 4.

제 3 항에 있어서,

상기 수단은 공핍형(depletion-type) NMOS 트랜지스터를 부가적으로 포함하며, 상기 공핍형 NMOS 트랜지스터는 상기 레벨 쉬프터의 출력단과 상기 저전압용 NMOS 트랜지스터 사이에 연결된 채널 및, 상기 입력 신호를 받아들이도록 연결된 게이트를 갖는 반도체 메모리 장치의 드라이버 회로.

청구항 5.

제 3 항에 있어서,

상기 수단은 PMOS 트랜지스터를 부가적으로 포함하며, 상기 PMOS 트랜지스터는 상기 레벨 쉬프터의 출력단과 상기 저전압용 NMOS 트랜지스터 사이에 연결된 채널 및, 상기 인버터의 출력단에 연결된 게이트를 가지며, 상기 PMOS 트랜지스터의 벌크는 상기 레벨 쉬프터의 출력단에 연결된 반도체 메모리 장치의 드라이버 회로.

청구항 6.

제 5 항에 있어서,

상기 수단은 상기 레벨 쉬프터의 출력단과 상기 저전압용 NMOS 트랜지스터 사이에 연결된 채널 및, 전원 전압보다 낮은 바이어스 전압을 받아들이도록 연결된 게이트를 갖는 저전압용 NMOS 트랜지스터를 부가적으로 포함하는 반도체 메모리 장치의 드라이버 회로.

청구항 7.

메모리 셀에 연결된 적어도 하나의 워드 라인 및; 상기 적어도 하나의 워드 라인에 연결된 워드 라인 드라이버 회로를 갖는 반도체 메모리 장치에 있어서:

상기 워드 라인 드라이버 회로는

상기 적어도 하나의 워드 라인을 선택하기 위한 선택 신호를 받아들이는 인버터와;

상기 인버터의 출력 신호에 응답하여 제어 노드를 고전압으로 충전하는 풀-업 회로와;

상기 제어 노드에 공통으로 연결된 제 1 및 제 2 방전 경로들을 가지며, 상기 선택 회로에 응답하여 상기 제 1 및 제 2 방전 경로들을 통해 상기 제어 노드에 충전된 전압을 방전하는 풀-다운 회로 및;

상기 제어 노드에 연결되며, 상기 제어 노드의 전압에 따라 상기 워드 라인을 상기 고전압과 상기 접지 전압 중 하나로 구동하는 드라이버를 포함하는 반도체 메모리 장치.

청구항 8.

제 7 항에 있어서,

상기 반도체 메모리 장치는 불휘발성 반도체 메모리 장치를 포함하는 반도체 메모리 장치.

청구항 9.

제 7 항에 있어서,

상기 고전압은 저전압용 NMOS 트랜지스터의 접합 브레이크다운 전압보다 높은 반도체 메모리 장치.

청구항 10.

제 7 항에 있어서,

상기 제 1 방전 경로는 고전압용 NMOS 트랜지스터를 포함하며, 상기 NMOS 트랜지스터는 상기 제어 노드와 상기 접지 전압 사이에 연결된 채널 및 상기 인버터의 출력 신호를 받아들이도록 연결된 게이트를 갖는 반도체 메모리 장치.

청구항 11.

제 7 항에 있어서,

상기 제 2 방전 경로는 저전압용 NMOS 트랜지스터를 포함하며, 상기 NMOS 트랜지스터는 상기 제어 노드와 상기 인버터의 출력단 사이에 연결된 채널 및 상기 선택 신호를 받아들이도록 연결된 게이트를 갖는 반도체 메모리 장치.

청구항 12.

제 11 항에 있어서,

상기 제 2 방전 경로는 공핍형 MOS 트랜지스터를 부가적으로 포함하며, 상기 MOS 트랜지스터는 상기 제어 노드와 상기 NMOS 트랜지스터 사이에 연결된 채널 및 상기 선택 신호를 받아들이도록 연결된 게이트를 갖는 반도체 메모리 장치.

청구항 13.

제 11 항에 있어서,

상기 제 2 방전 경로는 PMOS 트랜지스터를 부가적으로 포함하며, 상기 PMOS 트랜지스터는 상기 제어 노드와 상기 NMOS 트랜지스터 사이에 연결된 채널 및 상기 인버터의 출력단에 연결된 게이트를 가지며, 상기 PMOS 트랜지스터의 벌크는 상기 제어 노드에 연결된 반도체 메모리 장치.

청구항 14.

제 13 항에 있어서,

상기 제 2 방전 경로는 제 2 NMOS 트랜지스터를 부가적으로 포함하며, 상기 NMOS 트랜지스터는 상기 제어 노드와 상기 제 1 NMOS 트랜지스터 사이에 연결된 채널 및 전원 전압보다 낮은 바이어스 전압을 받아들이도록 연결된 게이트를 갖는 반도체 메모리 장치.

청구항 15.

제 7 항에 있어서,

상기 풀-업 회로는 교차 접속된 PMOS 트랜지스터들 및 NMOS 트랜지스터를 포함하며, 상기 트랜지스터들은 고전압용 트랜지스트를 각각 포함하는 반도체 메모리 장치.

청구항 16.

반도체 메모리 장치에서 사용되는 워드 라인 드라이버 회로에 있어서:

고전압을 공급받는 전원 공급 노드와 제 1 제어 노드 사이에 연결된 소오스-드레인 채널을 갖는 제 1 PMOS 트랜지스터와;

상기 전원 공급 노드와 제 2 제어 노드 사이에 연결된 소오스-드레인 채널 및, 상기 제 1 제어 노드에 연결된 게이트를 갖는 제 2 PMOS 트랜지스터와;

상기 제 1 PMOS 트랜지스터의 게이트는 상기 제 2 제어 노드에 연결되며;

상기 제 1 제어 노드와 접지 전압 사이에 연결된 드레인-소오스 채널 및, 인버터를 통해 선택 신호를 받아들이도록 연결된 게이트를 갖는 제 1 NMOS 트랜지스터와;

상기 제 2 제어 노드와 상기 접지 전압 사이에 연결된 드레인-소오스 채널 및, 상기 선택 신호를 직접 받아들이도록 연결된 게이트를 갖는 제 2 NMOS 트랜지스터와;

상기 제 2 제어 노드에 연결되며, 상기 제 2 제어 노드의 전압 레벨에 따라 메모리 셀에 연결된 행 라인을 구동하는 드라이버 및;

상기 제 2 제어 노드와 상기 인버터의 출력단 사이에 연결된 드레인-소오스 채널 및, 상기 선택 신호를 받아들이도록 연결된 게이트를 갖는 제 3 NMOS 트랜지스터를 포함하는 반도체 메모리 장치의 워드 라인 드라이버 회로.

청구항 17.

제 16 항에 있어서,

상기 제 1 및 제 2 PMOS 트랜지스터들과 상기 제 1 및 제 2 NMOS 트랜지스터들은 고전압용 트랜지스터로 구성되고, 상기 제 3 NMOS 트랜지스터는 저전압용 트랜지스터로 구성되는 반도체 메모리 장치의 워드 라인 드라이버 회로.

청구항 18.

제 17 항에 있어서,

상기 고전압은 저전압용 NMOS 트랜지스터의 접합 브레이크다운 전압보다 큰 전압 레벨을 갖는 반도체 메모리 장치의 워드 라인 드라이버 회로.

청구항 19.

제 18 항에 있어서,

공핍형 NMOS 트랜지스터를 부가적으로 포함하며, 상기 공핍형 NMOS 트랜지스터는 상기 제 2 제어 노드와 상기 제 3 NMOS 트랜지스터 사이에 연결된 드레인-소오스 채널 및, 상기 선택 신호를 직접 받아들이도록 연결된 게이트를 갖는 반도체 메모리 장치의 워드 라인 드라이버 회로.

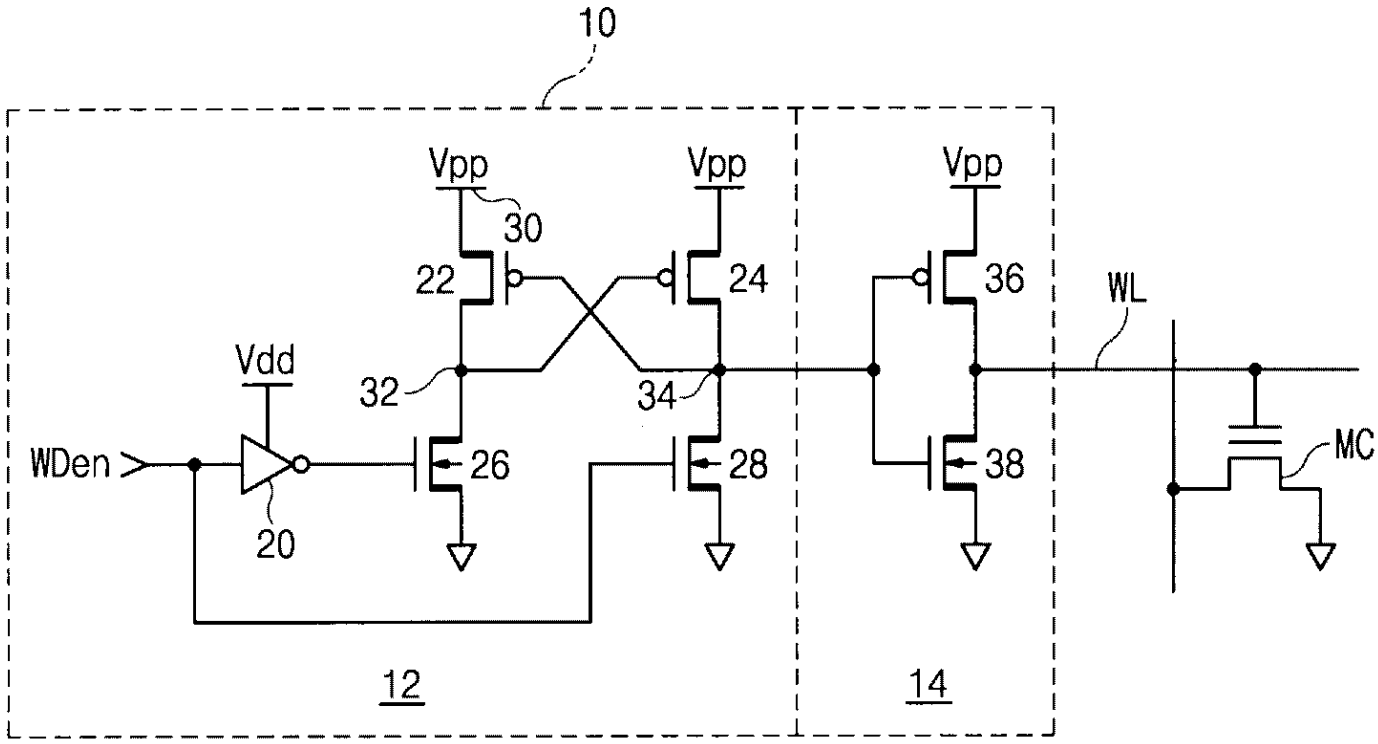
청구항 20.

제 18 항에 있어서,

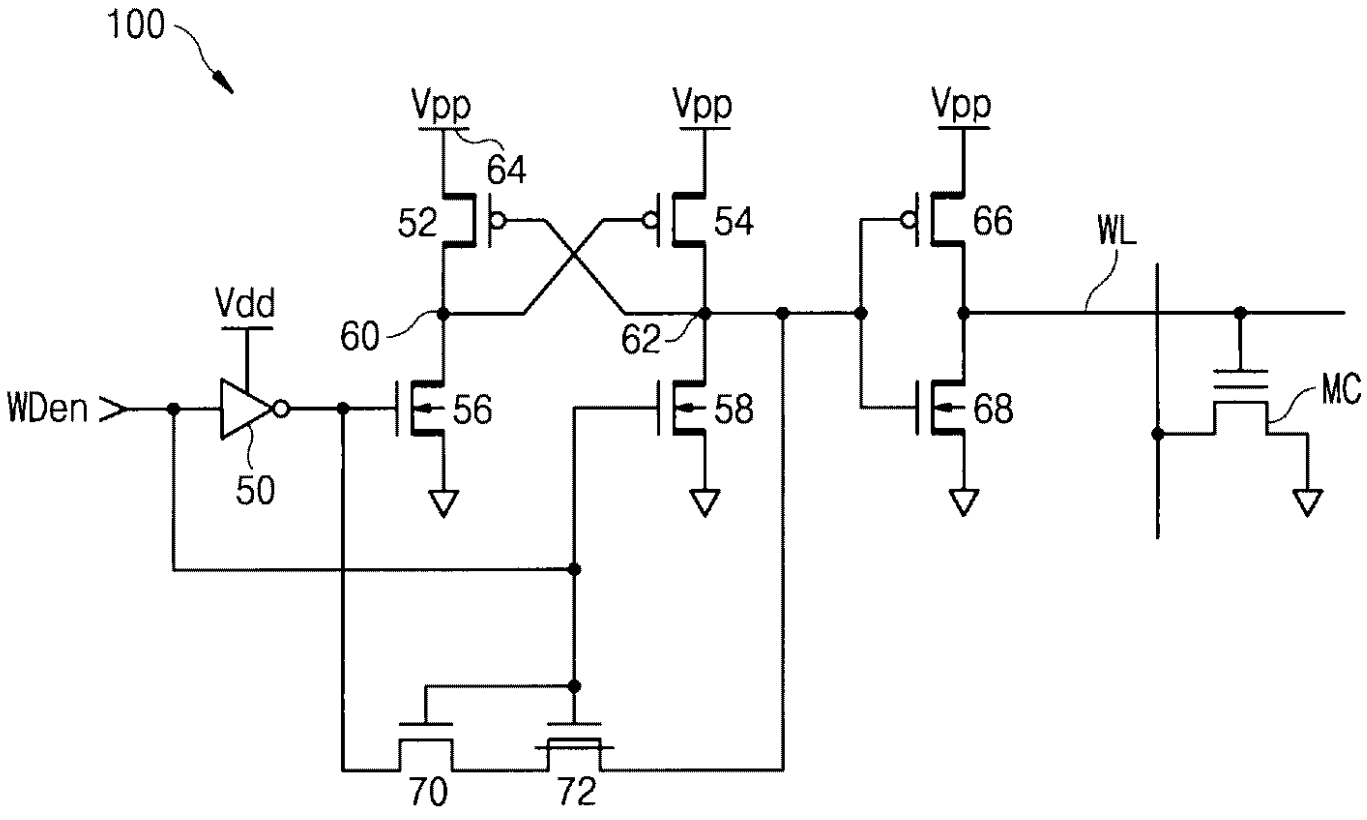
저전압용 PMOS 트랜지스터를 부가적으로 포함하며, 상기 PMOS 트랜지스터는 상기 제 2 제어 노드와 상기 제 3 NMOS 트랜지스터 사이에 연결된 소오스-드레인 채널 및, 상기 인버터의 출력단에 직접 연결된 게이트를 갖는 반도체 메모리 장치의 워드 라인 드라이버 회로.

도면

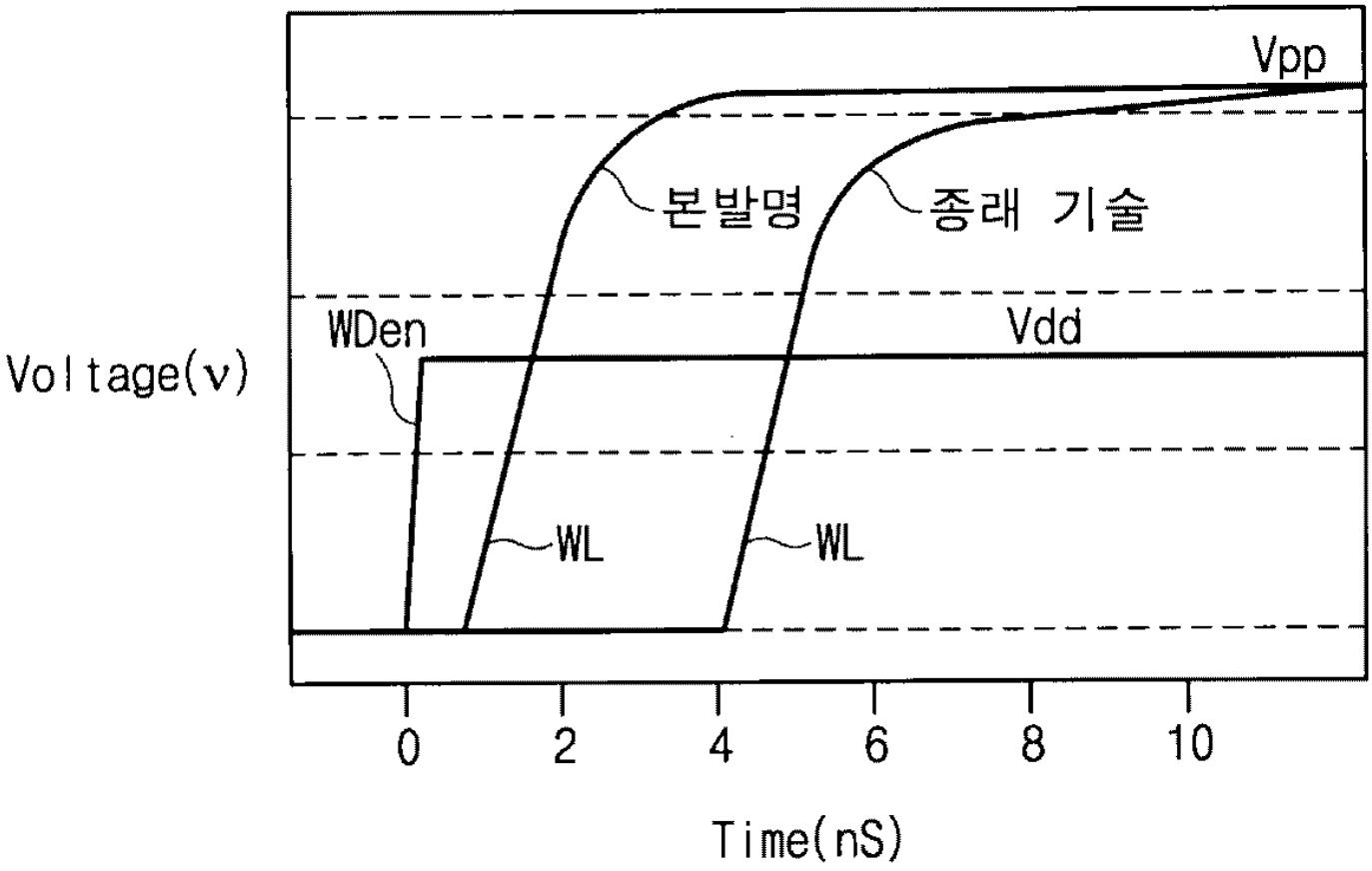
도면 1


10
Vpp
Vpp
Vpp
30
22
24
36
WL
Vdd
32
34
WDen
26
28
38
MC
20
12
14

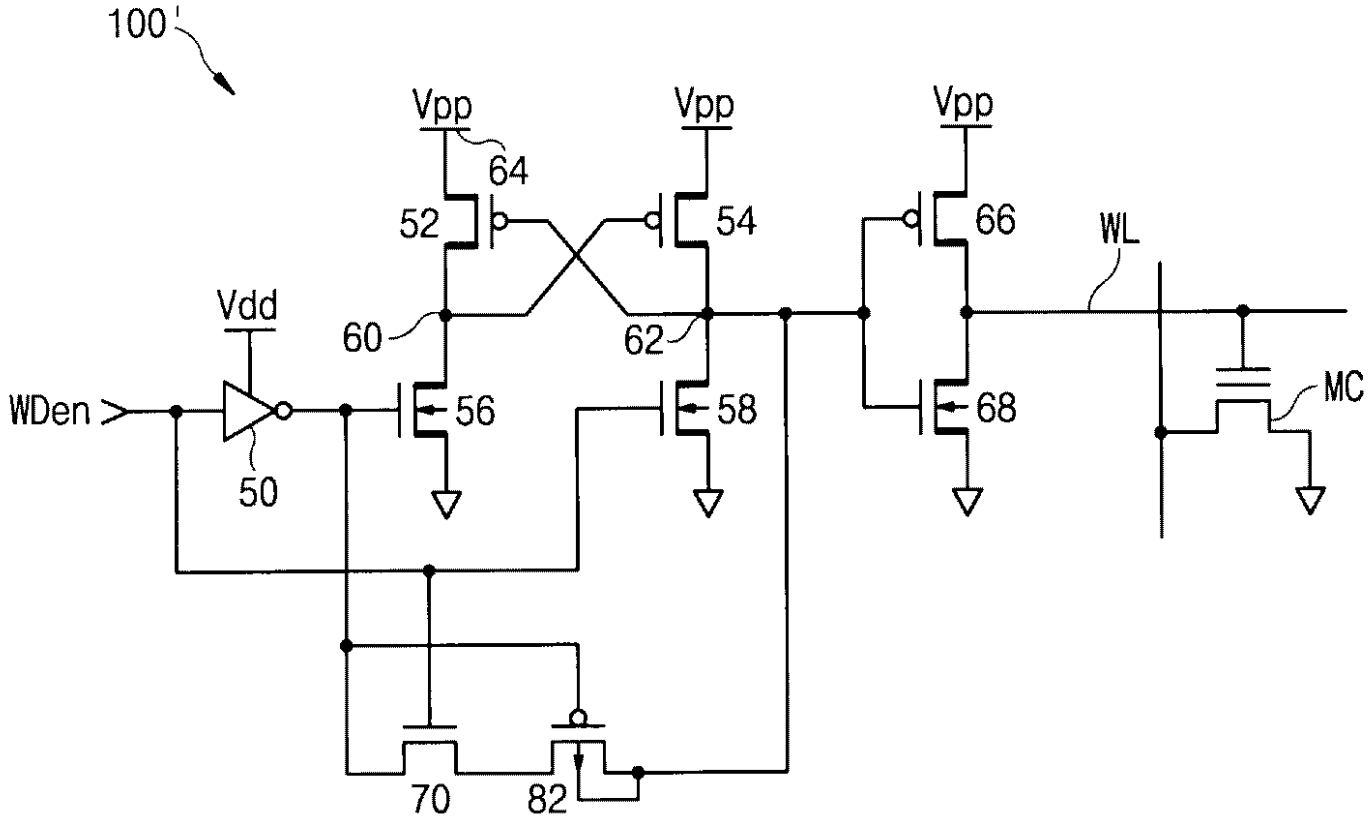
도면 2


100
Vpp
Vpp
Vpp
64
52
54
66
WL
Vdd
60
62
WDen
56
58
68
MC
50
70
72

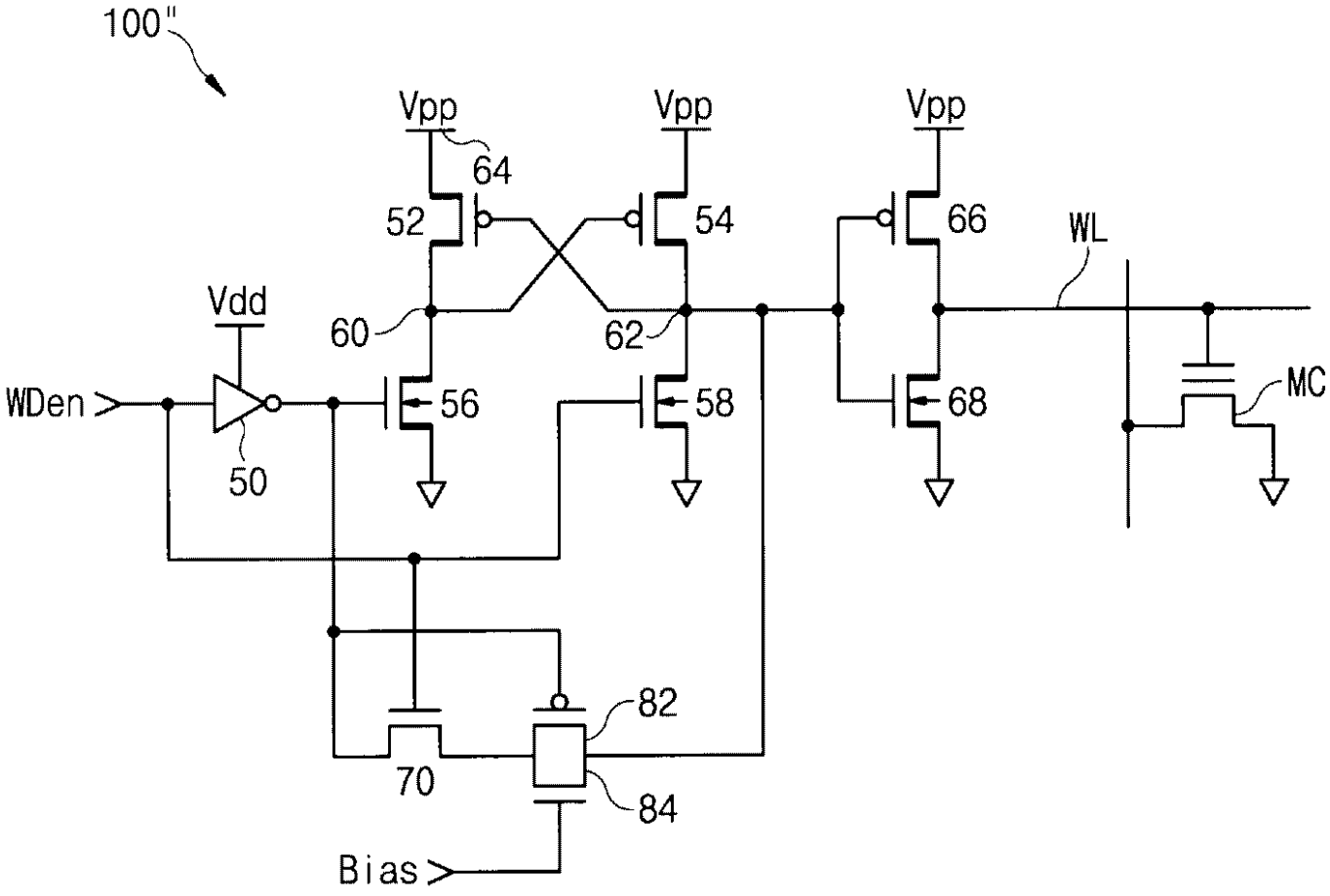
도면 3


Vpp
본발명
종래 기술
WDen
Vdd
Voltage(v)
WL
WL
0
2
4
6
8
10
Time(nS)

도면 4


100
Vpp
64
52
Vpp
54
Vpp
66
WL
Vdd
60
62
WDen
56
58
68
MC
50
70
82

도면 5


100"
Vpp
64
52
54
Vpp
Vpp
66
WL
Vdd
60
62
WDen
56
58
68
MC
50
82
70
84
Bias