

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-178425
(P2006-178425A)

(43) 公開日 平成18年7月6日(2006.7.6)

(51) Int. Cl.		F I		テーマコード (参考)
G09G	5/00	(2006.01)	G09G 5/00 550H	5C021
H04N	5/205	(2006.01)	H04N 5/205	5C025
H04N	5/445	(2006.01)	H04N 5/445 Z	5C082

審査請求 有 請求項の数 12 O L (全 12 頁)

(21) 出願番号 特願2005-330383 (P2005-330383)
 (22) 出願日 平成17年11月15日 (2005.11.15)
 (31) 優先権主張番号 10-2004-0109393
 (32) 優先日 平成16年12月21日 (2004.12.21)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si
 Gyeonggi-do, Republic of Korea
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100091214
 弁理士 大貫 進介
 (74) 代理人 100107766
 弁理士 伊東 忠重

最終頁に続く

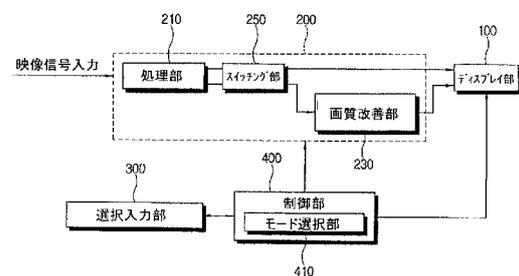
(54) 【発明の名称】 映像信号処理回路及びこれを含むディスプレイ装置

(57) 【要約】

【課題】 使用者が使用目的に応じバイパスモードを選択することによって、信号処理時間を短縮することができ、使用者の便宜が図れる映像信号処理回路及びこれを含むディスプレイ装置が提供する。

【解決手段】 本発明はディスプレイ装置に関する。本発明によるディスプレイ装置は、ディスプレイ部と、入力された映像信号を信号処理する処理部と、前記処理された映像信号の画質を改善する画質改善部と、前記画質改善部を選択的にバイパスする信号処理経路を有する映像信号処理部と、前記信号処理経路に対応するバイパスモードを選択するための選択入力部と、使用者が前記選択入力部を通じて前記バイパスモードを選択した場合、前記処理部を通じて信号処理された前記映像信号を、前記画質改善部をバイパスして前記ディスプレイ部に出力するように前記映像信号処理部を制御する制御部とを含む。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

ディスプレイ部を有するディスプレイ装置において、

入力された映像信号を信号処理する処理部と、前記処理された映像信号の画質を改善する画質改善部を有し、前記画質改善部を選択的にバイパスする信号処理経路を含む経路で前記映像信号を処理する映像信号処理部と；

前記信号処理経路に対応するバイパスモードを選択するための選択入力部と；

使用者が前記選択入力部を通じて前記バイパスモードを選択した場合、前記処理部を通じて信号処理された前記映像信号を、前記画質改善部をバイパスして前記ディスプレイ部

10

に出力するように前記映像信号処理部を制御する制御部と；

を含むことを特徴とするディスプレイ装置。

【請求項 2】

前記映像信号処理部は、前記処理部から出力される映像信号を前記画質改善部と前記ディスプレイ部のうちのいずれか一つに出力するようにスイッチングするスイッチング部をさらに含むことを特徴とする請求項 1 に記載のディスプレイ装置。

【請求項 3】

前記画質改善部は、複数の画質改善 IC を含み、

前記制御部は、使用者が前記選択入力部を通じて前記バイパスモードを選択した場合、前記複数の画質改善 IC のうちの少なくともいずれか一つをバイパスするように前記映像信号処理部を制御することを特徴とする請求項 2 に記載のディスプレイ装置。

20

【請求項 4】

前記選択入力部は、前記バイパスモードに関する OSD メニューを生成する OSD 生成部と、前記 OSD メニューを通じて前記バイパスモードを選択するための所定の入力キーとを含み、

前記制御部は、前記バイパスモードに対応する所定の値を設定するモード設定部をさらに含むことを特徴とする請求項 3 に記載のディスプレイ装置。

【請求項 5】

前記処理部は、デコーダーと、前記デコーダーから出力される映像信号を選択的に受けるスケーラーとを含み、

前記画質改善 IC は、デインターレーサーと、前記スケーラーからの映像信号を受ける

30

イメージエンハンサーとを含むことを特徴とする請求項 3 に記載のディスプレイ装置。

【請求項 6】

前記スイッチング部は、前記デコーダーから出力される映像信号を前記スケーラーと前記デインターレーサーのうちのいずれか一つに出力する第 1 スwitchング部を含むことを特徴とする請求項 5 に記載のディスプレイ装置。

【請求項 7】

前記スイッチング部は、前記スケーラーから出力される映像信号を前記ディスプレイ部と前記イメージエンハンサーのうちのいずれか一つに出力する第 2 スwitchング部をさらに含むことを特徴とする請求項 6 に記載のディスプレイ装置。

【請求項 8】

前記制御部は、使用者が前記選択入力部を通じて第 1 バイパスモードを選択した場合、前記デコーダー及び前記スケーラーから出力される映像信号を各々前記スケーラー及び前記ディスプレイ部に出力するように前記第 1 スwitchング部及び前記第 2 スwitchング部を制御することを特徴とする請求項 7 に記載のディスプレイ装置。

40

【請求項 9】

前記制御部は、使用者が前記選択入力部を通じて第 2 バイパスモードを選択した場合、前記デコーダー及び前記スケーラーから出力される映像信号を各々前記デインターレーサー及び前記ディスプレイ部に出力するように前記第 1 スwitchング部及び前記第 2 スwitchング部を制御することを特徴とする請求項 7 または 8 に記載のディスプレイ装置。

【請求項 10】

50

前記制御部は、使用者が前記選択入力部を通じて第3バイパスモードを選択した場合、前記デコーダー及び前記スケーラーから出力される映像信号を各々前記スケーラー及び前記イメージエンハンサーに出力するように前記第1スイッチング部及び前記第2スイッチング部を制御することを特徴とする請求項7または8に記載のディスプレイ装置。

【請求項11】

入力された映像信号を処理してディスプレイパネルに出力する映像信号処理回路において、

入力された映像信号を信号処理する処理部と、

前記処理された映像信号の画質を改善する画質改善部と、

前記処理部を通じて信号処理された映像信号を前記画質改善部と前記ディスプレイパネルのうちのいずれか一つに出力するためのスイッチング部と、

を含むことを特徴とする映像信号処理回路。

【請求項12】

デコーダー、デインターレーサー、スケーラー、及びイメージエンハンサーを含む映像信号処理回路において、

前記デコーダーから出力される映像信号を前記スケーラーと前記デインターレーサーのうちのいずれか一つに出力するようにする第1スイッチング部と、

前記スケーラーから出力される映像信号を前記イメージエンハンサーに選択的に出力する第2スイッチング部と、

を含むことを特徴とする映像信号処理回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は映像信号処理回路及びこれを含むディスプレイ装置に関し、より詳しくは、入力された映像信号を処理するに当たって、画質改善機能をオンオフすることができる映像信号処理回路及びこれを含むディスプレイ装置に関する。

【背景技術】

【0002】

最近、ディスプレイ装置の映像信号処理において、信号処理方法がアナログからデジタル化するとともにフレーム単位で信号を処理することが一般的になり、この際にフレームメモリを利用して信号処理を行う信号処理ICを多く使用する。

【0003】

ここで信号処理ICは、基本的な信号処理以外に画質を改善するための信号処理ICを有する。

【0004】

画質改善の目的で信号処理ICを含む従来のディスプレイ装置を利用した信号処理経路については、図1を参照して説明する。

【0005】

図1は、外部ソースがゲーム機である場合に、信号処理による信号遅延を例示した図である。

【0006】

図1のAに示すように、現在外部ソースであるゲーム機から出力される映像信号に対応する画面は、野球のボールがストライクゾーンに到達した映像である。

【0007】

しかし、この映像信号が、デコーダーとデインターレーサー、スケーラー、イメージエンハンサーを経て信号処理されディスプレイ装置に表示される画面は、図1のBに示されているようにまだ野球のボールがストライクゾーンに到達する前の映像である。

【0008】

ここで、画質改善の目的でフレームメモリを使用するデインターレーサー及びイメージエンハンサーのような信号処理ICなどで、比較的的信号処理時間が多く遅延する。

10

20

30

40

50

【0009】

したがって、ゲーム機から出力された画面は、現在状態での使用者の入力、つまり、ボールを打つ動作に対する命令が必要な時点や、信号処理の遅延により、使用者が見る時点ではまだキー入力が必要でない。

【0010】

このように、信号処理が遅延するとき、一般的なビデオ映像であれば使用者と相互作用がないために特別な問題が生じないが、ゲーム映像である場合には使用者との相互作用があるため、ゲーム機が受信する使用者のキー入力と映像信号の同期が外れることがある。

【0011】

図1に示すように、一般的な信号処理過程は通常150msec程度の信号処理遅延が発生するが、信号処理遅延が100msec以上であればゲーム中のキー入力時期を逃す恐れがある。

10

【発明の開示】

【発明が解決しようとする課題】

【0012】

そこで、本発明が目的とするところは、使用者が使用目的に応じ信号処理経路において画質改善機能を省略するバイパス信号処理経路を選択することによって、信号処理時間を短縮することができ、使用者の便宜が図れる映像信号処理回路及びこれを含むディスプレイ装置を提供することにある。

【課題を解決するための手段】

20

【0013】

前記目的は、本発明によって、ディスプレイ部を有するディスプレイ装置において、入力された映像信号を信号処理する処理部と；前記処理された映像信号の画質を改善する画質改善部を有する映像信号処理部と；前記画質改善部を選択的にバイパスする信号処理経路を有する映像信号処理部と；前記信号処理経路に対応するバイパスモードを選択するための選択入力部と；使用者が前記選択入力部を通じて前記バイパスモードを選択した場合、前記処理部を通じて信号処理された前記映像信号を前記画質改善部をバイパスして前記ディスプレイ部に出力するように前記映像信号処理部を制御する制御部とを含むことを特徴とするディスプレイ装置によって達成できる。

【0014】

これにより、画質改善部をバイパスする信号処理経路をさらに有することができるので、使用者は、使用目的に応じて、画質は落ちるが信号処理の遅延が少ない信号処理モードを選択して使用することができる。

30

【0015】

ここで、前記映像信号処理部は、前記処理部から出力される映像信号を前記画質改善部と前記ディスプレイ部のうちのいずれか一つに出力するようにスイッチングするスイッチング部をさらに含むことができる。

【0016】

これにより、制御部が使用者の選択によってスイッチング部の動作を制御することによって、バイパス信号処理経路を選択することができる。

40

【0017】

前記画質改善部は、複数の画質改善ICを含み、前記制御部は、使用者が前記選択入力部を通じて前記バイパスモードを選択した場合、前記複数の画質改善ICのうちの少なくとも一つをバイパスするように前記映像信号処理部を制御することができる。

【0018】

したがって、複数の画質改善ICがある場合には、バイパスモードが複数個存在することができるので、使用者のバイパスモードの選択の幅が広がる。

【0019】

また、前記選択入力部は、前記バイパスモードに関するOSDメニューを生成するOSD生成部と、前記OSDメニューを通じて前記バイパスモードを選択するための所定の入

50

力キーとを含み、前記制御部は、前記バイパスモードに対応する所定の値を設定するモード設定部をさらに含むことができる。

【0020】

これにより、OSDメニューを通じてより便利に映像処理モードを選択することができ、制御部は、モード設定部に保存された値によって映像信号処理部を制御する。

【0021】

前記処理部は、デコーダーと、スケーラーとを含み、前記画質改善ICは、デインターレーサー (De-interlacer) とイメージエンハンサー (Image-Enhancer) を含むことができる。

【0022】

ここで、前記映像信号処理部は、前記デコーダーから出力される映像信号を前記スケーラーと前記デインターレーサーのうちのいずれか一つに出力する第1スイッチング部をさらに含むことができる。

【0023】

同時に、前記映像信号処理部は、前記スケーラーから出力される映像信号を前記ディスプレイ部と前記イメージエンハンサーのうちのいずれか一つに出力する第2スイッチング部をさらに含むことができる。

【0024】

前記制御部は、使用者が前記選択入力部を通じて第1バイパス経路を選択した場合、前記デコーダー及び前記スケーラーから出力される映像信号を各々前記スケーラー及び前記ディスプレイ部に出力するように前記第1スイッチング部及び前記第2スイッチング部を制御することができる。

【0025】

また、前記制御部は、使用者が前記選択入力部を通じて第2バイパス経路を選択した場合、前記デコーダー及び前記スケーラーから出力される映像信号を各々前記デインターレーサー及び前記ディスプレイ部に出力するように前記第1スイッチング部及び前記第2スイッチング部を制御することができる。

【0026】

さらに、前記制御部は、使用者が前記選択入力部を通じて第3バイパス経路を選択した場合、前記デコーダー及び前記スケーラーから出力される映像信号を各々前記スケーラー及び前記イメージエンハンサーに出力するように前記第1スイッチング部及び前記第2スイッチング部を制御することができる。

【0027】

また、前記目的は、本発明によって、入力された信号を処理してディスプレイパネルに出力する映像信号処理回路において、入力された映像信号を信号処理する処理部と、前記処理された映像信号の画質を改善する画質改善部と、前記処理部を通じて信号処理された映像信号を前記画質改善部と前記ディスプレイパネルのうちのいずれか一つに出力するためのスイッチング部とを含むことを特徴とする映像信号処理回路によっても達成できる。

【0028】

さらに、前記目的は、本発明によって、デコーダー、デインターレーサー、スケーラー及びイメージエンハンサーを含む映像信号処理回路において、前記デコーダーから出力される映像信号を前記スケーラーと前記デインターレーサーのうちのいずれか一つに出力するようにする第1スイッチング部と、前記スケーラーから出力される映像信号を前記イメージエンハンサーに選択的に出力する第2スイッチング部とを含むことを特徴とする映像信号処理回路によっても達成できる。

【発明の効果】

【0029】

本発明によれば、使用者が使用目的に応じ信号処理経路において画質改善機能を省略するバイパス信号処理経路を選択することによって、信号処理時間を短縮することができ、使用者の便宜が図れる映像信号処理回路及びこれを含むディスプレイ装置が提供される。

10

20

30

40

50

【発明を実施するための最良の形態】**【0030】**

以下、添付した図面を参照して、本発明の実施例について詳細に説明する。

【0031】

図2は、本発明の第1実施例によるディスプレイ装置の制御ブロック図である。図2に示すように、本発明の第1実施例によるディスプレイ装置は、処理された映像を画面に表示するディスプレイ部100と、入力された映像信号を信号処理する映像信号処理部200と、所定の命令を入力する選択入力部300と、これら構成要素の全般的な制御を担当する制御部400とを有する。

【0032】

ディスプレイ部100は、映像信号処理部200から処理された映像信号を画面にディスプレイし、DLP（デジタル光プロセッシング）、LCD（液晶表示）、PDP（プラズマ表示パネル）などのように多様な種類のディスプレイパネルが適用可能である。

10

【0033】

映像信号処理部200は、入力された映像信号をディスプレイ部100が表示可能な映像信号に信号処理し、入力された映像信号の基本的な信号処理を担当する処理部210と、処理された映像信号の画質を改善する画質改善処理を担当する画質改善部230とを有する。そして、映像信号の処理において、入力端及び出力端に映像信号を保存するバッファなどのフレームメモリを含む。

【0034】

ここで、処理部210は、デコーダー211、スケーラー213などを含んで実現することができる。

20

【0035】

デコーダー211は、入力された映像信号をディコーディングし、入力された映像信号のコーディング方式によって多様なフォーマットで映像信号をディコーディングすることができる。例えば、デコーダー211は、アナログ/デジタルコンバージョン、カラースペースコンバージョン、画質調整などの信号変換を処理することができる。

【0036】

スケーラー213は、入力される映像信号をディスプレイ部100の出力規格に合う垂直周波数、解像度、画面比率などに変換する。このようなデコーダー211及びスケーラー213は、映像信号処理において基本的な信号処理過程を行う。

30

【0037】

画質改善部230は、複数の画質改善ICを有することができ、画質改善ICは、ディインターレース231、イメージエンハンサー233のうちのいずれか一つを含むことができる。

【0038】

ディインターレース231は、デコーダー211でディコーディングされたインターレース(interlace)方式の信号をプログレッシブ方式の信号に変換してスケーラー213に提供する。

【0039】

イメージエンハンサー233は、スケーラー213を通じて出力された映像信号を操作して画質をさらに鮮明にする。

40

【0040】

映像信号処理部200は、画質改善部230をバイパスする信号処理経路を有する。つまり、映像信号処理部200は、処理部210を通じて基本信号処理された映像信号が画質改善部230を経由せず直ちにディスプレイ部100に出力される信号処理経路を有する。したがって、処理部210とディスプレイ部100とは、信号が直ちに伝達されるように連結されている。

【0041】

また、画質改善部230が複数の画質改善ICで構成される場合、バイパス信号処理経

50

路は少なくとも一つの画質改善ICをバイパスする信号処理経路を含む。

【0042】

したがって、画質改善部230が複数の画質改善ICで構成される場合、バイパス信号処理経路は複数であり、それぞれのバイパス信号処理経路によって信号処理ICの連結が多様に構成されうる。

【0043】

ここで、映像信号処理部200は、処理部210から出力される映像信号をディスプレイ部100と画質改善部230のうちのいずれか一つに出力するようにスイッチングするスイッチング部250を含むことができる。

【0044】

映像信号は、スイッチング部250の作動によって選択的に画質改善部230をバイパスし、スイッチング部250に印加される信号によって選択的に画質改善部230またはディスプレイ部100に信号が出力されるようにスイッチングされる。

【0045】

ここで、スイッチング部250は、多様に具現されるスイッチング回路で構成することができ、図2には処理部210とは別途の回路として備えられているが、処理部210内の回路設計によって画質改善部230とディスプレイ部100のうちのいずれか一つに出力されるように具現することも可能である。

【0046】

選択入力部300は、映像信号処理においてバイパスモードを選択するためのものであって、これに関するOSDメニューを生成するOSD生成部と、OSDメニューを通じてバイパスモードを選択するための入力キーを含む。選択入力部300は、OSD生成IC及びディスプレイ装置の前面に備えられた入力ボタンまたはキーボードを含む。

【0047】

制御部400は、使用者が選択入力部300を通じてバイパスモードを選択すれば、入力された映像信号を処理部210を通じて処理し、画質改善部230をバイパスして直ちにディスプレイ部100に出力するように映像信号処理部200を制御する。そして、制御部400はマイコン及び/または信号処理IC内に備えられたコントロールデバイスなどにより実現できる。

【0048】

制御部400は、使用者がバイパスモードを選択した場合、選択したバイパスモードに対応する所定の値が設定されるモード設定部410を有する。モード設定部410はメモリまたはレジスタによって実現される。

【0049】

そして、制御部400は、使用者がバイパスモードを選択した場合、選択したバイパスモードに対応してスイッチング部250に該当信号を印加し、スイッチング動作を制御することによって、信号処理経路を制御する。

【0050】

これにより、使用者はディスプレイ装置の使用目的に応じ信号処理の遅延が少ないバイパスモードを選択して使用することができる。

【0051】

本発明の第1実施例によるディスプレイ装置の制御方法は、図3を参照して説明する。図3は、本発明の第1実施例によるディスプレイ装置の制御フローチャートである。

【0052】

図3に示すように、使用者がディスプレイ装置の前面または別途の入力キーを通じてバイパスモードに関するメニューを選択すれば(S10)、制御部400は、バイパスモードの選択のためのOSD画面を生成して表示するように、OSD生成部及びディスプレイ部100を制御する(S20)。

【0053】

使用者がバイパスモードを選択すれば(S30)、制御部400は、入力された映像信

10

20

30

40

50

号が選択されたバイパスモードに基づいてバイパス経路で信号処理されるように、映像信号処理部 200 を制御する (S40)。

【0054】

制御部 400 は、バイパスモードが複数である場合、選択されたモードに対応する処理経路で信号処理されるように、スイッチング部 250 のスイッチング動作を制御する。

【0055】

本発明の実施例による画質改善部 230 が複数の信号処理 IC で構成される場合、ディスプレイ装置の映像信号処理部 200 について図 4 を参照して説明する。前述した実施例と重複される説明は必要に応じて省略する。

【0056】

図 4 に示すように、本発明の第 2 実施例による映像信号処理部 200 は、デコーダー 211 とスケーラー 213 を含む処理部 210 と、デインターレーサー 231 とイメージエンハンサー 233 を含む画質改善部 230 と、第 1 スwitching 部 251 と第 2 スwitching 部 253 とを含む。

【0057】

デコーダー 211 は、第 1 スwitching 部 251 を経てスケーラー 213 とデインターレーサー 231 と連結されている。スケーラー 213 は、第 2 スwitching 部 253 を経てディスプレイ部 100 とイメージエンハンサー 233 と連結されている。

【0058】

入力された映像信号はデコーダー 211 を通じてディコーディングされ、ディコーディングされた信号は、バイパスモードの選択により、第 1 スwitching 部 251 の動作によってデインターレーサー 231 とスケーラー 213 のうちのいずれか一つに出力される。

【0059】

そして、スケーラー 213 を通じて信号処理された映像信号は、バイパスモードの選択により、第 2 スwitching 部 253 の動作によってディスプレイ部 100 とイメージエンハンサー 233 のうちのいずれか一つに出力される。

【0060】

前述したように、第 1 スwitching 部 251 及び第 2 スwitching 部 253 は、デコーダー 211 及びスケーラー 213 内部の回路で構成されることも可能である。

【0061】

また、デコーダー 211 は、デインターレーサー 231 とスケーラー 213 に連結される 2 つの経路を有し、2 つの経路で処理された映像信号を全て提供するように具現できる。そして、スケーラー 213 が入力端にスイッチング回路を含んでいるので、制御部 400 の制御信号によってデコーダー 211 及びデインターレーサー 231 のうちのいずれか一つからの信号を受信し処理して出力するように具現することもできる。ここで、ディスプレイ部 100 も入力端にスイッチング回路を含んでいるので、制御部 400 の制御信号によってスケーラー 213 とイメージエンハンサー 233 のうちのいずれか一つからの映像信号を受信してディスプレイする。

【0062】

本発明の第 2 実施例によるバイパスモードとこれに対応する信号処理経路について、図 5 及び図 6 を参照して説明する。

【0063】

図 5 は、本発明の第 2 実施例による映像信号処理に関する OSD メニュー画面を示した図であり、図 6 は、本発明の第 2 実施例による映像信号のバイパスモードに対応する信号処理経路を説明するための例示図である。

【0064】

使用者が選択入力部 300 を通じてバイパスモードに関するメニューを選択すれば、制御部 400 は、バイパスモードの選択のための OSD 画面を生成して表示するように、OSD 生成部及びディスプレイ部 100 を制御する。ディスプレイ部 100 には図 4 に示すような OSD メニュー画面が表示される。

10

20

30

40

50

【0065】

使用者が選択できる映像信号処理モードは4種類であり、使用者は選択入力部300を通じてバイパスモードを選択することができる。

【0066】

使用者が一般モードを選択した場合、図5Aに示すように、制御部400は、デコーダ211、デインターレーサ231、スケーラ213、イメージエンハンサ233を経て信号処理されるように映像信号処理部200を制御し、この信号処理経路はバイパスモードを選択しない場合の一般的な処理経路である。

【0067】

この時、制御部400は、第1スイッチング部251及び第2スイッチング部253に制御信号を印加して、各々デインターレーサ231及びイメージエンハンサ233に映像信号が出力されるようにその動作を制御する。一般モードは、画質は良いが、信号処理時間が多く遅延する。

10

【0068】

使用者がゲームモード1(第1バイパスモード)を選択した場合、制御部400は、入力された信号がデコーダ211、スケーラ213を通じて信号処理され、直ちにディスプレイ部100に出力されるように映像信号処理部200を制御する。

【0069】

ゲームモード1(第1バイパスモード)は、映像処理モードのうち画質は最も劣化するが、信号処理遅延がほとんどない。

20

【0070】

そして、使用者がゲームモード2(第2バイパスモード)を選択した場合、制御部400は、入力された信号がデコーダ211、デインターレーサ231、スケーラ213を通じて信号処理され、ディスプレイ部100に出力されるように映像信号処理部200を制御する。

【0071】

また、使用者がゲームモード3(第3バイパスモード)を選択した場合、制御部400は、入力された信号がデコーダ211、スケーラ213、イメージエンハンサ233を通じて信号処理され、ディスプレイ部100に出力されるように映像信号処理部200を制御する。

30

【0072】

ここで、ゲームモード2及びゲームモード3は、画質は中間程度であり、信号処理遅延は一般モードに比べて多少減少させることができる。

【0073】

このように、画質改善部230が複数の画質改善ICを含んでいる場合には、多様なバイパスモードが存在できる。このようなバイパス信号処理経路をさらに備えることによって、ゲーム機など使用者と相互作用が要求される外部ソースを使用する場合に、信号処理遅延を防止することができるので、使用者の便宜が図れる。

【0074】

前述した実施例では、画質改善ICの例として、デインターレーサ231とイメージエンハンサ233を挙げているが、多様なICが含まれた映像信号処理回路及びディスプレイ装置に本発明が適用できる。

40

【0075】

以上、本発明のいくつかの実施例を示して説明したが、本発明の属する技術分野の通常の知識を有する当業者であれば、本発明の原則や精神から逸脱せずに本実施例を変形できることが分かるはずである。本発明の範囲は、添付された特許請求の範囲とその均等物によって決められるものである。

【図面の簡単な説明】

【0076】

【図1】従来のディスプレイ装置において、信号処理の流れ及びこれに対応するディス

50

レイ部の画面を示した図である。

【図2】本発明の第1実施例によるディスプレイ装置の制御ブロック図である。

【図3】本発明の第1実施例によるディスプレイ装置の制御フローチャートである。

【図4】本発明の第2実施例による映像信号処理部の制御ブロック図である。

【図5】本発明の第2実施例による映像信号処理に関するOSDメニュー画面を示した図である。

【図6】本発明の第2実施例による映像信号のバイパスモードに対応する信号処理経路を説明するための例示図である。

【符号の説明】

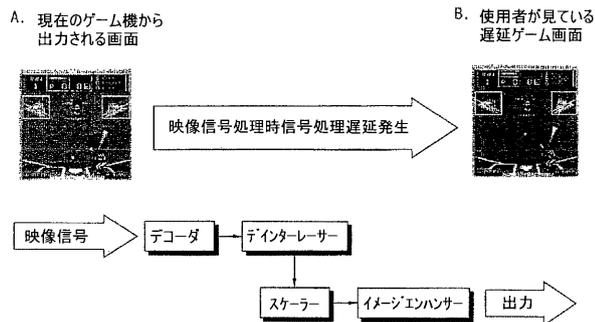
【0077】

- 100 ディ스플레이部
- 200 映像信号処理部
- 210 処理部
- 211 デコーダ
- 213 スケーラ
- 230 画質改善部
- 231 デインターレーサ
- 233 イメージエンハンサ
- 250 スイッチング部
- 251 第1スイッチング部
- 253 第2スイッチング部
- 300 選択入力部
- 400 制御部
- 410 モード設定部

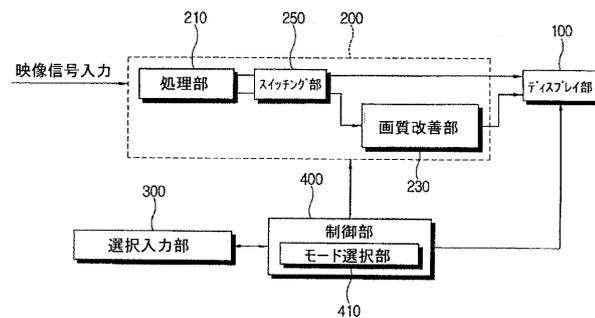
10

20

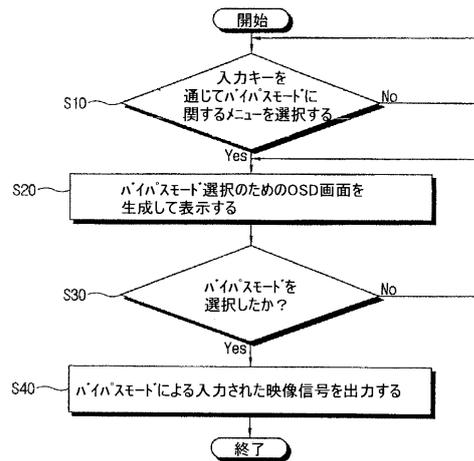
【図1】



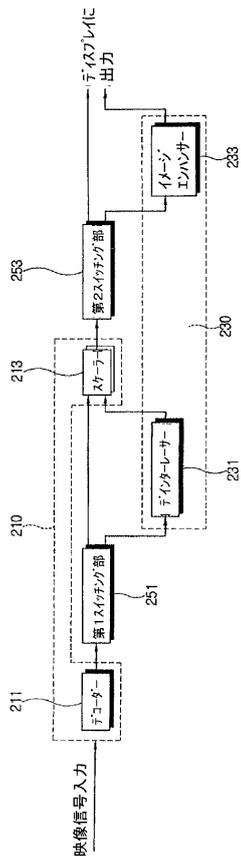
【図2】



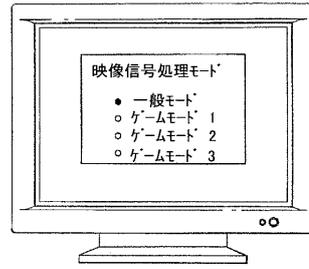
【図3】



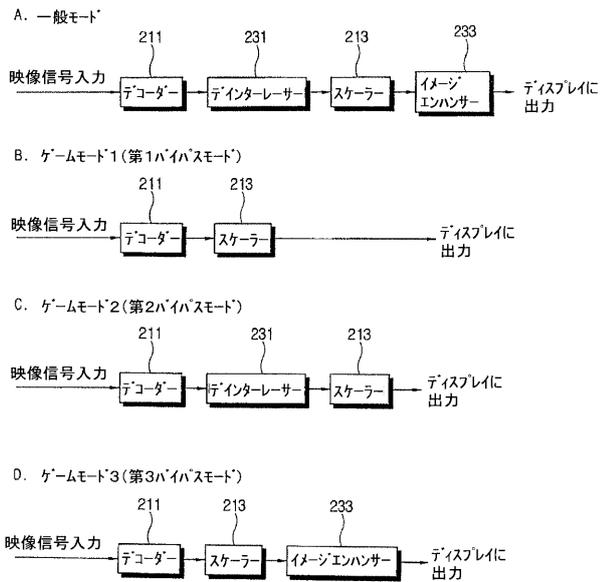
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

(72)発明者 朴 宰 弘

大韓民国ソウル特別市九老区加里峰1洞118-18番地

(72)発明者 李 仲 培

大韓民国京畿道安養市東安区新村洞 暁星アパート103-1304(番地なし)

Fターム(参考) 5C021 PA72 PA79 XA20 XB03 YC03 ZA01

5C025 AA30 BA27 CA09 CB10 DA05

5C082 AA06 BA12 BC05 CA32 CA56 CA81 CA84 CB05 DA01 MM08