



(12) 发明专利

(10) 授权公告号 CN 106548807 B

(45) 授权公告日 2020.12.08

(21) 申请号 201610218795.2

(22) 申请日 2016.04.08

(65) 同一申请的已公布的文献号
申请公布号 CN 106548807 A

(43) 申请公布日 2017.03.29

(30) 优先权数据
10-2015-0132597 2015.09.18 KR

(73) 专利权人 爱思开海力士有限公司
地址 韩国京畿道

(72) 发明人 白荣铉

(74) 专利代理机构 北京弘权知识产权代理事务
所(普通合伙) 11363
代理人 李少丹 毋二省

(51) Int.Cl.

G11C 29/02 (2006.01)

G11C 29/44 (2006.01)

(56) 对比文件

CN 102290104 A, 2011.12.21

CN 101425343 A, 2009.05.06

CN 104517643 A, 2015.04.15

US 2013163347 A1, 2013.06.27

US 2015026512 A1, 2015.01.22

审查员 杨黎鹏

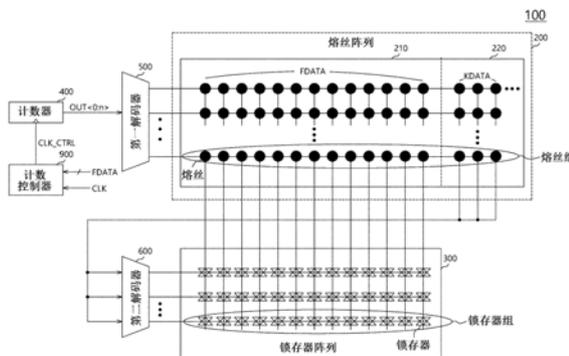
权利要求书3页 说明书9页 附图9页

(54) 发明名称

修复电路、使用它的半导体装置和半导体系统

(57) 摘要

提供一种修复电路。修复电路可以包括锁存器阵列，锁存器阵列包括多个锁存器组。修复电路可以包括熔丝阵列，熔丝阵列包括多个熔丝组，且配置成在每个熔丝组中写入修复地址数据和锁存器地址数据，所述锁存器地址数据限定所述多个锁存器组之中的要储存修复地址数据的锁存器组的位置。修复电路可以包括第一解码器和第二解码器，第一解码器配置成使得写入在所述多个熔丝组之中的任何一个熔丝组中的数据输出，第二解码器配置成使得修复地址数据储存在所述多个锁存器组之中的与锁存器地址数据相对应的锁存器组中。



1. 一种修复电路,包括:
锁存器阵列,包括多个锁存器组;
熔丝阵列,包括多个熔丝组,且配置成:在每个熔丝组中写入修复地址数据和锁存器地址数据,所述锁存器地址数据限定所述多个锁存器组之中的要储存修复地址数据的锁存器组的位置;
第一解码器,配置成使得写入在所述多个熔丝组之中的任何一个熔丝组中的数据被输出;以及
第二解码器,配置成使得修复地址数据储存在所述多个锁存器组之中的与锁存器地址数据相对应的锁存器组中。
2. 根据权利要求1所述的修复电路,其中,所述多个熔丝组中的每个包括:
第一熔丝阵列区,配置成储存修复地址数据;以及
第二熔丝阵列区,配置成储存锁存地址数据。
3. 根据权利要求1所述的修复电路,
其中,第一解码器配置成根据计数信号来使得写入在所述多个熔丝组之中的所述任何一个熔丝组中的数据被输出;以及
其中,第一解码器配置成根据计数信号而从最高有效熔丝组或最低有效熔丝组开始顺序地选择所述多个熔丝组。
4. 根据权利要求1所述的修复电路,其中,修复电路配置成通过使用修复地址数据来仅对所述多个熔丝组之中的已经使用过的熔丝组执行修复操作。
5. 根据权利要求1所述的修复电路,还包括:
计数器,配置成根据时钟信号来产生计数信号;以及
计数控制器,配置成通过根据修复地址数据控制源时钟信号的使能时段来输出时钟信号,
其中,第一解码器配置成根据计数信号来使得写入在所述多个熔丝组之中的所述任何一个熔丝组中的数据被输出。
6. 根据权利要求1所述的修复电路,其中,无论所述多个锁存器组的次序如何,第二解码器使得修复地址数据储存在所述多个锁存器组之中的与锁存器地址数据相对应的锁存器组中。
7. 根据权利要求1所述的修复电路,其中,熔丝阵列配置成还被写入薄弱单元数据和锁存器地址数据,所述锁存器地址数据限定所述多个锁存器组之中的要储存薄弱单元数据的位置,其中,薄弱单元数据限定具有相对短于正常单元的数据保持时间而经由刷新测试有可能被确定失效的存储单元的地址。
8. 根据权利要求6所述的修复电路,其中,所述多个熔丝组中的每个包括:
第一熔丝阵列区,配置成储存修复地址数据或薄弱单元数据;以及
第二熔丝阵列区,配置成储存锁存器地址数据。
9. 根据权利要求6所述的修复电路,其中,锁存器阵列包括:
修复锁存器阵列,配置成储存修复地址数据;以及
刷新锁存器阵列,配置成储存薄弱单元数据。
10. 根据权利要求1所述的修复电路,其中,锁存器阵列与半导体装置的存储区的冗余

部耦接。

11. 一种半导体装置, 包括:

存储单元阵列;

锁存器阵列, 包括多个锁存器组;

熔丝阵列, 包括多个熔丝组, 且配置成: 在每个熔丝组中写入修复地址数据或薄弱单元数据、以及锁存器地址数据, 所述锁存器地址数据限定所述多个锁存器组之中的要储存修复地址数据或薄弱单元数据的锁存器组的位置, 其中, 薄弱单元数据限定具有相对短于正常单元的数据保持时间而经由刷新测试有可能被确定失效的存储单元的地址;

第一解码器, 配置成使得写入在所述多个熔丝组之中的任何一个熔丝组中的数据被输出;

第二解码器, 配置成使得修复地址数据或薄弱单元数据储存在所述多个锁存器组之中的与锁存器地址数据相对应的锁存器组中; 以及

刷新控制电路, 配置成控制针对存储单元阵列中的与薄弱单元数据相对应的存储单元的刷新操作。

12. 根据权利要求11所述的半导体装置,

其中, 第一解码器配置成根据计数信号来使得写入在所述多个熔丝组之中的所述任何一个熔丝组中的数据被输出; 以及

其中, 第一解码器配置成根据计数信号而从最高有效熔丝组或最低有效熔丝组开始顺序地选择所述多个熔丝组。

13. 根据权利要求11所述的半导体装置, 其中, 半导体装置配置成通过使用修复地址数据来仅对所述多个熔丝组之中的已经使用过的熔丝组执行修复操作。

14. 根据权利要求11所述的半导体装置, 还包括:

计数器, 配置成根据时钟信号来产生计数信号; 以及

计数控制器, 配置成通过根据修复地址数据控制源时钟信号的使能时段来输出时钟信号,

其中, 第一解码器配置成根据计数信号来使得写入在所述多个熔丝组之中的所述任何一个熔丝组中的数据被输出。

15. 根据权利要求11所述的半导体装置, 其中, 无论所述多个锁存器组的次序如何, 第二解码器使得修复地址数据或薄弱单元数据储存在所述多个锁存器组之中的与锁存器地址数据相对应的锁存器组中。

16. 根据权利要求11所述的半导体装置, 其中, 所述多个熔丝组中的每个包括:

第一熔丝阵列区, 配置成储存修复地址数据或薄弱单元数据; 以及

第二熔丝阵列区, 配置成储存锁存器地址数据。

17. 根据权利要求11所述的半导体装置, 其中, 锁存器阵列包括:

修复锁存器阵列, 配置成储存修复地址数据; 以及

刷新锁存器阵列, 配置成储存薄弱单元数据。

18. 根据权利要求11所述的半导体装置,

其中, 锁存器阵列与存储单元阵列的冗余部耦接; 以及

其中, 熔丝阵列位于半导体装置的外围电路区中。

19. 根据权利要求11所述的半导体装置,其中,刷新控制电路配置成改变针对与薄弱单元数据相对应的存储单元的刷新次数或刷新周期。

20. 一种半导体系统,包括:

层叠的多个半导体芯片;以及

处理器,配置成访问层叠的所述多个半导体芯片,

其中,层叠的所述多个半导体芯片中的至少一个半导体芯片包括多个熔丝组和多个锁存器组,以及

其中,修复地址数据和锁存器地址数据储存在所述多个熔丝组中的每个中,以及修复地址数据储存在所述多个锁存器组之中的与锁存器地址数据相对应的锁存器组中。

21. 根据权利要求20所述的半导体系统,其中,层叠的所述多个半导体芯片中的至少一个半导体芯片包括:

第一解码器,配置成根据计数信号来使得写入在所述多个熔丝组之中的任何一个熔丝组中的数据被输出;以及

第二解码器,配置成使得修复地址数据储存在所述多个锁存器组之中的与锁存器地址数据相对应的锁存器组中。

22. 根据权利要求21所述的半导体系统,其中,无论所述多个锁存器组的次序如何,第二解码器使得修复地址数据储存在所述多个锁存器组之中的与锁存器地址数据相对应的锁存器组中。

23. 根据权利要求20所述的半导体系统,其中,熔丝阵列配置成还被写入薄弱单元数据和锁存器地址数据,所述锁存器地址数据限定所述多个锁存器组之中的要储存薄弱单元数据的位置,其中,薄弱单元数据限定具有相对短于正常单元的数据保持时间而经由刷新测试有可能被确定失效的存储单元的地址。

24. 根据权利要求20所述的半导体系统,其中,所述多个锁存器组与层叠的所述多个半导体芯片的存储区的冗余部耦接。

25. 根据权利要求23所述的半导体系统,还包括:

刷新控制电路,配置成改变针对与薄弱单元数据相对应的存储单元的刷新次数或刷新周期。

26. 根据权利要求20所述的半导体系统,

其中,层叠的所述多个半导体芯片包括逻辑芯片和多个存储芯片,

其中,所述多个熔丝组设置在逻辑芯片中,以及

其中,所述多个锁存器组设置在所述多个存储芯片中的至少一个中。

27. 根据权利要求21所述的半导体系统,其中,存储芯片的所述多个锁存器组配置成从所述多个熔丝组经由贯穿硅通孔被提供修复地址数据和锁存器地址数据。

修复电路、使用它的半导体装置和半导体系统

[0001] 相关申请的交叉引用

[0002] 本申请要求2015年9月18日向韩国知识产权局提交的韩国专利申请10-2015-0132597的优先权,其内容通过引用合并于此。

技术领域

[0003] 各个实施例总体而言涉及一种半导体电路,且更具体而言涉及一种修复电路、使用它的半导体装置和半导体系统。

背景技术

[0004] 半导体装置可以使用熔丝来储存存储单元之中的已发生失效的存储单元的信息。

[0005] 近来,即使在封装之后仍可以执行修复操作。修复操作利用电熔丝(e-fuse)来执行。电熔丝能经由断裂操作更新熔丝信息。

[0006] 参见图1,根据传统技术的修复电路具有其中熔丝阵列与锁存器阵列一对一相匹配的结构。

[0007] 当在行方向上观察时,熔丝阵列的熔丝称为熔丝组,锁存器阵列的锁存器称为锁存器组。

[0008] 处在相同线上的熔丝阵列的熔丝组和锁存器阵列的锁存器组在行方向上观察时是一对一相匹配的。

[0009] 在熔丝阵列中,可以以预定数量为单位来将整个熔丝组分配给各个冗余部,各个冗余部包括用于替代被确定为失效的存储单元的冗余存储单元。

[0010] 因此,在晶片测试或封装测试之后,在整个熔丝阵列中存在大量的未使用的熔丝,如图1所示。

[0011] 结果,在传统的修复电路中,可能会导致熔丝阵列的效率下降和电路面积由于熔丝阵列而增大的问题。

发明内容

[0012] 各个实施例涉及一种能减小电路面积和保证稳定修复操作的修复电路、使用它的半导体装置和半导体系统。

[0013] 在一个实施例中,一种修复电路可以包括:锁存器阵列,包括多个锁存器组;熔丝阵列,包括多个熔丝组,且配置成在每个熔丝组中写入修复地址数据和锁存器地址数据,所述锁存器地址数据限定所述多个锁存器组之中的要储存修复地址数据的锁存器组的位置;第一解码器,配置成使得写入在所述多个熔丝组之中的任何一个熔丝组中的数据被输出;以及第二解码器,配置成使得修复地址数据储存在所述多个锁存器组之中的与锁存器地址数据相对应的锁存器组中。

[0014] 在一个实施例中,一种半导体装置可以包括:存储单元阵列;锁存器阵列,包括多个锁存器组;熔丝阵列,包括多个熔丝组,且配置成在每个熔丝组中写入修复地址数据或薄

弱单元数据、以及锁存器地址数据,所述锁存器地址数据限定所述多个锁存器组之中的要储存修复地址数据或薄弱单元数据的锁存器组的位置;第一解码器,配置成使得写入在所述多个熔丝组之中的任何一个熔丝组中的数据被输出;第二解码器,配置成使得修复地址数据或薄弱单元数据储存在所述多个锁存器组之中的与锁存器地址数据相对应的锁存器组中;以及刷新控制电路,配置成控制针对存储单元阵列中的与薄弱单元数据相对应的存储单元的刷新操作。

[0015] 在一个实施例中,一种半导体系统可以包括:层叠的多个半导体芯片;以及处理器,配置成访问层叠的所述多个半导体芯片,其中,层叠的所述多个半导体芯片中的至少一个包括多个熔丝组和多个锁存器组,以及其中,修复地址数据和锁存器地址数据储存在所述多个熔丝组中的每个中,以及修复地址数据储存在所述多个锁存器组之中的与锁存器地址数据相对应的锁存器组中。

[0016] 根据实施例,减小面积操作并执行稳定的修复操作是可能的,且未使用的熔丝可以用在控制刷新操作中。

附图说明

[0017] 图1是帮助解释使用根据传统技术的熔丝阵列的一个例子的图。

[0018] 图2是说明根据一个实施例的修复电路100的配置的一个例子的代表的图。

[0019] 图3是帮助解释根据一个实施例的将熔丝阵列200匹配到锁存器阵列300的图的一个示例代表。

[0020] 图4是帮助解释根据一个实施例的使用熔丝阵列200的示例的图的一个示例代表。

[0021] 图5是说明图2所示的计数控制器900的配置和操作时序的一个例子的代表的图。

[0022] 图6是帮助解释根据一个实施例的熔丝阵列读取时段的图的一个示例代表。

[0023] 图7是说明根据一个实施例的半导体装置102的配置的一个例子的代表的图。

[0024] 图8是说明根据一个实施例的半导体装置103的配置的一个例子的代表的图。

[0025] 图9是说明根据一个实施例的半导体系统104的配置的一个例子的代表的图。

具体实施方式

[0026] 各个实施例可以涉及一种能减小电路面积并保证稳定修复操作的修复电路、使用它的半导体装置和半导体系统。

[0027] 根据实施例,减小电路面积并执行稳定的修复操作会是可能的,且未使用的熔丝可以用在控制刷新操作中。

[0028] 在下文,将参照附图结合实施例的各个实例来描述修复电路、使用它的半导体装置和半导体系统。

[0029] 参见图2,根据一个实施例的修复电路100可以包括熔丝阵列200、锁存器阵列300、计数器400、第一解码器500、第二解码器600以及计数控制器900。

[0030] 锁存器阵列300可以包括多个锁存器。多个锁存器可以以行方向上的锁存器为单位(即,锁存器组)来划分。

[0031] 修复地址数据FDATA可以储存在锁存器阵列300的每个锁存器组中。

[0032] 熔丝阵列200可以配置成储存修复地址数据FDATA和锁存器地址数据KDATA,锁存

器地址数据KDATA定义锁存器阵列300的锁存器组之中的要储存修复地址数据FDATA的位置。

[0033] 修复地址数据FDATA可以是存储单元阵列中被确定为失效的存储单元的地址。

[0034] 熔丝阵列200可以包括用于储存修复地址数据FDATA的第一熔丝阵列区210和用于储存锁存器地址数据KDATA的第二熔丝阵列区220。

[0035] 熔丝阵列200的熔丝可以以行方向上的熔丝为单位(即熔丝组)来划分。

[0036] 在测试过程(例如,晶片测试或封装测试)之后,可以检测与被确定为失效的存储单元相对应的行地址和列地址。

[0037] 检测到的行地址和列地址可以经由断裂过程而写入熔丝阵列200的第一熔丝阵列区210的熔丝组中作为修复地址数据FDATA,且与修复地址数据FDATA相对应的锁存器地址数据KDATA可以写入第二熔丝阵列区220中。

[0038] 计数器400可以配置成根据时钟信号CLK_CTRL来增大(或减小)计数信号OUT<0:n>的值。

[0039] 第一解码器500可以配置成根据计数信号OUT<0:n>来选择熔丝阵列200的熔丝组中的任何一个。

[0040] 第一解码器500可以根据计数信号OUT<0:n>而从最高有效熔丝组或最低有效熔丝组开始顺序地选择熔丝阵列200的熔丝组。

[0041] 修复地址数据FDATA和锁存器地址数据KDATA可以从熔丝阵列200的由第一解码器500所选择的熔丝组输出。

[0042] 第二解码器600可以配置成选择锁存器阵列300的锁存器组之中的与将锁存器地址数据KDATA解码的结果相对应的锁存器组。

[0043] 从熔丝阵列200的熔丝组输出的修复地址数据FDATA可以储存在第二解码器600选择的锁存器组中。

[0044] 计数控制器900可以配置成根据修复地址数据FDATA产生控制源时钟信号CLK的使能时段的时钟信号CLK_CTRL。

[0045] 如从上面参照图2描述的配置可以容易看出,根据一个实施例的修复电路100可以通过使用锁存器地址数据KDATA来在锁存器阵列300的所有锁存器组之中选择要储存修复地址数据FDATA的锁存器组。

[0046] 因此,参见图3,熔丝阵列200的每个熔丝组可以与锁存器阵列300的所有锁存器组之中的任何锁存器组相匹配。

[0047] 参见图4,根据一个实施例,修复地址数据FDATA和锁存器地址数据KDATA可以写入熔丝阵列200的熔丝组之中的期望的熔丝组中。

[0048] 例如,修复地址数据FDATA和锁存器地址数据KDATA可以从行方向上的最高有效次序(most significant turn)的熔丝组开始顺序写入。

[0049] 因此,除了修复地址数据FDATA和锁存器地址数据KDATA之外的不同种类的数据可以通过写入未使用的多余(surplus)熔丝组中来使用。

[0050] 例如,作为不同种类的数据,可以写入与刷新操作相关的数据。

[0051] 参见图5,计数控制器900可以包括第一至第三逻辑门910至930和边沿检测器940。

[0052] 第一逻辑门910可以输出对修复地址数据FDATA执行或(OR)逻辑函数的结果。

[0053] 边沿检测器940可以通过检测第一逻辑门910的输出信号的下降沿来产生启动(boot-up)结束信号BOOTUPEND。

[0054] 第二逻辑门920可以将启动结束信号BOOTUPEND反相,并输出所得信号。

[0055] 第三逻辑门930可以通过对源时钟信号CLK和第二逻辑门920的输出信号执行与(AND)逻辑函数来输出时钟信号CLK_CTRL。

[0056] 参见图5的操作波形,从熔丝阵列200的熔丝组之中已使用的熔丝组输出的修复地址数据FDATA的信号位的至少一个具有高电平。

[0057] 因此,当针对使用的熔丝组读取修复地址数据FDATA时,边沿检测器940将启动结束信号BOOTUPEND保持在低电平,且相应地,时钟信号CLK_CTRL周期性地产生时钟脉冲。

[0058] 同时,由于持续地执行读取操作且未使用的熔丝组的修复地址数据FDATA具有低电平,因此边沿检测器940产生启动结束信号BOOTUPEND的脉冲,且相应地,时钟信号CLK_CTRL保持在低电平。

[0059] 因为时钟信号CLK_CTRL保持在低电平,所以计数器400将计数信号OUT<0:n>的值保持在当前状态,且相应地,熔丝阵列200的读取操作可以中断。

[0060] 参见图6,针对相应的修复地址数据FDATA和锁存器地址数据KDATA,读取操作可以仅仅对熔丝阵列200的熔丝组之中的使用的熔丝组来执行、且可以针对未使用的熔丝组中断。

[0061] 在下文,将参照图7和图8描述根据实施例的半导体装置的例子。

[0062] 参见图7,根据一个实施例的半导体装置102可以包括存储区800、熔丝阵列200、计数器400、第一解码器500以及计数控制器900。

[0063] 计数控制器900可以配置成根据修复地址数据FDATA产生控制源时钟信号CLK的使能时段的时钟信号CLK_CTRL。计数控制器900可以如图5所示且如关于图5所讨论的来配置。

[0064] 存储区800可以包括存储单元阵列700、锁存器阵列300以及第二解码器600。

[0065] 存储单元阵列700可以对应于作为小单位存储块的存储团(mat)或作为大单位存储块的存储体或多个存储体。

[0066] 存储单元阵列700可以包括多个正常部NRM和多个冗余部RED。

[0067] 所述多个正常部NRM中的每个可以包括正常存储单元。

[0068] 所述多个冗余部RED中的每个可以包括用于替代已发生失效的正常存储单元的冗余存储单元。

[0069] 如参照图2描述的,锁存器阵列300可以包括多个锁存器。多个锁存器可以以行方向上的锁存器为单位(即锁存器组)来划分。

[0070] 锁存器阵列300可以与多个冗余部RED耦接。

[0071] 修复地址数据FDATA可以储存在锁存器阵列300的每个锁存器组中。

[0072] 第二解码器600可以配置成选择锁存器阵列300的锁存器组之中的与将锁存器地址数据KDATA解码的结果相对应的锁存器组。

[0073] 从熔丝阵列200的熔丝组输出的修复地址数据FDATA可以储存在第二解码器600所选中的锁存器组中。

[0074] 熔丝阵列200基本上可以具有熔丝如图2所示那样布置的结构,且可以配置成储存修复地址数据FDATA和锁存器地址数据KDATA,锁存器地址数据KDATA定义锁存器阵列300的

锁存器组之中的要储存修复地址数据FDATA的位置。

[0075] 熔丝阵列200可以位于半导体装置102的外围电路区中。

[0076] 熔丝阵列200可以包括用于储存修复地址数据FDATA的第一熔丝阵列区210和用于储存锁存器地址数据KDATA的第二熔丝阵列区220。

[0077] 熔丝阵列200的熔丝可以以行方向上的熔丝为单位(即熔丝组)来划分。

[0078] 在测试过程(例如晶片测试或封装测试)之后,可以检测与被确定为失效的存储单元相对应的行地址和列地址。

[0079] 可以经由断裂过程来将检测到的行地址和列地址写入熔丝阵列200的熔丝组中作为修复地址数据FDATA。

[0080] 计数器400可以配置成根据时钟信号CLK_CTRL产生计数信号OUT<0:n>。

[0081] 时钟信号CLK_CTRL可以在半导体装置102的启动模式被执行的时段期间被使能。

[0082] 第一解码器500可以配置成根据计数信号OUT<0:n>选择熔丝阵列200的熔丝组中的任何一个。

[0083] 第一解码器500可以根据计数信号OUT<0:n>而从最高有效熔丝组或最低有效熔丝组开始来顺序地选择熔丝阵列200的熔丝组。

[0084] 修复地址数据FDATA和锁存器地址数据KDATA可以从熔丝阵列200的由第一解码器500所选中的熔丝组输出。

[0085] 写入熔丝阵列200中的修复地址数据FDATA可以在启动模式的时段期间储存在锁存器阵列300中。

[0086] 在半导体装置102中,在启动模式的时段到期之后,如果输入的外部地址具有与修复地址数据FDATA相同的值,则可以通过不选择正常部NRM的存储单元而选择冗余部RED的与锁存器阵列300的相应锁存器组相匹配的冗余存储单元来执行修复操作。

[0087] 根据一个实施例的半导体装置103涉及上面参照图4描述的多余熔丝组的利用。

[0088] 存储单元可以分为正常单元、失效单元和薄弱单元,所述正常单元经由测试(例如读取/写入测试)被确定为通过,所述失效单元被确定为失效,所述薄弱单元未被确定为失效单元但是可能经由刷新测试根据刷新周期被确定为失效的单元,因为它们的数据保持时间相对短于正常单元。

[0089] 因此,在根据一个实施例的半导体装置103中,薄弱单元的地址与修复地址数据FDATA和锁存器地址数据KDATA分离地被写入在多余熔丝组中,作为薄弱单元数据。

[0090] 参见图8,半导体装置103可以包括存储区801、熔丝阵列201、计数器400、第一解码器500、计数控制器900以及刷新控制电路1000。

[0091] 计数控制器900可以配置成根据修复地址数据FDATA产生控制源时钟信号CLK的使能时段的时钟信号CLK_CTRL。计数控制器900可以如图5所示和如关于图5所讨论的来配置。

[0092] 存储区801可以包括存储单元阵列700、锁存器阵列301以及第二解码器601。

[0093] 存储单元阵列700可以对应于作为小单位存储块的存储团或作为大单位存储块的存储体或多个存储体。

[0094] 存储单元阵列700可以包括多个正常部NRM和多个冗余部RED。

[0095] 所述多个正常部NRM中的每个可以包括正常存储单元。

[0096] 所述多个冗余部RED中的每个可以包括用于替代已发生失效的正常存储单元(即

失效单元)的冗余存储单元。

[0097] 锁存器阵列301可以包括修复锁存器阵列310和刷新锁存器阵列320。

[0098] 锁存器阵列301可以与多个冗余部RED耦接。

[0099] 修复锁存器阵列310可以包括多个锁存器。多个锁存器可以以行方向上的锁存器为单位(即锁存器组)来划分。

[0100] 修复地址数据FDATA可以储存在修复锁存器阵列310的每个锁存器组中。

[0101] 刷新锁存器阵列320可以包括多个锁存器。多个锁存器可以以行方向上的锁存器为单位(即锁存器组)来划分。

[0102] 薄弱单元数据可以储存在刷新锁存器阵列320的每个锁存器组中。

[0103] 第二解码器601可以配置成在修复锁存器阵列310和刷新锁存器阵列320的锁存器组之中选择与将锁存器地址数据KDATA解码的结果相对应的锁存器组。

[0104] 修复地址数据FDATA或薄弱单元数据可以储存在第二解码器601所选中的锁存器组中。

[0105] 熔丝阵列201基本上可以具有熔丝如图2所示那样布置的结构,且可以配置成储存修复地址数据FDATA、薄弱单元数据和定义锁存器阵列301的锁存器组之中的要储存的修复地址数据FDATA或薄弱单元数据的位置的锁存器地址数据KDATA。

[0106] 熔丝阵列201可以位于半导体装置103的外围电路区中。

[0107] 熔丝阵列201可以包括用于储存修复地址数据FDATA的第一熔丝阵列区211和用于储存锁存器地址数据KDATA的第二熔丝阵列区221。

[0108] 熔丝阵列201的熔丝可以以行方向上的熔丝为单位(即熔丝组)来划分。

[0109] 在测试过程(例如晶片测试或封装测试)之后,可以检测与被确定为失效的存储单元相对应的行地址和列地址。

[0110] 可以经由断裂过程来将检测到的行地址和列地址写入熔丝阵列201的熔丝组中作为修复地址数据FDATA。

[0111] 此外,经由刷新测试检测到的薄弱单元的地址可以写入熔丝阵列201的熔丝组之中的除了用来写入修复地址数据FDATA的熔丝组之外的多余熔丝组之中的部分熔丝组中。

[0112] 计数器400可以配置成根据时钟信号CLK_CTRL产生计数信号OUT<0:n>。

[0113] 时钟信号CLK_CTRL可以在半导体装置103的启动模式被执行的时段期间被使能。

[0114] 第一解码器500可以配置成根据计数信号OUT<0:n>选择熔丝阵列201的熔丝组中的任何一个。

[0115] 第一解码器500可以根据计数信号OUT<0:n>而从最高有效熔丝组或最低有效熔丝组开始来顺序地选择熔丝阵列201的熔丝组。

[0116] 修复地址数据FDATA和锁存器地址数据KDATA、或者薄弱单元数据和锁存器地址数据KDATA可以从熔丝阵列201的由第一解码器500所选中的熔丝组输出。

[0117] 例如,在半导体装置103的正常操作中,修复地址数据FDATA和锁存器地址数据KDATA可以从熔丝阵列201的由第一解码器500所选中的熔丝组输出。

[0118] 同时,在半导体装置103的刷新操作中,薄弱单元数据和锁存器地址数据KDATA可以从熔丝阵列201的由第一解码器500所选中的熔丝组输出。

[0119] 在刷新操作中,刷新控制电路1000可以根据储存在刷新锁存器阵列320中的薄弱

单元数据来控制刷新操作。

[0120] 例如,刷新控制电路1000可以在刷新操作中以如下方式执行控制任务:相比于针对正常单元,针对与储存在刷新锁存器阵列320中的薄弱单元数据相对应的存储单元执行更多次数的刷新。

[0121] 再例如,刷新控制电路1000可以在刷新操作中以如下方式执行控制任务:相比于针对其它单位存储块,针对包括与储存在刷新锁存器阵列320中的薄弱单元数据相对应的存储单元的单位存储块而以更短周期执行刷新。

[0122] 在启动模式的时段期间,写入熔丝阵列201中的修复地址数据FDATA可以储存在锁存器阵列301中。

[0123] 在半导体装置103中,在启动模式的时段到期之后,如果输入的外部地址具有与修复地址数据FDATA相同的值,则可以通过不选择正常部NRM的存储单元而选择冗余部RED的与锁存器阵列301的相应锁存器组相匹配的冗余存储单元来执行修复操作。

[0124] 参见图9,根据一个实施例的半导体系统104可以包括衬底50、层叠的半导体存储器20以及处理器10。

[0125] 半导体系统104可以采用系统封装、多芯片封装或芯片上系统的类型来实现,且可以采用包括多个封装体的层叠式封装的类型来实现。

[0126] 衬底50可以提供用于处理器10与层叠的半导体存储器20之间的顺畅的数据通信的信号路径,且可以包括用于提供信号路径的附加的逻辑电路和用于测试的逻辑电路。

[0127] 衬底50可用各种类型来实现,诸如封装基板(interposer)和PCB(印刷电路板)。衬底50提供的信号路径可以包括诸如金属层或贯穿硅通孔的电耦接路径。

[0128] 衬底50可以经由诸如球栅阵列、凸球和C4凸块的封装球60而与外部设备电耦接。外部设备可以是通过与半导体系统104耦接而操作的主机2。

[0129] 衬底50可以经由微型凸块70而与处理器10和层叠的半导体存储器20电耦接。

[0130] 处理器10可以经由系统总线(未示出)和衬底50而与主机2通信,且可以执行主机2所要求的各种计算操作。

[0131] 处理器10可以包括中央处理单元(CPU)、图像处理单元(GPU)、多媒体处理器(MMP)和数字信号处理器(DSP)中的至少一种。

[0132] 处理器10可以采用芯片上系统、系统封装和层叠封装的类型来实现,其中组合了具有各种功能的处理器芯片,诸如应用处理器(AP)。

[0133] 处理器10可以经由存储器控制器11访问层叠的半导体存储器20。

[0134] 存储器控制器11的物理层(PHY)12和层叠的半导体存储器20的物理层(PHY)31可以遵照它们之间的接口来转换要在它们之间交换的信号。

[0135] 尽管实施例示出了其中存储器控制器11设置在处理器10中的例子,但是要注意,这种情况可以是存储器控制器11可以另行设置在处理器10的外部。

[0136] 存储器控制器11可以层叠作为层叠的半导体存储器20的任何一个芯片(基础芯片或逻辑芯片)。

[0137] 存储器控制器11可以通过与层叠的半导体存储器20和处理器10分开而另行层叠在衬底50上。

[0138] 存储器控制器11可以向层叠的半导体存储器20提供命令、地址、时钟和数据以控

制层叠的半导体存储器20,并且可以接收从层叠的半导体存储器20输出的数据。

[0139] 物理层12和31可以是接口电路,所述接口电路将从处理器10或存储器控制器11传送来的信号转换为适合用在层叠的半导体存储器20中的信号且输出转换的信号、或者将从层叠的半导体存储器20传送来的信号转换为适合用在处理器10或存储器控制器11中的信号。

[0140] 层叠的半导体存储器20可以是包括多个层叠芯片的层叠存储器件。

[0141] 层叠的半导体存储器20可以包括逻辑芯片30和顺序层叠在逻辑芯片30上的多个存储芯片40至42。

[0142] 逻辑芯片30和多个存储芯片40至42可以经由贯穿通孔或键合导线而电耦接。

[0143] 逻辑芯片30可延迟(relay)存储器控制器11与多个存储芯片40至42之间的信号和数据传输。

[0144] 逻辑芯片30可以包括物理层31、和测试电路32等。

[0145] 物理层31可以接收经由处理器10或存储器控制器11和物理层12传送来的信号和数据,且可以将多个存储芯片40至42输出的信号和数据放大,且将放大的信号和数据传送到物理层12。

[0146] 测试电路32可以通过与处理器10或存储器控制器11耦接来对多个存储芯片40至42执行测试,或者可以通过与主机2(例如测试设备)耦接来对多个存储芯片40至42执行测试。此外,测试电路32可以对层叠的半导体存储器20独立地执行测试。

[0147] 测试电路32可以包括可在晶片级和封装级执行与多个存储芯片40至42和逻辑芯片30相关联的测试的电路。

[0148] 测试电路32可以包括各种存储器测试相关电路,诸如内建自测试电路、自修复电路和自应力电路。

[0149] 测试电路32可以执行贯穿通孔或微型凸块的耦接性测试、边界扫描测试、老化应力测试、数据输入/输出测试、和数据压缩测试等。

[0150] 测试电路32可以包括用冗余存储单元替代失效的存储单元的修复逻辑。

[0151] 多个存储芯片40至42可以分别具有用于储存经由逻辑30从处理器10或存储器控制器11传送来的数据的数据储存空间。

[0152] 多个存储芯片40至42还可以包括用于执行与逻辑芯片30的测试电路32链接的测试的逻辑电路。

[0153] 逻辑芯片30和多个存储芯片40至42可以由DRAM或NAND闪存来配置。

[0154] 尽管作为示例示出了层叠的半导体存储器20由4个芯片(即逻辑芯片30和顺序层叠在逻辑芯片30上的多个存储芯片40至42)配置,但要注意,可以层叠增加的数量的芯片。

[0155] 层叠的半导体存储器20中的每个芯片可以由DRAM或NAND闪存来配置。

[0156] 层叠的半导体存储器20的芯片之中的任何一个芯片或更多个芯片可以包括上面参照图2描述的修复电路100。

[0157] 层叠的半导体存储器20的芯片之中的任何一个芯片或更多个芯片可以用诸如图7的半导体装置102或图8的半导体装置103的类型来配置。

[0158] 同时,层叠的半导体存储器20的芯片之中的任何一个芯片可以包括图2的修复电路100的一些部件,且其余芯片可以包括图2的修复电路100中的除了所述一些部件之外的

其余部件。

[0159] 例如,层叠的半导体存储器20的芯片之中的逻辑芯片30可以配置成包括图2的修复电路100中的除了锁存器阵列300之外的部件。

[0160] 逻辑芯片30的熔丝阵列200可以被写入与多个存储芯片40至42的存储区的所有失效单元相对应的修复地址数据FDATA、薄弱单元数据和锁存器地址数据KDATA。

[0161] 层叠的半导体存储器20的多个存储芯片40至42中的每个可以包括锁存器阵列300。

[0162] 多个存储芯片40至42中的每个存储芯片的锁存器阵列300可以经由诸如贯穿硅通孔的电耦接路径而从逻辑芯片30的熔丝阵列200被提供修复地址数据FDATA、薄弱单元数据和与其相对应的锁存器地址数据KDATA。

[0163] 尽管上文已经描述各个实施例,但是本领域技术人员要理解,描述的实施例仅仅是示例。因此,本文描述的修复电路、使用它的半导体装置和半导体系统不应基于描述的实施例来限制。

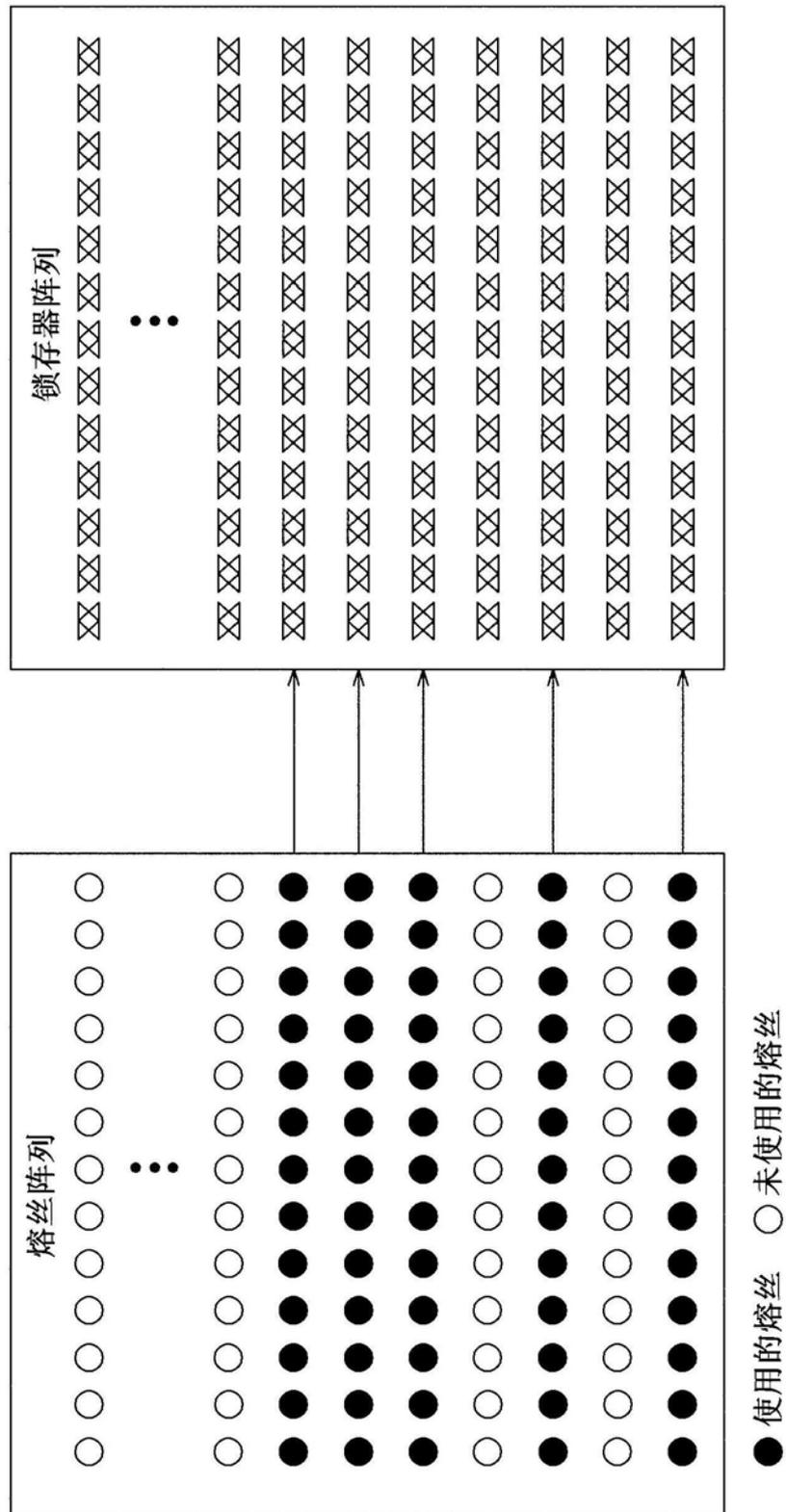


图1

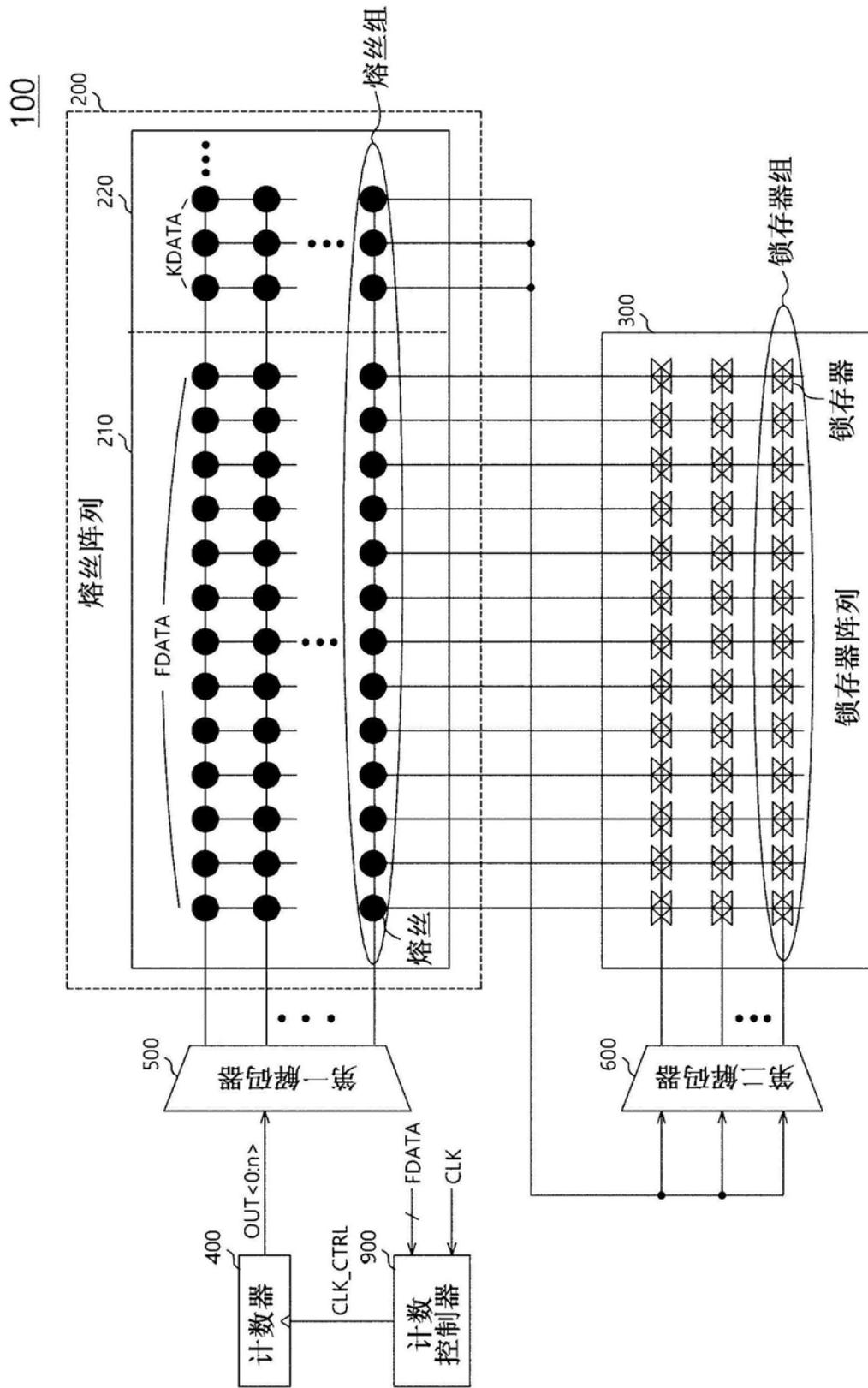


图2

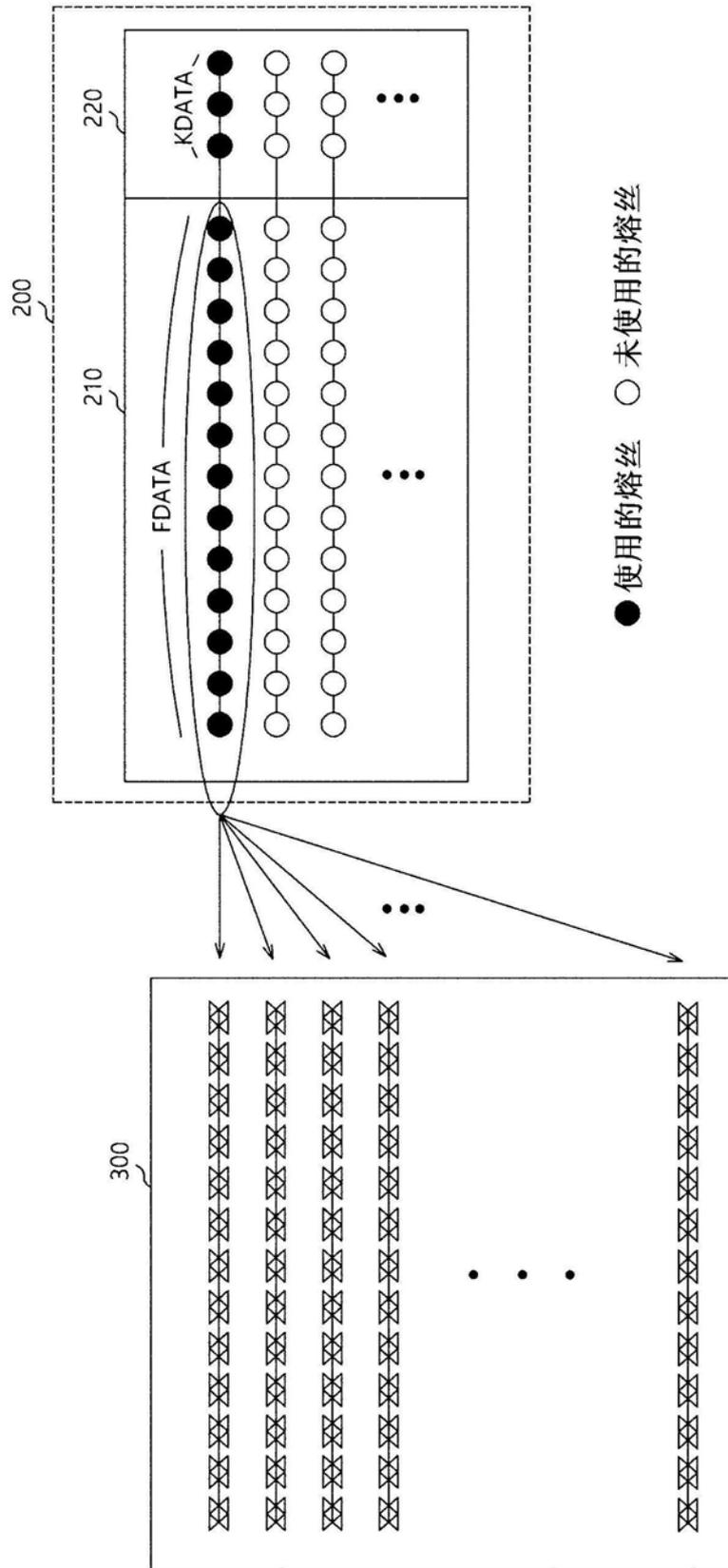


图3

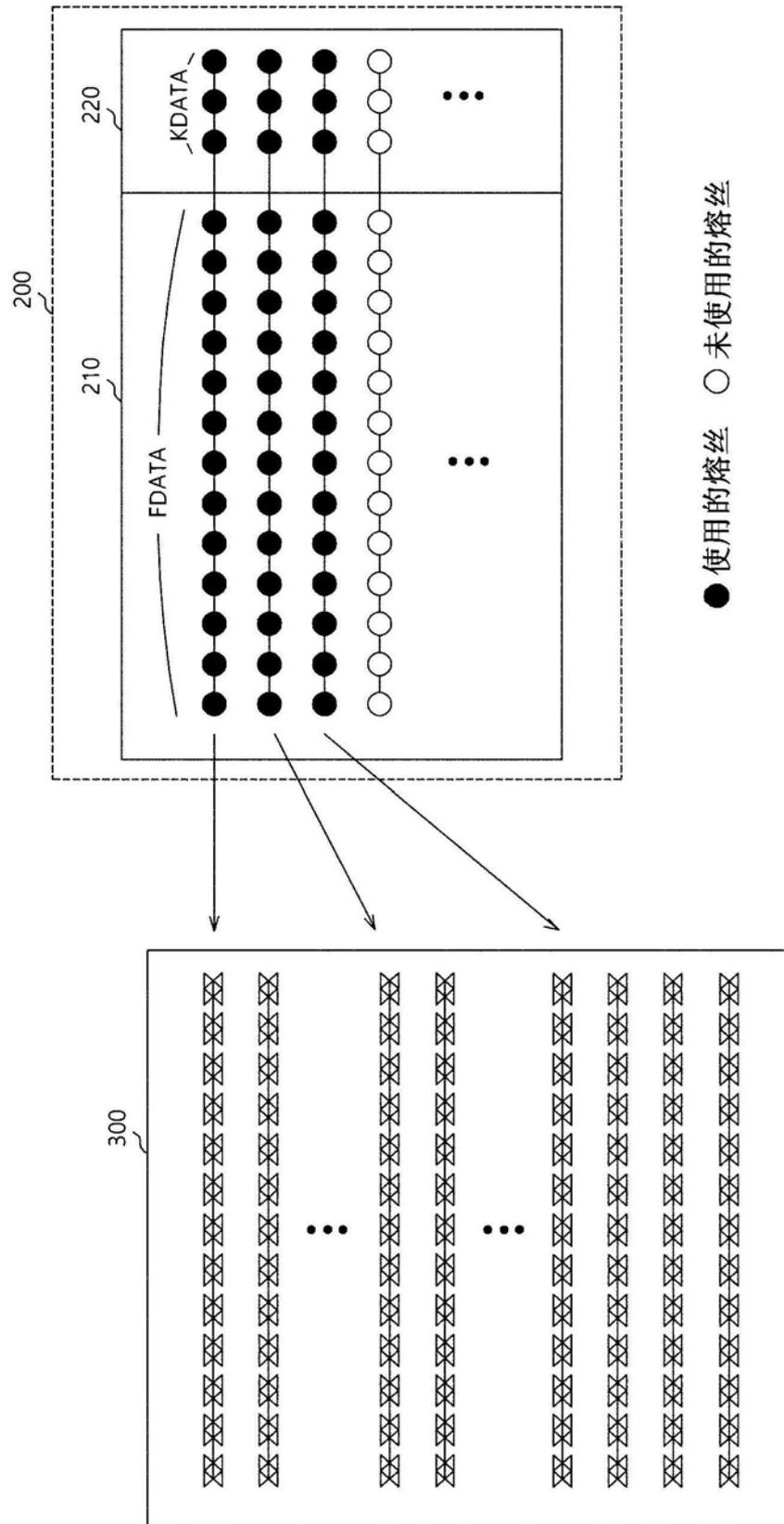


图4

900

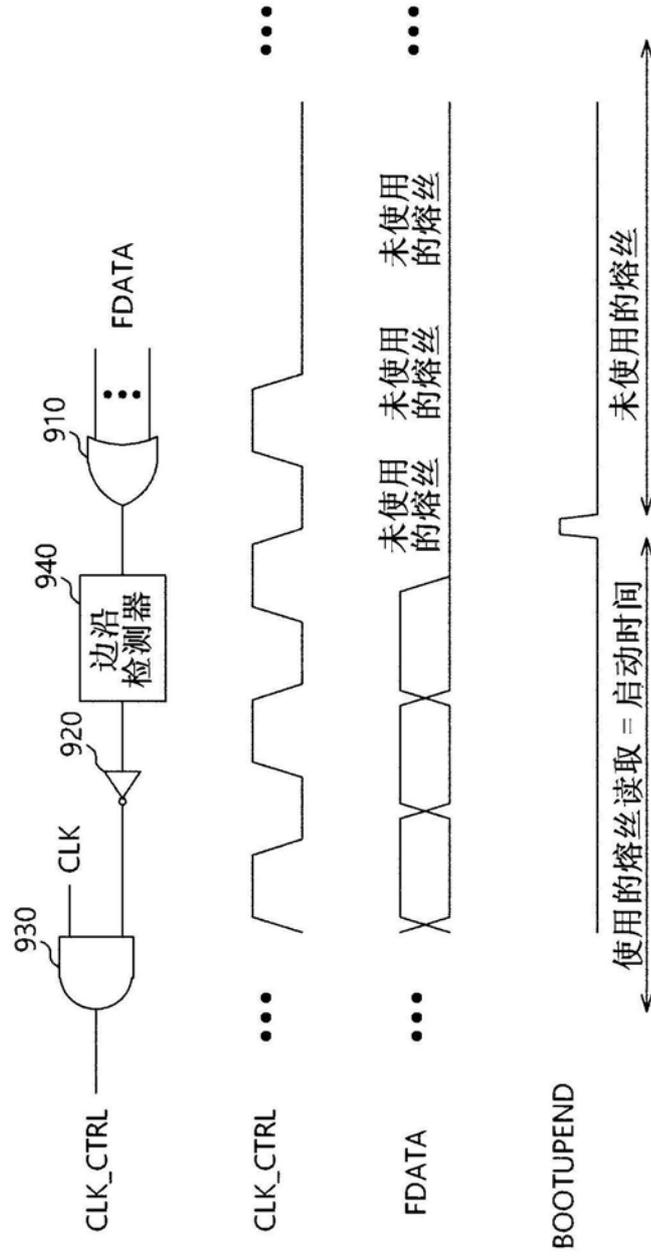


图5

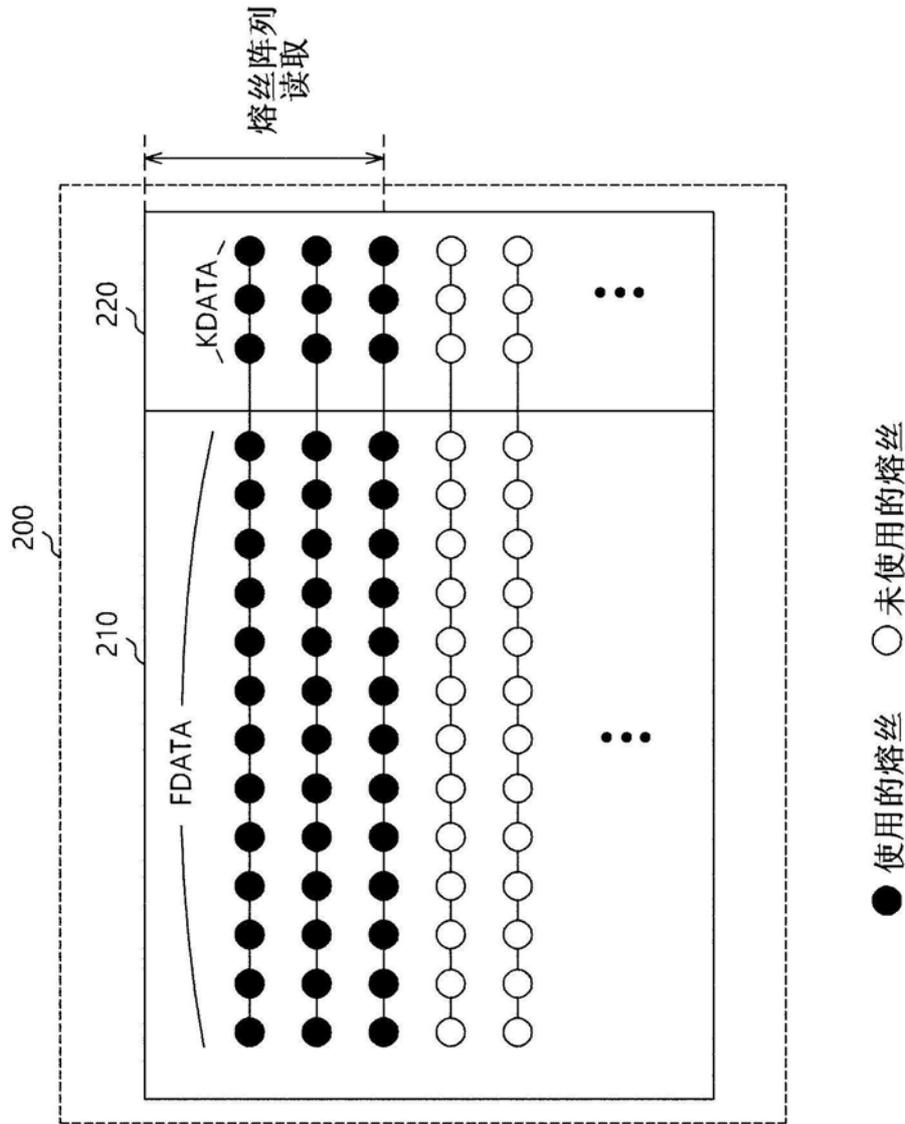


图6

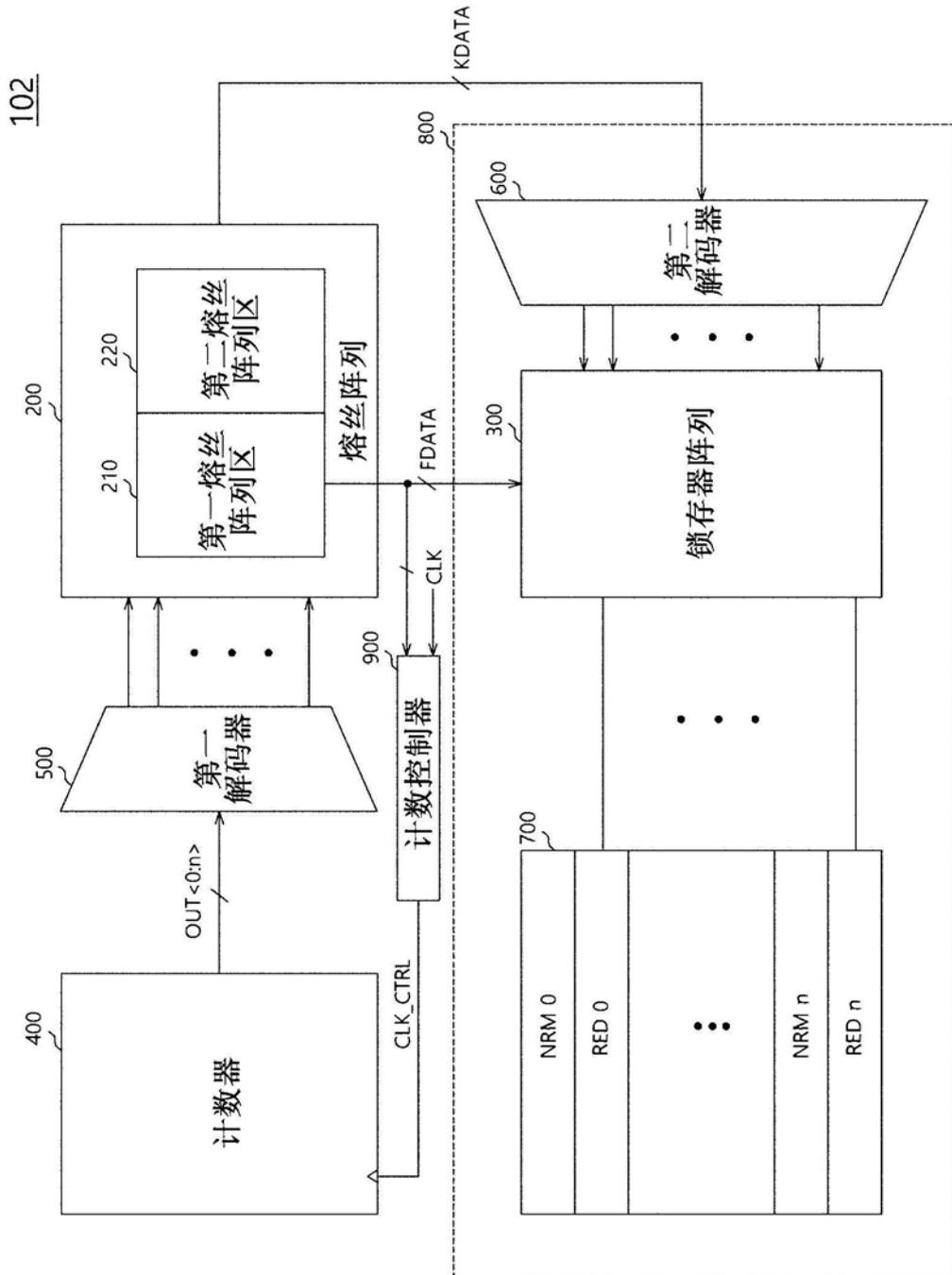


图7

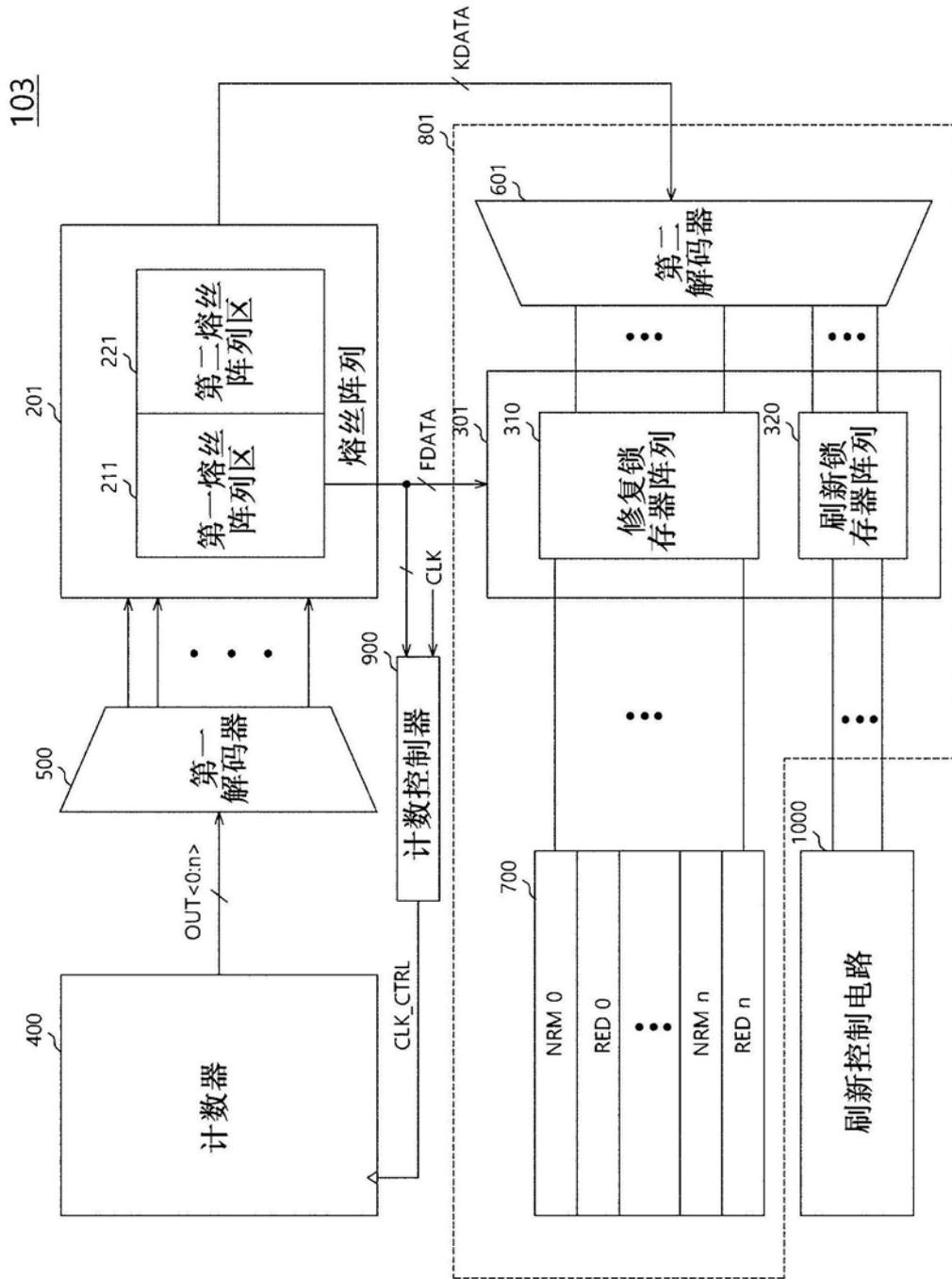


图8

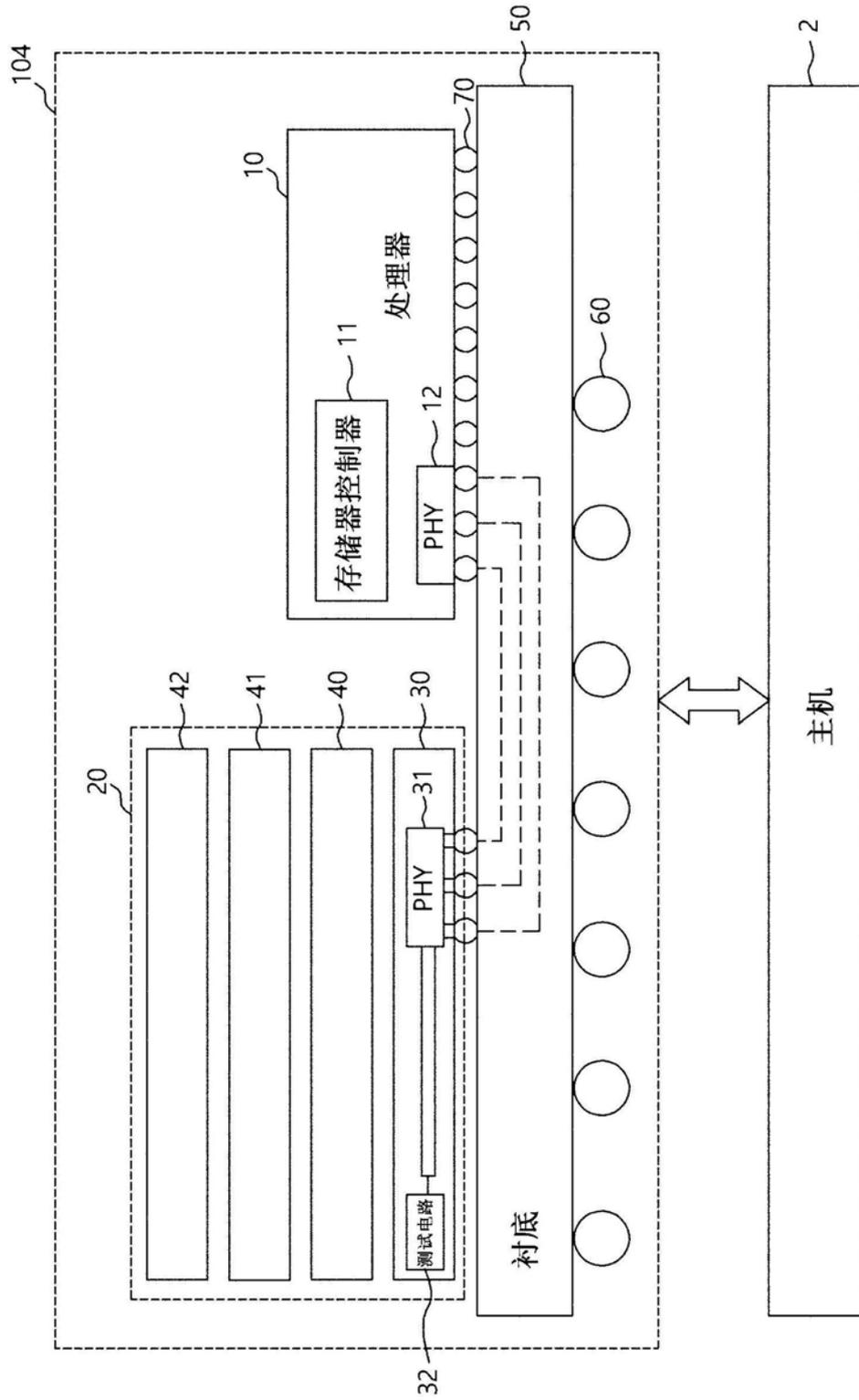


图9