

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2018-510512

(P2018-510512A)

(43) 公表日 平成30年4月12日(2018.4.12)

|                         |              |             |
|-------------------------|--------------|-------------|
| (51) Int.Cl.            | F I          | テーマコード (参考) |
| HO 1 L 25/065 (2006.01) | HO 1 L 25/08 | Z           |
| HO 1 L 25/07 (2006.01)  |              |             |
| HO 1 L 25/18 (2006.01)  |              |             |

審査請求 未請求 予備審査請求 有 (全 26 頁)

(21) 出願番号 特願2017-550567 (P2017-550567)  
 (86) (22) 出願日 平成27年10月12日 (2015.10.12)  
 (85) 翻訳文提出日 平成29年11月22日 (2017.11.22)  
 (86) 国際出願番号 PCT/US2015/055081  
 (87) 国際公開番号 W02016/160063  
 (87) 国際公開日 平成28年10月6日 (2016.10.6)  
 (31) 優先権主張番号 14/674, 321  
 (32) 優先日 平成27年3月31日 (2015.3.31)  
 (33) 優先権主張国 米国 (US)

(71) 出願人 591025439  
 ザイリンクス インコーポレイテッド  
 X I L I N X I N C O R P O R A T E D  
 アメリカ合衆国 カリフォルニア州 95  
 124-3400 サン ホセ ロジック  
 ドライブ 2100  
 (74) 代理人 110002077  
 園田・小林特許業務法人  
 (72) 発明者 カープ, ジェームズ  
 アメリカ合衆国 カリフォルニア 951  
 24, サン ノゼ, ロジック ドライ  
 ブ 2100

最終頁に続く

(54) 【発明の名称】 マルチダイパッケージにおける通信のための方法および回路

(57) 【要約】

様々な実施例が、マルチダイ集積回路 (IC) パッケージ上のダイ間通信のための回路および方法に関する。一実施例によれば、ICパッケージ (200, 400) は、パッケージのそれぞれのデータ端子 (218) を介してデータを通信するための複数の通信回路を有する第1の半導体ダイ (208, 400) を含む。パッケージはまた、半導体ダイとの間でデータを通信するためのN個のコンタクト (140, 206) を有する第2の半導体ダイ (102, 410) を含む。第2の半導体ダイ (102, 410) は、パッケージの1つ以上の他の半導体ダイとM個の並列データ信号を通信するように構成されたプログラマブルロジック回路 (110, 412) を含む。ここで、M > Nである。第2の半導体ダイはまた、複数のシリアライザ回路 (130, 414) を含み、各シリアライザ回路は、複数のM本の信号線 (120, 416) のうちの対応するサブセットからのデータをシリアライズして、シリアライズされたデータを生成し、シリアライズされたデータをコンタクト (140, 206) のうちの対応するコンタクトに供給するように構成

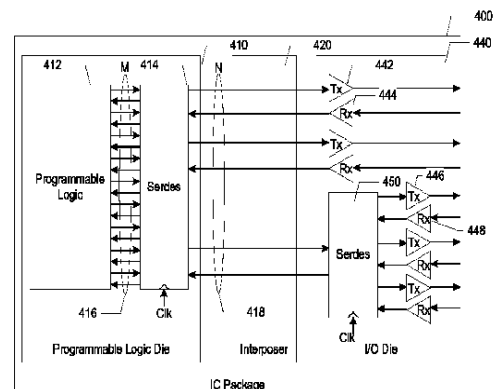


FIG. 4

**【特許請求の範囲】****【請求項 1】**

第 1 の半導体ダイと、

前記半導体ダイ上の M 本の信号線と、

前記半導体ダイ上のロジック回路であって、前記第 1 の半導体ダイに通信可能に結合された 1 つ以上の半導体ダイと、前記 M 本の信号線を介して M 個のデータ信号を通信するように構成されたロジック回路と、

少なくとも N 個のコンタクトを含む前記半導体ダイ上の複数のコンタクトであって、前記 N 個のコンタクトの数が、前記 M 本の信号線の数よりも少なく、各コンタクトが、それぞれの信号経路を介して前記 1 つ以上の半導体ダイのうちの他の 1 つに結合される、複数のコンタクトと、

前記第 1 の半導体ダイ上の複数のシリアライザ回路であって、各シリアライザ回路が、複数の前記 M 本の信号線のそれぞれのサブセットからのデータをシリアライズして、シリアライズされたデータを生成し、前記シリアライズされたデータを前記コンタクトのうちのそれぞれのコンタクトに供給するように構成された、複数のシリアライザ回路とを備える装置。

**【請求項 2】**

前記 1 つ以上の半導体ダイを更に備え、

前記 1 つ以上の半導体ダイ及び前記第 1 の半導体ダイが、集積回路 (IC) パッケージへの及び IC パッケージからのデータの通信のための 1 組のデータ端子を有する IC パッケージ内に配置され、

前記 1 つ以上の半導体ダイに含まれる第 2 の半導体ダイが、複数の通信回路を含み、各々の通信回路が、前記 1 組のデータ端子のうちのそれぞれのデータ端子を介してデータを通信するように構成された、請求項 1 に記載の装置。

**【請求項 3】**

前記第 1 の半導体ダイが、複数のデシリアライザ回路を更に含み、各デシリアライザ回路が、前記コンタクトのうちのそれぞれのコンタクトからシリアライズされたデータを受信し、デシリアライズされたデータを生成し、前記デシリアライズされたデータを前記 M 本の信号線のうちのそれぞれの複数の信号線に分配するように構成された、請求項 2 に記載の装置。

**【請求項 4】**

前記第 2 の半導体ダイの前記複数の通信回路のうちの少なくとも 1 つが、前記信号経路のうちのそれぞれの信号経路からシリアライズされたデータを受信するように結合され、前記 1 組のデータ端子のうちのそれぞれのデータ端子を介して前記シリアライズされたデータを送信するように構成されている、請求項 2 に記載の IC パッケージ。

**【請求項 5】**

前記第 2 の半導体ダイが、前記シリアライズされたデータを前記信号経路のうちのそれぞれの信号経路を介して前記第 1 の半導体ダイから受信するように結合されたデシリアライザ回路を更に含み、前記デシリアライザ回路が、

前記シリアライズされたデータをデシリアライズして、1 組の並列データ信号を生成し

、前記 1 組の並列データ信号の各データ信号を前記複数の通信回路のうちのそれぞれの通信回路に供給する

ように構成され、前記それぞれの通信回路が、前記データ信号を前記データ端子のうちのそれぞれのデータ端子上で送信するように構成されている、請求項 2 に記載の IC パッケージ。

**【請求項 6】**

前記第 2 の半導体ダイの前記複数の通信回路の少なくとも 1 つの通信回路が、

それぞれのデータ端子から受信された信号を復調し、シリアライズされたデータを含む復調された信号を生成し、

10

20

30

40

50

前記復調された信号を前記信号経路のうちのそれぞれの信号経路を介して前記ロジック回路に送信する

ように構成されている、請求項 2 に記載の IC パッケージ。

【請求項 7】

前記複数の通信回路のうちの 2 つ以上が各々、それぞれのデータ端子から受信されたそれぞれの信号を復調して、それぞれの復調された信号を生成するように構成され、

前記第 2 の半導体ダイが、前記複数の通信回路のうちの前記 2 つ以上によって生成された前記復調された信号をシリアルライズして、それぞれのシリアルライズされた信号を生成し、前記それぞれのシリアルライズされた信号を前記信号経路の 1 つを介して前記第 1 の半導体ダイに送信するように構成されたシリアルライザ回路を更に含む、請求項 2 に記載の IC パッケージ。

10

【請求項 8】

前記第 1 の半導体ダイが、第 1 のリソグラフィプロセスサイズを有する複数のプログラマブルロジックリソースを含み、

前記第 2 の半導体ダイの回路が、前記第 1 のリソグラフィプロセスサイズよりも大きい第 2 のリソグラフィプロセスを有し、

前記第 1 の半導体ダイが、 $X$  単位<sup>2</sup> に等しい面積を有し、

各コンタクトが、前記第 1 の半導体ダイの前記  $X$  単位<sup>2</sup> のうちの  $Y$  単位<sup>2</sup> を含むそれぞれのコンタクト領域に配置され、

前記  $N$  個のコンタクトの数が、 $X / Y$  以下である、請求項 2 に記載の IC パッケージ。

20

【請求項 9】

前記 IC パッケージ内の基板と、

前記基板上的インターポーザであって、前記第 2 の半導体ダイのコンタクトの各々を複数の半導体ダイのうちの他の 1 つの半導体ダイのそれぞれのコンタクトに結合するように構成されたインターポーザと、

前記基板上的 1 つ以上の配線層であって、前記第 2 の半導体ダイの前記コンタクトの各々を前記複数の半導体ダイのうちの他の 1 つの半導体ダイのそれぞれのコンタクトに結合するように構成された配線層と

を更に含む、請求項 2 に記載の IC パッケージ。

30

【請求項 10】

マルチダイ IC パッケージにおけるダイ間通信のための方法であって、

前記 IC パッケージの第 1 の半導体ダイ上のロジック回路を使用して、前記第 1 の半導体ダイ上の  $M$  本の信号線を介して  $M$  個のデータ信号を並列に前記 IC パッケージの他のダイと通信することと、

前記第 1 の半導体ダイ上の複数のシリアルライザ回路の各々について、

前記  $M$  個のデータ信号のそれぞれの第 1 のサブセットをシリアルライズして、それぞれの第 1 のシリアルライズされたデータ信号を生成し、

前記それぞれの第 1 のシリアルライズされたデータ信号を前記第 1 の半導体ダイの  $N$  個 (ここで、 $N < M$ ) のコンタクトのうちのそれぞれのコンタクトに供給し、

前記第 1 の半導体ダイ上の複数のデシリアルライザ回路の各々について、

40

前記  $N$  個のコンタクトのうちの 1 つにおけるそれぞれの第 2 のシリアルライズされたデータ信号をデシリアルライズして、前記  $M$  個のデータ信号のそれぞれの第 2 のサブセットを生成し、

前記それぞれの第 2 のサブセットの各データ信号を前記  $M$  本の信号線のうちのそれぞれの信号線に供給することと

を含む方法。

【請求項 11】

前記第 1 のシリアルライズされたデータ信号を前記  $N$  個のコンタクトのうちのそれぞれのコンタクトから前記 IC パッケージの第 2 の半導体ダイへ供給することを更に含み、前記第 1 のシリアルライズされたデータ信号を前記第 2 の半導体ダイへ供給することは、インタ

50

ーポータを介して又は前記 IC パッケージの基板上の信号線を介して前記第 1 のシリアルライズされたデータ信号を前記第 2 の半導体ダイへ通信することを含み、請求項 10 に記載の方法。

【請求項 12】

前記第 2 の半導体ダイ上の通信回路を使用して、前記 IC パッケージの外部データ端子を介して前記第 1 のシリアルライズされたデータ信号を送信することを更に含み、請求項 11 に記載の方法。

【請求項 13】

前記第 2 の半導体ダイ上のデシリアルライズ回路を使用して、前記第 1 のシリアルライズされたデータ信号をデシリアルライズして、複数の並列データ信号を生成することと、

前記第 2 の半導体ダイ上のそれぞれの通信回路を使用して、前記複数の並列データ信号を前記 IC パッケージのそれぞれのデータ端子を介して送信することとを更に含み、請求項 11 に記載の方法。

10

【請求項 14】

前記第 2 の半導体ダイ上のシリアルライズ回路を使用して、複数のデータ端子からのデータ信号をシリアルライズして、前記第 1 の半導体ダイ上の前記複数のデシリアルライズ回路の 1 つに対して前記それぞれの第 2 のシリアルライズされたデータ信号を生成すること、を更に含み、請求項 11 に記載の方法。

【請求項 15】

前記第 1 の半導体ダイの回路が、第 1 のプロセスサイズを有するリソグラフィを用いて形成され、

前記第 2 の半導体ダイの回路が、前記第 1 のプロセスサイズよりも大きい第 2 のプロセスサイズを有するリソグラフィを用いて形成され、

前記第 1 の半導体ダイが、 $X$  単位<sup>2</sup> に等しい面積を有し、

前記  $N$  個のコンタクトの各々が、前記第 1 の半導体ダイの  $(X/M)$  単位<sup>2</sup> より大きい面積を含むそれぞれのコンタクト領域に配置される、請求項 10 に記載の方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、一般に、データ通信に関し、より詳細には、マルチダイ集積回路 (IC) パッケージのダイ間でのデータの通信に関する。

30

【背景技術】

【0002】

プログラマブルロジックデバイス (PLD) は、指定された論理機能を実行するようにプログラムすることができる、よく知られているタイプのプログラマブル IC である。1 つのタイプの PLD であるフィールドプログラマブルゲートアレイ (FPGA) は、通常、プログラマブルタイルのアレイを含む。これらのプログラマブルタイルは、例えば、入出力ブロック (IOB)、構成可能な論理ブロック (CLB)、専用ランダムアクセスメモリブロック (BRAM)、乗算器、デジタル信号処理ブロック (DSP)、プロセッサ、クロックマネージャ、ディレイロックループ (DLL)、ペリフェラル・コンポーネント・インターコネクト・エクスプレス (PCIe) およびイーサネットなどのバスまたはネットワークインターフェースを含むことができる、様々なタイプの論理ブロックを含む。

40

【0003】

各プログラマブルタイルは、通常、プログラマブルインターコネクトとプログラマブルロジックの両方を含む。プログラマブルインターコネクトは、通常、プログラマブルインターコネクトポイント (PIP) によって相互接続された様々な長さの多数のインターコネクトラインを含む。プログラマブルロジックは、例えば、ファンクションジェネレータ、レジスタ、算術論理などを含むことができるプログラマブルエレメントを使用して、ユ

50

ーザーデザインのリジックを実装する。

【0004】

プログラマブルインターコネクトおよびプログラマブルロジックは、プログラマブルエレメントがどのように構成されるかを定める内部コンフィギュレーションメモリセルにコンフィギュレーションデータのストリームをロードすることによって、通常、プログラムされる。コンフィギュレーションデータは、メモリから（例えば、外部PROMから）読み出すことができ、または外部デバイスによってFPGAに書き込むことができる。その後、個々のメモリセルの集合的な状態が、FPGAの機能を決定する。

【発明の概要】

【0005】

10

様々な実施例が、マルチダイICパッケージ上のダイ間通信のための回路および方法に関する。実施例によれば、ICは、半導体ダイ上にM本の信号線とロジック回路とを有する第1の半導体ダイを含む。ロジック回路は、第1の半導体ダイに通信可能に結合された1つ以上の半導体ダイと、M本の信号線を介してM個のデータ信号を通信するように構成される。ICはまた、半導体ダイ上に複数のコンタクトを含む。複数のコンタクトは、少なくともN個のコンタクトを含み、NはM未満である。半導体ダイ上の複数のシリアルライザ回路は各々、複数のM本の信号線のうちの対応するサブセットからのデータをシリアルライズして、シリアルライズされたデータを生成するように構成される。各シリアルライザ回路は、シリアルライズされたデータに対応するコンタクトに供給する。

【0006】

20

任意選択で、本装置は、1つ以上の半導体ダイをさらに含む。1つ以上の半導体ダイおよび第1の半導体ダイは、ICパッケージへ及びICパッケージからデータを通信するための1組のデータ端子を有する集積回路(IC)パッケージ内に配置することができる。1つ以上の半導体ダイに含まれる第2の半導体ダイは、複数の通信回路を含み、各通信回路は、1組のデータ端子のうちの対応するデータ端子を介してデータを通信するように構成されている。

【0007】

任意選択で、第1の半導体ダイは、複数のデシリアルライザ回路をさらに含み、各回路は、シリアルライズされたデータに対応するコンタクトから受け取り、デシリアルライズされたデータを生成し、デシリアルライズされたデータをM本の信号線のうちの対応する複数の信号線に分配するように構成される。

30

【0008】

任意選択で、第2の半導体ダイの複数の通信回路の少なくとも1つは、シリアルライズされたデータに対応する信号経路から受信するように結合され、1組のデータ端子のうちの対応するデータ端子を介してシリアルライズされたデータを送信するように構成される。

【0009】

任意選択で、第2の半導体ダイは、第1の半導体ダイからのシリアルライズされたデータに対応する信号経路を介して受信するように結合されたデシリアルライザ回路であって、シリアルライズされたデータをデシリアルライズして1組の並列データ信号を生成し、1組の並列データ信号の各データ信号を複数の通信回路のうちの対応する通信回路へ送信するように構成されたデシリアルライザ回路をさらに含み、前記対応する通信回路は、データ信号に対応するデータ端子上で送信するように構成される。

40

【0010】

任意選択で、第2の半導体ダイの複数の通信回路のうちの少なくとも1つの通信回路は、対応するデータ端子から受信した信号を復調して、シリアルライズされたデータを含む復調信号を生成し、対応する信号経路を介して復調信号をロジック回路に送信するように構成される。

【0011】

任意選択で、複数の通信回路のうちの2つ以上は各々、対応するデータ端子から受信したそれぞれの信号を復調して、それぞれの復調信号を生成するように構成され、第2の半

50

導体ダイは、複数の通信回路のうちの前記2つ以上によって生成された復調信号をシリアルライズし、それぞれのシリアルライズされた信号を生成し、それぞれのシリアルライズされた信号を信号経路の1つを介して第1の半導体ダイに送信するように構成されたシリアルライザ回路をさらに含む。

【0012】

任意選択で、第1の半導体ダイは、第1のリソグラフィプロセスサイズを有する複数のプログラマブルロジックリソースを含み、第2の半導体ダイの回路は、第1のリソグラフィプロセスサイズよりも大きい第2のリソグラフィプロセスを有する。

【0013】

任意選択で、ICパッケージは、ICパッケージ内の基板と、基板上的インターポーザであって、第2の半導体ダイのコンタクトの各々を複数の半導体ダイのうち別の1つの対応するコンタクトに結合するように構成されたインターポーザと、をさらに含む。

10

【0014】

任意選択で、ICパッケージは、基板上的1つ以上の配線層であって、第2の半導体ダイのコンタクトの各々を複数の半導体ダイのうち別の1つの対応するコンタクトに結合するように構成された配線層を、さらに含む。

【0015】

任意選択で、第1の半導体ダイは、 $X$ 単位<sup>2</sup>に等しい面積を有し、各コンタクトが、第1の半導体ダイの $X$ 単位<sup>2</sup>のうち $Y$ 単位<sup>2</sup>を含むそれぞれのコンタクト領域に配置され、 $N$ 個のコンタクトの数は、 $X/Y$ より小さいか又は等しい。

20

【0016】

マルチダイICパッケージにおけるダイ間通信のための方法もまた開示される。ICパッケージの第1の半導体ダイ上のロジック回路を使用して、 $M$ 個のデータ信号が並列に、第1の半導体ダイ上の $M$ 本の信号線を介してICパッケージの他のダイと通信される。第1の半導体ダイ上の複数のシリアルライザ回路の各々について、 $M$ 個のデータ信号のうち対応する第1のサブセットがシリアルライズされて、それぞれの第1のシリアルライズされたデータ信号が生成される。それぞれの第1のシリアルライズされたデータ信号は、第1の半導体ダイの $N$ 個のコンタクトのうち対応するコンタクトに供給され、 $N < M$ である。第1の半導体ダイ上の複数のデシリアルライザ回路の各々について、 $N$ 個のコンタクトのうち1つにおけるそれぞれの第2のシリアルライズされたデータ信号がデシリアルライズされて、 $M$ 個の並列データ信号のうちそれぞれの第2のサブセットを生成する。それぞれの第2のサブセットのデータ信号は、 $M$ 本の信号線のうち対応する信号線に供給される。

30

【0017】

任意選択で、本方法は、第1のシリアルライズされたデータ信号を、 $N$ 個のコンタクトのうちの前記対応するコンタクトからICパッケージの第2の半導体ダイへ供給することを、さらに含む。

【0018】

任意選択で、第1のシリアルライズされたデータ信号を第2の半導体ダイに供給することは、インターポーザを介して第1のシリアルライズされたデータ信号を第2の半導体ダイに通信することを含む。

40

【0019】

任意選択で、第1のシリアルライズされたデータ信号を第2の半導体ダイに供給することは、ICパッケージの基板上的信号線を介して第1のシリアルライズされたデータ信号を通信することを含む。

【0020】

任意選択で、本方法は、第2の半導体ダイ上の通信回路を使用することと、ICパッケージの外部データ端子を介して第1のシリアルライズされたデータ信号を送信することとをさらに含む。

【0021】

任意選択で、本方法は、第2の半導体ダイ上のデシリアルライザ回路を使用して、第1の

50

シリアルライズされたデータ信号をデシリアルライズして複数の並列データ信号を生成することと、第2の半導体ダイ上の対応する通信回路を使用して、ICパッケージの対応するデータ端子を介して複数の並列データ信号を送信することとをさらに含む。

【0022】

任意選択で、本方法は、第2の半導体ダイ上のシリアルライザ回路を使用して、複数のデータ端子からのデータ信号をシリアルライズして、それぞれの第2のシリアルライズされたデータ信号を第1の半導体ダイ上の複数のデシリアルライザ回路の1つに対して生成することをさらに含む。

【0023】

任意選択で、第1の半導体ダイの回路は、第1のプロセスサイズを有するリソグラフィを用いて形成され、第2の半導体ダイの回路は、第1のプロセスサイズより大きい第2のプロセスサイズを有するリソグラフィを用いて形成される。第1の半導体ダイは、 $X$ 単位<sup>2</sup>に等しい面積を有してもよく、 $N$ 個のコンタクトの各々が、第1の半導体ダイの、 $(X/M)$ 単位<sup>2</sup>より大きい領域を含むそれぞれのコンタクト領域に配置される。

【0024】

一実施例によれば、ICパッケージは、基板と、基板に結合された、ICパッケージへ及びICパッケージからデータを通信するための1組のデータ端子とを含む。ICパッケージは、ICパッケージの対応するデータ端子を介してデータを通信するための複数の通信回路を有する第1の半導体ダイを含む。ICパッケージはまた、第2の半導体ダイへ及び第2の半導体ダイからデータを通信するための $N$ 個のコンタクトを有する第2の半導体ダイを含む。第2の半導体ダイは、 $M$ 個のデータ信号をパッケージの1つ以上の他の半導体ダイと並列に通信するように構成されたロジック回路を含み、 $M > N$ である。第2の半導体ダイはまた、複数のシリアルライザ回路を含み、各シリアルライザ回路は、複数の $M$ 個のデータ信号のうちに対応するサブセットからのデータをシリアルライズして、シリアルライズされたデータを生成し、シリアルライズされたデータを $N$ 個のコンタクトのうちに対応するコンタクトに供給するように構成される。

【0025】

他の特徴が、以下の詳細な説明および特許請求の範囲の考察から認識されるであろう。

【0026】

本方法および回路の様々な態様および特徴は、以下の詳細な説明を考察し、図面を参照することにより、明らかになるであろう。

【図面の簡単な説明】

【0027】

【図1】より少ない数のコンタクトを使用する、ある数のデータ信号のダイ間通信用に構成された例示的な半導体ダイを示す。

【図2】ダイ間通信用に構成された第1および第2の半導体ダイを有する第1のICパッケージの断面図である。

【図3】ダイ間通信用に構成された第1および第2の半導体ダイを有する第2のICパッケージの断面図である。

【図4】ダイ間通信のための回路例のブロック図である。

【図5】マルチダイICパッケージ内の半導体ダイからデータを通信するための例示的なプロセスを示す。

【図6】マルチダイICパッケージ内の半導体ダイにデータを通信するための例示的なプロセスを示す。

【図7】1つ以上の実施形態に従って構成され得るプログラマブルICを示す。

【発明を実施するための形態】

【0028】

以下の説明では、本明細書に示される特定の例を説明するために、多数の特定の詳細が説明される。しかしながら、当業者には明らかなように、1つ以上の他の例および/またはこれらの例の変形例が、以下に示される特定の詳細のすべてを伴わずに実施されてもよ

10

20

30

40

50

い。他の例では、本明細書の例の説明を不明瞭にしないように、周知の特徴については詳細には説明していない。説明を容易にするために、同じ要素または同じ要素の追加の例を指すために、同じ参照番号が異なる図で使用され得る。

**【0029】**

マルチダイICパッケージは、一緒に結合され、単一パッケージ内に配置された複数の半導体ダイを含む。各半導体ダイは、ICパッケージのそれぞれの構成要素を実施する。一般に、いずれかの半導体ダイ内で発生する製造不良は、ICパッケージを動作不能にする。ICパッケージのそれぞれの構成要素を実施するために複数の半導体ダイを使用することにより、ICパッケージの最終組立に先立って、構成要素を個別に製造し、試験することが可能になる。したがって、欠陥のある構成要素は、最終的なICパッケージに組み立てられる前に個別に識別され得る。このようにして、ICパッケージの製造の歩留まりを向上させることができる。

10

**【0030】**

データは、半導体ダイ上のそれぞれのコンタクト間のダイ間接続を介して、マルチダイICパッケージ内の個々の半導体ダイ間で通信される。ダイ間接続は、例えば、ICパッケージ内の基板および/またはインターポーザ上の信号線を含むことができる。コンタクトは、例えばワイヤボンダ、C4はんだボール、および/またはマイクロバンプを含む様々な製造技術を使用して信号線に接続することができる。これに限定されるものではないが、参照を容易にするために、マイクロバンプを用いて半導体パッケージに搭載され相互接続された半導体ダイを参照して、例が主に説明される。

20

**【0031】**

リソグラフィプロセスの進歩は、シリコンの所定の面積に印刷することができる回路の密度を増加させ続けている。典型的には、半導体ダイ上に集積される回路の量が増加すると、データの入出力のためのコンタクトの数が増加する。しかしながら、現在の製造技術の限界のために、半導体ダイへの及び/又は半導体ダイからのデータ通信のための所望の数のコンタクトを収容するのに十分な面積が半導体ダイ上に存在しないことがある。例えば、プログラマブルICの場合、プログラマブルロジック回路とプログラマブルロジック回路の外部の様々な通信回路との間で数千の並列データ信号を通信する必要があるかもしれない。半導体ダイ上にプログラマブルロジック回路を形成するために28nmのリソグラフィが使用される場合、プログラマブルロジック回路からのすべてのデータ信号を対応する信号線に伝達するために、1~2μmピッチのコンタクトが必要となることがある。しかしながら、現在入手可能なコンタクトは、典型的には、約35~40μmの最小ピッチを有する。したがって、半導体ダイのシリコン領域内で各データ信号に対してそれぞれのコンタクトを形成することは不可能である。

30

**【0032】**

より少ない数のコンタクトを使用して、マルチダイICパッケージの半導体ダイへ及び/又は半導体ダイから、より多くの数のデータ信号を通信するための回路および方法が開示される。一実施例によれば、ICパッケージは、第1の数(M)のデータ信号を並列にパッケージの1つ以上の他の半導体ダイと通信するように構成されたロジック回路を有する第1の半導体ダイを含む。第1の半導体ダイは、データ信号の数よりも小さい第2の数(N)のコンタクトを含む。第1の半導体ダイはまた、1つ以上のシリアルライザ回路を含む。各シリアルライザ回路は、M個のデータ信号のうちに対応するサブセットをシリアルライズして、シリアルライズされたデータ信号を生成し、シリアルライズされたデータ信号をN個のコンタクトのうちに対応するコンタクトに提供するように構成される。シリアルライゼーションは、M個のデータ信号のそれぞれのビットを、単一の信号経路を介して順次送信するための単一のデータ信号に配列する。代替的または追加的に、第1の半導体ダイは、1つ以上のデシリアルライザ回路を含むことができる。各デシリアルライザは、M個のデータ信号のサブセットを生成するために、N個のコンタクトのうちに対応するコンタクトにおけるシリアルライズされたデータ信号をデシリアルライズするように構成される。デシリアルライゼーションは、シリアルライズされたデータ信号を、それぞれの信号線上で送信するための

40

50



成分データ信号に分離する。参照を容易にするために、シリアル化されていないデータ信号は、並列データ信号または並列に通信されるデータ信号と呼ぶことができる。

【0033】

開示された実施形態は、複数の相互接続された半導体ダイによって実現される様々な回路を有するICパッケージに適用可能である。説明を容易にするために、本開示の例は、第1の半導体ダイ上のプログラマブルロジック回路と、第2の半導体ダイ上の1つ以上の通信回路とを含むICパッケージを参照して一般的に議論され得る。第2の半導体ダイ上の通信回路は、例えば、ICパッケージの1組の外部データ端子を介してICパッケージへ及び/又はICパッケージからデータを通信するように構成することができる。

【0034】

いくつかの実施形態では、1つ以上の通信回路が、ICダイからの伝送のために、第1の半導体ダイから第2の半導体ダイに通信されるシリアル化されたデータ信号を符号化する。代替的にまたは追加的に、第2の半導体ダイは、第1の半導体ダイから第2の半導体ダイに通信されるシリアル化されたデータ信号をデシリアル化して、1組の並列データ信号を生成するように構成されたデシリアル化回路を含むことができる。並列データ信号の各々が、対応するデータ端子を介して伝送するために、対応する通信回路によって符号化されてもよい。相異なる通信回路は、様々な通信プロトコルを使用して、シリアル化された又は並列のデータ信号を符号化することができる。通信回路によって生成された変調信号は、ICパッケージのデータ端子のうちの対応するデータ端子上で通信回路によって送信される。

【0035】

いくつかの実施形態では、第2の半導体ダイ上の1つ以上の通信回路は、ICパッケージのデータ端子から受信したデータ信号を復調し、復調信号をシリアル化されたデータとして第1の半導体ダイに通信するように構成される。いくつかの通信回路の場合、復調信号は、通信回路によって第1の半導体ダイに直接に通信することができるシリアル化されたデータを含むことができる。いくつかの他の通信回路では、復調信号は、シリアル化されたデータを含まない。いくつかの実施形態では、第2の半導体ダイは、複数の復調信号をシリアル化して、第1の半導体ダイへの通信のためのシリアル化されたデータ信号を生成するように構成されたシリアル化回路を含むことができる。

【0036】

上述したように、ICパッケージ内に複数の半導体ダイを使用することにより、ICパッケージ内の回路部品を個別に製造し、ICパッケージ内に組み立てる前に試験することができる。しかしながら、半導体ダイのシリコン面積を、半導体ダイ間で通信されるデータ信号のそれぞれのためのそれぞれのコンタクトを収容するために増加させる必要があるかもしれない。このようなシリコン面積の増加は、個々の半導体ダイおよび結果として得られるICパッケージの製造コストを増加させる。

【0037】

開示されたダイ間通信の回路および方法は、マルチダイICパッケージ内の個々の半導体ダイが、各ダイ間データ信号用のそれぞれのコンタクトを含むために要求されるであろう面積よりも小さい面積寸法で形成されることを可能にする。より少ないコンタクトを使用してデータ信号を通信することにより、半導体ダイのシリコン面積を縮小することができる。したがって、ICパッケージ内の回路は、追加のコンタクトを含むためにシリコン面積を増加させることなく、複数の半導体ダイを使用して実現することができる。

【0038】

ICパッケージ内の複数の半導体ダイを使用することにより、異なるリソグラフィプロセスを使用して異なる回路を形成することも可能になる。例えば、いくつかの実施形態では、プログラマブルロジック回路は、より小さいリソグラフィプロセスサイズを使用して第1の半導体ダイに形成され、データの入出力のための通信回路は、より大きなリソグラフィプロセスサイズを使用して第2の半導体ダイに形成することができる。

【0039】

10

20

30

40

50

ここで図面を参照すると、図1は、より少ない数のコンタクトを使用した、ある数のデータ信号のダイ間通信に構成された例示的な半導体ダイを示す。この例では、半導体ダイ102は、半導体ダイへの及び/又は半導体ダイからのデータ信号の通信のための複数のコンタクト140を含む。コンタクトの最大数は、半導体ダイの総面積と各コンタクトに必要な面積によって制限される。例えば、長さX単位を有する正方形の半導体ダイ及び長さY単位を有する正方形のコンタクトに対して、半導体ダイは、 $X^2$ 単位の面積を有し、コンタクトは、 $Y^2$ 単位を必要とする。したがって、半導体ダイ102に含まれるコンタクトの数(N)は、 $X^2 / Y^2$ を超えることができない。半導体ダイ102は、コンタクト140の数よりも多い数(M)のデータ信号を並列にパッケージの1つ以上の他の半導体ダイと通信するように構成されたロジック回路110を含む。この例では、ロジック回路110は、M個のデータ信号の各々を、1組の並列信号線120のうちの対応する信号線を介して通信するように構成される。

10

#### 【0040】

第1の半導体ダイはまた、信号線120に結合された1つ以上のシリアライザ回路および/またはデシリアライザ回路を有するシリアライゼーション回路130を含む。シリアライゼーション回路130内の各シリアライザ回路は、もしあれば、プログラマブルロジック110から受信されたM個のデータ信号のうちの対応する第1のサブセットをシリアライズして、それぞれのシリアライズされたデータ信号を生成するように構成される。シリアライゼーションは、M本の信号線のデータ値を、単一の信号線を介して通信可能なシーケンシャルなシーケンスに配列する。各シリアライザは、ICパッケージ内の1つ以上の他のダイへの送信のために、N個のコンタクト140のうちの対応するコンタクトに、それぞれのシリアライズされたデータ信号を供給する。

20

#### 【0041】

ダイ間通信回路130内の各デシリアライザ回路は、もしあれば、M個のデータ信号のうちの対応する第2のサブセットを生成するために、コンタクト140のうちの対応するコンタクトを介してICパッケージの別のダイから受信されたシリアライズされた信号をデシリアライズするように構成される。デシリアライゼーションは、それぞれの信号線を介してM個の並列データ信号として通信するために、シリアライズされたデータ信号のM個のシーケンシャルなデータ値を配列する。対応する第2のサブセットのM個のデータ信号は、信号線120のうちの対応する信号線に供給される。

30

#### 【0042】

図2は、ダイ間通信するように構成された第1および第2の半導体ダイを有する第1のICパッケージの断面図を示す。ICパッケージ200は、1組のマイクロバンプ206によって基板202に結合されたプログラマブルロジックダイ102と、I/Oダイ208とを含む。マイクロバンプ206の各々は、1つのダイ上のそれぞれに対応するコンタクト(図示せず)を基板202上の配線層214に接続されたそれぞれに対応するコンタクト(図示せず)に電気的に結合するはんだボールである。配線層214は、配線層上の様々な位置の間でデータ信号をルーティングするための複数のそれぞれの信号線(図2には図示せず)を含む。ICパッケージ200の製造中に、マイクロバンプ206を最初に半導体ダイ102および208上のコンタクトに取り付けることができる。次いで、マイクロバンプ206を、基板202上の対応するコンタクトと整列させることができる。マイクロバンプ206は、リフローされて、ダイのコンタクトと基板202上のコンタクトとの間の電気的接続を形成する。

40

#### 【0043】

図1に示すように、プログラマブルロジックダイ102は、IC内の他のダイと多数のデータ信号を通信するように構成されたプログラマブルロジック回路110を含む。プログラマブルロジックダイ102はまた、シリアライズされたデータ信号としてプログラマブルロジックダイ102とI/Oダイ208との間でM個のデータ信号を通信するためのシリアライザ回路および/またはデシリアライザ回路を有するダイ間通信回路130を含む。シリアライズされたデータ信号の各々が、プログラマブルロジックダイ102とI/O

50

０ダイ２０８との間で、配線層２１４のそれぞれの信号線、プログラマブルロジックダイ１０２を信号線に結合するマイクロバンプ２０６のうちの第１のマイクロバンプ、及びＩ／Ｏダイ２０８を配線層２１４の信号線に結合するマイクロバンプ２０６のうちの第２のマイクロバンプを含むそれぞれのダイ間通信経路上で、通信される。

【００４４】

ＩＣパッケージはまた、ＩＣパッケージ２００へ及び／又はＩＣパッケージ２００からデータを通信するための複数のデータ端子２１８を含む。この例では、データ端子２１８は、ボンドワイヤ２１４を介して基板２０２上の配線層２１４に通信可能に結合されている。別の例として、いくつかの実施形態では、データ端子が基板２０２上に形成され、配線層２１４に直接に接続されてもよい。

10

【００４５】

Ｉ／Ｏダイ２０８は、データ端子２１８を介してＩＣパッケージへ又はＩＣパッケージからデータ信号を通信するように構成された複数の通信回路を含む。データ信号は、マイクロバンプ２０６の１つ、配線層２１４の信号線、ボンドワイヤ２１６の１つ、およびデータ端子２１８のうちの１つを含む信号経路を介して通信回路によって送信および／または受信される。異なる実施形態では、Ｉ／Ｏダイ２０８の通信回路は、シリアルライズされたフォーマットまたはシリアルライズされていないフォーマットのいずれかでＩＣパッケージ２００へ及びＩＣパッケージ２００からデータを通信することができる。さらに、相異なる通信回路は、例えば、ＡＸＩ、ＰＣＩe、および／またはイーサネットを含む様々な通信プロトコルを使用してデータを送信または受信することができる。

20

【００４６】

図２に示す例では、プログラマブルロジックダイ１０２およびＩ／Ｏダイ２０８は、マイクロバンプを介して基板配線層２１４に直接に結合される。いくつかの実施形態では、１つ以上の半導体ダイは、例えばインターポーザを介して基板配線層２１４に間接的に結合されてもよく、又は互いの半導体ダイにスタックされて、互いの半導体ダイに結合されてもよい。

【００４７】

図３は、インターポーザを介して基板に間接的に結合された第１および第２の半導体を有する例示的なＩＣパッケージの断面図を示す。ＩＣパッケージ３００は、図２を参照して説明したように、基板２０２、配線層２１４、データ端子２１８、ボンドワイヤ２１６、プログラマブルロジックダイ１０２、およびＩ／Ｏダイ２０８を含む。この例では、プログラマブルロジックダイ１０２およびＩ／Ｏダイ２０８は、インターポーザ３１０に搭載されている。プログラマブルロジックダイ１０２とＩ／Ｏダイ２０８のコンタクトが、１組のマイクロバンプ３１６によってインターポーザ３１０上の第２の配線層３１４に結合される。シリアルライズされたデータ信号が、それぞれに対応する信号経路を介してプログラマブルロジックダイ１０２とＩ／Ｏダイ２０８との間で通信される。プログラマブルロジックダイ１０２とＩ／Ｏダイ２０８との間の信号経路の各々は、それぞれに対応する配線層３１４の信号線、プログラマブルロジックダイ１０２を信号線に結合する、それぞれに対応する第１のマイクロバンプ、およびＩ／Ｏダイ２０８を信号線に結合する、それぞれに対応する第２のマイクロバンプを含む。

30

40

【００４８】

インターポーザ３１０は、多数のピア（図３には図示せず）を含み、各々のピアが、配線層３１４内の対応する信号線を、インターポーザ３１０の底面のＣ４はんだボール３１２のうちの対応するＣ４はんだボール３１２に結合する。Ｃ４はんだボール３１２は、基板２０２上の配線層２１４内の対応する信号線に取り付けられ、それらに接続される。この例では、Ｉ／Ｏダイ２０８によってＩＣパッケージ３００へ及びＩＣパッケージ３００から通信される各データ信号は、マイクロバンプの１つ、配線層３１４内の信号線、インターポーザ３１０のピア、Ｃ４はんだボールの１つ、配線層２１４の信号線、ボンドワイヤ２１６、およびデータ端子２１８のうちの１つを通るそれぞれの経路で通信される。

【００４９】

50

図4は、ICパッケージ内のダイ間通信のための例示的な回路のブロック図を示す。この例では、ICパッケージ400は、インターポーザ420によってI/Oダイ440に結合されたプログラマブルロジックダイ410を含む。プログラマブルロジックダイ410は、M本の信号線416を介してM個のデータ信号をI/Oダイ440と並列に通信するように構成されたプログラマブルロジック回路412を含む。プログラマブルロジックダイ410はまた、プログラマブルロジックダイ410のコンタクトに結合された、インターポーザ420を通るN個の対応する信号経路418上のシリアライズされたデータ信号としてM個のデータ信号を通信するように構成されたシリアライザ/デシリアライザ(*serdes*)回路414を含む。より具体的には、*serdes*回路414は、信号線416のそれぞれのグループのデータをシリアライズして、それぞれのシリアライズされた信号を生成する。それぞれのシリアライズされた信号の各々が、対応する信号経路418を介してI/Oダイ440に伝達される。信号経路数Nは、データ信号数Mより小さい。*serdes*回路414はまた、I/Oダイ440から受信したそれぞれのシリアライズされたデータ信号を、複数の並列信号にデシリアライズし、各々の信号が、信号線416のうちの対応する信号線を介してプログラマブルロジック回路に供給される。

10

20

30

40

50

**【0050】**

I/Oダイ440は、ICパッケージ400へ又はICパッケージ400からデータ信号を通信するように構成された複数の通信回路442、444、446、および448を含む。I/Oダイ440は、異なる構成を有する様々な通信回路を含むことができる。いくつかの実施形態では、1つ以上の通信回路が、シリアライズされたデータフォーマットでICパッケージへ又はICパッケージからデータを通信するように構成されている。この例では、第1の通信回路442は、ICパッケージ400のデータ端子を介してプログラマブルICダイ410から受信したシリアライズされたデータ信号を送信するように構成されている。第2の通信回路444は、シリアライズされたフォーマットでICパッケージに入力されたデータを受信し、シリアライズされたデータをプログラマブルロジックダイ410に提供するように構成される。

**【0051】**

いくつかの実施形態では、1つ以上の通信回路が、シリアライズされていないデータフォーマットでICパッケージへ又はICパッケージからデータを通信するように構成されている。例えば、I/Oダイ440は、プログラマブルICダイ410からのシリアライズされたデータ信号をデシリアライズして、1組の並列信号を生成するように構成された*serdes*回路450を含む。各並列信号は、それぞれに対応する通信回路446によってI/Oダイ440から送信される。反対に、*serdes*回路450は、信号線418の1つを介してプログラマブルICダイに供給されるシリアライズされたデータ信号を生成するために、それぞれに対応する通信回路448によって受信された並列信号をシリアライズするように構成されてもよい。

**【0052】**

図5は、マルチダイICパッケージ内のICダイからデータを通信するための例示的なプロセスを示す。ブロック502において、第1の半導体ダイ上のプログラマブルロジック回路が、第1の半導体ダイ上のM本の信号線を介して同じIC内の他の半導体ダイとM個のデータ信号を並列に通信するために使用される。ブロック504において、第1の半導体ダイ上の複数のシリアライザ回路の各々について、M個のデータ信号のうちの対応する第1のサブセットがシリアライズされて、それぞれのシリアライズされたデータ信号が生成される。ブロック506において、それぞれのシリアライズされたデータ信号の各々が、第1の半導体ダイのN個のコンタクトのうちの対応するコンタクトを介して通信される。コンタクト数Nは、データ信号数Mより小さい。

**【0053】**

図6は、マルチダイICパッケージ内のICダイにデータを通信するための例示的なプロセスを示す。ブロック602において、シリアライズされたデータ信号が、それぞれに対応するコンタクトからそれぞれに対応するデシリアライザ回路へ供給される。ブロック

604において、各デシリアライザ回路に供給されるシリアライズされたデータ信号は、デシリアライズされて、それぞれに対応するM個のデータ信号の第2のサブセットを生成する。ブロック606において、それぞれに対応するM個のデータ信号の第2のサブセットの各々は、M本の信号線のうちの対応する信号線に供給される。

#### 【0054】

上記の例は、主に、マルチダイICパッケージ内の半導体ダイ間のシリアライズされたデータ信号の通信に関して論じられているが、いくつかの実施形態では、半導体ダイ間で並列データ信号を通信することもできる。例えば、再び図1を参照すると、プログラマブルロジックダイ102は、M個のデータ信号の第1のサブセットを、対応するコンタクトを介して並列に通信するように適合されてもよい。M個のデータ信号の第2のサブセット

10

#### 【0055】

プログラマブルロジックダイ上のシリアライザおよび/またはデシリアライザ回路は、ダイ上のハードワイヤード回路として、またはダイ上のプログラマブルロジックリソースによって実施することができる。プログラマブルロジックにハードワイヤード回路を実装することにより、プログラマブルロジックに実装されたユーザ回路設計の通信要件に適合するようにダイ間通信回路を適合させることができる。いくつかの実施形態では、ソフトウェア回路設計ツールは、プログラマブルロジックに実装されるユーザ回路設計へのおよび/またはそこからの信号の通信のためのシリアライゼーションおよび/またはデシリアライゼーション回路の作成および/または構成を支援するように構成することができる。例えば、ソフトウェア回路設計ツールは、ユーザ回路設計におけるI/O信号の数およびターゲットプログラマブルICパッケージ内にあるプログラマブルロジックダイの利用可能なI/Oコンタクトの数に基づいて、シリアライズされたフォーマットで通信される必要がある信号の数を決定することができる。プログラマブルロジックダイの利用可能なI/Oコンタクトの数は、例えば、様々なプログラマブルICパッケージのための利用可能なI/Oコンタクトのそれぞれの数を示すデータベースから決定することができる。シリアライズされたフォーマットで通信される必要がある信号の数を決定した後、ソフトウェア回路設計ツールは、その数の信号をシリアルに通信するために、ユーザ回路設計においてシリアライゼーション/デシリアライゼーション回路を自動的にインスタンス化すること

20

30

#### 【0056】

いくつかの実施形態では、ソフトウェア回路設計ツールは、I/O信号の通信要件に基づいてシリアライズされるユーザ回路設計のI/O信号を選択することができる。例えば、ソフトウェア設計ツールは、シリアライゼーションのために最も遅い転送速度を有するI/O信号を自動的に選択することができる。逆に、最も高い転送速度を有するI/O信号が、シリアライズされていないフォーマットで通信されるように選択されてもよい。別の例として、ソフトウェア設計ツールは、I/O信号の必要な転送速度およびI/Oコンタクトの転送速度に基づいて、シリアライズされるI/O信号をグループ化してもよい。シリアライズされるI/O信号を選択した後、ソフトウェア回路設計ツールは、選択されたI/O信号に対応する信号線をユーザ回路設計のインスタンス化されたシリアライゼーション/デシリアライゼーション回路に自動的に接続することができる。

40

#### 【0057】

図7は、1つ以上の実施形態に従って構成され得るプログラマブルIC702を示す。プログラマブルICは、プロセッシングサブシステム710およびプログラマブルロジックサブシステム730を含むシステムオンチップ(SOC)とも呼ばれる。この例では、プログラマブルICはまた、電力および/または安全管理のための様々な回路を有するサブシステム740と、外部回路とのデータ通信のための入力/出力(I/O)サブシステム750とを含む。サブシステム710、730、740、および750は、上記実施例で説明したように、複数の半導体ダイを使用して形成され、ICパッケージ内で相互接続

50

されてもよい。

【0058】

プロセッシングサブシステム710は、ユーザープログラムの実行を介して、ユーザーデザインのソフトウェア部分を実装するようにプログラムされてもよい。プログラムは、コンフィギュレーションデータストリームの一部として指定されてもよく、またはオンチップ若しくはオフチップのデータストレージデバイスから取り出されてもよい。プロセッシングサブシステム710は、1つ以上のソフトウェアプログラムを実行するための様々な回路712、714、716、および718を含むことができる。回路712、714、716、および718は、例えば、1つ以上のプロセッサコア、浮動小数点ユニット(FPU)、割り込み処理ユニット、オンチップメモリ、メモリキャッシュ、および/または

10

【0059】

プログラマブルIC702のプログラマブルロジックサブシステム730は、ユーザーデザインのハードウェア部分を実装するようにプログラムすることができる。例えば、プログラマブルロジックサブシステムは、コンフィギュレーションデータストリームに指定された一組の回路を実装するようにプログラムすることができるいくつかのプログラマブルリソース732を含むことができる。プログラマブルリソース732は、プログラマブルインターコネクト回路、プログラマブルロジック回路、およびコンフィギュレーションメモリセルを含む。プログラマブルロジックは、例えば、ファンクションジェネレータ、レジスタ、算術論理などを含むことができるプログラマブルエレメントを使用して、ユーザーデザインの論理を実装する。プログラマブルインターコネクト回路は、プログラマブルインターコネクトポイント(PIP)によって相互接続された様々な長さの多数のインターコネクトラインを含むことができる。

20

【0060】

プログラマブルリソース732は、プログラマブルインターコネクト回路およびプログラマブルロジック回路がどのように構成されるかを定めるコンフィギュレーションメモリセルにコンフィギュレーションデータストリームをロードすることによってプログラムすることができる。次いで、個々のメモリセルの集合状態が、プログラマブルリソース732の機能を決定する。コンフィギュレーションデータは、メモリから(例えば、外部PROMから)読み出すことができ、または外部デバイスによってプログラマブルIC702

30

【0061】

プログラマブルIC702は、プロセッシングサブシステム710を、プログラマブルロジックサブシステム730内に実装された回路と相互接続するための様々な回路を含むことができる。この例では、プログラマブルIC702は、プロセッシングサブシステム710およびプログラマブルロジックサブシステム730の様々なデータポート間でデータ信号をルーティングすることができるコアスイッチ726を含む。コアスイッチ726はまた、プログラマブルロジックまたはプロセッシングサブシステム710および730のいずれかと、プログラマブルICの様々な他の回路(例えば、内部データバス)との間でデータ信号をルーティングすることもできる。代替的または追加的に、プロセッシングサブシステム710は、コアスイッチ726をバイパスして、プログラマブルロジックサブシステムに直接接続するためのインターフェースを含むことができる。そのようなインターフェースは、例えば、ARMによって公表されたAMBA AXIプロトコル仕様(AXI)を使用して、実装することができる。

40

【0062】

50

いくつかの実施形態では、プロセッシングサブシステム 710 およびプログラマブルロジックサブシステム 730 は、メモリコントローラ 721 を介してオンチップメモリ 722 またはオフチップメモリ（図示せず）のメモリ位置に読み書きすることもできる。メモリコントローラ 721 は、限定ではないが、16ビットであれ、32ビットであれ、ECC付き16ビットなどであれ、デュアルデータレート（DDR）2、DDR3、低電力（LP）DDR2タイプのメモリを含む1つ以上の異なるタイプのメモリ回路と通信するように実装することができる。メモリコントローラ 721 が通信することができる様々なメモリタイプのリストは、例示のみのために提供されており、限定または網羅的なものではない。図7に示すように、プログラマブルIC 702 は、サブシステム 710 および 730 によって使用される仮想メモリアドレスを、メモリコントローラ 721 が特定のメモリ位置にアクセスするために使用する物理メモリアドレスに変換するためのメモリ管理ユニット 720 およびトランスレーションルックアサイドバッファ 724 を含むことができる。

10

**【0063】**

この例では、プログラマブルICは、外部回路とのデータ通信用のI/Oサブシステム 750 を含む。I/Oサブシステム 750 は、例えば、フラッシュメモリタイプI/Oデバイス、高性能I/Oデバイス、低性能インターフェース、デバッグI/Oデバイス、および/またはRAM I/Oデバイスを含む様々なタイプのI/Oデバイスまたはインターフェースを含むことができる。

20

**【0064】**

I/Oサブシステム 750 は、760A および 760B として示す1つ以上のフラッシュメモリインターフェース 760 を含むことができる。例えば、フラッシュメモリインターフェース 760 のうちの1つ以上は、4ビット通信用に構成されたクワッドシリアル・ペリフェラル・インターフェース（QSPI）として実装することができる。フラッシュメモリインターフェース 760 のうちの1つ以上は、パラレル8ビットNOR/SRAMタイプのインターフェースとして実装することができる。フラッシュメモリインターフェース 760 のうちの1つ以上は、8ビットおよび/または16ビット通信用に構成されたNANDインターフェースとして実装することができる。記載された特定のインターフェースは、例示のために提供され、限定のためではないことを理解されたい。異なるビット幅を有する他のインターフェースを使用することができる。

30

**【0065】**

I/Oサブシステム 750 は、フラッシュメモリインターフェース 760 より高い性能レベルを提供する1つ以上のインターフェース 762 を含むことができる。インターフェース 762A ~ 762C の各々は、DMAコントローラ 764A ~ 764C にそれぞれ結合することができる。例えば、インターフェース 762 のうちの1つ以上は、ユニバーサルシリアルバス（USB）タイプのインターフェースとして実装することができる。インターフェース 762 のうちの1つ以上は、ギガビットイーサネットタイプのインターフェースとして実装することができる。インターフェース 762 のうちの1つ以上は、セキュアデジタル（SD）タイプのインターフェースとして実装することができる。

40

**【0066】**

I/Oサブシステム 750 はまた、インターフェース 762 よりも低い性能レベルを提供する、インターフェース 766A ~ 766D などの1つ以上のインターフェース 766 を含むことができる。例えば、インターフェース 766 のうちの1つ以上は、汎用I/O（GPIO）タイプのインターフェースとして実装することができる。インターフェース 766 のうちの1つ以上は、汎用非同期送受信回路（UART）タイプのインターフェースとして実装することができる。インターフェース 766 のうちの1つ以上は、シリアル・ペリフェラル・インターフェース（SPI）バスタイプのインターフェースの形態で実装することができる。インターフェース 766 のうちの1つ以上は、コントローラエリアネットワーク（CAN）タイプのインターフェースおよび/またはI<sup>2</sup>Cタイプのインターフェースの形態で実装することができる。インターフェース 766 のうちの1つ以上は

50

、トリプルタイマーカウンタ（TTC）および/またはウォッチドッグタイマー（WDT）タイプのインターフェースの形態で実装することもできる。

【0067】

I/Oサブシステム750は、プロセッサJTAG（PJTAG）インターフェース768Aおよびトレースインターフェース768Bなどの1つ以上のデバッグインターフェース768を含むことができる。PJTAGインターフェース768Aは、プログラマブルIC702のための外部デバッグインターフェースを提供することができる。トレースインターフェース768Bは、プロセッシングサブシステム710またはプログラマブルロジックサブシステム730からデバッグ、例えば、トレース情報を受信するためのポートを提供することができる。

10

【0068】

図示されているように、インターフェース760、762、766、および768の各々は、マルチプレクサ770に結合することができる。マルチプレクサ770は、プログラマブルIC702の外部ピン、例えばプログラマブルIC702が内部に配置されるパッケージのボールなどに直接ルーティングまたは結合され得る複数の出力を提供する。例えば、プログラマブルIC702のI/Oピンは、インターフェース760、762、766、および768の間で共有することができる。ユーザは、インターフェース760～768のどれを使用するか、したがって、どれをマルチプレクサ770を介してプログラマブルIC702のI/Oピンに結合するかを選択するように、コンフィギュレーションデータストリームによって、マルチプレクサ770を構成することができる。I/Oサブシステム750はまた、インターフェース762～768をプログラマブルロジックサブシステムのプログラマブルロジック回路に接続するためのファブリックマルチプレクサI/O（FMIO）インターフェース（図示せず）を含むことができる。これに加えて、またはこれに代えて、プログラマブルロジックサブシステム730は、プログラマブルロジック内に1つ以上のI/O回路を実装するように構成することができる。この例では、プログラマブルIC702は、電力および/または安全管理のための様々な回路を有するサブシステム740を含む。例えば、サブシステム740は、プログラマブルIC702の様々なサブシステムに電力供給するために使用される1つ以上の電圧ドメインを監視および維持するように構成された電力管理ユニット746を含むことができる。いくつかの実施形態では、電力管理ユニット746は、使用中のサブシステムへの電力を停止することなく、アイドル時に、個々のサブシステムの電力を停止して、電力消費を低減することができる。

20

30

【0069】

サブシステム740は、正しい動作を保証するためにサブシステムのステータスを監視する安全回路を含むこともできる。例えば、サブシステム740は、（例えば、ステータスレジスタ744に示されるような）様々なサブシステムのステータスを監視するように構成された1つ以上のリアルタイムプロセッサ742を含むことができる。リアルタイムプロセッサ742は、エラーを検出することに応答して幾つかのタスクを実行するように構成することができる。例えば、いくつかのエラーの場合、リアルタイムプロセッサ742は、エラーの検出に応答してアラートを生成することができる。別の例として、リアルタイムプロセッサ742は、サブシステムをリセットして、サブシステムを正しい動作に復元しようと試みることができる。サブシステム740は、様々なサブシステムを相互接続するために使用され得るスイッチネットワーク748を含む。例えば、スイッチネットワーク748は、様々なサブシステム710、730、及び740をI/Oサブシステム750の様々なインターフェースに接続するように構成することができる。いくつかのアプリケーションでは、スイッチネットワーク748を使用して、監視されるサブシステムからリアルタイムプロセッサ742を分離することもできる。そのような分離は、リアルタイムプロセッサ742が他のサブシステムで発生するエラーの影響を受けないことを保証するために、特定のアプリケーション規格（例えば、IEC-61508 SIL3またはISO-26262規格）によって要求されることがある。

40

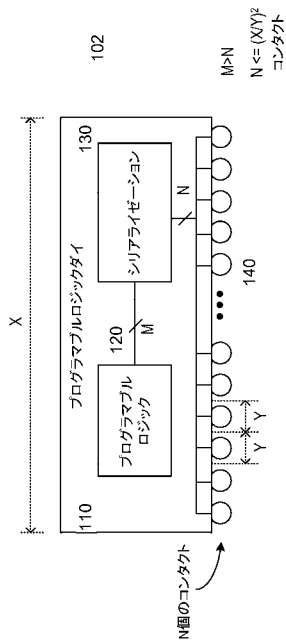
50



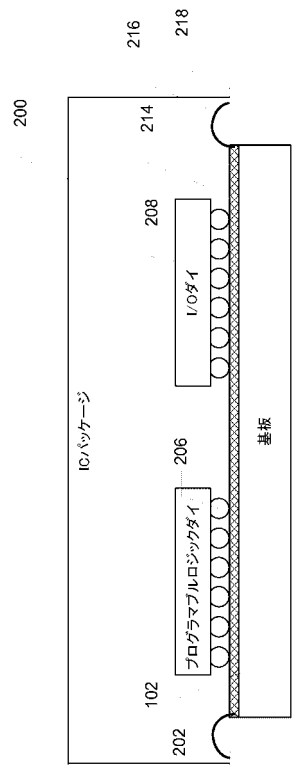
【0070】

本方法および回路は、様々なマルチダイパッケージに適用可能であると考えられる。他の態様および特徴は、明細書の考察から当業者には明らかであろう。例えば、態様および特徴は、場合によっては個々の図に記述されることがあるが、組合せが明示的に示されていない場合でも、組合せとして明示的に記述されている場合でも、ある図の特徴を他の図の特徴と組み合わせることができる、ということが理解されるであろう。本明細書および図面は、単なる例示としてみなされ、本発明の真の範囲は、以下の特許請求の範囲によって示されることが意図されている。

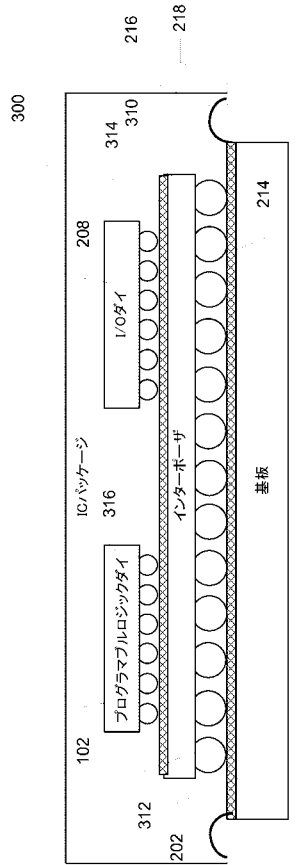
【図1】



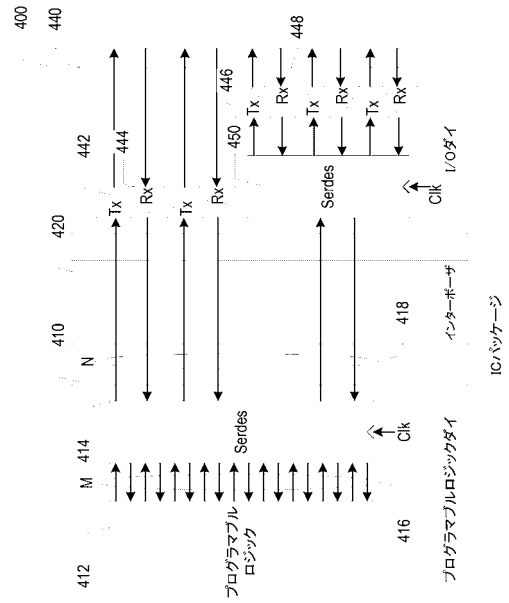
【図2】



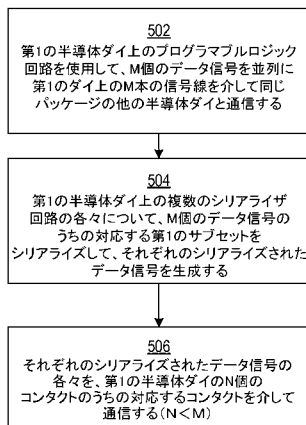
【 図 3 】



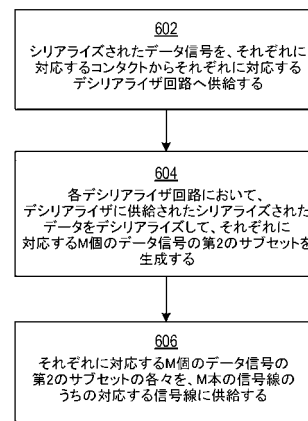
【 図 4 】



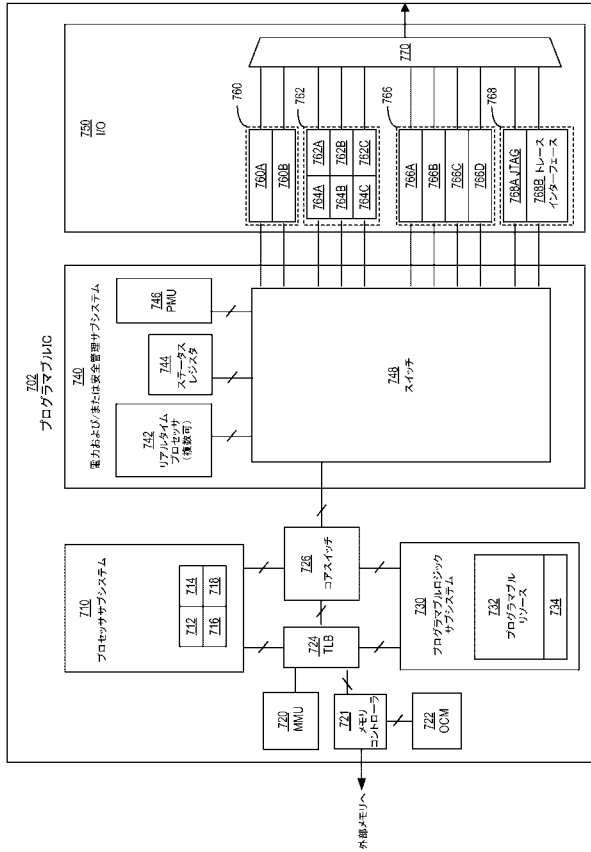
【 図 5 】



【 図 6 】



【 図 7 】



【 手続 補正書 】

【 提出日 】 平成29年3月24日 (2017.3.24)

【 手続 補正 1 】

【 補正対象書類名 】 特許請求の範囲

【 補正対象項目名 】 全文

【 補正方法 】 変更

【 補正の内容 】

【 特許請求の範囲 】

【 請求項 1 】

第 1 の半導体ダイ ( 1 0 2 , 4 1 0 ) と、

前記第 1 の半導体ダイに通信可能に結合された 1 つ以上の半導体ダイ ( 2 0 8 , 4 4 0 ) と、

前記第 1 の半導体ダイ上の M 本の信号線 ( 1 2 0 , 4 1 6 ) と、

前記第 1 の半導体ダイ上のロジック回路 ( 1 1 0 , 4 1 2 ) であって、 M 個のデータ信号を前記 M 本の信号線を介して前記 1 つ以上の半導体ダイと通信するように構成されたロジック回路と、

少なくとも N 個のコンタクト ( 1 4 0 , 2 0 6 ) を含む前記第 1 の半導体ダイ上の複数のコンタクトであって、前記 N 個のコンタクトの数が、前記 M 本の信号線の数よりも少なく、各コンタクトが、それぞれの信号経路 ( 4 1 8 ) を介して前記 1 つ以上の半導体ダイのうちの他の 1 つに結合される、複数のコンタクトと、

前記第 1 の半導体ダイ上の複数のシリアライザ回路 ( 1 3 0 , 4 1 4 ) であって、各シリアライザ回路が、複数の前記 M 本の信号線のそれぞれのサブセットからのデータをシリアライズして、シリアライズされたデータを生成し、前記シリアライズされたデータを前記コンタクトのうちのそれぞれのコンタクトに供給するように構成された、複数のシリアライザ回路と

を備える装置であって、

前記1つ以上の半導体ダイ及び前記第1の半導体ダイが、集積回路(IC)パッケージへの及びICパッケージからのデータの通信のための1組のデータ端子(218)を有するICパッケージ(200, 400)内に配置され、

前記1つ以上の半導体ダイに含まれる第2の半導体ダイ(208, 440)が、

各々の通信回路が前記1組のデータ端子のうちのそれぞれのデータ端子を介してデータを通信するように構成された複数の通信回路(442, 444, 446, 448)と、

前記シリアライズされたデータを前記信号経路のうちのそれぞれの信号経路を介して前記第1の半導体ダイから受信するように結合されたデシリアライザ回路(450)とを含み、前記デシリアライザ回路(450)が、

前記シリアライズされたデータをデシリアライズして、1組の並列データ信号を生成し、

前記1組の並列データ信号の各データ信号を前記複数の通信回路(442, 444, 446, 448)のうちのそれぞれの通信回路に供給するように構成され、前記それぞれの通信回路が、前記データ信号を前記データ端子のうちのそれぞれのデータ端子上で送信するように構成されている、装置。

【請求項2】

前記第1の半導体ダイ(102, 410)が、複数のデシリアライザ回路(414)を更に含み、各デシリアライザ回路が、前記コンタクトのうちのそれぞれのコンタクトからシリアライズされたデータを受信し、デシリアライズされたデータを生成し、前記デシリアライズされたデータを前記M本の信号線(416)のうちのそれぞれの複数の信号線に分配するように構成された、請求項1に記載の装置。

【請求項3】

前記第2の半導体ダイ(208, 440)の前記複数の通信回路(442, 444, 446, 448)のうちの少なくとも1つが、前記信号経路のうちのそれぞれの信号経路からシリアライズされたデータを受信するように結合され、前記1組のデータ端子のうちのそれぞれのデータ端子を介して前記シリアライズされたデータを送信するように構成されている、請求項1に記載の装置。

【請求項4】

前記第2の半導体ダイ(208, 440)の前記複数の通信回路(442, 444, 446, 448)の少なくとも1つの通信回路が、

それぞれのデータ端子から受信された信号を復調し、シリアライズされたデータを含む復調された信号を生成し、

前記復調された信号を前記信号経路のうちのそれぞれの信号経路を介して前記ロジック回路に送信するように構成されている、請求項1に記載の装置。

【請求項5】

前記複数の通信回路(442, 444, 446, 448)のうちの2つ以上が各々、それぞれのデータ端子から受信されたそれぞれの信号を復調して、それぞれの復調された信号を生成するように構成され、

前記第2の半導体ダイ(208, 440)が、前記複数の通信回路のうちの前記2つ以上によって生成された前記復調された信号をシリアライズして、それぞれのシリアライズされた信号を生成し、前記それぞれのシリアライズされた信号を前記信号経路の1つを介して前記第1の半導体ダイに送信するように構成されたシリアライザ回路を更に含む、請求項1に記載の装置。

【請求項6】

前記第1の半導体ダイ(102, 410)が、第1のリソグラフィプロセスサイズを有する複数のプログラマブルロジックリソースを含み、

前記第2の半導体ダイ(208, 440)の回路が、前記第1のリソグラフィプロセスサイズよりも大きい第2のリソグラフィプロセスを有し、

前記第1の半導体ダイが、 $X$ 単位<sup>2</sup>に等しい面積を有し、  
各コンタクト(140, 206)が、前記第1の半導体ダイの前記 $X$ 単位<sup>2</sup>のうちの $Y$ 単位<sup>2</sup>を含むそれぞれのコンタクト領域に配置され、  
前記 $N$ 個のコンタクトの数が、 $X/Y$ 以下である、請求項1に記載の装置。

【請求項7】

前記ICパッケージ内の基板(202)と、  
前記基板上的インターポーザ(310, 420)であって、前記第2の半導体ダイのコンタクトの各々を複数の半導体ダイのうち他の1つの半導体ダイのそれぞれのコンタクトに結合するように構成されたインターポーザと、  
前記基板上的1つ以上の配線層(214)であって、前記第2の半導体ダイの前記コンタクトの各々を前記複数の半導体ダイのうち他の1つの半導体ダイのそれぞれのコンタクトに結合するように構成された配線層と  
を更に備える、請求項1に記載の装置。

【請求項8】

マルチダイICパッケージ(200)におけるダイ間通信のための方法であって、  
前記ICパッケージの第1の半導体ダイ(102, 410)上のロジック回路(110, 412)を使用して、前記第1の半導体ダイ上の $M$ 本の信号線を介して $M$ 個のデータ信号を並列に前記ICパッケージの他のダイ(102, 410)と通信すること(502)と、  
前記第1の半導体ダイ上の複数のシリアライザ回路(130, 414)の各々について、

前記 $M$ 個のデータ信号のそれぞれの第1のサブセットをシリアライズして、それぞれの第1のシリアライズされたデータ信号を生成し(504)、

前記それぞれの第1のシリアライズされたデータ信号を前記第1の半導体ダイの $N$ 個(ここで、 $N < M$ )のコンタクト(140, 206)のうちそれぞれのコンタクトに供給し(506)、

前記第1の半導体ダイ上の複数のデシリアライザ回路(414)の各々について、

前記 $N$ 個のコンタクトのうち1つにおけるそれぞれの第2のシリアライズされたデータ信号をデシリアライズして、前記 $M$ 個のデータ信号のそれぞれの第2のサブセットを生成し(508)、

前記それぞれの第2のサブセットの各データ信号を前記 $M$ 本の信号線のうちのそれぞれの信号線に供給すること(510)と、

インターポーザ(310, 420)を介して又は前記ICパッケージの基板(202)上の信号線を介して前記第1のシリアライズされたデータ信号を第2の半導体ダイ(208, 440)へ通信することと、

前記第2の半導体ダイ(208, 440)上のデシリアライザ回路(450)を使用して、前記第1のシリアライズされたデータ信号をデシリアライズして、複数の並列データ信号を生成することと、

前記第2の半導体ダイ上のそれぞれの通信回路を使用して、前記複数の並列データ信号を前記ICパッケージ(200)のそれぞれのデータ端子(218)を介して送信することと  
を含む方法。

【請求項9】

前記第2の半導体ダイ(208, 440)上の通信回路を使用して、前記ICパッケージ(200)の外部データ端子を介して前記第1のシリアライズされたデータ信号を送信することを更に含む、請求項8に記載の方法。

【請求項10】

前記第2の半導体ダイ(208, 440)上のシリアライザ回路(450)を使用して、複数のデータ端子(218)からのデータ信号をシリアライズして、前記第1の半導体ダイ(102, 410)上の前記複数のデシリアライザ回路(130, 414)の1つに

対して前記それぞれの第 2 のシリアライズされたデータ信号を生成することを更に含む、請求項 8 に記載の方法。

【請求項 11】

前記第 1 の半導体ダイ (102, 410) の回路が、第 1 のプロセスサイズを有するリソグラフィを用いて形成され、

前記第 2 の半導体ダイ (208, 440) の回路が、前記第 1 のプロセスサイズよりも大きい第 2 のプロセスサイズを有するリソグラフィを用いて形成され、

前記第 1 の半導体ダイが、 $X$  単位<sup>2</sup> に等しい面積を有し、

前記  $N$  個のコンタクト (140, 206) の各々が、前記第 1 の半導体ダイの ( $X/M$ ) 単位<sup>2</sup> より大きい面積を含むそれぞれのコンタクト領域に配置される、請求項 8 に記載の方法。

## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

|   |
|---|
| International application No<br>PCT/US2015/055081 |
|---|

| <b>A. CLASSIFICATION OF SUBJECT MATTER</b><br>INV. H03K19/173 H01L25/00<br>ADD.   |   |  |
|---|---|--|
| According to International Patent Classification (IPC) or to both national classification and IPC   |   |  |
| <b>B. FIELDS SEARCHED</b><br>Minimum documentation searched (classification system followed by classification symbols)<br>H03K H01L   |   |  |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched   |   |  |
| Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)<br>EPO-Internal  |   |  |
| <b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>   |   |  |
| Category*   | Citation of document, with indication, where appropriate, of the relevant passages  | Relevant to claim No.  |
| X   | US 8 760 328 B1 (KOAY WEI YEE [MY] ET AL)<br>24 June 2014 (2014-06-24)  | 1-5,9-14   |
| Y   | column 4, line 26 - column 7, line 24;<br>figures 2-5,13  | 6-8,15   |
| X   | -----<br>US 2009/039492 A1 (KANG UK-SONG [KR] ET AL) 12 February 2009 (2009-02-12)<br>paragraph [0027] - paragraph [0033];<br>figures 3,4 | 1-5,9-14   |
| X   | -----<br>US 2013/336039 A1 (FRANS YOHAN [US])<br>19 December 2013 (2013-12-19)<br>paragraph [0044] - paragraph [0050];<br>figures 4,5     | 1-5,10,<br>12-14   |
| Y   | -----<br>US 2011/206381 A1 (JI HO-CHUL [KR] ET AL)<br>25 August 2011 (2011-08-25)<br>figure 15  | 6,7  |
|   | -----<br>-/--   |  |
| <input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.   |   |  |
| * Special categories of cited documents :<br>"A" document defining the general state of the art which is not considered to be of particular relevance<br>"E" earlier application or patent but published on or after the international filing date<br>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)<br>"O" document referring to an oral disclosure, use, exhibition or other means<br>"P" document published prior to the international filing date but later than the priority date claimed<br>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention<br>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone<br>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art<br>"&" document member of the same patent family |   |  |
| Date of the actual completion of the international search<br>17 December 2015   |   | Date of mailing of the international search report<br>04/01/2016 |
| Name and mailing address of the ISA/<br>European Patent Office, P.B. 5818 Patentlaan 2<br>NL - 2280 HV Rijswijk<br>Tel. (+31-70) 340-2040,<br>Fax: (+31-70) 340-3016  |   | Authorized officer<br>Santos, Paulo                              |

1

**INTERNATIONAL SEARCH REPORT**

International application No  
PCT/US2015/055081

| C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT |  |                       |
|--|--|-----------------------|
| Category*  | Citation of document, with indication, where appropriate, of the relevant passages           | Relevant to claim No. |
| Y  | US 2009/160482 A1 (KARP JAMES [US] ET AL)<br>25 June 2009 (2009-06-25)<br>figure 4A<br>----- | 8,15                  |

1



**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No

PCT/US2015/055081

| Patent document cited in search report | Publication date | Patent family member(s) | Publication date   |
|--|------------------|-------------------------|--|
| US 8760328                             | B1               | 24-06-2014              | NONE   |
| US 2009039492                          | A1               | 12-02-2009              | KR 20090014631 A<br>US 2009039492 A1   |
| US 2013336039                          | A1               | 19-12-2013              | NONE   |
| US 2011206381                          | A1               | 25-08-2011              | CN 102169270 A<br>JP 2011176820 A<br>KR 20110097240 A<br>TW 201130238 A<br>US 2011206381 A1  |
| US 2009160482                          | A1               | 25-06-2009              | CA 2704707 A1<br>CN 102037649 A<br>EP 2220682 A2<br>JP 5205623 B2<br>JP 2011509519 A<br>US 2009160482 A1<br>US 2011147949 A1<br>WO 2009085374 A2 |

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 キレーフ, ヴァシリー

アメリカ合衆国 カリフォルニア 95124, サンノゼ, ロジックドライブ 2100

## 【要約の続き】

される。

【選択図】図4