

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-152669

(P2017-152669A)

(43) 公開日 平成29年8月31日(2017.8.31)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 E	4M118
HO 1 L 23/522 (2006.01)	HO 1 L 21/88 Z	5C024
HO 1 L 21/768 (2006.01)	HO 4 N 5/335 690	5F033
HO 1 L 21/3205 (2006.01)	HO 4 N 5/335 610	
HO 4 N 5/369 (2011.01)	HO 4 N 5/335 740	

審査請求 未請求 請求項の数 12 O L (全 31 頁) 最終頁に続く

(21) 出願番号 特願2016-175694 (P2016-175694)
 (22) 出願日 平成28年9月8日 (2016.9.8)
 (31) 優先権主張番号 特願2016-34632 (P2016-34632)
 (32) 優先日 平成28年2月25日 (2016.2.25)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 314012076
 パナソニックIPマネジメント株式会社
 大阪府大阪市中央区域見2丁目1番61号
 (74) 代理人 100101683
 弁理士 奥田 誠司
 (74) 代理人 100155000
 弁理士 喜多 修市
 (74) 代理人 100180529
 弁理士 梶谷 美道
 (74) 代理人 100125922
 弁理士 三宅 章子
 (74) 代理人 100135703
 弁理士 岡部 英隆
 (74) 代理人 100188813
 弁理士 川喜田 徹

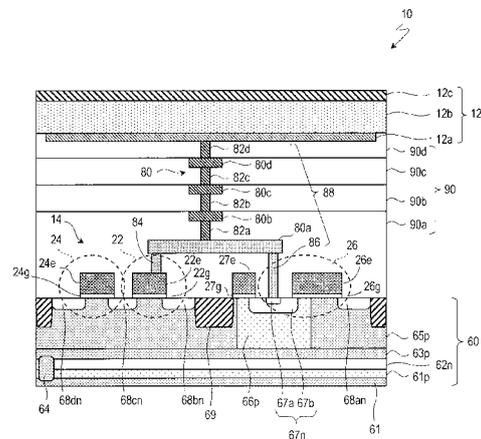
最終頁に続く

(54) 【発明の名称】 撮像装置

(57) 【要約】 (修正有)

【課題】リーク電流を低減して画質の劣化を抑制する。
 【解決手段】撮像装置は、半導体基板60と、複数の単位画素セル10を有する。単位画素セルの各々は、半導体基板の第1エリアにおいて半導体基板の表面に露出する、P型の第1領域66Pと、第1領域に直接隣接し、第1エリアで周囲を囲まれる第2エリアにおいて半導体基板の表面に露出する、n型の第2領域67nと、半導体基板の上方に位置する光電変換部12と、第1エリア内の第1部分を覆う第1電極26eと、半導体基板と第1電極との間の第1絶縁層26gとを含み、第2領域をソース及びドレインの一方とするリセットトランジスタ26と、第1エリア内の第1部分とは異なる第2部分を覆う第2電極27eと、半導体基板と第2電極との間の第2絶縁層27gと、半導体基板と光電変換部との間、かつ、第1電極と第2電極との間に位置している第2領域に接続されるコンタクトプラグ86と、を備える。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

半導体基板と、
複数の単位画素セルを有し、
前記複数の単位画素セルの各々は、
前記半導体基板内に位置し、前記半導体基板の表面の第 1 エリアにおいて前記半導体基板の前記表面に露出する、第 1 導電型の第 1 領域と、
前記半導体基板内において前記第 1 領域に直接隣接し、前記第 1 エリアによって周囲を囲まれる第 2 エリアにおいて前記半導体基板の前記表面に露出する、前記第 1 導電型とは異なる第 2 導電型の第 2 領域と、
前記半導体基板の前記表面の上方に位置する光電変換部と、
前記半導体基板の前記表面と前記光電変換部との間に位置し、前記第 2 領域に接続されるコンタクトプラグと、
前記第 1 エリア内の第 1 部分を覆う第 1 電極と、前記半導体基板と前記第 1 電極との間の第 1 絶縁層とを含み、前記第 2 領域をソース及びドレインの一方とする第 1 トランジスタと、
前記第 1 エリア内の前記第 1 部分とは異なる第 2 部分を覆う第 2 電極と、
前記半導体基板と前記第 2 電極との間の第 2 絶縁層と、
を備え、
前記半導体基板の前記表面に垂直な方向から見たとき、前記第 2 領域と前記コンタクトプラグとの接続部は、前記第 1 電極と前記第 2 電極との間に位置している、撮像装置。

10

20

【請求項 2】

前記単位画素セルの各々は、前記第 1 電極と前記第 2 電極とを電氣的に接続する配線をさらに備える、請求項 1 に記載の撮像装置。

【請求項 3】

前記光電変換部の電荷を初期化するリセット電圧が印加される電圧線をさらに備え、
前記電圧線は、前記第 1 トランジスタの前記ソース及び前記ドレインの他方に接続されている、請求項 1 または 2 に記載の撮像装置。

【請求項 4】

前記第 1 絶縁層と前記第 2 絶縁層とは同層である、請求項 1 から 3 のいずれか 1 項に記載の撮像装置。

30

【請求項 5】

前記第 1 電極と前記第 2 電極とは同層である、請求項 1 から 4 のいずれか 1 項に記載の撮像装置。

【請求項 6】

前記第 2 領域は、第 1 濃度領域と、前記第 1 濃度領域よりも不純物濃度が高い第 2 濃度領域とを含み、
前記コンタクトプラグは、前記第 2 濃度領域に接続されている、請求項 1 から 5 のいずれか 1 項に記載の撮像装置。

【請求項 7】

前記コンタクトプラグは、前記光電変換部に電氣的に接続されている、請求項 1 から 6 のいずれか 1 項に記載の撮像装置。

40

【請求項 8】

前記第 2 電極と前記第 2 絶縁層とを含み、前記第 2 領域をソース又はドレインの一方とする第 2 トランジスタをさらに備える、請求項 1 から 7 のいずれか 1 項に記載の撮像装置。

【請求項 9】

前記第 1 電極及び前記第 2 電極は、開口を有する単一の第 3 電極を構成し、
前記半導体基板の前記表面に垂直な方向から見たとき、前記第 2 領域と前記コンタクトプラグとの接続部は、前記第 3 電極の前記開口内に位置している、請求項 1 から 8 のい

50

れか 1 項に記載の撮像装置。

【請求項 10】

前記第 3 電極は C 字形状である、請求項 9 に記載の撮像装置。

【請求項 11】

前記半導体基板の前記表面に垂直な方向から見たとき、前記第 2 電極の一部は前記第 2 エリアと重なっている、請求項 1 から 10 のいずれか 1 項に記載の撮像装置。

【請求項 12】

前記第 2 領域の不純物濃度は $1 \times 10^{18} / \text{cm}^3$ 以上である、請求項 1 から 11 のいずれか 1 項に記載の撮像装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本開示は、撮像装置に関する。

【背景技術】

【0002】

デジタルカメラなどに CCD (Charge Coupled Device) イメージセンサおよび CMOS (Complementary Metal Oxide Semiconductor) イメージセンサが広く用いられている。よく知られているように、これらのイメージセンサは、半導体基板に形成されたフォトダイオードを有する。

【0003】

20

他方、光電変換層を有する光電変換部を半導体基板の上方に配置した構造が提案されている (例えば特許文献 1)。このような構造を有する撮像装置は、積層型の撮像装置と呼ばれることがある。積層型の撮像装置では、光電変換によって発生した電荷が、電荷蓄積領域 (「フローティングディフュージョン」と呼ばれる) に蓄積される。電荷蓄積領域に蓄積された電荷量に応じた信号が、半導体基板に形成された CCD 回路または CMOS 回路を介して読み出される。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2009 - 164604 号公報

30

【特許文献 2】国際公開第 2012 / 147302 号

【発明の概要】

【発明が解決しようとする課題】

【0005】

積層型の撮像装置では、電荷蓄積領域からのリーク電流、または、電荷蓄積領域へのリーク電流により、得られる画像に劣化が生じることがある。このようなリーク電流を低減できると有益である。以下、これらのリーク電流を「暗電流」と呼ぶことがある。

【課題を解決するための手段】

【0006】

本開示の限定的ではないある例示的な実施形態によれば、以下が提供される。

40

【0007】

半導体基板と、複数の単位画素セルを有し、複数の単位画素セルの各々は、半導体基板内に位置し、半導体基板の表面の第 1 エリアにおいて半導体基板の表面に露出する、第 1 導電型の第 1 領域と、半導体基板内において第 1 領域に直接隣接し、第 1 エリアによって周囲を囲まれる第 2 エリアにおいて半導体基板の表面に露出する、第 1 導電型とは異なる第 2 導電型の第 2 領域と、半導体基板の表面の上方に位置する光電変換部と、半導体基板の表面と光電変換部との間に位置し、第 2 領域に接続されるコンタクトプラグと、第 1 エリア内の第 1 部分を覆う第 1 電極と、半導体基板と第 1 電極との間の第 1 絶縁層とを含み、第 2 領域をソース及びドレインの一方とする第 1 トランジスタと、第 1 エリア内の第 1 部分とは異なる第 2 部分を覆う第 2 電極と、半導体基板と第 2 電極との間の第 2 絶縁層と

50

、を備え、半導体基板の表面に垂直な方向から見たとき、第2領域とコンタクトプラグとの接続部は、第1電極と第2電極との間に位置している、撮像装置。

【0008】

包括的または具体的な態様は、素子、デバイス、モジュールまたはシステムで実現されてもよい。また、包括的または具体的な態様は、素子、デバイス、モジュールおよびシステムの任意の組み合わせによって実現されてもよい。

【0009】

開示された実施形態の追加的な効果および利点は、明細書および図面から明らかになる。効果および/または利点は、明細書および図面に開示の様々な実施形態または特徴によって個々に提供され、これらの1つ以上を得るために全てを必要とはしない。

【発明の効果】

【0010】

本開示の実施形態によれば、暗電流の抑制された撮像装置が提供される。

【図面の簡単な説明】

【0011】

【図1】図1は、本開示の第1の実施形態による撮像装置の例示的な回路構成を示す図である。

【図2】図2は、単位画素セル10のデバイス構造の典型例を示す模式的な断面図である。

【図3】図3は、単位画素セル10における各素子のレイアウトの一例を示す、半導体基板60の法線方向から見たときの平面図である。

【図4】図4は、制御電極27eおよびゲート電極26eに0Vが印加された状態における、リセットトランジスタ26の近傍を拡大して示す模式的な断面図である。

【図5】図5は、制御電極27eおよびゲート電極26eに負の電圧 V_n が印加された状態における、リセットトランジスタ26の近傍を拡大して示す模式的な断面図である。

【図6】図6は、第1の実施形態の変形例による単位画素セル10Aにおける各素子のレイアウトを示す平面図である。

【図7】図7は、ゲート電極26eおよび制御電極27eにそれぞれ負電圧 V_{n1} および V_{n2} が印加された状態における、リセットトランジスタ26の近傍を拡大して示す模式的な断面図である。

【図8】図8は、第1の実施形態の他の変形例による単位画素セル10Bにおける各素子のレイアウトを示す平面図である。

【図9】図9は、リセットトランジスタ26のゲート電極26eおよびリセットトランジスタ28のゲート電極28eに負電圧 V_n が印加された状態における、リセットトランジスタ26およびリセットトランジスタ28の近傍を拡大して示す模式的な断面図である。

【図10】図10は、本開示の第2の実施形態による単位画素セル20における各素子のレイアウトの一例を示す平面図である。

【図11】図11は、ゲート電極26Deに負の電圧 V_n が印加された状態における、リセットトランジスタ26Dの近傍を拡大して示す模式的な断面図である。

【図12】図12は、リセットトランジスタのゲート電極への印加電圧と暗電流との間の関係を示すグラフである。

【図13】図13は、制御電極27eを有しない場合の比較例の電極構造（ゲート構造A）を模式的に示す平面図である。

【図14】図14は、コンタクトプラグ86を挟んで対向するように、互いに電氣的に接続された制御電極27eおよびゲート電極26eが配置された電極構造（ゲート構造B）を模式的に示す平面図である。

【図15】図15は、環状のゲート電極26Deの開口AP1の内側にコンタクトプラグ86が位置する電極構造（ゲート構造C）を模式的に示す平面図である。

【図16】図16は、本開示の第3の実施形態による撮像装置における単位画素セルの例示的な回路構成を示す図である。

10

20

30

40

50

【図 17】図 17 は、図 16 に示す単位画素セル 30 のデバイス構造の一例を示す模式的な断面図である。

【図 18】図 18 は、単位画素セル 30 における各素子のレイアウトの一例を示す平面図である。

【図 19】図 19 は、第 3 の実施形態による単位画素セルの変形例における各素子のレイアウトを示す平面図である。

【図 20】図 20 は、第 3 の実施形態による単位画素セルの他の変形例における各素子のレイアウトを示す平面図である。

【図 21】図 21 は、ゲート電極の外形の他の例を示す平面図である。

【図 22】図 22 は、さらに他の変形例による単位画素セル 40 において、制御電極 27e およびリセットトランジスタ 26 のゲート電極 26e に負電圧 V_n を印加したときの、リセットトランジスタ 26 の近傍を拡大して示す模式的な断面図である。

【発明を実施するための形態】

【0012】

積層型の撮像装置は、一般に、光電変換部と半導体基板に形成された読み出し回路とを電氣的に接続する接続部を有する。半導体基板と接続部との接点周辺には、種々の p n 接合が形成される。これら p n 接合の近傍には、空乏層が形成される。p n 接合の近傍の空乏層における電荷の再結合は、リーク電流の発生の原因となり得る。特に、半導体基板の表面近傍の空乏層は、リーク電流の発生に大きな影響を与える。本発明者らは、半導体基板と接続部との接点を囲むような電極構造を採用することにより、半導体基板の表面近傍に現れる空乏層の面積を縮小し得ることを見出した。

【0013】

本開示の一態様の概要は以下のとおりである。

【0014】

[項目 1]

半導体基板と、

複数の単位画素セルを有し、

前記複数の単位画素セルの各々は、

前記半導体基板内に位置し、前記半導体基板の表面の第 1 エリアにおいて前記半導体基板の前記表面に露出する、第 1 導電型の第 1 領域と、

前記半導体基板内において前記第 1 領域に直接隣接し、前記第 1 エリアによって周囲を囲まれる第 2 エリアにおいて前記半導体基板の前記表面に露出する、前記第 1 導電型とは異なる第 2 導電型の第 2 領域と、

前記半導体基板の前記表面の上方に位置する光電変換部と、

前記半導体基板の前記表面と前記光電変換部との間に位置し、前記第 2 領域に接続されるコンタクトプラグと、

前記第 1 エリア内の第 1 部分を覆う第 1 電極と、前記半導体基板と前記第 1 電極との間の第 1 絶縁層とを含み、前記第 2 領域をソース及びドレインの一方とする第 1 トランジスタと、

前記第 1 エリア内の前記第 1 部分とは異なる第 2 部分を覆う第 2 電極と、

前記半導体基板と前記第 2 電極との間の第 2 絶縁層と、

を備え、

前記半導体基板の前記表面に垂直な方向から見たとき、前記第 2 領域と前記コンタクトプラグとの接続部は、前記第 1 電極と前記第 2 電極との間に位置している、撮像装置。

【0015】

[項目 2]

前記単位画素セルの各々は、前記第 1 電極と前記第 2 電極とを電氣的に接続する配線をさらに備える、項目 1 に記載の撮像装置。

【0016】

[項目 3]

10

20

30

40

50

前記光電変換部の電荷を初期化するリセット電圧が印加される電圧線をさらに備え、前記電圧線は、前記第1トランジスタの前記ソース及び前記ドレインの他方に接続されている、項目1または2に記載の撮像装置。

【0017】

[項目4]

前記第1絶縁層と前記第2絶縁層とは同層である、項目1から3のいずれか1項に記載の撮像装置。

【0018】

[項目5]

前記第1電極と前記第2電極とは同層である、項目1から4のいずれか1項に記載の撮像装置。

10

【0019】

[項目6]

前記第2領域は、第1濃度領域と、前記第1濃度領域よりも不純物濃度が高い第2濃度領域とを含み、

前記コンタクトプラグは、前記第2濃度領域に接続されている、項目1から5のいずれか1項に記載の撮像装置。

【0020】

[項目7]

前記コンタクトプラグは、前記光電変換部に電氣的に接続されている、項目1から6のいずれか1項に記載の撮像装置。

20

【0021】

[項目8]

前記第2電極と前記第2絶縁層とを含み、前記第2領域をソース又はドレインの一方とする第2トランジスタをさらに備える、項目1から7のいずれか1項に記載の撮像装置。

【0022】

[項目9]

前記第1電極及び前記第2電極は、開口を有する単一の第3電極を構成し、前記半導体基板の前記表面に垂直な方向から見たとき、前記第2領域と前記コンタクトプラグとの接続部は、前記第3電極の前記開口内に位置している、項目1から8のいずれか1項に記載の撮像装置。

30

【0023】

[項目10]

前記第3電極はC字形状である、項目9に記載の撮像装置。

【0024】

[項目11]

前記半導体基板の前記表面に垂直な方向から見たとき、前記第2電極の一部は前記第2エリアと重なっている、項目1から10のいずれか1項に記載の撮像装置。

【0025】

[項目12]

前記第2領域の不純物濃度は $1 \times 10^{18} / \text{cm}^3$ 以上である、項目1から11のいずれか1項に記載の撮像装置。

40

【0026】

[項目13]

複数の単位画素セルを有する撮像装置であって、
 複数の単位画素セルの各々は、
 第1導電型を有する第1領域、および、第1領域に形成された、第2導電型を有する不純物領域を含む半導体基板と、
 半導体基板の上方に配置された光電変換部と、
 半導体基板および光電変換部の間に配置された配線構造であって、不純物領域に接続さ

50

れたコンタクトプラグを含む配線構造と、

半導体基板上の第1絶縁層および第1絶縁層上の第1制御電極を含む第1トランジスタと、

第1絶縁層と同層の第2絶縁層上に配置された第2制御電極と、
を備え、

第1トランジスタは、不純物領域をソースおよびドレインのうち的一方として含み、
不純物領域の少なくとも一部は、半導体基板の表面に位置し、

半導体基板に垂直な方向から見たとき、不純物領域のうちコンタクトプラグに接する部分は、第1制御電極および第2制御電極の間に位置している、撮像装置。

【0027】

項目13の構成によれば、半導体基板の表面における空乏領域を縮小することができる。

【0028】

[項目14]

第1制御電極および第2制御電極は、同層であり、

第2制御電極は、不純物領域のうちコンタクトプラグに接する部分に関して第1制御電極と対称な配置を有する、項目13に記載の撮像装置。

【0029】

項目14の構成によれば、半導体基板の表面における空乏領域をより効果的に縮小することができる。

【0030】

[項目15]

不純物領域は、相対的に不純物濃度の低い低濃度領域、および、低濃度領域内に配置された高濃度領域を含み、

コンタクトプラグは、高濃度領域に接続されている、項目13または14に記載の撮像装置。

【0031】

項目15の構成によれば、コンタクト抵抗を低減することができる。

【0032】

[項目16]

光電変換部の電荷を初期化するリセット電圧が印加される電圧線を有し、

電圧線は、第1トランジスタのソースおよびドレインのうちの他方に接続されている、項目13から15のいずれか1項に記載の撮像装置。

【0033】

項目16の構成によれば、半導体基板の表面における空乏領域を縮小するためにリセット制御信号を利用することができる。

【0034】

[項目17]

コンタクトプラグは、半導体基板および光電変換部を電氣的に接続する接続部の少なくとも一部である、項目13から16のいずれか1項に記載の撮像装置。

【0035】

項目17の構成によれば、暗電流に起因するノイズの電荷蓄積領域への混入を低減することができる。

【0036】

[項目18]

配線構造は、第1制御電極および第2制御電極を接続する配線を含む、項目17に記載の撮像装置。

【0037】

項目18の構成によれば、撮像装置の動作時に第1制御電極および第2制御電極に共通の制御電圧を印加することができる。

10

20

30

40

50

【 0 0 3 8 】

[項目 1 9]

第 2 制御電極をゲート電極として含み、かつ、不純物領域をソースおよびドレインのうち的一方として含む第 2 トランジスタをさらに備える、項目 1 3 から 1 8 のいずれか 1 項に記載の撮像装置。

【 0 0 3 9 】

項目 1 9 の構成によれば、リセットトランジスタにおけるオン電流を増大させることができる。

【 0 0 4 0 】

[項目 2 0]

第 2 制御電極をゲート電極として含み、かつ、不純物領域をソースおよびドレインのうち的一方として含む第 2 トランジスタをさらに備え、

第 1 トランジスタのソースおよびドレインのうち他方は、光電変換部に電気的に接続されている、項目 1 3 から 1 6 のいずれか 1 項に記載の撮像装置。

【 0 0 4 1 】

項目 2 0 の構成によれば、リセットドレインノードにおけるリーク電流を低減することができる。

【 0 0 4 2 】

[項目 2 1]

複数の単位画素セルを有する撮像装置であって、

複数の単位画素セルの各々は、

第 1 導電型を有する第 1 領域、および、第 1 領域に形成された、第 2 導電型を有する不純物領域を含む半導体基板と、

半導体基板の上方に配置された光電変換部と、

半導体基板および光電変換部の間に配置された配線構造であって、不純物領域に接続されたコンタクトプラグを含む配線構造と、

中央に開口を有する第 1 ゲート電極を含む第 1 トランジスタと、

を備え、

第 1 トランジスタは、不純物領域をソースおよびドレインのうち的一方として含み、

不純物領域の少なくとも一部は、半導体基板の表面に位置し、

コンタクトプラグは、第 1 ゲート電極の開口の内側において不純物領域に接続されている、撮像装置。

【 0 0 4 3 】

項目 2 1 の構成によれば、半導体基板の表面における空乏領域を縮小することができる。

【 0 0 4 4 】

[項目 2 2]

不純物領域は、相対的に不純物濃度の低い低濃度領域、および、低濃度領域内に配置された高濃度領域を含み、

コンタクトプラグは、高濃度領域に接続されている、項目 2 1 に記載の撮像装置。

【 0 0 4 5 】

項目 2 2 の構成によれば、コンタクト抵抗を低減することができる。

【 0 0 4 6 】

[項目 2 3]

光電変換部の電荷を初期化するリセット電圧が印加される電圧線を有し、

電圧線は、第 1 トランジスタのソースおよびドレインのうち他方に接続されている、項目 2 1 または 2 2 に記載の撮像装置。

【 0 0 4 7 】

項目 2 3 の構成によれば、半導体基板の表面における空乏領域を縮小するためにリセット制御信号を利用することができる。

10

20

30

40

50

【 0 0 4 8 】

[項目 2 4]

コンタクトプラグは、半導体基板および光電変換部を電氣的に接続する接続部の少なくとも一部である、項目 2 1 から 2 3 のいずれか 1 項に記載の撮像装置。

【 0 0 4 9 】

項目 2 4 の構成によれば、暗電流に起因するノイズの電荷蓄積領域への混入を低減することができる。

【 0 0 5 0 】

[項目 2 5]

ソースおよびドレインの一方が光電変換部に電氣的に接続された第 2 トランジスタをさらに備え、

コンタクトプラグは、第 2 トランジスタのソースおよびドレインの他方に電氣的に接続されている、項目 2 1 から 2 3 のいずれか 1 項に記載の撮像装置。

【 0 0 5 1 】

項目 2 5 の構成によれば、リセットドレインノードにおけるリーク電流を低減することができる。

【 0 0 5 2 】

以下、図面を参照しながら、本開示の実施形態を詳細に説明する。なお、以下で説明する実施形態は、いずれも包括的または具体的な例を示す。以下の実施形態で示される数値、形状、材料、構成要素、構成要素の配置および接続形態、ステップ、ステップの順序などは、一例であり、本開示を限定する主旨ではない。本明細書において説明される種々の態様は、矛盾が生じない限り互いに組み合わせることが可能である。また、以下の実施形態における構成要素のうち、最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。以下の説明において、実質的に同じ機能を有する構成要素は共通の参照符号で示し、説明を省略することがある。

【 0 0 5 3 】

(撮像装置の実施形態)

図 1 は、本開示の第 1 の実施形態による撮像装置の例示的な回路構成を示す。図 1 に示す撮像装置 1 0 0 は、複数の単位画素セル 1 0 を含む画素アレイ P A と、負荷回路 4 2、カラム信号処理回路 4 4、垂直走査回路 4 6 および水平信号読み出し回路 4 8 などを含む周辺回路とを有する。図 1 に例示する構成において、画素アレイ P A は、マトリクス状に配置された複数の単位画素セル 1 0 を含む。複数の単位画素セル 1 0 は、1 次元または 2 次元に配列されることにより、撮像領域 (感光領域) を形成する。図 1 では、図面が複雑となることを避けるために、マトリクス状に配置された複数の単位画素セル 1 0 のうち、2 行 2 列に配列された 4 つの単位画素セル 1 0 が示されている。言うまでもないが、画素アレイ P A における単位画素セル 1 0 の数および配置は、この例に限定されない。例えば単位画素セル 1 0 は、1 次元に配列していてもよい。この場合、撮像装置 1 0 0 をラインセンサとして利用することができる。

【 0 0 5 4 】

後に詳しく説明するように、各単位画素セル 1 0 は、概略的には、光電変換部 1 2 と、光電変換部 1 2 によって生成された信号を検出する信号検出回路 1 4 とを有する。信号検出回路 1 4 は、半導体基板に形成され、光電変換部 1 2 は、半導体基板の上方に配置される。すなわち、ここでは、撮像装置 1 0 0 として、積層型の撮像装置を例示する。なお、本明細書における「上方」および「下方」の用語は、半導体基板および光電変換部 1 2 の間の相対的な配置を表し、使用時における撮像装置 1 0 0 の姿勢を限定する意図で用いられているわけではない。半導体基板は、その全体が半導体である基板に限定されず、撮像領域が形成される側の表面に半導体層が設けられた絶縁基板などであってもよい。また「半導体基板の表面」とは、半導体基板を構成する半導体または半導体層の最表面を意味する。なお、例えば、半導体または半導体層の一部が酸化されて酸化膜が形成されている場合には、半導体または半導体層のうち酸化膜を除いた部分の最表面を、半導体基板の表面

10

20

30

40

50

と定義する。

【0055】

単位画素セル10の光電変換部12は、光の入射を受けて正および負の電荷（典型的には正孔 - 電子対）を発生させる。図示するように、各单位画素セル10の光電変換部12は、蓄積制御線39との接続を有しており、この蓄積制御線39には、撮像装置100の動作時に所定の電圧が印加される。例えば、光電変換によって生成された正および負の電荷のうち、正の電荷を信号電荷として利用する場合であれば、撮像装置100の動作時、例えば10V程度の正電圧が蓄積制御線39に印加される。所定の正電圧を蓄積制御線39に印加することにより、光電変換によって生成された正および負の電荷のうち、正の電荷（例えば正孔）を選択的に電荷蓄積領域に蓄積することができる。以下では、光電変換によって生成された正および負の電荷のうち、正の電荷を信号電荷として利用する場合を例示する。

10

【0056】

図1に例示する構成において、各单位画素セル10の信号検出回路14は、増幅トランジスタ22およびアドレスタランジスタ（行選択トランジスタとも呼ばれる）24を含む。増幅トランジスタ22およびアドレスタランジスタ24は、典型的には、半導体基板に形成された電界効果トランジスタ（FET）である。以下では、特に断りの無い限り、トランジスタとしてNチャンネルMOSを用いる例を説明する。

【0057】

増幅トランジスタ22のゲートは、光電変換部12に電気的に接続されている。後述するように、光電変換部12によって生成された電荷は、光電変換部12と増幅トランジスタ22との間の電荷蓄積ノード（「フローティングディフュージョンノード」とも呼ばれる）FDをその一部に含む電荷蓄積領域に蓄積される。増幅トランジスタ22のドレインは、撮像装置100の動作時に各单位画素セル10に所定の（例えば3.3V程度の）電源電圧VDDを供給する電源配線（ソースフォロア電源）32に接続される。増幅トランジスタ22のソースは、アドレスタランジスタ24のドレインに接続される。増幅トランジスタ22は、光電変換部12によって生成された信号電荷の量に応じた信号電圧を出力する。

20

【0058】

アドレスタランジスタ24のソースは、垂直信号線35に接続される。図示するように、垂直信号線35は、複数の単位画素セル10の列ごとに設けられており、垂直信号線35の各々には、負荷回路42およびカラム信号処理回路（「行信号蓄積回路」とも呼ばれる）44が接続されている。負荷回路42は、増幅トランジスタ22とともにソースフォロア回路を形成する。増幅トランジスタ22は、ドレインに電源電圧VDDの供給を受けることにより、ゲートに印加された電圧を増幅する。換言すれば、増幅トランジスタ22は、光電変換部12によって生成された信号を増幅する。

30

【0059】

アドレスタランジスタ24のゲートには、アドレス信号線34が接続されている。アドレス信号線34は、複数の単位画素セル10の行ごとに設けられる。アドレス信号線34は、垂直走査回路（「行走査回路」とも呼ばれる）46に接続されており、垂直走査回路46は、アドレスタランジスタ24のオンおよびオフを制御する行選択信号をアドレス信号線34に印加する。これにより、読み出し対象の行が垂直方向（列方向）に走査され、読み出し対象の行が選択される。垂直走査回路46は、アドレス信号線34を介してアドレスタランジスタ24のオンおよびオフを制御することにより、選択した単位画素セル10の増幅トランジスタ22の出力を、対応する垂直信号線35に読み出すことができる。アドレスタランジスタ24の配置は、図1に示す例に限定されず、増幅トランジスタ22のドレインと電源配線32との間であってもよい。

40

【0060】

単位画素セル10からの信号電圧は、アドレスタランジスタ24を介して垂直信号線35に出力され、対応するカラム信号処理回路44に輸入される。カラム信号処理回路44

50

は、相関 2 重サンプリングに代表される雑音抑圧信号処理およびアナログ - デジタル変換 (A D 変換) などを行う。カラム信号処理回路 4 4 は、水平信号読み出し回路 (「列走査回路」とも呼ばれる) 4 8 に接続されており、水平信号読み出し回路 4 8 は、複数のカラム信号処理回路 4 4 から水平共通信号線 4 9 に信号を順次読み出す。

【 0 0 6 1 】

図 1 に例示する構成において、信号検出回路 1 4 は、ドレインが電荷蓄積ノード F D に接続されたリセットトランジスタ 2 6 を含む。リセットトランジスタ 2 6 のゲートには、垂直走査回路 4 6 との接続を有するリセット信号線 3 6 が接続される。リセット信号線 3 6 は、アドレス信号線 3 4 と同様に複数の単位画素セル 1 0 の行ごとに設けられる。垂直走査回路 4 6 は、アドレス信号線 3 4 に行選択信号を印加することにより、リセットの対象となる単位画素セル 1 0 を行単位で選択することができる。さらに、リセットトランジスタ 2 6 のオンおよびオフを制御するリセット信号を、リセット信号線 3 6 を介してリセットトランジスタ 2 6 のゲートに印加することにより、選択された行のリセットトランジスタ 2 6 をオンとすることができる。リセットトランジスタ 2 6 がオンとされることにより、電荷蓄積ノード F D の電位がリセットされる。

10

【 0 0 6 2 】

この例では、リセットトランジスタ 2 6 のソースが、複数の単位画素セル 1 0 の列ごとに設けられたフィードバック線 5 3 のうちの 1 つに接続されている。すなわち、この例では、光電変換部 1 2 の電荷を初期化するリセット電圧として、フィードバック線 5 3 の電圧が電荷蓄積ノード F D に供給される。ここでは、上述のフィードバック線 5 3 は、複数の単位画素セル 1 0 の列ごとに設けられており、フィードバック線 5 3 の各々は反転増幅器 5 0 の出力端子に接続されている。このように、図 1 に例示する撮像装置 1 0 0 の周辺回路は、複数の反転増幅器 5 0 を含む。

20

【 0 0 6 3 】

複数の単位画素セル 1 0 の列のうちの 1 つに注目する。図示するように、反転増幅器 5 0 の反転入力端子は、その列の垂直信号線 3 5 に接続されている。また、反転増幅器 5 0 の出力端子と、その列に属する 1 以上の単位画素セル 1 0 とが、フィードバック線 5 3 を介して接続されている。撮像装置 1 0 0 の動作時、反転増幅器 5 0 の非反転入力端子には、所定の電圧 (例えば 1 V または 1 V 近傍の正電圧) V_{ref} が供給される。その列に属する 1 以上の単位画素セル 1 0 のうちの 1 つを選択し、アドレストランジスタ 2 4 およびリセットトランジスタ 2 6 をオンとすることにより、その単位画素セル 1 0 の出力を負帰還させる帰還経路を形成することができる。帰還経路の形成により、垂直信号線 3 5 の電圧が、反転増幅器 5 0 の非反転入力端子への入力電圧 V_{ref} に収束する。換言すれば、帰還経路の形成により、電荷蓄積ノード F D の電圧が、垂直信号線 3 5 の電圧が V_{ref} となるような電圧にリセットされる。電圧 V_{ref} としては、電源電圧 (例えば 3 . 3 V) および接地 (0 V) の範囲内の任意の大きさの電圧を用いることができる。反転増幅器 5 0 をフィードバックアンプと呼んでもよい。このように、図 1 に例示する撮像装置 1 0 0 は、反転増幅器 5 0 を帰還経路の一部に含むフィードバック回路 1 6 を有している。

30

【 0 0 6 4 】

よく知られているように、トランジスタのオンまたはオフに伴い、k T C ノイズと呼ばれる熱ノイズが発生する。リセットトランジスタのオンまたはオフに伴って発生するノイズは、リセットノイズと呼ばれる。電荷蓄積領域の電位をリセット後、リセットトランジスタをオフすることによって発生したリセットノイズは、信号電荷を蓄積する前に電荷蓄積領域に残留してしまう。しかしながら、リセットトランジスタのオフに伴って発生するリセットノイズは、フィードバックを利用することによって低減することが可能である。フィードバックを利用したリセットノイズの抑制の詳細は、国際公開第 2 0 1 2 / 1 4 7 3 0 2 号において説明されている。参考のために、国際公開第 2 0 1 2 / 1 4 7 3 0 2 号の開示内容の全てを本明細書に援用する。図 1 に例示する構成では、リセットトランジスタ 2 6 がオフする直前まで帰還経路が形成されるので、リセットトランジスタ 2 6 のオフに伴って発生するリセットノイズを低減することが可能である。

40

50

【 0 0 6 5 】

(単位画素セル 1 0 のデバイス構造)

図 2 は、単位画素セル 1 0 のデバイス構造の典型例を模式的に示す。図 2 に示すように、単位画素セル 1 0 は、半導体基板 6 0 と、半導体基板 6 0 の上方に配置された光電変換部 1 2 と、光電変換部 1 2 および半導体基板 6 0 の間に配置された配線構造 8 0 とを含む。後に詳しく説明するように、半導体基板 6 0 は、電荷蓄積領域の一部として機能する n 型不純物領域 6 7 n を含む。

【 0 0 6 6 】

半導体基板 6 0 には、上述の信号検出回路 1 4 における増幅トランジスタ 2 2、アドレストランジスタ 2 4 およびリセットトランジスタ 2 6 が形成される。なお、図 2 では、説明の便宜のために、増幅トランジスタ 2 2、アドレストランジスタ 2 4 およびリセットトランジスタ 2 6 が 1 つの断面図に示されている。

10

【 0 0 6 7 】

半導体基板 6 0 上には、増幅トランジスタ 2 2、アドレストランジスタ 2 4 およびリセットトランジスタ 2 6 を覆う層間絶縁層 9 0 が配置される。上述の配線構造 8 0 は、層間絶縁層 9 0 中に配置される。この例では、層間絶縁層 9 0 は、絶縁層 9 0 a、9 0 b、9 0 c および 9 0 d の 4 層の絶縁層を含む積層構造を有し、層間絶縁層 9 0 中の配線構造 8 0 は、配線層 8 0 a ~ 8 0 d、プラグ 8 2 a ~ 8 2 d、プラグ 8 4、ならびに、コンタクトプラグ 8 6 を含む。層間絶縁層 9 0 中の絶縁層の数および配線構造 8 0 中の配線層の数は、この例に限定されず、任意に設定可能である。

20

【 0 0 6 8 】

図示するように、プラグ 8 2 d は、画素電極 1 2 a と配線層 8 0 d とを接続しており、プラグ 8 2 c は、配線層 8 0 d と配線層 8 0 c とを接続している。プラグ 8 2 b は、配線層 8 0 c と配線層 8 0 b とを接続しており、プラグ 8 2 a は、配線層 8 0 b と配線層 8 0 a とを接続している。配線層 8 0 b ~ 8 0 d およびプラグ 8 2 a ~ 8 2 d は、典型的には、銅などの金属から形成される。プラグ 8 4 は、配線層 8 0 a と増幅トランジスタ 2 2 のゲート電極 2 2 e とを接続する。コンタクトプラグ 8 6 は、配線層 8 0 a と半導体基板 6 0 の n 型不純物領域 6 7 n とを接続する。プラグ 8 4、コンタクトプラグ 8 6 および配線層 8 0 a は、典型的には、n 型不純物がドーパされたポリシリコンから形成される。

30

【 0 0 6 9 】

図示するように、光電変換部 1 2 は、層間絶縁層 9 0 上に配置される。光電変換部 1 2 は、層間絶縁層 9 0 上に形成された画素電極 1 2 a、画素電極 1 2 a に対向する透明電極 1 2 c、および、これらの間に配置された光電変換層 1 2 b を含む。光電変換部 1 2 の光電変換層 1 2 b は、有機材料またはアモルファスシリコンなどの無機材料から形成され、透明電極 1 2 c を介して入射した光を受けて、光電変換により正および負の電荷を生成する。光電変換層 1 2 b は、典型的には、複数の単位画素セル 1 0 にわたって形成される。光電変換層 1 2 b は、有機材料から構成される層と無機材料から構成される層とを含んでいてもよい。

【 0 0 7 0 】

透明電極 1 2 c は、ITO などの透明な導電性材料から形成され、光電変換層 1 2 b の受光面側に配置される。透明電極 1 2 c は、典型的には、光電変換層 1 2 b と同様に、複数の単位画素セル 1 0 にわたって形成される。図 2 において図示が省略されているが、透明電極 1 2 c は、上述の蓄積制御線 3 9 との接続を有する。撮像装置 1 0 0 の動作時、例えば 1 0 V 程度のバイアス電圧が蓄積制御線 3 9 を介して透明電極 1 2 c に印加される。バイアス電圧によって透明電極 1 2 c の電位を画素電極 1 2 a の電位よりも高くすることにより、光電変換によって生成された、信号電荷としての正の電荷 (例えば正孔) を画素電極 1 2 a によって収集することができる。

40

【 0 0 7 1 】

画素電極 1 2 a は、アルミニウム、銅などの金属、金属窒化物、または、不純物がドーパされることにより導電性が付与されたポリシリコンなどから形成される。画素電極 1 2

50

a は、隣接する他の単位画素セル 10 の画素電極 12 a から空間的に分離されることにより、それらから電氣的に分離されている。

【0072】

画素電極 12 a は、上述の配線構造 80 を少なくとも一部に含む接続部 88 を介して、半導体基板 60 に形成された信号検出回路 14 に電氣的に接続される。この例では、配線層 80 a ~ 80 d、プラグ 82 a ~ 82 d およびコンタクトプラグ 86 が、接続部 88 を構成している。接続部 88、プラグ 84、増幅トランジスタ 22 のゲート電極 22 e および n 型不純物領域 67 n は、信号電荷を蓄積する電荷蓄積領域の少なくとも一部を構成する。

【0073】

半導体基板 60 は、支持基板 61 と、支持基板 61 上に形成された 1 以上の半導体層とを含む。ここでは、支持基板 61 として、p 型シリコン (Si) 基板を例示する。図 2 に例示する構成において、半導体基板 60 は、支持基板 61 上の p 型半導体層 61 p、p 型半導体層 61 p 上の n 型半導体層 62 n、n 型半導体層 62 n 上の p 型半導体層 63 p および p 型半導体層 63 p 上の p 型半導体層 65 p を有する。p 型半導体層 63 p は、支持基板 61 の全面にわたって形成される。p 型半導体層 65 p は、不純物の濃度が相対的に低い p 型不純物領域 66 p と、n 型不純物領域 68 a n、68 b n、68 c n および 68 d n と、素子分離領域 69 とを有する。

【0074】

p 型半導体層 61 p、n 型半導体層 62 n、p 型半導体層 63 p および p 型半導体層 65 p の各々は、典型的には、エピタキシャル成長層に不純物を注入することにより形成される。p 型半導体層 63 p および p 型半導体層 65 p における不純物濃度は、互いに同程度であり、かつ、p 型半導体層 61 p の不純物濃度よりも高い。p 型半導体層 61 p および p 型半導体層 63 p の間に配置された n 型半導体層 62 n は、支持基板 61 または周辺回路から電荷蓄積領域への少数キャリアの流入を抑制する。撮像装置 100 の動作時、n 型半導体層 62 n の電位は、画素アレイ PA の外側に設けられるウェルコンタクト (不図示) を介して制御される。また、この例では、半導体基板 60 は、p 型半導体層 61 p および n 型半導体層 62 n を貫通するようにして p 型半導体層 63 p および支持基板 61 の間に設けられた p 型領域 64 を有する。p 型領域 64 は、p 型半導体層 63 p および p 型半導体層 65 p と比較して高い不純物濃度を有し、p 型半導体層 63 p と支持基板 61 とを電氣的に接続する。撮像装置 100 の動作時、p 型半導体層 63 p および支持基板 61 の電位は、画素アレイ PA の外側に設けられる基板コンタクト (不図示) を介して制御される。

【0075】

p ウェルである p 型半導体層 65 p 内には、p 型不純物領域 66 p が形成されている。上述の n 型不純物領域 67 n は、p 型不純物領域 66 p 内に配置される。図 2 において模式的に示すように、n 型不純物領域 67 n は、半導体基板 60 の表面の近傍に形成されており、その少なくとも一部は、半導体基板 60 の表面に位置している。図 2 に例示する構成において、n 型不純物領域 67 n は、第 1 領域 67 a および第 2 領域 67 b を含む。n 型不純物領域 67 n 中の第 1 領域 67 a は、第 2 領域 67 b 内に形成されており、第 2 領域 67 b よりも高い不純物濃度を有する。

【0076】

図示するように、ここでは、上述のコンタクトプラグ 86 は、半導体基板 60 に形成された第 1 領域 67 a に接続されている。n 型不純物領域 67 n における第 1 領域 67 a の形成は必須ではない。しかしながら、コンタクトプラグ 86 と半導体基板 60 との接続部分である第 1 領域 67 a の不純物濃度を比較的高くすることにより、コンタクトプラグ 86 と半導体基板 60 とが接触する部分の周囲の空乏層の広がり (空乏化) を抑制する効果が得られる。コンタクトプラグ 86 と半導体基板 60 とが接触する部分の周囲の空乏層の広がりを抑制することにより、コンタクトプラグ 86 と半導体基板 60 との界面における半導体基板 60 の結晶欠陥 (界面準位といってもよい) に起因するリーク電流を抑制し得

10

20

30

40

50

る。また、比較的高い不純物濃度を有する第1領域67aにコンタクトプラグ86を接続することにより、コンタクト抵抗を低減する効果が得られる。

【0077】

p型不純物領域66pおよびn型不純物領域67nの間のpn接合によって形成される接合容量は、信号電荷の少なくとも一部を蓄積する容量として機能し、電荷蓄積領域の一部を構成する。図2に例示する構成では、n型不純物領域67nの第1領域67aとp型不純物領域66pとの間に、第1領域67aよりも不純物濃度の低い第2領域67bが配置されている。第1領域67aの周囲に相対的に不純物濃度の低い第2領域67bを配置することにより、n型不純物領域67nとp型不純物領域66pとの間のpn接合によって形成される電界強度を緩和し得る。pn接合によって形成される電界強度が緩和されることにより、pn接合によって形成される電界に起因するリーク電流が抑制される。

10

【0078】

p型半導体層63pに接するようにp型半導体層65pを配置することにより、撮像装置100の動作時にp型半導体層65pの電位をp型半導体層63pを介して制御することが可能である。このような構造の採用により、コンタクトプラグ86と半導体基板60とが接触する部分(ここではn型不純物領域67nの第1領域67a)の周囲に、相対的に不純物濃度の低い領域(ここではp型不純物領域66pおよびn型不純物領域67nの第2領域67b)を配置することが可能である。

【0079】

p型不純物領域66p内に形成されたn型不純物領域67nは、リセットトランジスタ26のドレインとして機能する。この例では、リセットトランジスタ26は、n型不純物領域67nの少なくとも一部と、半導体基板60上のゲート絶縁層26gと、ゲート絶縁層26g上のゲート電極26eと、n型不純物領域68anとを含む。図2において模式的に示すように、半導体基板60の法線方向から見たとき、ゲート絶縁層26gおよびゲート電極26eの積層構造は、n型不純物領域67nの少なくとも一部に重なっている。なお、図2では図示が省略されているが、n型不純物領域68anは、コンタクトプラグを介して上述のフィードバック線53に接続される。n型不純物領域68anは、リセットトランジスタ26のソースとして機能する。

20

【0080】

この例では、コンタクトプラグ86を挟んでゲート電極26eに対向して制御電極27eが配置されている。制御電極27eおよび半導体基板60の間には、絶縁層27gが配置されている。典型的には、絶縁層27gはリセットトランジスタ26のゲート絶縁層26gと同層であり、制御電極27eはリセットトランジスタ26のゲート電極26eと同層である。制御電極27eは、n型不純物領域67nとの重なりを有していてもよいし、有していなくてもよい。制御電極27eの機能は、後述する。

30

【0081】

図2に例示する構成において、増幅トランジスタ22は、半導体基板60上のゲート絶縁層22g、ゲート絶縁層22g上のゲート電極22e、ならびに、半導体基板60に形成されたn型不純物領域68bnおよび68cnを含む。n型不純物領域68bnは、電源配線32(図2において不図示)との接続を有し、増幅トランジスタ22のドレインとして機能する。図2では図示が省略されているが、典型的には、n型不純物領域68bnおよび電源配線32の間に、これらを電氣的に接続するコンタクトプラグが配置される。他方、n型不純物領域68cnは、増幅トランジスタ22のソースとして機能する。この例では、素子分離領域69が、増幅トランジスタ22のドレインとしてのn型不純物領域68bnと、リセットトランジスタ26のドレインとしてのn型不純物領域67nとの間にも設けられている。

40

【0082】

上述したように、ゲート電極22eにはプラグ84が接続されており、ゲート電極22eおよび画素電極12aは、配線層80a~80dおよびプラグ82a~82dを介して電氣的に接続されている。したがって、撮像装置100の動作時、増幅トランジスタ22

50

からは、画素電極 1 2 a の電位に応じた信号電圧が出力される。また、増幅トランジスタ 2 2 のゲート電極 2 2 e は、プラグ 8 4、配線層 8 0 a およびコンタクトプラグ 8 6 を介して、リセットトランジスタ 2 6 のドレインとしての n 型不純物領域 6 7 n にも接続されている。したがって、リセットトランジスタ 2 6 がオンとされることにより、電荷蓄積領域に蓄積された電荷がリセットされるとともに、増幅トランジスタ 2 2 のゲート電極 2 2 e の電位も所定のフィードバック電圧にリセットされる。

【 0 0 8 3 】

アドレストランジスタ 2 4 は、半導体基板 6 0 上のゲート絶縁層 2 4 g、ゲート絶縁層 2 4 g 上のゲート電極 2 4 e、ならびに、半導体基板 6 0 に形成された n 型不純物領域 6 8 c n および 6 8 d n を含む。この例では、アドレストランジスタ 2 4 は、n 型不純物領域 6 8 c n を増幅トランジスタ 2 2 と共有することにより、増幅トランジスタ 2 2 と電氣的に接続されている。n 型不純物領域 6 8 c n は、アドレストランジスタ 2 4 のドレインとして機能する。他方、n 型不純物領域 6 8 d n は、アドレストランジスタ 2 4 のソースとして機能する。n 型不純物領域 6 8 d n は、垂直信号線 3 5 (図 2 において不図示) との接続を有する。図 2 では図示が省略されているが、典型的には、n 型不純物領域 6 8 d n および垂直信号線 3 5 の間に、これらを電氣的に接続するコンタクトプラグが配置される。

10

【 0 0 8 4 】

図 3 は、単位画素セル 1 0 における各素子のレイアウトの一例を示す。図 3 は、半導体基板 6 0 の法線方向から見たときの、半導体基板 6 0 に形成された各素子 (増幅トランジスタ 2 2、アドレストランジスタ 2 4、リセットトランジスタ 2 6 など) の配置を模式的に示す。図 3 に例示する構成では、増幅トランジスタ 2 2 およびアドレストランジスタ 2 4 の組の周囲と、リセットトランジスタ 2 6 の周囲とに、他の単位画素セル 1 0 の信号検出回路 1 4 との電氣的な絶縁のための素子分離領域 6 9 が形成されている。素子分離領域 6 9 は、例えば p 型の不純物拡散領域である。

20

【 0 0 8 5 】

この例では、増幅トランジスタ 2 2 およびアドレストランジスタ 2 4 が、列方向 (図 3 における上下方向) に沿って直線状に配置されている。また、制御電極 2 7 e およびリセットトランジスタ 2 6 のゲート電極 2 6 e が、列方向に沿って直線状に配置されている。図 3 における A - A ' 線に沿って単位画素セル 1 0 を切断して展開すれば、図 2 に示す断面図が得られる。なお、本明細書において、行方向は、行が延びる方向を意味し、列方向は、列が延びる方向を意味する。例えば図 1 において、紙面における上下方向が列方向であり、紙面における横方向が行方向である。

30

【 0 0 8 6 】

図示するように、この例では、コンタクトプラグ 8 6 が、制御電極 2 7 e とリセットトランジスタ 2 6 のゲート電極 2 6 e との間に配置されている。換言すれば、半導体基板 6 0 に形成された n 型不純物領域 6 7 n のうちコンタクトプラグ 8 6 に接する部分、すなわち、第 1 領域 6 7 a が、制御電極 2 7 e とリセットトランジスタ 2 6 のゲート電極 2 6 e との間に位置している。後述するように、第 1 領域 6 7 a を挟んでリセットトランジスタ 2 6 のゲート電極 2 6 e に対向するように制御電極 2 7 e を配置し、制御電極 2 7 e の電位を制御することによって、結晶欠陥に起因するリーク電流を抑制することが可能である。

40

【 0 0 8 7 】

図 3 に例示する構成では、制御電極 2 7 e とリセットトランジスタ 2 6 のゲート電極 2 6 e とが、リセット信号線 3 6 との接続を有する信号線 3 8 によって接続されている。したがって、撮像装置 1 0 0 の動作時に、制御電極 2 7 e およびゲート電極 2 6 e に共通してリセット信号を印加することができる。リセット信号線 3 6、および、制御電極 2 7 e とゲート電極 2 6 e とを接続する信号線 3 8 は、配線構造 8 0 の一部であり得る。行方向に沿って延びるリセット信号線 3 6 およびアドレス信号線 3 4 は、典型的には、配線層 8 0 b (図 2 参照) の一部である。

50

【 0 0 8 8 】

なお、電源配線 3 2 は、典型的には、列方向に延びている。列方向に沿って延びるように電源配線 3 2 を形成することにより、行方向に沿って延びるように電源配線 3 2 を形成した場合と比較して、電源配線 3 2 における電圧降下を低減できる。これは、信号の読み出し時における単位画素セル 1 0 の選択が行単位であるために、行方向に沿って延びるように電源配線 3 2 を形成すると、1 行分の単位画素セル 1 0 全ての駆動に必要な大きさの電流を 1 つの電源配線 3 2 に流さなければならないからである。列方向に沿って延びるように電源配線 3 2 を形成すれば、ある電源配線 3 2 に流れる電流の大きさは、複数の行から選択されたある行の 1 つの単位画素セル 1 0 の駆動に必要な大きさで済む。

【 0 0 8 9 】

次に、図 4 および図 5 を参照しながら、制御電極 2 7 e およびゲート電極 2 6 e に印加する電圧の制御による、空乏層の大きさの制御を説明する。以下では、リセットトランジスタ 2 6 の閾値電圧が 0 . 5 V であるとして説明する。

【 0 0 9 0 】

図 4 および図 5 は、リセットトランジスタ 2 6 の近傍における、単位画素セル 1 0 の断面を拡大して模式的に示す。図 4 は、制御電極 2 7 e に 0 V を印加した状態を示している。図 5 は、ゲート電極 2 6 e に負の電圧 V_n ($V_n < 0$) を印加した状態を示している。図 4 および図 5 において、破線で囲まれた領域は、p 型半導体層 6 5 p に形成される空乏層の大きさを模式的に示している。図 4 および図 5 における両矢印 DR は、半導体基板 6 0 の表面における空乏層の幅を示している。

【 0 0 9 1 】

撮像装置 1 0 0 を用いた撮影においては、リセットトランジスタ 2 6 がオフの状態では露光、すなわち電荷蓄積領域への信号電荷の蓄積が実行される。つまり、電荷蓄積領域へ信号電荷が蓄積されるときは、リセットトランジスタ 2 6 の閾値電圧以下の電圧が、リセット信号線 3 6 を介してリセットトランジスタ 2 6 のゲート電極 2 6 e に印加される。例えば、リセットトランジスタ 2 6 のゲート電極 2 6 e に 0 V が印加された状態 (図 4) では、リセットトランジスタ 2 6 はオフの状態である。ここでは、リセットトランジスタ 2 6 のゲート電極 2 6 e と制御電極 2 7 e とが信号線 3 8 によって接続されているので、制御電極 2 7 e にも 0 V が印加される。

【 0 0 9 2 】

このとき、半導体基板 6 0 中の空乏層は、n 型不純物領域 6 7 n と p 型不純物領域 6 6 p との界面近傍、および、n 型不純物領域 6 8 a n と p 型半導体層 6 5 p との界面近傍に加えて、リセットトランジスタ 2 6 のゲート電極 2 6 e および制御電極 2 7 e の下方にも広がっている。図 4 において両矢印 DR で模式的に示すように、空乏層のうち半導体基板 6 0 の表面に現れた部分は、ゲート電極 2 6 e の下方からコンタクトプラグ 8 6 の近くにまで延びており、また、制御電極 2 7 e の下方からコンタクトプラグ 8 6 の近くにまで延びている。

【 0 0 9 3 】

ここで、リセット信号線 3 6 に印加する電圧を低下させていくと、図 5 に模式的に示すように、リセットトランジスタ 2 6 のゲート電極 2 6 e および制御電極 2 7 e の下方から空乏層が追い出される。そして、コンタクトプラグ 8 6 の周囲において、空乏層のうち半導体基板 6 0 の表面に現れた部分の幅 DR が小さくなる。これは、ゲート電極 2 6 e および制御電極 2 7 e への負電圧の印加により、ゲート電極 2 6 e および制御電極 2 7 e の下方に正のキャリア (正孔) が蓄積されるからである。このときの電圧 V_n の値は、例えば (- 2 V) 程度であってもよい。

【 0 0 9 4 】

このように、コンタクトプラグ 8 6 を挟んでゲート電極 2 6 e に対向するように制御電極 2 7 e を配置し、ゲート電極 2 6 e および制御電極 2 7 e への印加電圧を制御することにより、コンタクトプラグ 8 6 の周囲の半導体基板 6 0 の表面に現れる空乏層を縮小することができる。結果として、結晶欠陥に起因するリーク電流を抑制する効果が得られ、電

10

20

30

40

50

荷蓄積領域へのノイズの混入が低減される。リセットトランジスタ26は、電荷蓄積領域の電位をリセットするための期間以外の期間において基本的にオフとされるので、リセット動作を制御するための制御信号を空乏層の縮小に利用することができる。

【0095】

なお、図3を参照して説明した素子レイアウトでは、半導体基板60の表面の法線方向から見たとき、ゲート電極26eおよび制御電極27eの外形は矩形である。しかしながら、ゲート電極26eおよび制御電極27eの外形は、この例に限定されない。半導体基板60の表面の法線方向から見たときに、コンタクトプラグ86と半導体基板60との間の接続部（ここではコンタクトプラグ86と第1領域67aとの接続部分）がゲート電極26eと制御電極27eとの間に位置していれば、リーク電流抑制の効果が得られる。ただし、半導体基板60の表面に現れる空乏層を縮小する観点からは、コンタクトプラグ86と半導体基板60との間の接続部分を中心にして、ゲート電極26eと制御電極27eとを互いに180度反対側に配置することが有益である。換言すれば、図3に示すように、コンタクトプラグ86と半導体基板60との間の接続部分に関して、制御電極27eとゲート電極26eとが対称となるように配置することにより、半導体基板60の表面に現れる空乏層をより効果的に縮小し得る。

10

【0096】

半導体基板60の表面の法線方向から見たとき、ゲート電極26eの外形を規定する辺のうち制御電極27eに対向する辺と、制御電極27eの外形を規定する辺のうちゲート電極26eに対向する辺とは、厳密に平行である必要はない。これらの辺は、厳密に直線である必要もない。ゲート電極26eの外形を規定する辺および制御電極27eの外形を規定する辺は、微視的に見れば、一般的にはうねりを有している。

20

【0097】

本開示における第1領域は、本実施形態のp型不純物領域66pによって例示される。第2領域は、n型不純物領域67nによって例示される。第1エリアは、半導体基板60の表面のうちp型不純物領域66pが露出している部分によって例示される。第2エリアは、半導体基板60の表面のうちn型不純物領域67nが露出している部分によって例示される。第1濃度領域は、第2領域67bによって例示される。第2濃度領域は、第1領域67aによって例示される。コンタクトプラグは、コンタクトプラグ86によって例示される。

30

【0098】

また、本開示における第1トランジスタは、リセットトランジスタ26によって例示される。第1絶縁層は、ゲート絶縁層26gによって例示される。第1電極は、ゲート電極26eによって例示される。第2絶縁層は、絶縁層27gによって例示される。第2電極は、制御電極27eによって例示される。配線は、信号線38によって例示される。電圧線は、フィードバック線53によって例示される。

【0099】

（第1の実施形態の変形例）

図6は、第1の実施形態の変形例による単位画素セル10Aを示す。図7は、リセットトランジスタ26の近傍における、単位画素セル10Aの断面を拡大して模式的に示す。図3に示す単位画素セル10では、ゲート電極26eおよび制御電極27eに共通の電圧が印加されている。それに対して、図6に示す単位画素セル10Aでは、ゲート電極26eと制御電極27eとに独立して異なる電圧を印加することができる。

40

【0100】

図6に例示する構成において、リセットトランジスタ26のゲート電極26eには、リセット信号線36が接続されている。他方、制御電極27eには、空乏層制御線37が接続されている。空乏層制御線37は、例えば垂直走査回路46（図1参照）との接続を有する。ゲート電極26eおよび制御電極27eのそれぞれに、別個の信号線を接続することにより、撮像装置100の動作時に、ゲート電極26eおよび制御電極27eのそれぞれに印加する電圧を、独立して制御することができる。

50

【0101】

図7は、ゲート電極26eおよび制御電極27eにそれぞれ負電圧 V_{n1} および V_{n2} ($V_{n2} < V_{n1}$)を印加した状態を模式的に示している。この例では、ゲート電極26eに印加する電圧よりも低い電圧を、制御電極27eに印加している。すなわち、ここでは、 $V_{n2} < V_{n1}$ である。この場合、ゲート電極26e下と比較して、より低い電圧が印加された制御電極27e下のキャリア（ここでは正孔）の密度がより高くなる。したがって、制御電極27eに近い部分では、ゲート電極26eに近い部分と比較して、空乏層のうち半導体基板60の表面に現れた部分の幅を縮小する効果をより強く得られる。図7において模式的に示すように、この例では、制御電極27eに近い部分における空乏層の幅DR2は、ゲート電極26eに近い部分における空乏層の幅DR1よりも小さい。このように、ゲート電極26eに印加される電圧とは異なる負電圧を制御電極27eに印加することによっても、空乏層のうち半導体基板60の表面に現れた部分の幅を縮小し得る。したがって、結晶欠陥に起因するリーク電流を抑制し得る。

10

【0102】

このように、撮像装置100の動作時におけるゲート電極26eおよび制御電極27eの電位は共通である必要はない。ゲート電極26eおよび制御電極27eにそれぞれ別個の信号線を接続することにより、リセットトランジスタ26におけるオンおよびオフの動作に依存することなく、制御電極27eに所望の電圧を印加することができる。例えば、撮像装置100の動作時に制御電極27eに常に負電圧を印加するといった制御が可能である。

20

【0103】

図8は、第1の実施形態の他の変形例による単位画素セル10Bを示す。図3に示す単位画素セル10と、図8に示す単位画素セル10Bとの相違点は、単位画素セル10Bが、ドレインを共有する2つのリセットトランジスタ26および28を有する点である。

【0104】

図8に例示する構成において、第2のリセットトランジスタ28は、コンタクトプラグ86に関してリセットトランジスタ26に対称に形成されている。つまり、この例では、半導体基板60の表面の法線方向から見たとき、コンタクトプラグ86と半導体基板60との間の接続部分が、リセットトランジスタ26のゲート電極26eとリセットトランジスタ28のゲート電極28eとの間に位置している。

30

【0105】

リセットトランジスタ26のゲート電極26eおよびリセットトランジスタ28のゲート電極28eは、ともにn型不純物領域67nの少なくとも一部と重なっている。リセットトランジスタ26およびリセットトランジスタ28は、ドレインとしてのn型不純物領域67nを共有する。リセットトランジスタ28は、ソースとしてn型不純物領域68enを含む。n型不純物領域68enは、n型不純物領域68anと同様にフィードバック線53に接続される。図示するように、ここでは、リセットトランジスタ26のゲート電極26eおよびリセットトランジスタ28のゲート電極28eは、ともにリセット信号線36に接続されており、撮像装置100の動作時において共通のリセット信号が印加される。

40

【0106】

図9は、リセットトランジスタ26およびリセットトランジスタ28の近傍における、単位画素セル10Bの断面を拡大して模式的に示す。図9において模式的に示すように、リセットトランジスタ28は、半導体基板60上のゲート絶縁層28g、ゲート絶縁層28g上のゲート電極28e、ドレインとしてのn型不純物領域67n、および、ソースとしてのn型不純物領域68enを含む。この例では、n型不純物領域68enとp型半導体層65pとの界面近傍にも空乏層が形成されている。

【0107】

図9は、リセットトランジスタ26のゲート電極26eおよびリセットトランジスタ28のゲート電極28eに負電圧 V_n を印加した状態を模式的に示す。図9において模式的

50

に示すように、リセットトランジスタ 28 のゲート電極 28 e に負電圧 V_n を印加することにより、リセットトランジスタ 26 のゲート電極 26 e と同様に、リセットトランジスタ 28 のゲート電極 28 e の下方に正のキャリア（正孔）を蓄積させ得る。したがって、ゲート電極 28 e の下方から空乏層を追い出すことが可能である。すなわち、リセットトランジスタ 28 のゲート電極 28 e を上述の制御電極 27 e と同様に機能させ得る。

【0108】

リセットトランジスタ 28 のゲート電極 28 e が制御電極 27 e と同様に機能することにより、空乏層のうち半導体基板 60 の表面に現れた部分の幅 DR が縮小する。結果として、結晶欠陥に起因するリーク電流を抑制する効果が得られる。このように、コンタクトプラグ 86 を挟んで互いに対向するようにリセットトランジスタ 26 およびリセットトランジスタ 28 を配置してもよい。並列的に動作する 2 つのリセットトランジスタ 26 および 28 を単位画素セル 10 B 内に配置することにより、オン電流を増大させる効果も得られる。

10

【0109】

本開示における第 1 トランジスタは、本実施形態のリセットトランジスタ 26 によって例示される。第 2 トランジスタは、リセットトランジスタ 28 によって例示される。

【0110】

（第 2 の実施形態）

図 10 は、本開示の第 2 の実施形態による単位画素セル 20 における各素子のレイアウトの一例を示す。第 1 の実施形態と第 2 の実施形態との間の主な相違点は、第 2 の実施形態では、リセットトランジスタのゲート電極が、コンタクトプラグ 86 を取り囲むような形状を有する点である。

20

【0111】

図 10 に例示する構成において、単位画素セル 20 は、環状のゲート電極 26 D e を有するリセットトランジスタ 26 D を含む。図 10 に示すように、ゲート電極 26 D e は、その中央に開口 AP 1 を有する。図示するように、コンタクトプラグ 86 は、ゲート電極 26 D e の開口 AP 1 の内側において半導体基板 60 の n 型不純物領域 67 n に接続されている。

【0112】

本明細書において、「環状」とは、円環に限定されず、平面視において開口を有する形状を広く含む。「環状」の外形は、円に限定されず、楕円、三角形、四角形、多角形、不定形などであり得る。同様に、開口の形状も円に限定されず、楕円、三角形、四角形、多角形、不定形などであり得る。「環状」の外形と開口の形状とが一致している必要もない。また、「環状」は、閉曲線によって表現される形状に限定されず、開口の内部を外部に連結する部分を有していてもよい。したがって、本明細書の「環状」は、例えば C 字状の形状も含まれるように解釈される。

30

【0113】

この例では、半導体基板 60 の表面の法線方向から見たとき、開口 AP 1 は、矩形状を有している。半導体基板 60 の表面の法線方向から見たときの開口 AP 1 の形状は、例えば円であってもよい。開口 AP 1 の形状が円に近い方が、半導体基板 60 の表面のうち、ゲート電極 26 D e に囲まれたコンタクトプラグ 86 の周囲の部分に現れる空乏層をより効果的に縮小することができる。また、画素の微細化の観点からは、開口 AP 1 の形状が円に近いとゲート電極 26 D e 自体の面積を小さくし易く有利である。このように、ゲート電極に形成される開口の形状は、矩形状に限定されない。

40

【0114】

図 11 は、リセットトランジスタ 26 D の近傍における、単位画素セル 20 の断面を拡大して模式的に示す。ゲート電極 26 D e と半導体基板 60 の間に配置されたゲート絶縁層 26 D g は、ゲート電極 26 D e と同様に環状に形成され、ゲート電極 26 D e の開口 AP 1 と重なる位置に開口を有する。図 11 において模式的に示すように、n 型不純物領域 67 n は、開口 AP 1 内において露出された部分を有する。

50

【0115】

図11は、ゲート電極26Deに負の電圧 V_n を印加した状態を示している。図11において模式的に示すように、制御電極27eを省略して環状のゲート電極26Deを用いた場合でも、第1の実施形態と同様に、半導体基板60に形成された空乏層のうち、半導体基板60の表面における幅DRを縮小することができる。リセットトランジスタ26Dのゲート電極26Deの形状を、コンタクトプラグ86と半導体基板60との間の接続部分を取り囲む形状とすることにより、コンタクトプラグ86の周囲において半導体基板60の表面近傍に形成される空乏層を全体的に縮小することが可能である。

【0116】

図12は、リセットトランジスタのゲート構造を変えて得られた暗電流の測定結果の一例を示す。図12に示すグラフの横軸は、リセットトランジスタのゲート電極への印加電圧の大きさを示しており、左に行くほど絶対値の大きな負電圧が印加されていることを示す。図12に示すグラフの縦軸は、電荷蓄積領域と半導体基板間の暗電流の大きさを対数スケールで示す。

10

【0117】

ここでは、ゲート構造A、BおよびCとして、それぞれ、図13、図14および図15に示すような電極構造を用いている。図13に示す電極構造（ゲート構造A）は、制御電極27eを有しない比較例の電極構造である。図14に示す電極構造（ゲート構造B）は、図3を参照して説明した電極構造と同様の電極構造であり、コンタクトプラグ86を挟んで対向するように、互いに電氣的に接続された制御電極27eおよびゲート電極26eが配置されている。図15に示す電極構造（ゲート構造C）は、図10を参照して説明した電極構造と同様の電極構造であり、環状のゲート電極26Deの開口AP1の内側にコンタクトプラグ86が位置している。図13、図14および図15中の両矢印da、dbおよびdcは、リセットトランジスタのゲート電極とコンタクトプラグ86との間の距離を表している。ここでは、 $da < db < dc$ である。したがって、ゲート電極に電圧を印加しない場合には、半導体基板60の表面近傍の空乏層のうち、コンタクトプラグ86の周囲に現れる部分の面積は、ゲート構造A < ゲート構造B < ゲート構造C、となるというてよい。

20

【0118】

しかしながら、図12からわかるように、ゲート電圧を負電圧とすることにより、ゲート構造Bおよびゲート構造Cは、ゲート構造Aよりも暗電流が低減されている。これは、ゲート構造Bおよびゲート構造Cでは、ゲート電極（ゲート電極26eまたは26De）の下方および制御電極27eの下方に正のキャリア（正孔）が蓄積されることによって、半導体基板60に形成された空乏層のうち、半導体基板60の表面に現れた部分の面積が縮小するからである。

30

【0119】

図12からわかるように、ゲート電圧のより低い領域では、ゲート構造Bよりもゲート構造Cの方が、暗電流の低減に関してより高い効果が得られている。これは、ゲート構造Bではコンタクトプラグ86に向かって2方向から空乏層が縮小されることに対して、ゲート構造Cではコンタクトプラグ86に向かって4方向から空乏層が縮小されるからである。ただし、ゲート構造Bのように、コンタクトプラグ86を挟んで対向するように2つの電極（ここでは制御電極27eおよびゲート電極26e）を配置する構造では、画素を微細化しやすいという利点が見られる。

40

【0120】

図10および図11を参照して説明した例では、ゲート電極26Deの形状をコンタクトプラグ86の四方を取り囲む形状としているので、制御電極27eおよびゲート電極26eを対向するように配置した場合と比較して、コンタクトプラグ86の周囲における空乏層をより効果的に縮小し得る。結果として、結晶欠陥に起因するリーク電流をより効果的に抑制することが可能である。

【0121】

50

本開示の第3電極は、本実施形態におけるゲート電極26Deによって例示される。

【0122】

(第3の実施形態)

図16は、本開示の第3の実施形態による撮像装置における単位画素セルの例示的な回路構成を示す。図16に示す単位画素セル30と、図1に示す単位画素セル10との間の主な相違点は、単位画素セル30における信号検出回路15が、第1容量素子51、第2容量素子52およびフィードバックトランジスタ56をさらに有する点である。

【0123】

図16に例示する構成において、信号検出回路15は、リセットトランジスタ26のソースと、フィードバック線53との間に接続されたフィードバックトランジスタ56を含む。フィードバックトランジスタ56のゲートには、フィードバック制御線58が接続されている。フィードバック制御線58は、例えば垂直走査回路46(図1参照)に接続されており、撮像装置100の動作時、垂直走査回路46によってフィードバックトランジスタ56のゲート電圧が制御される。

10

【0124】

信号検出回路15は、リセットトランジスタ26のソースおよびドレインの間に接続された第1容量素子51を含む。第1容量素子51は、比較的小さな容量値を有する。また、信号検出回路15は、リセットトランジスタ26およびフィードバックトランジスタ56の間のノードに一方の電極が接続された第2容量素子52を含む。第2容量素子52は、第1容量素子51よりも大きな容量値を有する。第2容量素子52およびフィードバックトランジスタ56は、RCフィルタ回路として機能し得る。

20

【0125】

図示するように、第2容量素子52の他方の電極は、感度調整線54に接続されている。感度調整線54は、例えば垂直走査回路46(図1参照)に接続されており、撮像装置100の動作時、感度調整線54の電位は、例えば0V(基準電位)に設定される。以下では、リセットトランジスタ26と第2容量素子52との間のノードを「リセットドレインノードRD」と呼ぶことがある。

【0126】

第3の実施形態では、フィードバックトランジスタ56のゲート電圧の制御により、単位画素セル30の出力を負帰還させる帰還経路を形成する。後述するように、帰還経路の形成により、リセットトランジスタ26のオフ動作に伴って発生するkTCノイズをキャンセルすることが可能である。

30

【0127】

リセットトランジスタ26とフィードバック線53との間にフィードバックトランジスタ56を接続した回路構成においては、リセットドレインノードRDにおけるリーク電流を低減できるとノイズ低減の観点から有益である。電荷蓄積ノードFDと同様に、リセットドレインノードRDについても上述の電極構造を適用することにより、リセットドレインノードRDにおけるリーク電流を低減することが可能である。

【0128】

図17は、図16に示す単位画素セル30のデバイス構造の一例を示す。図17に示す半導体基板70は、p型半導体層63p上に形成されたp型半導体層75pを含む。図17において模式的に示すように、p型半導体層75pは、p型不純物領域66pおよびp型不純物領域76pを有する。p型不純物領域76pにおける不純物濃度は、p型不純物領域66pと同程度であり得る。p型不純物領域76pには、n型不純物領域77nが形成されている。ここでは、リセットトランジスタ26のゲート電極26eの一部は、n型不純物領域77nの一部と重なっており、n型不純物領域77nは、リセットトランジスタ26のソースとして機能する。

40

【0129】

図示する例において、n型不純物領域77nは、n型不純物領域67nと同様に、第1領域77aおよび第2領域77bを含む。第1領域77aは、第2領域77b内に配置さ

50

れており、第2領域77bよりも高い不純物濃度を有する。

【0130】

第1領域77aには、コンタクトプラグ89が接続される。n型不純物領域77n内への高不純物濃度の第1領域77aの形成は必須ではないが、n型不純物領域77n内に第1領域77aを形成することにより、コンタクト抵抗低減の効果が得られる。

【0131】

コンタクトプラグ89は、上述の配線構造80の一部であり得る。コンタクトプラグ89は、第2容量素子52（不図示）の電極のうち、感度調整線54（不図示）に接続されていない側の電極との接続を有する配線81と、第1領域77aとを電氣的に接続する。ここでは、配線81は、配線層80aと同層である。

10

【0132】

図17に例示する構成において、フィードバックトランジスタ56は、ソースおよびドレインの一方としてn型不純物領域77nを含む。フィードバックトランジスタ56は、半導体基板70上のゲート絶縁層56gおよびゲート絶縁層56g上のゲート電極56eを含む。図17において模式的に示すように、ゲート電極56eの少なくとも一部は、n型不純物領域77nに重なっている。典型的には、絶縁層27g、リセットトランジスタ26のゲート絶縁層26gおよびフィードバックトランジスタ56のゲート絶縁層56gは、同層である。また、制御電極27e、リセットトランジスタ26のゲート電極26eおよびフィードバックトランジスタ56のゲート電極56eは、同層である。p型半導体層75pに形成されたn型不純物領域68anは、ここでは、フィードバックトランジスタ56のソースおよびドレインの他方として機能する。

20

【0133】

図18は、単位画素セル30における各素子のレイアウトの一例を示す。図18に示す例では、図3を参照して説明した構成と同様に、制御電極27eおよびリセットトランジスタ26のゲート電極26eがコンタクトプラグ86を挟んで互いに対向するように配置されている。なお、図18におけるB-B'線に沿って単位画素セル30を切断して展開すれば、図17に示す断面図が得られる。

【0134】

この例では、リセットトランジスタ26およびフィードバックトランジスタ56は、列方向に沿って直線状に配置されている。したがって、ここでは、コンタクトプラグ89と半導体基板70との間の接続部分（ここではn型不純物領域77nの第1領域77a）は、リセットトランジスタ26のゲート電極26eとフィードバックトランジスタ56のゲート電極56eとの間に位置している。換言すれば、リセットトランジスタ26のゲート電極26eおよびフィードバックトランジスタ56のゲート電極56eが、コンタクトプラグ89を挟んで互いに対向するように配置されている。

30

【0135】

したがって、ゲート電極26eおよびゲート電極56eにそれぞれリセットトランジスタ26およびフィードバックトランジスタ56の閾値電圧以下の電圧（特に負電圧）を印加することによって、図4および図5を参照して説明した原理と同様の原理により、半導体基板70の表面のうち、ゲート電極26eおよびゲート電極56eの間においてコンタクトプラグ89の周囲に現れた空乏層の幅を縮小し得る。すなわち、リセットトランジスタ26およびフィードバックトランジスタ56に印加するゲート電圧の制御によってリセットドレインノードRDにおけるリーク電流を抑制し得る。このように、リセットドレインノードRDに関しても、電荷蓄積ノードFDと同様に、コンタクトプラグ89と半導体基板70との間の接続部分（ここではn型不純物領域77nの第1領域77a）を少なくとも2方向から挟むように、リセットトランジスタ26のゲート電極26eおよびフィードバックトランジスタ56のゲート電極56eを配置する電極構造を採用することができる。

40

【0136】

本開示の第1領域は、本実施形態におけるp型不純物領域76pによって例示される。

50

第2領域は、n型不純物領域77nによって例示される。第1エリアは、半導体基板60の表面のうちp型不純物領域76pが露出している部分によって例示される。第2エリアは、半導体基板60の表面のうちn型不純物領域77nが露出している部分によって例示される。第1濃度領域は、第2領域77bによって例示される。第2濃度領域は、第1領域77aによって例示される。コンタクトプラグは、コンタクトプラグ89によって例示される。

【0137】

また、本開示の第1トランジスタは、本実施形態におけるリセットトランジスタ26によって例示される。第2絶縁層は、絶縁層56gによって例示される。第2電極は、ゲート電極56eによって例示される。第2トランジスタは、フィードバックトランジスタ56

10

【0138】

図19は、第3の実施形態による単位画素セルの変形例を示す。図19に示す単位画素セル30Aは、リセットトランジスタ26に代えて、環状のゲート電極26Deを有するリセットトランジスタ26Dを含む。このような構成においても、コンタクトプラグ89を挟んで互いに対向するようにゲート電極26Deおよびゲート電極56eを配置することにより、リセットドレインノードRDにおけるリーク電流の抑制効果が得られる。

【0139】

なお、単位画素セル中のリセットトランジスタのゲート電極およびフィードバックトランジスタのゲート電極が、コンタクトプラグ89に関して必ずしも対称に配置されている必要はない。図20は、第3の実施形態による単位画素セルの他の変形例を示す。図20に示す単位画素セル30Bは、2つの開口AP1およびAP2が形成されたゲート電極26Dfを有するリセットトランジスタ26Fおよび環状のゲート電極56Deを有するフィードバックトランジスタ56Dを含む。

20

【0140】

図20は、単位画素セル30Bのうち、リセットトランジスタ26Fおよびフィードバックトランジスタ56Dの周辺を取り出して示している。図20に例示するように、フィードバックトランジスタ56Dとリセットトランジスタ26Fとを分離して単位画素セル30B中に配置してもよい。この例では、フィードバックトランジスタ56Dのゲート電極56Deは、開口AP3を有し、開口AP3の内側においてコンタクトプラグ89が半導体基板70に接続されている。ここでは、リセットトランジスタ26Fのソースとして機能するn型不純物領域69nが半導体基板70に形成されている。n型不純物領域69nは、ゲート電極26Dfの開口AP2の内側において、コンタクトプラグ89に電氣的に接続されたコンタクトプラグ91に電氣的に接続されている。n型不純物領域69nは、n型不純物領域67nと同様の構成を有していてもよい。例えば、n型不純物領域69nは、n型不純物領域67nにおける第1領域67aに相当する、相対的に不純物濃度の高い領域を有していてもよい。コンタクトプラグ91は、n型不純物領域69nにおいて相対的に不純物濃度の高いその領域に接続されてもよい。コンタクトプラグ91とn型不純物領域69nとの接点を開口AP2の内側に形成することにより、この接点の周辺におけるリーク電流の発生を抑制し得る。

30

40

【0141】

なお、図20では、リセットトランジスタ26Fおよびフィードバックトランジスタ56Dが、互いに異なる形状を有するゲート電極を含む例を示している。図20に示すように、リセットトランジスタおよびフィードバックトランジスタが同一の形状のゲート電極を有している必要はない。また、リセットトランジスタ26Fにおけるゲート電極の外形は、図20に例示するゲート電極26Dfのような矩形に限定されない。リセットトランジスタ26Fのゲート電極の外形は、例えば、図21に示すゲート電極26Dhのように、開口AP1を取り囲む部分と、開口AP2を取り囲む部分を結ぶ中央部にくびれを有する形状であってもよい。

【0142】

50

ここで、再び図16を参照しながら、帰還経路の形成を利用したノイズキャンセルの概要を説明する。図16に例示する回路構成を有する撮像装置において、ノイズキャンセルは、行ごとに画素単位で実行される。

【0143】

図16に例示する回路構成では、リセットトランジスタ26およびフィードバックトランジスタ56をオンとすることにより、フィードバック線53の電圧が電荷蓄積ノードFDに印加され、電荷蓄積ノードFDの電位がリセットされる。次に、リセットトランジスタ26をオフとする。

【0144】

リセットトランジスタ26をオフとすることによりkTCノイズが発生する。ただし、フィードバックトランジスタ56がオンである間は、電荷蓄積ノードFD、増幅トランジスタ22、フィードバックトランジスタ56および第1容量素子51をその経路に含む帰還経路が形成された状態が継続する。そのため、帰還経路が形成されている時(フィードバックトランジスタ56がオフではない時といってもよい)、フィードバックトランジスタ56が出力する信号は、第1容量素子51と電荷蓄積ノードFDの寄生容量とによって形成される減衰回路で減衰される。第1容量素子51および電荷蓄積ノードFDの寄生容量の容量値をそれぞれC1およびCfdとすれば、このときの減衰率Bは、 $B = C1 / (C1 + Cfd)$ と表される。

【0145】

次に、フィードバックトランジスタ56をオフとする。このとき、例えば、フィードバックトランジスタ56の閾値電圧を跨ぐように、フィードバック制御線58の電圧レベルをハイレベルからローレベルまで徐々に低下させる。フィードバック制御線58の電位をハイレベルからローレベルに向けて徐々に低下させると、フィードバックトランジスタ56の抵抗が徐々に増加する。フィードバックトランジスタ56の抵抗が増加すると、フィードバックトランジスタ56の動作帯域が狭くなり、帰還する信号の周波数領域が狭くなる。

【0146】

フィードバック制御線58の電圧がローレベルに達すると、フィードバックトランジスタ56がオフとなり、帰還経路の形成が解消される。このとき、フィードバックトランジスタ56の動作帯域が増幅トランジスタ22の動作帯域よりも十分に低い帯域であると、フィードバックトランジスタ56で発生する熱ノイズが、フィードバック回路16により、 $1 / (1 + AB)^{1/2}$ 倍に抑制される。ここで、式中のAは、フィードバック回路16の利得である。このように、フィードバックトランジスタ56の動作帯域が増幅トランジスタ22の動作帯域よりも低い状態でフィードバックトランジスタ56をオフとすることにより、電荷蓄積ノードFDに残存するkTCノイズを低減することが可能である。

【0147】

上述した動作から明らかなように、リセットトランジスタ26およびフィードバックトランジスタ56は、電荷蓄積領域の電位をリセットするための期間および帰還経路の形成によるノイズキャンセル以外の期間において基本的にオフとされる。したがって、電荷の蓄積時および信号の読み出し時に、リセットトランジスタ26のゲート電極26eおよびフィードバックトランジスタ56のゲート電極56eに負電圧を印加することが可能である。

【0148】

(その他の変形例)

上述の各実施形態では、コンタクトプラグ(コンタクトプラグ86または89)を少なくとも2方向から囲むように1以上の電極を配置し、それらの電極に印加する電圧を制御することにより、それらの電極の下方のキャリア濃度を制御している。上述の各実施形態では、それらの電極の下方に正のキャリア(正孔)を蓄積させることにより、半導体基板(半導体基板60または70)に形成された空乏層のうち、コンタクトプラグの周囲において半導体基板の表面に現れた部分の面積を縮小している。つまり、上述の各実施形態で

10

20

30

40

50

は、半導体基板の表面のうち、ゲート電極または制御電極によって覆われていない部分の表面近傍の空乏層を縮小することによって、リーク電流抑制の効果をj得ている。これに対し、以下に説明する変形例では、半導体基板に形成された空乏層のうち、半導体基板の表面に現れる部分を、ゲート電極および/または制御電極の下方に引き込むことが可能な構成を用いる。

【0149】

図22は、さらに他の変形例による単位画素セルにおける、リセットトランジスタ26の近傍の断面を模式的に示す。図22に例示する単位画素セル40は、図4および図5を参照して説明した単位画素セル10とほぼ断面構造を有する。ただし、図22に示す半導体基板71におけるp型不純物領域66pは、n型不純物領域67nに代えて、不純物濃度の比較的高いn型不純物領域72nを有している。この例では、n型不純物領域72nは、第2領域72bと、第2領域72b内に形成され相対的に不純物濃度が高い第1領域72aとを含み、コンタクトプラグ86が、この第1領域72aに接続されている。

10

【0150】

n型不純物領域72nにおける第2領域72bの不純物濃度は、上述のn型不純物領域67nにおける第2領域67bの不純物濃度よりも高い。n型不純物領域67nにおける第2領域67bの不純物濃度が例えば $1 \times 10^{16} / \text{cm}^3 \sim 2 \times 10^{17} / \text{cm}^3$ 程度(「x」は、乗算を表す)の範囲であることに対し、図22に示す第2領域72bの不純物濃度は、例えば $1 \times 10^{18} \sim 5 \times 10^{18} / \text{cm}^3$ 程度の範囲であってもよい。図22に示す第1領域72aの不純物濃度は、上述のn型不純物領域67nにおける第1領域67aの不純物濃度とほぼ同程度であってもよい。第1領域72aの不純物濃度は、典型的には、 $1 \times 10^{19} / \text{cm}^3$ 以上であり、例えば、 $1 \times 10^{19} / \text{cm}^3 \sim 5 \times 10^{20} / \text{cm}^3$ 程度の範囲である。したがって、n型不純物領域72nの不純物濃度は、例えば、 $1 \times 10^{18} / \text{cm}^3$ 以上である。

20

【0151】

図22は、制御電極27eおよびリセットトランジスタ26のゲート電極26eに負電圧Vnを印加した状態を模式的に示している。上述の各実施形態では、p型不純物領域66p中のn型不純物領域67nの不純物濃度は、比較的低く設定される。したがって、制御電極27eおよびリセットトランジスタ26のゲート電極26eに負電圧Vnを印加した時、これらの電極の下方には正の電荷が蓄積されやすい(図5参照)。一方、図22に例示する構成では、n型不純物領域72nの不純物濃度が比較的高いので、半導体基板71に形成された空乏層のうち、半導体基板71の表面近傍の部分は、図22において模式的に示すように、制御電極27eの下方およびゲート電極26eの下方に位置する。

30

【0152】

半導体基板71の表面のうち、絶縁層(ここでは絶縁層27gおよびゲート絶縁層26g)が配置された部分は、半導体基板71の表面の他の部分と比較して、結晶欠陥が少ないと考えてよい。図22に例示する構成によれば、半導体基板71に形成された空乏層のうち、半導体基板71の表面近傍の部分が、結晶欠陥のより少ない、制御電極27eの下方およびゲート電極26eの下方に現れる。したがって、結果として結晶欠陥に起因するリーク電流を抑制する効果が得られる。

40

【0153】

以上に説明したように、本開示の実施形態によれば、リーク電流による影響を抑制し得るので、高画質で撮像を行うことが可能な撮像装置が提供される。なお、上述の増幅トランジスタ22、アドレスタランジスタ24、リセットトランジスタ26、26D、26Fおよび28、ならびにフィードバックトランジスタ56および56Dの各々は、NチャンネルMOSであってもよいし、PチャンネルMOSであってもよい。これらの全てがNチャンネルMOSまたはPチャンネルMOSのいずれかに統一されている必要もない。例えば図1を参照して説明した回路構成において増幅トランジスタ22、アドレスタランジスタ24およびリセットトランジスタ26の各々をNチャンネルMOSとし、信号電荷として電子を用いる場合には、これらのトランジスタの各々におけるソースおよびドレインの

50

配置を互いに入れ替えればよい。

【産業上の利用可能性】

【0154】

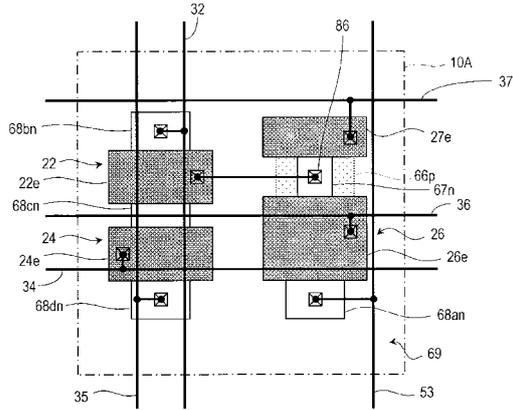
本開示の撮像装置は、例えばイメージセンサ、デジタルカメラなどに有用である。本開示の撮像装置は、医療用カメラ、ロボット用カメラ、セキュリティカメラ、車両に搭載されて使用されるカメラなどに用いることができる。

【符号の説明】

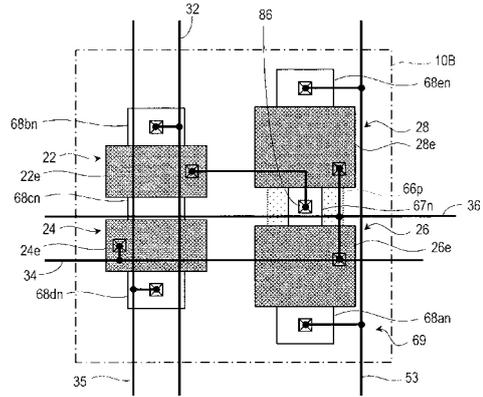
【0155】

10、10A、10B	単位画素セル	
20、30、30A、30B、40	単位画素セル	10
12	光電変換部	
14、15	信号検出回路	
22	増幅トランジスタ	
24	アドレストランジスタ	
26、26D、26F	リセットトランジスタ	
26e、26De、26Df、26Dh	リセットトランジスタのゲート電極	
27e	制御電極	
28	第2のリセットトランジスタ	
28e	第2のリセットトランジスタのゲート電極	
32	電源配線	20
34	アドレス信号線	
35	垂直信号線	
36	リセット信号線	
37	空乏層制御線	
39	蓄積制御線	
50	反転増幅器	
53	フィードバック線	
54	感度調整線	
56、56D	フィードバックトランジスタ	
56e、56De	フィードバックトランジスタのゲート電極	30
58	フィードバック制御線	
60、70、71	半導体基板	
66p、76p	p型不純物領域	
67n、72n、77n、69n	n型不純物領域	
80	配線構造	
80a~80d	配線層	
81	配線	
86、89、91	コンタクトプラグ	
88	接続部	
100	撮像装置	40
AP1、AP2、AP3	開口	

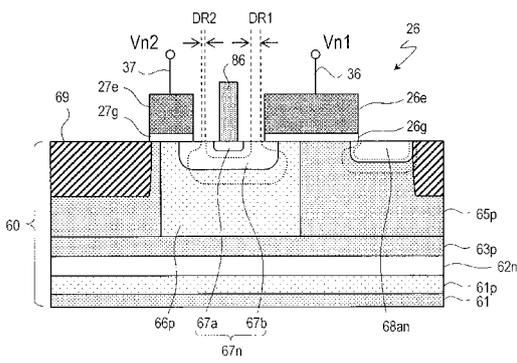
【図6】



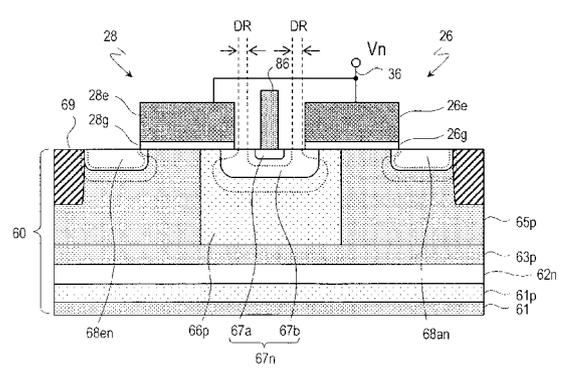
【図8】



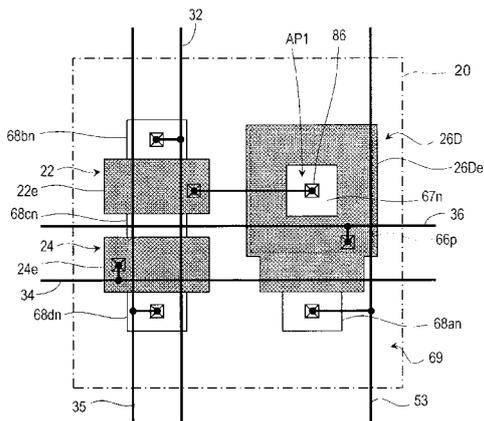
【図7】



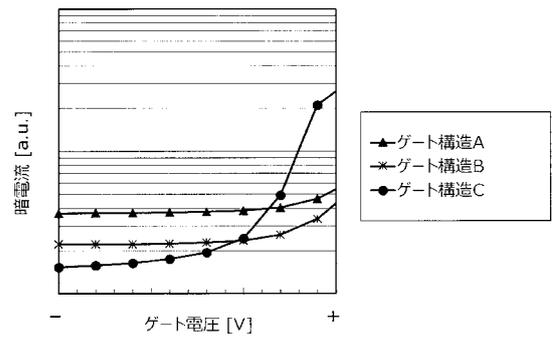
【図9】



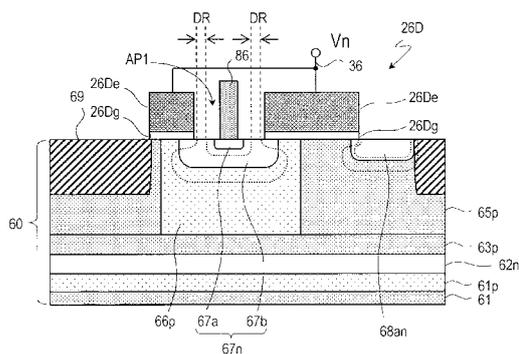
【図10】



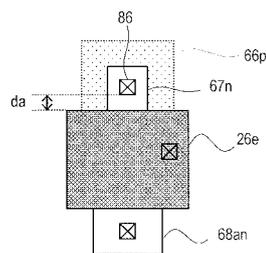
【図12】



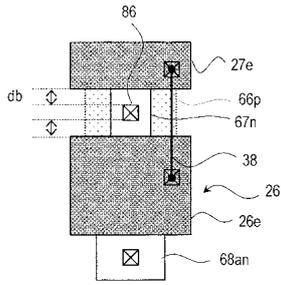
【図11】



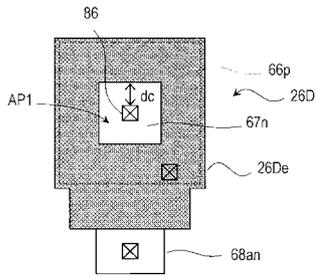
【図13】



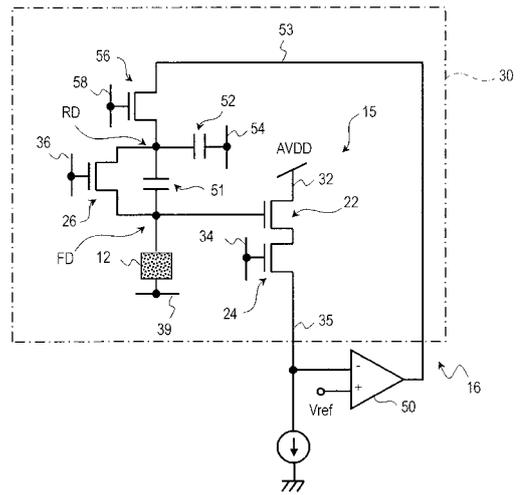
【 図 1 4 】



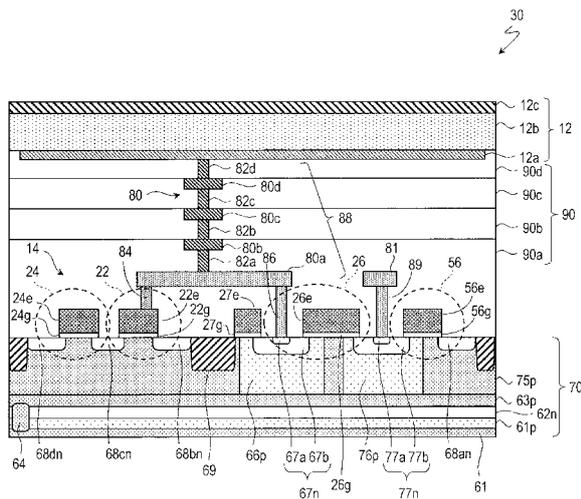
【 図 1 5 】



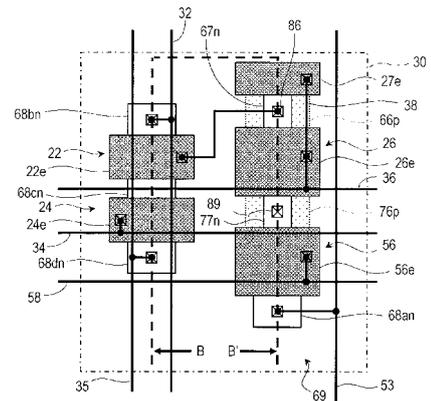
【 図 1 6 】



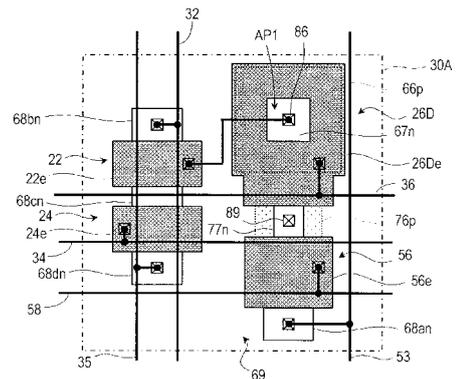
【 図 1 7 】



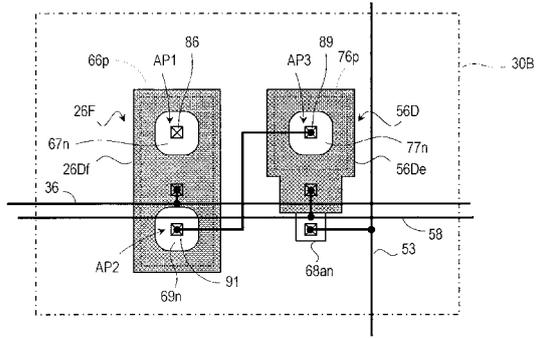
【 図 1 8 】



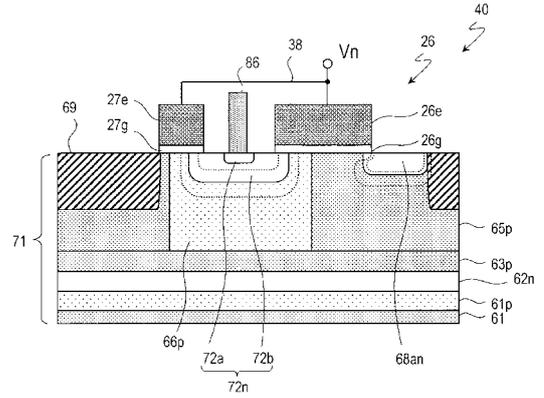
【 図 1 9 】



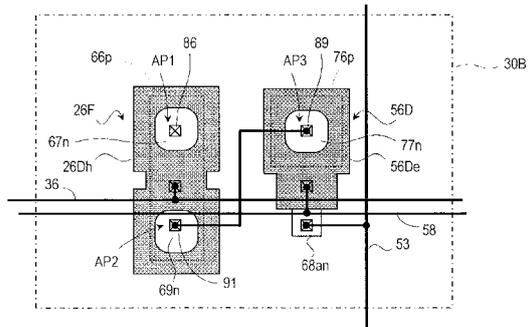
【 図 2 0 】



【 図 2 2 】



【 図 2 1 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 4 N 5/361 (2011.01)
H 0 4 N 5/374 (2011.01)

(74)代理人 100184985

弁理士 田中 悠

(74)代理人 100202197

弁理士 村瀬 成康

(72)発明者 佐藤 好弘

大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

(72)発明者 平瀬 順司

大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

Fターム(参考) 4M118 AA05 AB01 BA07 CA14 CB06 CB14 CB20 DD04 FA06 FA08
FA26 FB16 FB23 HA25
5C024 CX32 CY47 EX01 GX02 GX07 GX16 GY31 HX40
5F033 HH04 HH08 HH11 HH32 JJ04 JJ38 KK01 KK04 UU01 VV00
WW04 XX09