

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3831592号  
(P3831592)

(45) 発行日 平成18年10月11日(2006.10.11)

(24) 登録日 平成18年7月21日(2006.7.21)

(51) Int. Cl.	F I	
HO 1 L 21/363 (2006.01)	HO 1 L 21/363	
C 2 3 C 14/06 (2006.01)	C 2 3 C 14/06	L
C 2 3 C 14/22 (2006.01)	C 2 3 C 14/22	C
HO 1 L 31/04 (2006.01)	HO 1 L 31/04	E

請求項の数 5 (全 21 頁)

(21) 出願番号	特願2000-270033 (P2000-270033)	(73) 特許権者	000005821
(22) 出願日	平成12年9月6日(2000.9.6)		松下電器産業株式会社
(65) 公開番号	特開2002-83824 (P2002-83824A)		大阪府門真市大字門真1006番地
(43) 公開日	平成14年3月22日(2002.3.22)	(74) 代理人	100062144
審査請求日	平成16年2月5日(2004.2.5)		弁理士 青山 稔
		(74) 代理人	100083356
			弁理士 柴田 康夫
特許法第30条第1項適用 平成12年3月28日 社団法人応用物理学会発行の「2000年(平成12年)春季第47回応用物理学関係連合講演会講演予稿集第3分冊」に発表		(74) 代理人	100100158
			弁理士 鮫島 睦
		(72) 発明者	井上 浩伸
			大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	北川 雅俊
			大阪府門真市大字門真1006番地 松下電器産業株式会社内

最終頁に続く

(54) 【発明の名称】 化合物半導体薄膜の製造方法

(57) 【特許請求の範囲】

【請求項1】

I B 族元素、IIIB 族元素およびVIB 族元素を含む化合物半導体薄膜の製造方法であつて、

( a ) 少なくともスパッタリング法を用いて原料元素を基板上に供給する工程であつて、

( i ) IIIB 族元素およびVIB 族元素を供給して、IIIB 族元素およびVIB 族元素から成る第 1 層を形成すること、

( ii ) I B 族元素およびIIIB 族元素を供給して、I B 族元素およびIIIB 族元素から成る第 2 層を形成すること、および

( iii ) I B 族元素およびVIB 族元素を供給して、I B 族元素およびVIB 族元素から成る第 3 層を形成すること

をこの順に含み、第 1 層、第 2 層および第 3 層より構成される前駆体薄膜を基板上に形成する工程と、

( b ) スパッタリング法以外の方法を用いてVIB 族元素を該前駆体薄膜上に供給しながら、前駆体薄膜が形成された基板を工程 ( a ) における温度よりも高い温度で熱処理して、該前駆体薄膜から、I B 族元素、IIIB 族元素およびVIB 族元素を含む化合物半導体薄膜を基板上に形成する工程と

を含む方法。

【請求項2】

工程 ( a ) における基板の温度が、 $20 \sim 450$  の範囲にある、請求項 1 に記載の方法。

【請求項 3】

工程 ( b ) における基板の温度が、 $300 \sim 600$  の範囲にあり、かつ工程 ( a ) における基板の温度よりも高い、請求項 1 または 2 に記載の方法。

【請求項 4】

IB 族元素が Ag および Cu のいずれかまたは双方であり、IIIB 族元素が In および Ga のいずれかまたは双方であり、VIB 族元素が Se および S のいずれかまたは双方である、請求項 1 ~ 3 のいずれかに記載の方法。

【請求項 5】

IB 族元素が Cu であり、IIIB 族元素が In、または In および Ga であり、VIB 族元素が Se である、請求項 4 に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、化合物半導体薄膜の製造方法および装置ならびにこれから得られる化合物半導体薄膜に関する。より詳細には、本発明は、薄膜太陽電池の分野において利用される IB 族元素、IIIB 族元素および VIB 族元素を含む化合物半導体薄膜の製造方法および装置ならびにこれから得られる化合物半導体薄膜に関する。

【0002】

【従来の技術】

近年、薄膜太陽電池を構成する光吸収層として、IB 族元素、IIIB 族元素および VIB 族元素からなるカルコパイライト構造を有する化合物半導体薄膜が使用されている。このような化合物半導体薄膜としては、例えば、 $CuInSe_2$  膜（いわゆる「CIS」膜）、 $CuInGaSe_2$  膜（詳細には  $Cu(In, Ga)Se_2$  膜、いわゆる「CIGS」膜）などが挙げられる。

【0003】

このような化合物半導体薄膜の従来の製造方法は、一般的に、蒸着法を用いる方法とスパッタリング法を用いる方法とに大別される。以下、これらの方法の例として、 $CuInSe_2$  膜を形成する場合の代表的な方法についていくつか説明する。

【0004】

蒸着法を用いる従来の方法としては、目的の化合物半導体薄膜の構成元素を蒸着法により高温の基板上に多段階で供給する方法が挙げられる。この方法においては、Cu 蒸発原料、In 蒸発原料、Se 蒸発原料がそれぞれ設置された蒸着源を備え、所定の圧力に保持された真空チャンバ内で、例えば上面に Mo 膜を備えるガラス基板を室温よりも高い約  $325$  の温度に加熱した状態で、まず第 1 段階として、In 蒸発原料および Se 蒸発原料を加熱して蒸発させ、基板上に In および Se を供給して、比較的低温の基板上に In - Se 層を形成する。次に第 2 段階として、基板を更に加熱して約  $500 \sim 600$  の高温とし、この状態で、Cu 蒸発原料および Se 蒸発原料を加熱して蒸発させ、Cu および Se をそれぞれ蒸着法により供給する。このとき、基板が高温状態にあるので、In - Se 層表面に供給された Cu および Se は、In - Se 層の上に積層されずに In - Se 層中に取り込まれて化合物を形成し、これにより、Cu - In - Se 化合物層が成長する。最後に第 3 段階として、基板を高温に保った状態で、In 蒸発原料および Se 蒸発原料を加熱して蒸発させ、In および Se をそれぞれ蒸着法により供給する。この段階においても、Cu - In - Se 層表面に供給された Cu および Se は、この層の中に取り込まれて化合物を形成して、Cu - In - Se 化合物層が成長し、最終的に  $CuInSe_2$  膜を形成する。

【0005】

他方、スパッタリング法を用いる従来の方法としては、目的の化合物半導体薄膜の構成元素をスパッタリング法により基板上に一段階で供給する方法が挙げられる。この方法にお

10

20

30

40

50

いては、例えばCuターゲット、Inターゲット、およびSeターゲットがそれぞれ設置されたスパッタ源を備え、所定の圧力に保持された真空チャンバ内で、各ターゲットをスパッタリングして、上述のような基板上にCu、In、およびSeを同時に供給し、これによりCuInSe<sub>2</sub>膜が成長して形成される。ターゲットとしては、Cu、In、およびSeからなる群から選択される任意の組み合わせの材料からなるターゲットを用いることもできる。

#### 【0006】

また、スパッタリング法を用いるもう1つの従来の方法として、目的の化合物半導体薄膜のSe以外の構成元素をスパッタリング法により基板上に多段階で供給して積層膜を形成し、その後、セレン化水素(H<sub>2</sub>Se)雰囲気中で基板を熱処理する方法がある。この方法においては、まず、所定の圧力に保持された真空チャンバ内で、上述のような基板上に例えばCuターゲットをスパッタリングしてCuを供給し、次いでInターゲットをスパッタリングしてInを供給し、これによりCu膜およびIn膜を順次形成して積層膜とする。次いで、得られた基板をセレン化水素雰囲気中で約500℃に加熱して熱処理(またはSe化処理とも言う)する。このときCu膜およびIn膜からなる積層膜はSeを取り込んで、化合物形成しながら成長して、最終的にCuInSe<sub>2</sub>膜を形成する。

10

#### 【0007】

上述のような方法に加えて、目的の化合物半導体薄膜のSe以外の構成元素をスパッタリング法により、同時にSeを蒸着法により一段階で基板上に供給する方法がある。この方法においては、所定の圧力に保持された真空チャンバ内で、例えばCuターゲットおよびInターゲットをスパッタリングして、上述のような基板上にそれぞれCuおよびInを一段階で供給し、これと同時にSe蒸発原料を加熱して蒸発させ、Seを蒸着法により供給する。これによりCu、In、およびSeが同時に供給され、CuInSe<sub>2</sub>膜が成長する。

20

#### 【0008】

以上、CuInSe<sub>2</sub>膜の形成方法について詳述したが、CuInGaSe<sub>2</sub>膜およびこれに類する薄膜についてもほぼ同様にして形成することができる。

#### 【0009】

##### 【発明が解決しようとする課題】

近年、薄膜太陽電池の更なる大容量化(大面積化)、高効率化、および低コスト化が望まれている。これに伴って、薄膜太陽電池の光吸収層として用いられるIB族元素、IIIB族元素、およびVIB族元素を含む化合物半導体薄膜についても、大面積に亘って膜厚が均一で良質で安価な薄膜形成技術の確立が望まれている。

30

#### 【0010】

しかしながら、上述のような従来化合物半導体薄膜の製造方法は、いずれもこのような要望を十分に満たすものではない。

#### 【0011】

蒸着法を単独で用いる従来製造方法では、一般的に蒸着源として、例えば金属ワイヤーなどのヒーターを巻いたるつぼなどを用い、このるつぼに蒸発原料を入れて、真空下で抵抗加熱を用いて蒸発原料を加熱して蒸発させているが、このような方法では、るつぼ内の蒸発原料の量に依存して蒸発原料の蒸発速度(または蒸着速度もしくは供給速度)が変化するという問題がある。このため、一定の蒸発速度を得るために、蒸発原料の蒸発・消費に従ってヒーターに流す電流を適切に変化させて制御することが好ましいが、このような制御は実際には困難である。また、このような蒸着源を用いる蒸着法では、大面積基板上に薄膜を均一な厚さで形成することは難しい。これに加えて、蒸着法では、基板を高温状態(例えば約500~600℃)で長時間(例えば約10~90分)に亘って加熱する必要があるので消費電力量が大きく、製造コストが高い。

40

#### 【0012】

他方、スパッタリング法を単独で用いる従来製造方法では、一般的に、原料元素のターゲットをスパッタ源に設置し、真空下でターゲットをArイオンなどでスパッタリングし

50

てスパッタ蒸発させているが、このような方法によれば、蒸発速度の変動が小さいために、上記のような蒸着法を用いる方法に比べて、大面積基板上に薄膜を均一な厚さで形成することが容易であり、膜厚の制御性が高い。しかしながら、VIB族元素をスパッタリング法により供給する場合、VIB族元素（またはこれを含む）ターゲットからスパッタ蒸発により放出されるVIB族元素の一部が負イオン化され、この負イオン化したVIB族元素が膜表面に衝撃を与えて、膜に欠陥を生じさせるという問題がある。

#### 【0013】

また、スパッタリングによって積層膜を形成し、次いでセレン化水素雰囲気中で熱処理（またはSe化処理）する上述の従来の製造方法によれば、上記のような欠陥はスパッタリング後の熱処理により緩和されるため、膜質を向上させることができる。しかしながら、この方法において使用するセレン化水素は有毒ガスであり、危険性が高い作業環境で製造を実施することになる。更に、Se化処理に使用されたセレン化水素および副生成物である水素などを大気中に廃棄するために除害装置などの特別な付帯設備を設置する必要があり、そのような設備の設置および維持のための追加の費用を要する。

10

#### 【0014】

これに対して、Se以外の構成元素をスパッタリング法により、同時にSeを蒸着法により一段階で基板上に供給する上述の従来の製造方法によれば、VIB族元素をスパッタリング法でなく蒸着法により供給することができるので、欠陥形成の問題を回避でき、その上、有毒なセレン化水素を使用しないので、より安全な作業環境で製造を実施できる。しかしながら、この方法では、VIB族元素以外のIB族元素およびIIIB族元素をスパッタリング法により供給すると同時に、VIB族元素を蒸着法により供給するため、例えばIB族元素としてCu、IIIB族元素としてInおよび/またはGa、VIB族元素としてSおよび/またはSeを用いる場合などに、低融点のIIIB族およびVIB族元素が再蒸発して不足して、相対的に高融点のIB族元素が過剰となり、これにより、他の方法に比べて組成ずれ（即ち、目的の化合物の組成からずれた組成を有する化合物が形成されること）が大きく生じやすいという新たな問題が起こる。

20

#### 【0015】

このような組成ずれが起こる現象は、例えば上述のようにIB族元素としてCu、IIIB族元素としてIn、VIB族元素としてSeを用いてこれら全ての元素をスパッタリング法により供給する場合には、InとSeとが基板の供給表面において高融点の $In_2Se_3$ 化合物相を初期に形成するので、低融点元素（この場合InおよびSe）の再蒸発が防止されるために見られなかった。しかし、Seを蒸着法により供給し、これと同時にCuおよびInをスパッタリング法により供給する場合には、蒸着法により供給されるSe粒子のエネルギーが、スパッタリング法により供給されるIn粒子のエネルギーに比べてはるかに小さく、 $In_2Se_3$ 化合物相を形成するのが困難になるので、全ての元素をスパッタリング法により供給する場合より多くのInおよびSeの再蒸発が生じ、他方、InおよびSeと同時に供給される高融点のCuは再蒸発がほとんど起こらないので、InおよびSeに対して相対的に過剰となる。その結果、スパッタリング法と蒸着法とを同時に用いて一段階のみで基板上に供給する方法では、場合によっては大きな組成ずれが生じ易くなると考えられる。

30

40

#### 【0016】

この組成ずれの問題は、IIIB族元素としてGa、VIB族元素としてSを用いる場合にも同様に起こる。GaおよびSも融点が低く、再蒸発しやすいからである。

#### 【0017】

本発明は、上記のような従来の課題を解決すべくなされたものであり、本発明の目的は、IB族元素、IIIB族元素およびVIB族元素を含む化合物半導体薄膜の製造方法であって、大面積に亘る不均一な膜厚、大きい組成ずれの発生、結晶欠陥の発生、作業環境の危険性の高さ、高い製造コストなどの従来の問題点を少なくとも部分的に改善する新規な製造方法およびそのような方法を実施し得る装置、ならびにこれによって得られる化合物半導体薄膜を提供することにある。

50

## 【0018】

尚、本明細書を通じて、「スパッタリング法」とは、イオン化されたガス原子（例えばArイオン）を加速し、これを用いてスパッタ源に備えられる原料元素のターゲットからスパッタリング現象により原料粒子を放出（またはスパッタ蒸発）させる方法を言うものである。また、「蒸着法」とは、いわゆる真空下で、蒸着源に備えられる蒸発原料を加熱して、原料粒子を蒸発させる方法を言うものである。

## 【0019】

## 【課題を解決するための手段】

本発明の方法は、I B族元素、IIIB族元素およびVIB族元素を含む化合物半導体薄膜の製造方法であって：(a)少なくともスパッタリング法を用いて所定の原料元素を基板上に供給して、I B族元素およびIIIB族元素を含む前駆体薄膜、またはI B族元素、IIIB族元素およびVIB族元素を含む前駆体薄膜を基板上に形成する工程と；(b)スパッタリング法以外の方法を用いてVIB族元素を該前駆体薄膜上に供給しながら、前駆体薄膜が形成された基板を工程(a)における温度よりも高い温度で熱処理して、該前駆体薄膜から、I B族元素、IIIB族元素およびVIB族元素を含む化合物半導体薄膜を基板上に形成する工程とを含む。

10

## 【0020】

上述のような本発明の方法によれば、工程(a)において、スパッタリング法を用いて前駆体薄膜を形成しているため、これから得られる化合物半導体薄膜の膜厚を大面積に亘って均一とすることができ、大面積基板上に化合物半導体薄膜を形成するのに適している。

20

## 【0021】

更に、本発明の方法によれば、VIB族元素をスパッタリング法を用いて供給する必要がないので、化合物半導体薄膜にVIB族元素のイオン化に由来する結晶欠陥の導入が低減される。しかしながら、本発明の方法は、場合によっては工程(a)でVIB族元素をスパッタリング法を用いて供給することを含み、この場合には前駆体薄膜に結晶欠陥が導入されるが、続く工程(b)において、VIB族元素をスパッタリング以外の方法を用いて前駆体薄膜上に供給すると共に基板を高温で熱処理しているため、導入された結晶欠陥を緩和し、低減することができる。よって、本発明の方法により結晶欠陥の発生が低減される。

## 【0022】

また、本発明の方法によれば、基板を高温に維持する時間が、蒸着法を単独で用いる従来の方法に比べて短縮される。これにより、消費電力が比較的小さい、安価な化合物半導体薄膜の製造方法が提供される。この方法は、セレン化水素のような有毒ガスを使用しない安全な製造方法であり、付帯設備を設ける必要がない。

30

## 【0023】

本発明において、I B族元素、IIIB族元素およびVIB族元素は、周期表に基づいて任意に選択することができるが、例えば、I B族元素はAgおよびCuのいずれかまたは双方であり、IIIB族元素はInおよびGaのいずれかまたは双方であり、VIB族元素はSeおよびSのいずれかまたは双方とすることができる。より好ましくは、I B族元素はCuであり、IIIB族元素はIn、またはInおよびGaであり、VIB族元素はSeであり、これら元素を含むCuInSe<sub>2</sub>膜またはCu(In, Ga)Se<sub>2</sub>膜が化合物半導体薄膜として本発明の方法に従って製造される。しかしながら、本発明はこれに限定されず、他の化合物半導体薄膜（例えばCuInS<sub>2</sub>、CuGaSe<sub>2</sub>、CuGaS<sub>2</sub>、Cu(In, Ga)S<sub>2</sub>、Cu(In, Ga)(S, Se)<sub>2</sub>、CuIn<sub>3</sub>Se<sub>5</sub>、CuIn<sub>3</sub>S<sub>5</sub>、CuGa<sub>3</sub>Se<sub>5</sub>、CuGa<sub>3</sub>S<sub>5</sub>、Cu(In, Ga)<sub>3</sub>Se<sub>5</sub>、Cu(In, Ga)<sub>3</sub>S<sub>5</sub>、およびCu(In, Ga)<sub>3</sub>(S, Se)<sub>5</sub>などからなる膜）や、あるいは、I B族元素、IIIB族元素およびVIB族元素に加えて少量の他の元素を固溶化させた化合物半導体薄膜を形成することもできる。

40

## 【0024】

本発明において、「前駆体薄膜」は、目的の化合物半導体薄膜が形成される前の半導体層を言い、前駆体薄膜の形成様式およびこのときの基板温度などによって多層または単層で

50

あり得る。この前駆体薄膜は、I B 族元素およびIIIB 族元素を含み、VIB 族元素を含んでいても、いなくてもよい。

【0025】

また、「スパッタリング法以外の方法」は、スパッタリング法以外で、目的の原料元素を所定の場所に供給する方法を言う。このような方法には、例えば蒸着法、レーザアブレーション、近接昇華法など、ならびにこれらを任意の組み合わせで併用する方法が挙げられ、好ましくは蒸着法である。

【0026】

本発明に利用可能な基板には、例えばガラス基板、金属基板、金属フィルム、樹脂基板、樹脂フィルムなどを用いることができる。また、このような基板を基板本体としてその上に、例えばMo、MoSe<sub>2</sub>、Pt、Au、Cr、Ni、AgPdCu、WSiなどからなる導電膜を備えていてもよく、特にガラス基板、透明な金属フィルムまたは樹脂フィルムを用いる場合には、このような材料からなる導電膜の代わりにITO、ZnO:Al、SnO<sub>2</sub>などの透明導電膜およびZnOなどの窓層を備えていてもよい。

【0027】

以下、本発明の方法について詳述する。

【0028】

上記工程(a)において、このような基板の上に、少なくともスパッタリング法を用いて所定の原料元素を基板上に供給して、I B 族元素およびIIIB 族元素を含む前駆体薄膜、またはI B 族元素、IIIB 族元素およびVIB 族元素を含む前駆体薄膜が基板上に形成される。

【0029】

好ましい態様においては、工程(a)における基板の温度は、20~450 の範囲、より好ましくは300~400 の範囲にある。

【0030】

ここで、I B 族元素およびIIIB 族元素をスパッタリング法を用いて供給する方法には、I B 族元素からなるターゲット(例えばCuターゲット)、IIIB 族元素からなるターゲット(例えばInターゲット)、I B 族元素とIIIB 族元素とからなるターゲット(例えばCu-Gaターゲット)、I B 族元素および/またはIIIB 族元素とこれら元素以外の元素(例えばVIB 族元素など)とからなるターゲット(例えばCu-Seターゲット、In-Seターゲット、Cu-In-Seターゲット、Cu-Ga-Seターゲット)をスパッタリングすることが挙げられる。

【0031】

このとき、前駆体薄膜を形成するために、I B 族元素およびIIIB 族元素(および、場合によっては他の元素)をスパッタリング法を用いて供給するだけでなく、スパッタリング法以外の方法を組み合わせて用いてもよい。例えば、I B 族元素および/またはIIIB 族元素をスパッタリング法により供給すると同時に、VIB 族元素を蒸着法などのスパッタリング法以外の方法により供給してもよい。また、例えば、I B 族元素および/またはIIIB 族元素をスパッタリング法により供給すると同時に、同種の元素を蒸着法などのスパッタリング法以外の方法により供給してもよい。

【0032】

好ましい態様においては、上記工程(a)は、IIIB 族元素を供給する、あるいはIIIB 族元素およびVIB 族元素を供給する第1工程と、I B 族元素を供給する、I B 族元素およびVIB 族元素を供給する、I B 族元素およびIIIB 族元素を供給する、あるいはI B 族元素、IIIB 族元素およびVIB 族元素を供給する第2工程とを含む。

【0033】

この態様において、第1工程および第2工程を実施する順序は、第1工程を実施した後に第2工程を実施しても、その逆としてもよい。

【0034】

この態様によれば、基板の温度にもよるが、第1工程により形成された層および第2工程

10

20

30

40

50

により形成された層からなる2層以上の構造（但し、第1工程および第2工程をそれぞれ1段階で実施する場合には2層構造）の前駆体薄膜を基板上に形成することができる。

【0035】

更に、この態様によれば、IB族元素およびIIIB族元素をスパッタリング法により供給すると同時に、VIB族元素を蒸着法を用いて供給して一段階で形成されないの、特にIB族元素としてCu、IIIB族元素としてInおよび/またはGa、VIB族元素としてSeおよび/またはSを用いる場合であっても、大きな組成ずれが生じることなく、所望の組成の化合物半導体薄膜を形成することができる。

【0036】

上記第1工程は、例えば、以下のようにして実施することができる。

10

(1-1) IIIB族元素ターゲット（例えばInターゲット）を用いてIIIB族元素をスパッタリング法により供給する、

(1-2) IIIB族元素およびVIB族元素を含む少なくとも1種のターゲット（例えばIn-Seターゲット、および必要に応じてInターゲット）を用いてIIIB族元素およびVIB族元素をスパッタリング法により供給する、あるいは、

(1-3) IIIB族元素ターゲット（例えばInターゲット）を用いてIIIB族元素をスパッタリング法により供給し、同時に、VIB族元素蒸発原料（例えばSe蒸発原料）を用いてVIB族元素を蒸着法により供給する。

【0037】

また、上記第2工程は、例えば、以下のようにして実施することができる。

20

(2-1) IB族元素ターゲット（例えばCuターゲット）を用いてIB族元素をスパッタリング法により供給する、

(2-2) IB族元素およびVIB族元素を含む少なくとも1種のターゲット（例えばCu-Seターゲット、および必要に応じてCuターゲット）を用いてIB族元素およびVIB族元素をスパッタリング法により供給する、

(2-3) IB族元素ターゲット（例えばCuターゲット）を用いてIB族元素をスパッタリング法により供給し、同時に、VIB族元素蒸発原料（例えばSe蒸発原料）を用いてVIB族元素を蒸着法により供給する、

(2-4) IB族元素およびIIIB族元素を含む少なくとも1種のターゲット（例えばCu-Gaターゲット、および必要に応じてCuターゲット）を用いてIB族元素およびIIIB族元素をスパッタリング法により供給する、

30

(2-5) IB族元素、IIIB族元素およびVIB族元素を含む少なくとも1種のターゲット（例えばCu-In-SeターゲットまたはCu-Ga-Seターゲット）を用いてIB族元素、IIIB族元素およびVIB族元素をスパッタリング法により供給する、あるいは、

(2-6) IB族元素およびIIIB族元素を含む少なくとも1種のターゲット（例えばCu-Gaターゲット、および必要に応じてCuターゲット）を用いてIB族元素およびIIIB族元素をスパッタリング法により供給し、同時に、VIB族元素蒸発原料（例えばSe蒸発原料）を用いてVIB族元素を蒸着法により供給する。

【0038】

第1工程および第2工程は、上記の第1工程の例(1-1)～(1-3)および第2工程の例(2-1)～(2-6)からそれぞれ互いに独立して1つまたはそれ以上を選択することができ、形成する化合物半導体薄膜の構成元素に応じて任意の適切な組み合わせで実施することができる。第1工程として上記の例(1-1)または(1-2)とし、第2工程として上記の例(2-2)および/または(2-4)とする組み合わせ、あるいは第1工程として上記の例(1-3)とし、第2工程として上記の例(2-3)および/または(2-4)とする組み合わせが好ましい。

40

【0039】

好ましい態様においては、上記第2工程は、IB族元素を供給する、あるいはIB族元素およびVIB族元素を供給する第2A工程と、IB族元素およびIIIB族元素を供給する、あるいはIB族元素、IIIB族元素およびVIB族元素を供給する第2B工程とを含む。

50

## 【0040】

この態様において、第1工程、第2A工程、および第2B工程は、任意の適切な組み合わせの順序で実施することができる。具体的には、(第1工程、第2A工程、第2B工程)、(第1工程、第2B工程、第2A工程)、(第2A工程、第2B工程、第1工程)、(第2B工程、第2A工程、第1工程)、(第2A工程、第1工程、第2B工程)、(第2B工程、第1工程、第2A工程)のいずれの順序で実施してもよい。

## 【0041】

この態様は、上述の態様における第2工程を2段階に分けて実施するものである。この態様によれば、基板の温度にもよるが、第1工程により形成された層、第2A工程により形成された層、および第2B工程により形成された層からなる3層以上の構造(但し、第1工程、第2A工程および第2B工程をそれぞれ1段階で実施する場合には3層構造)の前駆体薄膜を基板上に形成することができる。

10

## 【0042】

上記第2A工程は、例えば上記の(2-1)~(2-3)のいずれかにより実施することができる。また、第2B工程は、例えば上記の(2-4)~(2-6)のいずれかにより実施することができる。

## 【0043】

この態様においても、第1工程、第2A工程および第2B工程は、上記の第1工程の例(1-1)~(1-3)、第2A工程の例(2-1)~(2-3)および第2B工程の例(2-4)~(2-6)からそれぞれ互いに独立して選択することができ、任意の適切な組み合わせで実施することができる。第1工程として上記の例(1-1)または(1-2)とし、第2A工程として上記の例(2-2)とし、第2B工程として上記の例(2-4)とする組み合わせ、あるいは第1工程として上記の例(1-3)とし、第2A工程として上記の例(2-3)とし、第2B工程として上記の例(2-4)とする組み合わせが好ましい。

20

## 【0044】

次に、上記工程(b)において、以上のようにして形成された前駆体薄膜上にスパッタリング法以外の方法を用いてVI族元素を供給しながら、基板を工程(a)における温度よりも高い温度で熱処理する。

## 【0045】

具体的には、例えば、VI族元素を供給しながら、基板を所定の温度まで加熱し、必要に応じて所定の温度で所定時間維持し、次いで冷却し、工程(a)の基板温度付近にまで達したときにVI族元素の供給を停止するようにして熱処理できる。あるいは、VI族元素を供給しながら、基板を加熱して所定の温度に達したとき、または必要に応じて所定の温度を所定時間維持した後にVI族元素の供給を停止し、次いで工程(a)における基板温度付近にまで基板を冷却するようにして熱処理できる。

30

## 【0046】

好ましい態様においては、工程(b)における基板の温度は、300~600の範囲の温度で、かつ工程(a)における基板の温度よりも高い温度にまで上昇され、より好ましくは450~550の範囲の温度にまで上昇される。この工程(b)の熱処理は、好ましくは約1秒~10分間に亘って実施される。

40

## 【0047】

工程(b)においては、基板は上記のような高温で熱処理されているので、前駆体薄膜はVI族元素を取り込んで、化合物形成しながら成長し、前駆体薄膜からIB族元素、IIIB族元素、およびVI族元素を含む化合物半導体薄膜が基板上に形成される。

## 【0048】

本発明の別の要旨においては、前駆体薄膜を基板上に形成する1個またはそれ以上のスパッタ源と、スパッタ源に各々備えられるスパッタ源シャッターと、基板の温度を制御する温度制御手段と、スパッタリング法以外の方法を用いてVI族元素を該前駆体薄膜上に供給する供給源とを備える、化合物半導体薄膜の製造装置が提供される。ここで、スパッタ源シャッターは、スパッタ源に備えられるターゲットが他の物質、例えば供給源より放出

50



されるVI B族元素で汚染されることを防止する効果を奏するが、ターゲットの汚染が問題にならない程度である場合には省略することも可能である。

【0049】

1つの好ましい態様においては、上記供給源は、上記スパッタ源が収容されるチャンバとは異なるチャンバに収容されており、スパッタ源を複数備える場合には、複数のスパッタ源同士についても、各々別のチャンバ内に配置されていることがより好ましい。この態様においては、スパッタ源に備えられるターゲットが、供給源から供給されるVI B族元素によって汚染されず、ターゲットの汚染は無視できる程度であるので、各スパッタ源にスパッタ源シャッターを必ずしも設けなくてよい。

【0050】

もう1つの好ましい態様においては、上記供給源および上記スパッタ源は、同一のチャンバ内に収容され、これらの間に設けられた仕切り板によって互いに仕切られている。スパッタ源を複数備える場合には、複数のスパッタ源同士についても、仕切り板によって互いに仕切られていることがより好ましい。この態様においても、スパッタ源に備えられるターゲットは、供給源から供給されるVI B族元素によって汚染されないので、各スパッタ源にスパッタ源シャッターを必ずしも設けなくてよい。

【0051】

本発明の装置は、上述したような本発明の化合物半導体の製造方法を実施するのに好適に用いられ得る。本発明の装置に利用可能なスパッタ源は、当該技術分野において既知のスパッタ源を用いることができ、前駆体薄膜を形成するために用いるターゲットの数に応じて1またはそれ以上の数のスパッタ源が備えられる。また、本発明の装置においても、本発明の上記方法と同様に、スパッタリング法以外の方法には、蒸着法、レーザアブレーションおよび近接昇華法からなる群から選択されるいずれかの方法あるいはこれらを任意の組み合わせで併用する方法、好ましくは蒸着法が用いられ、上記供給源は、これら方法を用いる供給源、好ましくは蒸着源である。蒸着源には、当該技術分野において既知の蒸着源を用いることができ、例えば抵抗加熱ヒーターを間接的または直接的に接触させたるつばを用いることができる。

【0052】

本発明の更に別の要旨においては、上述のような本発明の方法に従って形成された化合物半導体薄膜を光吸収層として含む薄膜太陽電が提供される。あるいは、I B族元素、III B族元素およびVI B族元素を含む化合物半導体薄膜を光吸収層として含む薄膜太陽電池において、化合物半導体薄膜が、 $3\text{ cm} \times 3\text{ cm}$  ( $3\text{ cm}$  )以上、更には $10\text{ cm} \times 10\text{ cm}$ 以上、より更に $30\text{ cm} \times 30\text{ cm}$ 以上の大きい面積に亘って、 $0.01 \sim 0.5\text{ }\mu\text{ m}$ の範囲、更には $0.01 \sim 0.3\text{ }\mu\text{ m}$ の範囲の表面ラフネスの値を有する薄膜太陽電池が提供される。尚、「表面ラフネス」とは、基板上に形成された化合物半導体薄膜の露出表面における凹凸の中心線平均粗さを言うものとする。

【0053】

本発明の化合物半導体薄膜は、例えば上述したような本発明の装置を用いて上述の本発明の化合物半導体の製造方法を実施することによって得られる。この化合物半導体薄膜は、膜厚が大面積に亘って均一で、組成ずれが起きにくく、結晶欠陥の発生が低減され、表面ラフネスが比較的小さく、結晶粒が大きいという良好な膜質を有する。従って、本発明の化合物半導体薄膜は、大面積で高効率の薄膜太陽電池の光吸収層として有利に利用される。

【0054】

【発明の実施の形態】

(実施形態1)

I B族元素、III B族元素およびVI B族元素を含む化合物半導体薄膜として、 $\text{Cu}(\text{In}, \text{Ga})\text{Se}_2$ 膜を形成する本発明の1つの実施形態について、図1および図2を参照しながら説明する。図1(a)は、本実施形態の化合物半導体薄膜の製造装置の概略図であり、図1(b)は、図1(a)の装置のX-X'線に沿って切り取った上面図である。図

10

20

30

40

50

2 ( a ) および ( b ) は、本実施形態の化合物半導体薄膜の製造方法を説明する概略工程図であり、それぞれ、前駆体薄膜および化合物半導体薄膜が形成された基板の概略断面図を示す。本実施形態は、第 1 工程として上記の例 ( 1-3 ) を実施し、第 2 工程として上記の例 ( 2-3 ) および ( 2-4 ) を実施するものに関する。

【 0 0 5 5 】

図 1 ( a ) および ( b ) に示すように、本実施形態の化合物半導体薄膜の製造装置 2 0 は、チャンバ 1 の内部に、VIB 族元素の供給源としての蒸着源 2 と、IB 族元素およびIIIB 族元素をスパッタリング法を用いて基板上に供給して、IB 族元素およびIIIB 族元素を含む前駆体薄膜を基板上に形成するための 3 個のスパッタ源 3 a、3 b および 3 c と、基板 5 を加熱するためのランプ式ヒーター 6 とを備える。本実施形態においては、蒸着源 2 は S e 蒸発原料を配置するためのものである。また、スパッタ源 3 a、3 b および 3 c は、IIIB 族元素ターゲットである I n ターゲット、IB 族元素ターゲットである C u ターゲット、ならびに IB 族元素とIIIB 族元素とからなるターゲットである C u - G a ターゲットを各々配置するためのものであるが、これら 3 つのターゲットは、3 つのスパッタ源 3 a、3 b および 3 c にどのような組合せで配置されてもよい。

10

【 0 0 5 6 】

本実施形態においては、3 つのターゲットをスパッタリングして前駆体薄膜を形成するために 3 つのスパッタ源を備える装置を示したが、本発明はこれに限定されない。前駆体薄膜の形成様式によっては 1 個、2 個、または 4 個以上のターゲットを用いてよく、その場合には、ターゲットの数に応じた数のスパッタ源を備える装置を用いることは、当業者には容易に理解されよう。

20

【 0 0 5 7 】

この装置 2 0 においては、カーボン材料からなる均熱板 4 に取り付けられた基板 5 が、均熱板 4 をヒーター 6 の側にして、サセプタ ( またはホルダー ) 7 を用いて支持される。ヒーター 6 は、均熱板 4 を介して基板 5 を均一に加熱し、基板 5 の膜を形成する側の表面 ( 即ち均熱板 4 と反対側の露出表面であり、図 2 を参照して後述する導電膜 5 a の露出表面 ) の温度を所望の値に制御することができる。サセプタ 7 は回転駆動軸 8 に連結されており、回転駆動軸 8 を回転させることによって、サセプタ 7 が回転し、基板 5 および均熱板 4 を自転させる。更に、チャンバ 1 内には、基板 5 の表面への各原料粒子 ( C u、I n、G a、および S e ) の供給を制御するように、蒸着源 2、スパッタ源 3 a、スパッタ源 3 b およびスパッタ源 3 c と、基板 5 との間に配置されたシャッター 9 が備えられる。スパッタ源 3 a、3 b および 3 c には、スパッタ源に電圧が印加されていないときに、蒸着源 2 から蒸発する S e が各スパッタ源 3 a ~ 3 c に備えられるターゲットに付着することを防ぐため、例えばスライド開閉式のシャッターなどのスパッタ源シャッター 3 A、3 B および 3 C ( 図 1 ( a ) および ( b ) に点線にて示す ) がそれぞれ備えられる。均熱板 4、回転駆動軸 8、およびシャッター 9 は、本発明の実施に必ずしも必要ではないが、これらを備えていることが好ましい。

30

【 0 0 5 8 】

スパッタ源 3 a、3 b および 3 c の各々は、接地された D C 電源 ( 図示せず ) にスイッチング可能に接続され、これにより電圧印加が制御される。尚、D C ( 直流 ) 電源に代えて R F ( 高周波 ) 電源を用いてもよく、この場合には、R F 電源は整合器およびコンデンサなどと共に用いられ得る。チャンバ 1 には、チャンバ 1 内を真空排気するための排気ライン 1 0 と、チャンバ 1 内に A r ガスを供給するための A r ガスライン 1 1 とが連結されている。

40

【 0 0 5 9 】

次に、このような装置 2 0 を用いる本実施形態の化合物半導体薄膜の製造方法について説明する。

【 0 0 6 0 】

1 . 準備

まず、図 2 を参照して示すような M o などからなる導電膜 5 a が、ガラスからなる基板本

50

体 5 b 上に形成された基板 5 を、図 1 に示す均熱板 4 に、基板本体 5 b 側が均熱板 4 に接触するようにして取り付け。他方、チャンバ 1 を排気ライン 1 0 からポンプ（図示せず）などを用いて真空排気する。このチャンバ 1 において、均熱板 4 に取り付けられた基板 5 をサセプタ 7 に、図 1 に示すように設置し、S e 蒸発原料、I n ターゲット、C u ターゲットおよび C u - G a ターゲットをそれぞれ蒸着源 2、スパッタ源 3 a、スパッタ源 3 b およびスパッタ源 3 c に設置する。このとき、各スパッタ源には電圧が印加されておらず、スパッタ源シャッター 3 A ~ 3 C およびシャッター 9 は閉じておく。

#### 【 0 0 6 1 】

次に、ヒーター 6 を用いて均熱板 4 を介して基板 5 を均一に加熱し、基板 5 の M o 膜 5 a の表面が例えば約 2 0 ~ 4 5 0 °C、好ましくは約 3 0 0 ~ 4 0 0 °C となるように加熱を制御し、他方、A r ガス供給ライン 1 1 よりチャンバ 1 内に A r ガスを供給し始める。基板 5 が所定の温度に達してほぼ一定温度になると、回転駆動軸 8 を回転させてサセプタ 7 を回転させ、これにより基板 5 および均熱板 4 を自転させる。このとき、A r ガスの供給を維持したまま、チャンバ 1 内の圧力を所定の圧力に保つように、A r ガスの供給および排気を制御する。

#### 【 0 0 6 2 】

##### 2 . 工程 ( a )

##### 2 - 1 . 第 1 工程

その後、I n ターゲットが設置されたスパッタ源 3 a のスパッタ源シャッター 3 A を開き、スパッタ源 3 a を電源に接続して電圧を印加し、ならびに、S e 蒸発原料が設置された蒸着源 2 を加熱する。このとき、必要に応じてプリスパッタを行って I n ターゲット表面をクリーニングするようにしてもよい。I n および S e が安定に放出されるようになるとシャッター 9 を開いて、第 1 工程として I n をスパッタリング法により、ならびに S e を蒸着法により基板 5 の表面に供給する。所定時間経過後、例えば 3 ~ 6 0 分後にシャッター 9 およびスパッタ源シャッター 3 A を閉じ、スパッタ源 3 a の電圧印加を停止して I n の放出を終了する。この第 1 工程によって、基板 5 の M o 膜 5 a 上に I n - S e からなる第 1 層 1 2 ( 図 2 ( a ) を参照のこと ) が形成される。

#### 【 0 0 6 3 】

##### 2 - 2 . 第 2 工程

次に、第 1 工程に引き続いて S e 蒸着源 2 の加熱を維持したまま、C u ターゲットおよび C u - G a ターゲットがそれぞれ設置されたスパッタ源 3 b および 3 c のスパッタ源シャッター 3 B および 3 C を開き、スパッタ源 3 b および 3 c を各々電源に接続して電圧を印加する。このとき、必要に応じてプリスパッタを行って C u ターゲットおよび C u - G a ターゲット表面をクリーニングするようにしてもよい。C u および G a が安定に放出されるようになるとシャッター 9 を開いて、第 2 工程として S e を蒸着法により、C u および G a をスパッタリング法により基板 5 の表面、より詳細には第 1 層 1 2 の上に供給する。所定時間経過後、例えば 1 ~ 3 0 分後にシャッター 9 ならびにスパッタ源シャッター 3 B および 3 C を閉じ、スパッタ源 3 b および 3 c の電圧印加を停止して C u および G a の放出を終了する。この第 2 工程によって、第 1 層 1 2 の上に C u - G a - S e からなる第 2 層 1 3 ( 図 2 ( a ) を参照のこと ) が形成される。

#### 【 0 0 6 4 】

以上のようにして、第 1 工程および第 2 工程を経て、図 2 ( a ) に示すような第 1 層 1 2 および第 2 層 1 3 が順次積層された前駆体薄膜 1 4 が形成される。

#### 【 0 0 6 5 】

##### 3 . 工程 ( b )

上記の工程 ( a ) により前駆体薄膜 1 4 を形成した後、第 1 および第 2 工程に引き続いて S e 蒸着源 2 の加熱を維持したまま、好ましくは A r ガスの供給を停止し、再びシャッター 9 を開いて S e を蒸着法により前駆体薄膜 1 4 の表面に供給する。このようにして S e を供給しながら、基板 5 の M o 膜 5 a の表面の温度が前駆体薄膜形成時よりも高い温度、例えば約 3 0 0 ~ 6 0 0 °C で、かつ工程 ( a ) におけるよりも高い温度、好ましくは約

10

20

30

40

50

450～550 となるようにヒーター6からの加熱を制御する。所定時間経過後、好ましくは約1秒～10分後、ヒーター6の加熱を停止する。その後、基板温度が工程(a)付近の温度まで低下すると、シャッター9を閉じ、蒸着源2の加熱を停止してSeの放出を終了する。この工程によって、Seが前駆体薄膜14中に取り込まれると共に化合物が形成され、前駆体薄膜14からCu(In,Ga)Se<sub>2</sub>薄膜15(図2(b)を参照のこと)が形成される。

【0066】

以上のような工程(a)および(b)により、図2(b)に示すようなCu(In,Ga)Se<sub>2</sub>からなる化合物半導体薄膜15が形成される。

【0067】

得られた化合物半導体薄膜15は、3cm×3cm以上、更には10cm×10cm、より更に30cm×30cm以上の大きい面積に亘って、約0.01～0.5μmの範囲、更には0.01～0.3μmの範囲の表面ラフネスを有する。この値は比較的小さい値であり、化合物半導体薄膜が滑らかな表面を有することがわかる。

【0068】

本実施形態によれば、工程(a)においてスパッタリング法を用いて前駆体薄膜を形成し、次いで、工程(b)でSeを供給しながら熱処理している。このような方法においては、従来の蒸着法のみを用いて化合物半導体薄膜を形成する方法よりも化合物半導体薄膜の膜厚を大面積に亘って均一とすることができる。

【0069】

また、本実施形態によれば、VIB族元素であるSeをスパッタリング法を用いて供給せず、蒸着法を用いて供給し、更に工程(a)において形成された前駆体薄膜に熱処理を施しているため、従来のスパッタリング法のみを用いて一段階で化合物半導体薄膜を形成する方法に比べて化合物半導体薄膜に導入される結晶欠陥が減少する。尚、本実施形態に代えて、工程(a)においてSeをCu-Seターゲットなどを用いてスパッタリングにより供給することも可能であるが、その場合には、続く工程(b)での熱処理により前駆体薄膜中に導入され得る結晶欠陥が緩和されるので、該従来の方法に比べて化合物半導体薄膜に導入される結晶欠陥が減少する。

【0070】

また、本実施形態によれば、IB族元素(Cu)およびIIIB族元素(In)をスパッタリング法により供給すると同時に、VIB族元素(Se)を蒸着法を用いて供給せず、InおよびSeをCuの供給とは別に供給しているため、再蒸発しやすいInおよびSeを、Cuが相対的に過剰となることなく、十分に反応させて化合物を形成させることができる。これにより、組成ずれが減少した化合物半導体薄膜を形成することができる。

【0071】

更に、本実施形態によれば、基板を高温に維持する時間が、蒸着法を単独で用いる従来の方法に比べて短縮され、消費電力がより小さい、安価な化合物半導体薄膜の製造方法が提供される。この方法は、セレン化水素のような有毒ガスを使用しない安全な製造方法である。

【0072】

加えて、本実施形態によれば、スパッタ源シャッターがスパッタ源に備えられており、スパッタ源を使用しないときにはスパッタ源シャッターで該スパッタ源に備えられるターゲットを覆うことができるので、このときに蒸着源から放出されるVIB族元素(Se)によってスパッタ源が汚染されることが防止できる。

【0073】

本実施形態に従って得られた化合物半導体薄膜は、上述のように、膜厚が大面積に亘って均一で、結晶欠陥の発生が低減され、組成ずれが減少し、表面ラフネスが小さいので、良好な膜質を有し、大面積で高効率の薄膜太陽電池の光吸収層として有利に利用され得る。

【0074】

尚、本実施形態において、第1層として、Inをスパッタリング法により供給すると同時

10

20

30

40

50

にSeを蒸着法により供給してIn-Se層を形成したが、これに代えて、Seの供給を省略してIn層を形成してもよい。また、本実施形態において、第2層として、CuおよびGaをスパッタリング法により供給すると同時にSeを蒸着法により供給してCu-Ga-Se層を形成したが、これに代えて、Seの供給を省略してCu-Ga層を形成してもよい。

【0075】

更に、本実施形態においてはCu-ターゲットおよびCu-Gaターゲットを用いたが、これに代えて、Cuターゲットを単独で用いるか、Cu-Seターゲットを用いることもできる。Cuターゲットを用いる場合には、第2工程にてCuをスパッタリング法により供給して、第2層としてCu層を形成するか、あるいはCuをスパッタリング法により供給すると同時にSeを蒸着法により供給して、第2層としてCu-Se層を形成してもよい。また、Cu-Seターゲットを用いる場合には、第2工程にてCuおよびSeをスパッタリング法により供給して、第2層としてCu-Se層を形成してもよい。このような方法によっても、本実施形態と同様に、CuInSe<sub>2</sub>膜を形成することが可能である。

10

【0076】

また、本実施形態においは、第1工程および第2工程の順に実施して、第1層としてIn-Se層（またはIn層）を、第2層としてCu-Ga-Se層（またはCu-Ga層、Cu層、もしくはCu-Se層）を形成したが、第1工程および第2工程を実施する順序を逆にすることも可能である。即ち、先に第2工程を実施して第1層としてCu-Ga層（またはCu-Ga-Se層、Cu層、もしくはCu-Se層）を形成し、次いで第2工程を実施して第2層としてIn-Se層（またはIn層）を形成してもよい。

20

【0077】

上述のような改変の他にも、本実施形態は、当業者により種々の改変がなされ得る。例えば、VIB族元素（Se）を供給するために蒸着法を用いたが、その他のスパッタリング法以外の方法を用いることも可能である。また、スパッタリング法を実施するためにArガス以外の適切なガスを用いること、シャッターの開閉タイミングを変更することもできる。

【0078】

（実施形態2）

IB族元素、IIIB族元素、およびVIB族元素を含む化合物半導体薄膜として、Cu(In、Ga)Se<sub>2</sub>膜を形成する本発明のもう1つの実施形態について、図3を参照しながら説明する。図3(a)および(b)は、本実施形態の化合物半導体薄膜の製造方法を説明する概略工程図であり、それぞれ、前駆体薄膜および化合物半導体薄膜が形成された基板の概略断面図を示す。

30

【0079】

本実施形態は、IIIB族元素およびVIB族元素を供給して、IIIB族元素およびVIB族元素から成る第1層を形成する工程(i)と、IB族元素およびIIIB族元素を供給して、IB族元素およびIIIB族元素から成る第2層を形成する工程(ii)と、IB族元素およびVIB族元素を供給して、IB族元素およびVIB族元素から成る第3層を形成する工程(iii)とを順次実施するものである。尚、これら工程(i)、工程(ii)および工程(iii)は、本明細書に言う第1工程、第2B工程および第2A工程にそれぞれ包含される。本実施形態は、より詳細には、工程(i)として上記の例(1-3)を実施し、工程(ii)として上記の例(2-4)を実施し、工程(iii)として上記の例(2-3)を実施するものに関し、実施形態1にて詳述した化合物半導体薄膜の製造装置(図1(a)および(b))と同様の装置を用いて実施することができる。以下、本実施形態の化合物半導体薄膜の製造方法について、実施形態1と異なる点を中心に説明する。

40

【0080】

1. 準備

まず、実施形態1と同様にして準備を行う。本実施形態においても、基板5のMo膜5aの表面が例えば約20~450、好ましくは約300~400となるように加熱を制

50

御し、チャンバ内の圧力を所定の圧力に保つように、Arガスの供給および排気を制御する。

【0081】

2. 工程(a)

2-1. 工程(i)

その後、実施形態1の第1工程と同様にして、InおよびSeを、それぞれスパッタリング法および蒸着法により基板5の表面に供給する。この工程(i)によって、基板5のMo膜5a上にIn-Seからなる第1層12(図3(a)を参照のこと)が形成される。

【0082】

2-2. 工程(ii)

次に、Se蒸着源の加熱を停止して、Seの供給を停止したこと以外は、実施形態1の第2工程と同様にして、CuターゲットおよびCu-Gaターゲットがそれぞれ設置されたスパッタ源を用いて、CuおよびGaをスパッタリング法により基板の表面、より詳細には第1層12の上に所定時間、例えば1~30分間供給する。この工程(ii)によって、第1層12の上にCu-Gaからなる第2層16(図3(a)を参照のこと)が形成される。

【0083】

2-3. 工程(iii)

続いて、Cuスパッタ源からのCuの放出を維持したままで、Se蒸着源を再び加熱し、工程(iii)として、CuおよびSeを、それぞれスパッタリング法および蒸着法により基板5の表面、より詳細には第2層16の上に所定時間、例えば1~30分間供給する。この工程(iii)によって、第2層16の上にCu-Seからなる第3層17(図3(a)を参照のこと)が形成される。

【0084】

以上のようにして、工程(i)、工程(ii)、および工程(iii)を経て、図3(a)に示すような第1層12、第2層16、および第3層17が順次積層された前駆体薄膜18が形成される。

【0085】

3. 工程(b)

上記の工程(a)により前駆体薄膜18を形成した後、実施形態1の工程(b)と同様にして、基板5のMo膜5aの表面の温度が、前駆体薄膜形成時よりも高い温度に、例えば約300~600で、かつ工程(a)におけるよりも高い温度、好ましくは約450~550となるように加熱を制御し、その後、Seを蒸着法により前駆体薄膜18の表面に供給する。この工程によって、Seが前駆体薄膜18中に取り込まれると共に化合物が形成され、前駆体薄膜18からCu(In, Ga)Se<sub>2</sub>薄膜19(図3(b)を参照のこと)が形成される。

【0086】

以上のような工程(a)および(b)により、図3(b)に示すようなCu(In, Ga)Se<sub>2</sub>からなる化合物半導体薄膜19が形成される。

【0087】

本実施形態によっても、実施形態1と同様の効果を奏することができる。

【0088】

尚、本実施形態においては、第1層として、In-Se層に代えてIn層を形成してもよく、第2層として、Cu-Ga層に代えてCu-Ga-Se層を形成してもよい。更に、第3層として、Cuをスパッタリング法により供給すると同時にSeを蒸着法により供給してCu-Se層を形成したが、これに代えて、Seの供給を省略してCu層を形成してもよい。

【0089】

また、本実施形態においては、工程(i)、工程(ii)、および工程(iii)の順に実

10

20

30

40

50

施して、第1層としてIn-Se層(またはIn層)を、第2層としてCu-Ga層(またはCu-Ga-Se層)を、次いで第3層としてCu-Se層(またはCu層)を形成したが、工程(i)、工程(ii)、および工程(iii)を実施する順序を変更することも可能である。例えば、工程(i)を実施して第1層としてIn-Se層(またはIn層)を形成した後、先に工程(iii)を実施してCu-Se層(またはCu層)を形成し、次いで工程(ii)を実施して第3層としてCu-Ga層(またはCu-Ga-Se層)を形成してもよい。あるいは、先に工程(ii)を実施して第1層としてCu-Ga層(またはCu-Ga-Se層)を形成し、次いで工程(iii)を実施してCu-Se層(またはCu層)を形成した後、工程(i)を実施して第1層としてIn-Se層(またはIn層)を形成してもよい。

10

## 【0090】

尚、上述の実施形態1および本実施形態2においては、3つのスパッタ源を備える装置を用いてそれぞれ2層および3層からなる前駆体薄膜を形成したが、1つのスパッタ源を備える装置を用いて単層の前駆体薄膜を形成すること、あるいは、2つまたは4つ以上のスパッタ源を備える装置を用いて任意の適切な数の層からなる前駆体薄膜を形成することも当業者には容易に想到され得る。

## 【0091】

## (実施形態3)

IB族元素、IIIB族元素、およびVIB族元素を含む化合物半導体薄膜の製造に利用可能な、もう1つの化合物半導体薄膜の製造装置について、図4を参照しながら説明する。図4は、本実施形態の化合物半導体薄膜の製造装置の概略模式図である。図4中、実施形態1にて説明した装置の部材と同様のものには同様の番号を付し、説明を省略する。

20

## 【0092】

図4に示すように、本実施形態の化合物半導体薄膜の製造装置30は、2つのチャンバ1aおよび1bを有する。チャンバ1aの内部には、3つのスパッタ源3a、3bおよび3c(但し、図4においてスパッタ源3cは図示していない)が備えられ、他方、チャンバ1bの内部には、VIB族元素の供給源としての蒸着源2が備えられる。チャンバ1aおよび1bには、それぞれ排気ライン10aおよび10bが連結され、チャンバ1aには、更にArガスライン11が連結されている。チャンバ1aおよび1bの内部には、それぞれランプ式ヒーター6と、サセプタ7と、回転駆動軸8と、シャッター9とが共通して備えられる。

30

## 【0093】

本実施形態の製造装置30においては、VIB族元素の供給源である蒸着源2が、スパッタ源3a、3bおよび3cが配置されているチャンバ1aとは別のチャンバ1b内に配置されている。従って、本実施形態においては、スパッタ源と蒸着源とが別々のチャンバに配置されているため、スパッタ源に備えられるターゲットに蒸着源から蒸発して放出されるSeが付着してターゲットを汚染することがないので、各スパッタ源にスパッタ源シャッターを必ずしも設けなくてよい。

## 【0094】

本実施形態の装置30においては、実施形態1および実施形態2を、チャンバ1aにてスパッタリング法のみを用いて工程(a)を実施し、次いで、基板をチャンバ1aからチャンバ1bに移して、チャンバ1bにて工程(b)を実施するように改変することによって、本発明の化合物半導体薄膜の製造方法を実施することができる。

40

## 【0095】

本実施形態の装置によれば、VIB族元素の供給源として蒸着源を用いる場合に、蒸着源とスパッタ源とが隔離されているので、蒸着源を用いて蒸発させたVIB族元素によって、スパッタ源に備えられるターゲット表面が汚染されることを防止することができる。

## 【0096】

尚、本実施形態においては、工程(a)を実施するためのチャンバは、3つのスパッタ源を備えるが、必要に応じて1つ、2つまたは4つ以上のスパッタ源を備えていてもよい。

50

## 【0097】

また、本実施形態においては、スパッタ源を収容するチャンバと蒸着源を収容するチャンバとから成る2つのチャンバを備える装置を示したが、1つのチャンバ内に仕切り板を設けて、スパッタ源と蒸着源とを仕切るように改変することも可能である。

## 【0098】

(実施形態4)

I B族元素、IIIB族元素、およびVIB族元素を含む化合物半導体薄膜の製造に利用可能な、もう1つの化合物半導体薄膜の製造装置について、図5を参照しながら説明する。図5は、本実施形態の化合物半導体薄膜の製造装置の模式的な上面図である。

## 【0099】

図5に示すように、本実施形態の化合物半導体薄膜の製造装置40は、中央のチャンバ41と、このチャンバ41の周りに隣接し、互いに隔離されたチャンバ42~47を備える。チャンバ42は基板を入れるロード室であり、チャンバ47は基板を取り出すアンロード室である。チャンバ43~45は、それぞれ1つのスパッタ源(図示せず)を備えること以外は、図4に示す装置30のチャンバ1aと同様の構成を有するものとし、また、チャンバ46は、図4に示す装置30のチャンバ1bと同様の構成を有するものとする。従って、本実施形態においては、スパッタ源と蒸着源とが別々のチャンバに個々に配置されているため、スパッタ源に備えられるターゲットに蒸着源から蒸発して放出されるSeが付着してターゲットを汚染することがないので、各スパッタ源にスパッタ源シャッターを必ずしも設けなくてよい。

## 【0100】

このような装置40においては、実施形態2にて詳述した第1~3層から成る前駆体薄膜の各層を別々のチャンバ内で形成するように改変することによって、本発明の化合物半導体薄膜の製造方法を実施することができる。具体的には、まず、チャンバ42に設置された基板をチャンバ41を経由してチャンバ43に移して第1層を形成し、次いでチャンバ41を経由してチャンバ44に移して第2層を形成し、次いでチャンバ41を経由してチャンバ45に移して第3層を形成して前駆体薄膜を形成し、次いでチャンバ41を経由してチャンバ44に移して工程(b)を実施して所望の化合物半導体薄膜を形成し、最後に、化合物半導体薄膜が形成された基板をチャンバ41を経由してチャンバ47に移し、ここから取り出される。このように、本実施形態の装置を用いても本発明の化合物半導体薄膜の製造方法を基板を中央のチャンバを介して移動させながら実施することができる。

## 【0101】

本実施形態の装置によれば、実施形態3の装置によって得られる効果に加えて、スパッタ源同士が隔離されているので、他のスパッタ源から放出される粒子によってスパッタ源に備えられるターゲット表面が汚染されることを防止することができる。

## 【0102】

更に、本実施形態の装置によれば、複数枚の基板を別々のチャンバ内で同時に処理することができるので、成膜タクトを短縮すること(または単位時間あたりの処理枚数をより多くすること)ができる。

## 【0103】

(実施形態5)

I B族元素、IIIB族元素、およびVIB族元素を含む化合物半導体薄膜の製造に利用可能な、もう1つの化合物半導体薄膜の製造装置について、図6を参照しながら説明する。図6は、本実施形態の化合物半導体薄膜の製造装置の模式的な上面図である。

## 【0104】

図6に示すように、本実施形態の化合物半導体薄膜の製造装置50は、チャンバ51と、このチャンバ51の内部にて仕切り板52を介して隣接して配置された内部チャンバ53~58を備える。内部チャンバ53は基板を入れるロード室であり、内部チャンバ58は基板を取り出すアンロード室である。チャンバ54~56は、図5に示す装置40のチャンバ43~45と同様の構成を有するものとし、また、チャンバ57は、図5に示す装置

10

20

30

40

50



40のチャンバ46と同様の構成を有するものとする。ここで、本実施形態においては、スパッタ源と蒸着源とが個々に仕切られて配置されているので、実施形態4と同様に、各スパッタ源にスパッタ源シャッターを必ずしも設けなくてよい。

#### 【0105】

このような装置50においては、実施形態2にて詳述した第1～3層から成る前駆体薄膜の各層を別々のチャンバ内で形成するように変更することによって、本発明の化合物半導体薄膜の製造方法を実施することができる。具体的には、まず、内部チャンバ53に設置された基板をチャンバ54に移して第1層を形成し、次いで内部チャンバ55に移して第2層を形成し、次いで内部チャンバ56に移して第3層を形成して前駆体薄膜を形成し、次いで内部チャンバ57に移して工程(b)を実施して所望の化合物半導体薄膜を形成し、最後に、化合物半導体薄膜が形成された基板を内部チャンバ58に移し、ここから取り出される。このように、本実施形態の装置を用いても本発明の化合物半導体薄膜の製造方法を基板を公転して移動させながら実施することができる。

10

#### 【0106】

本実施形態の装置によれば、実施形態4の装置によって得られる効果と同様に、成膜タクトを短縮することができる。

#### 【0107】

尚、上述の実施形態4および本実施形態5においては、それぞれ1つのスパッタ源を備える3つのチャンバを示したが、必要に応じてチャンバの数および各チャンバに備えられるスパッタ源の数を選択することも可能である。

20

#### 【0108】

##### 【実施例】

上述の実施形態1の装置を用いて、Cu-Gaターゲットを用いない点を除いて実施形態1と同様の製造方法を実施して、化合物半導体薄膜としてCuInSe<sub>2</sub>膜を形成した。即ち、本実施例においては、IIIB族元素ターゲットであるInターゲットと、IB族元素ターゲットであるCuターゲットのみをスパッタ源にそれぞれ設置して用いるものとした。

#### 【0109】

本実施例では、厚さ約0.55mmのソーダライムガラス基板本体と、その上面に形成された厚さ約0.8μmのMo導電膜とからなる基板を用いた。

30

#### 【0110】

まず、実施形態1の工程(a)において、上記の基板上に、第1工程としてInをスパッタリングにより供給すると同時にSeを蒸着法により供給してIn-Se層を形成した。次いで第2工程としてCuをスパッタリングにより供給すると同時にSeを蒸着法により供給してCu-Se層を形成した。これにより、In-Se層およびCu-Se層が、基板上に順次積層形成された前駆体薄膜を得た。これら第1工程および第2工程を含む工程(a)は、基板温度(より詳細にはMo導電膜温度)を約200～350に維持して実施した(図7を参照のこと)。

#### 【0111】

次いで、実施形態1の工程(b)において、図7に示すように、Seを蒸着法により前駆体薄膜上に供給しながら、まず、基板を加熱して上記基板温度を約1秒～5分間で約400～500にまで上昇させて熱処理し、次いで、加熱を停止して基板を放冷した。基板温度が先の工程(a)における温度に達するまで、即ち約200～350に達するまでSeの供給を続け、その後、供給を停止した。これにより、Cu-In-Se化合物半導体薄膜が基板上に形成された。

40

#### 【0112】

得られた化合物半導体薄膜は、エネルギー分散型X線測定により、Cu 22.7原子%、In 26.25原子%、Se 51.4原子%の組成割合を有することが解った。この分析値は、CuInSe<sub>2</sub>膜の化学量論比に対してややInおよびSeが過剰な組成比(具体的にはCu:Inが約0.8～1.0)であって、太陽電池の光吸収層として用い

50

るのに適した目的の組成比にほぼ等しかった。

【0113】

この化合物半導体薄膜を光吸収層として、当該技術分野において既知の常套の方法により、CdS層（バッファ層）、ZnO層およびITO膜（いずれも透明導電膜）を得られた化合物半導体薄膜上に順次積層し、基板のMo導電膜およびITO膜からそれぞれリードを引き出して薄膜太陽電池を作製した。この薄膜太陽電池は、変換効率9.06%、電流密度36.16mA/cm<sup>2</sup>、開放電圧0.40V、曲性因子0.62を示し、従来の製造方法に従って得られたCu、In、およびSeからなる化合物半導体薄膜を備える薄膜太陽電池の特性と比較して高いレベルにあった。

【0114】

【発明の効果】

本発明によれば、IB族元素、IIIB族元素、およびVIB族元素を含む化合物半導体薄膜の製造方法であって、膜厚が大面積に亘って均一で、組成ずれが減少し、結晶欠陥の発生が低減された、安価で安全な製造方法が提供される。更に、本発明によれば、このような製造方法を実施するのに好適に用いられる装置が提供される。本発明の方法に従って、本発明の装置を用いて得られた化合物半導体薄膜は、良好な膜質を有し、大面積で高効率の薄膜太陽電池の光吸収層として利用され得る。

【図面の簡単な説明】

【図1】 図1(a)は、本発明の1つの実施形態における化合物半導体薄膜の製造装置の概略図であり、図1(b)は、図1(a)の装置のX-X'線に沿って切り取った上面図である。

【図2】 図2(a)および(b)は、本発明の1つの実施形態における化合物半導体薄膜の製造方法であって、図1の装置を用いて実施される方法を説明する概略工程図であり、それぞれ、前駆体薄膜および化合物半導体薄膜が形成された基板の概略断面図を示す。

【図3】 本発明のもう1つの実施形態における化合物半導体薄膜の製造方法を説明する概略工程図であり、図3(a)および(b)は、前駆体薄膜および化合物半導体薄膜が形成された基板の概略断面図をそれぞれ示す。

【図4】 本発明の別の実施形態における化合物半導体薄膜の製造装置の概略図である。

【図5】 本発明の別の実施形態における化合物半導体薄膜の製造装置の概略図である。

【図6】 本発明の別の実施形態における化合物半導体薄膜の製造装置の概略図である。

【図7】 本発明の1つの実施例における基板温度のプロファイルを示すグラフである。

【符号の説明】

- 1 チャンバ
- 2 蒸着源
- 3 a、3 b、3 c スパッタ源
- 3 A、3 B、3 C スパッタ源シャッター
- 4 均熱板
- 5 基板
- 6 ヒーター
- 7 サセプタ
- 8 駆動回転軸
- 9 シャッター
- 10 排気ライン
- 11 Arガス供給ライン
- 20 化合物半導体薄膜製造装置

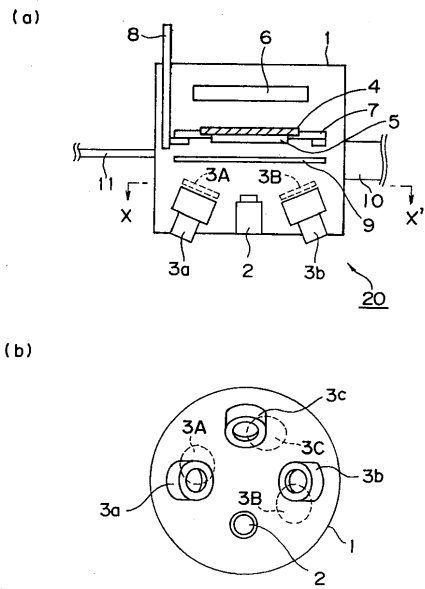
10

20

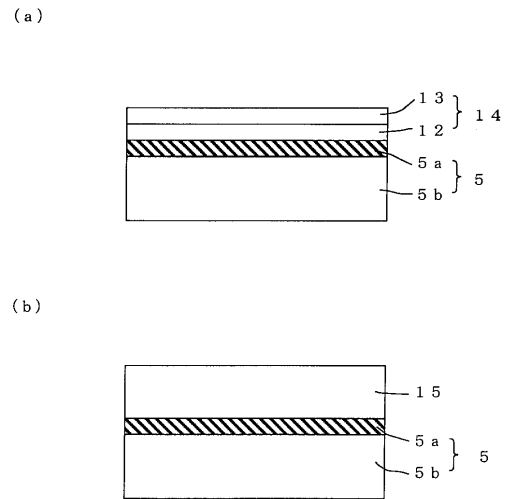
30

40

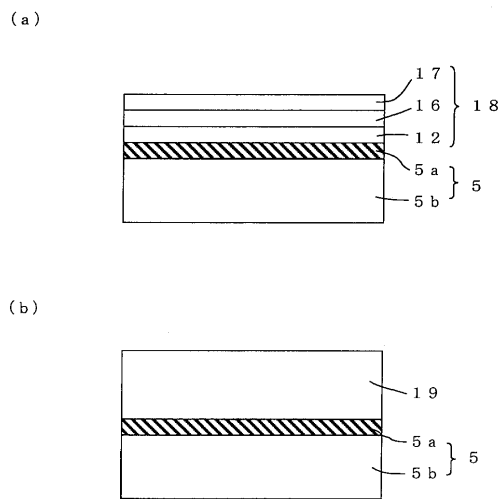
【 図 1 】



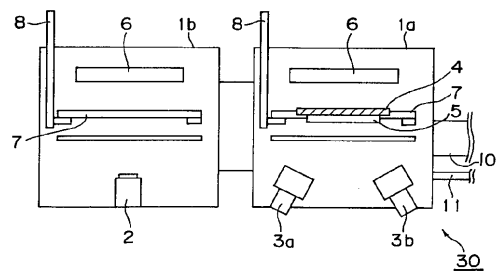
【 図 2 】



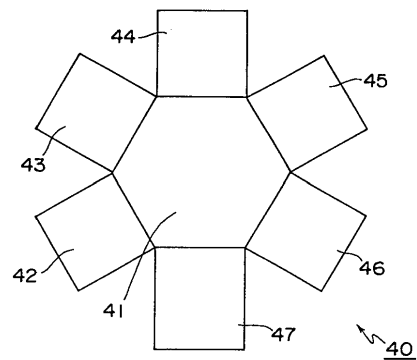
【 図 3 】



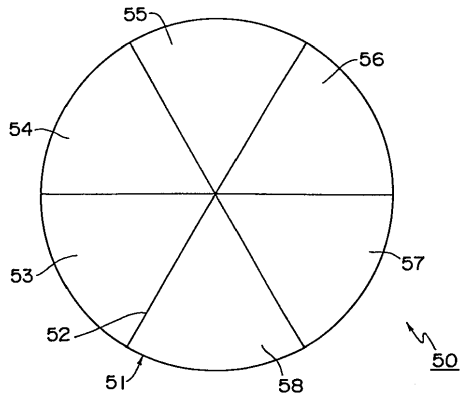
【 図 4 】



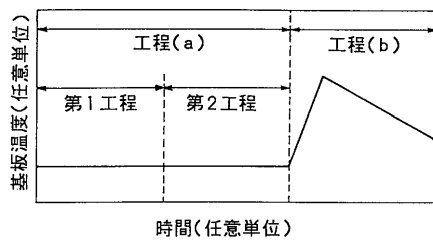
【 図 5 】



【 図 6 】



【 図 7 】



---

フロントページの続き

(72)発明者 根上 卓之

大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 酒井 英夫

(56)参考文献 特開平04 - 212430 (JP, A)  
特開昭62 - 020381 (JP, A)  
特開平11 - 330516 (JP, A)  
特開平07 - 283430 (JP, A)  
特開昭62 - 179115 (JP, A)  
特開平01 - 268869 (JP, A)  
特開平04 - 326525 (JP, A)  
特開平11 - 260724 (JP, A)  
特開平07 - 254723 (JP, A)  
特開平05 - 326997 (JP, A)  
特開平05 - 234894 (JP, A)  
特開2001 - 148489 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/203, 21/363, 31/04