

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-93407  
(P2006-93407A)

(43) 公開日 平成18年4月6日(2006.4.6)

(51) Int. Cl. F I テーマコード (参考)  
 HO 1 L 23/52 (2006.01) HO 1 L 21/88 S 5 F O 3 3  
 HO 1 L 21/3205 (2006.01)

審査請求 未請求 請求項の数 6 O L (全 41 頁)

(21) 出願番号	特願2004-277087 (P2004-277087)	(71) 出願人	000005821 松下電器産業株式会社
(22) 出願日	平成16年9月24日 (2004.9.24)		大阪府門真市大字門真1006番地
		(74) 代理人	100077931 弁理士 前田 弘
		(74) 代理人	100094134 弁理士 小山 廣毅
		(74) 代理人	100110939 弁理士 竹内 宏
		(74) 代理人	100110940 弁理士 嶋田 高久
		(74) 代理人	100113262 弁理士 竹内 祐二
		(74) 代理人	100115059 弁理士 今江 克実

最終頁に続く

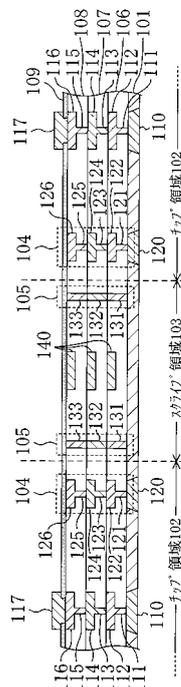
(54) 【発明の名称】 電子デバイスおよびその製造方法

(57) 【要約】

【課題】 ダイシング時の損傷がシールリング及びチップ領域に達する危険性を低下させ、それにより電子デバイスの信頼性の低下を防ぐ。

【解決手段】 基板101上に層間絶縁膜106~108の積層構造が形成されている。チップ領域102の層間絶縁膜106~108には配線112、114、116が形成されていると共にビア111、113、115が形成されている。チップ領域102の周縁部における層間絶縁膜106~108の積層構造に、該積層構造を貫通し且つチップ領域102を連続的に取り囲むシールリング104が形成されている。シールリング104の外側における層間絶縁膜106~108の積層構造に該積層構造を貫通し且つシールリング104を不連続的に取り囲む応力吸収壁105が形成されている。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

基板におけるチップ領域に形成された素子と、  
前記基板上に形成された複数の層間絶縁膜の積層構造と、  
前記チップ領域における前記複数の層間絶縁膜のうちの少なくとも1つに形成された配線と、

前記チップ領域における前記複数の層間絶縁膜のうちの少なくとも1つに形成され且つ前記素子と前記配線とを接続するか又は前記配線同士を接続するプラグと、

前記チップ領域の周縁部における前記複数の層間絶縁膜の積層構造に該積層構造を貫通し且つ前記チップ領域を連続的に取り囲むように形成されたシールリングと、

前記シールリングの外側における前記複数の層間絶縁膜の積層構造に該積層構造を貫通し且つ前記シールリングを不連続的に取り囲むように形成された応力吸収壁とを備えていることを特徴とする電子デバイス。

10

## 【請求項 2】

前記応力吸収壁は、前記シールリングを2重以上に取り囲んでいることを特徴とする請求項1に記載の電子デバイス。

## 【請求項 3】

前記2重以上の応力吸収壁のそれぞれにおける不連続部分は互いに隣り合わないことを特徴とする請求項2に記載の電子デバイス。

## 【請求項 4】

前記2重以上の応力吸収壁のうち前記シールリングから最も離れた位置に形成されている応力吸収壁の構成部分は、前記2重以上の応力吸収壁のうち他の応力吸収壁の構成部分と比べて、前記シールリングの延びる方向に沿った長さがより短いことを特徴とする請求項2に記載の電子デバイス。

20

## 【請求項 5】

前記シールリング及び前記応力吸収壁は、W、A1及びCuのうちの少なくとも1つから構成されていることを特徴とする請求項1に記載の電子デバイス。

## 【請求項 6】

基板におけるチップ領域に形成された素子と、前記基板上に形成された複数の層間絶縁膜の積層構造と、前記チップ領域における前記複数の層間絶縁膜のうちの少なくとも1つに形成された配線と、前記チップ領域における前記複数の層間絶縁膜のうちの少なくとも1つに形成され且つ前記素子と前記配線とを接続するか又は前記配線同士を接続するプラグと、前記チップ領域の周縁部における前記複数の層間絶縁膜の積層構造に該積層構造を貫通し且つ前記チップ領域を連続的に取り囲むように形成されたシールリングと、前記シールリングの外側における前記複数の層間絶縁膜の積層構造に該積層構造を貫通し且つ前記シールリングを不連続的に取り囲むように形成された応力吸収壁とを備えた電子デバイスの製造方法であって、

30

前記複数の層間絶縁膜のうちの一の絶縁膜に、前記プラグ又は前記配線を埋め込むための第1の凹部、前記シールリングの一部を埋め込むための第2の凹部、及び前記応力吸収壁の一部を埋め込むための第3の凹部を形成する工程と、

40

前記第1の凹部、前記第2の凹部及び前記第3の凹部に導電膜を埋め込むことによって、前記プラグ又は前記配線、前記シールリングの前記一部分、及び前記応力吸収壁の一部を形成する工程と、

前記配線と前記プラグと前記シールリングと前記応力吸収壁とが設けられた前記複数の層間絶縁膜の積層構造の上に保護膜を形成する工程とを備えていることを特徴とする電子デバイスの製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、チップ領域の周囲を取り囲むように形成されたシールリングとそれを保護す

50

る機構とを有する電子デバイスおよびその製造方法に関するものである。

【背景技術】

【0002】

一般的に、半導体装置等の電子デバイスは、例えばシリコンなどの半導体ウェハ上に、複数の素子から構成され且つ所定の機能を有する多数のIC回路をマトリックス状に配置することによって作られる。

【0003】

また、ウェハ上において多数配置されたチップ領域同士の間は、格子状に設けられたスクライプ領域（スクライプライン）によって隔てられている。半導体製造工程を経て1枚のウェハ上に多数のチップ領域を形成した後、該ウェハはスクライプ領域に沿って個々のチップにダイシングされ、それによって半導体装置が形成される。

10

【0004】

しかし、ウェハをダイシングして個々のチップに分割する時、スクライプライン周辺のチップ領域が機械的衝撃を受け、その結果、分離されたチップつまり半導体装置のダイシング断面に部分的にクラックや欠けが生じる場合がある。

【0005】

この問題に対して特許文献1では、チップ領域の周囲にリング状の防御壁であるシールリングを設けることにより、ダイシング時にチップ領域をクラックが伝播することを防止する技術が提案されている。

【0006】

図32は、従来のシールリングを有する半導体装置（ウェハに作り込まれている状態）の断面構造を示している。

20

【0007】

図32に示すように、ウェハよりなる基板1上には、スクライプ領域3によって区画されたチップ領域2が設けられている。基板1上には複数の層間絶縁膜5～10の積層構造が形成されている。基板1におけるチップ領域2には、素子を構成する活性層20が形成されている。層間絶縁膜5には、活性層20と接続するプラグ（ビア）21が形成され、層間絶縁膜6には、プラグ21と接続する配線22が形成され、層間絶縁膜7には、配線22と接続するプラグ23が形成され、層間絶縁膜8には、プラグ23と接続する配線24が形成され、層間絶縁膜9には、配線24と接続するプラグ25が形成され、層間絶縁膜10には、プラグ25と接続する配線26が形成されている。

30

【0008】

また、図32に示すように、チップ領域2の周縁部における複数の層間絶縁膜5～10の積層構造には、該積層構造を貫通し且つチップ領域2を連続的に取り囲むシールリング4が形成されている。シールリング4は、例えば特許文献1に示すように、配線形成用マスクとビア形成用マスクとを交互に用いて形成される。具体的には、シールリング4は、基板1に形成された導電層30と、層間絶縁膜5に形成され且つ導電層30と接続するシールビア31と、層間絶縁膜6に形成され且つシールビア31と接続するシール配線32と、層間絶縁膜7に形成され且つシール配線32と接続するシールビア33と、層間絶縁膜8に形成され且つシールビア33と接続するシール配線34と、層間絶縁膜9に形成され且つシール配線34と接続するシールビア35と、層間絶縁膜10に形成され且つシールビア35と接続するシール配線36とから構成されている。尚、本願においては、シールリングのうち配線形成用マスクによって形成される部分をシール配線、シールリングのうちビア形成用マスクによって形成される部分をシールビアと称する。

40

【0009】

さらに、図32に示すように、配線（22、24、26）とビア（21、23、25）とシールリング4とが設けられた、複数の層間絶縁膜5～10の積層構造の上にはパッシベーション膜11が設けられている。パッシベーション膜11は、配線26上に開口部を有すると共に該開口部には配線26と接続するパッド27が形成されている。

【特許文献1】特開2001-23937号公報

50

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0010】

しかしながら、従来の半導体装置においては、ウェハのダイシング時に生じたクラックや衝撃がチップ領域内部へ伝播することをシールリングによって防止できたとしても、シールリングの一部分に欠損や割れが生じる。よって、シールリング本来の機能の1つである、シールリングに囲まれた領域内に外部から水分や可動イオン等が侵入することを十分に防止することができない。

## 【0011】

また、シールリングはチップ領域の周縁部に連続的に設けられているため、シールリングにおけるクラックや衝撃を吸収して破壊された部分が、ダイシングによって個片化された半導体装置（半導体チップ）の端部から飛び出した状態になる場合もある。このような状態の半導体装置に対してパッケージングを行なうと、前記のシールリングの残骸がボンディングワイヤに接触して製品不良となる。

10

## 【0012】

ところで、半導体素子及びそれらと接続する配線の微細化に伴う配線間容量の増大、つまり半導体装置の処理速度の低下を防ぐため、低誘電率の層間絶縁膜を用いて配線間容量の増大を防止する技術が開発されている。

## 【0013】

しかし、一般的に低誘電率の層間絶縁膜の機械的強度が低いため、低誘電率の層間絶縁膜におけるダイシング時に生じる応力に対する耐性は、従来使用されてきた材料よりなる層間絶縁膜と比べて不十分である。その結果、低誘電率の層間絶縁膜はダイシング時により損傷を受けやすい。従って、従来のようにシールリングのみによって、ダイシング時におけるクラック等の伝播を防止する機能、及び、外部からチップ領域内への水分や可動イオン等の進入を防止する機能の両方を達成することはますます困難になってきている。

20

## 【0014】

前記に鑑み、本発明は、ダイシングによってウェハを個々のチップ（半導体装置）に分割する際に生じるチップ側面の欠けや割れ等がシールリングに到達してシールリングが破壊されることを防止することによって、該欠けや割れ等がさらにチップ領域内に伝播することを防止し、それにより電子デバイスの耐湿性及び信頼性の低下を防止することを目的とする。

30

## 【課題を解決するための手段】

## 【0015】

前記の目的を達成するため、本発明に係る電子デバイスは、基板におけるチップ領域に形成された素子と、基板上に形成された複数の層間絶縁膜の積層構造と、チップ領域における複数の層間絶縁膜のうち少なくとも1つに形成された配線と、チップ領域における複数の層間絶縁膜のうち少なくとも1つに形成され且つ素子と配線とを接続するか又は配線同士を接続するプラグと、チップ領域の周縁部における複数の層間絶縁膜の積層構造に該積層構造を貫通し且つチップ領域を連続的に取り囲むように形成されたシールリングと、シールリングの外側における複数の層間絶縁膜の積層構造に該積層構造を貫通し且つシールリングを不連続的に取り囲むように形成された応力吸収壁とを備えている。

40

## 【0016】

本発明の電子デバイスによると、応力吸収壁がシールリングを取り囲むように形成されているので、ウェハのダイシング時に発生するクラックや応力等がシールリングに到達する前に応力吸収壁によって阻止される。よって、シールリングに欠損が生じたり又はシールリングが破壊されたりすることがないので、シールリングの本来の機能の1つである、チップ領域の内部を確実に保護する機能が損なわれることがない。

## 【0017】

また、本発明の電子デバイスによると、応力吸収壁がシールリングを不連続的に取り囲むため、言い換えると、応力吸収壁の各構成部分がシールリングの延びる方向に沿って互

50

いに独立して不連続に配置されているため、ウェハダイシング時のクラック等によって該各構成部分のいずれかがダメージを受けて破壊されたとしても、応力吸収壁の破壊がシールリングの延びる方向に沿って拡大することはない。すなわち、応力吸収壁の各構成部分は独立しているので、破壊された構成部分がそれと隣り合う他の構成部分を引きずるようにして欠落することを防止できる。また、応力吸収壁の各構成部分のサイズを小さくしておくことによって、ダメージを受けた構成部分が、ダイシングによって個片化された半導体装置（半導体チップ）の端部から飛び出した状態のまま残ってしまうことを防ぐことができる。言い換えると、ダメージを受けた構成部分は十分に小さいので、比較的容易にチップから脱落する。

【0018】

10

本発明の電子デバイスにおいて、応力吸収壁は、前記シールリングを2重以上に取り囲んでいることが好ましい。

【0019】

このようにすると、多重に設けられているシールリングのうちウェハダイシング部分（スクライブ領域のうち実際にダイシング装置のブレードによって切断される部分）に最も近い位置にある応力吸収壁がダイシング時のクラックや衝撃等を吸収しきれずに該クラックや衝撃等がチップ領域の内部方向へ侵入したとしても、該応力吸収壁の内側に少なくとも1つの他の応力吸収壁が形成されているため、該他の応力吸収壁によって、チップ領域の内部方向へのクラックや衝撃等のさらなる進行を防ぐことができる。よって、ダイシング時のクラックや衝撃等がシールリングに到達する前に阻止されるため、シールリングに欠損が生じたり又はシールリングが破壊されることはないので、チップ領域の内部を確実に保護するというシールリングの機能が損なわれることがない。

20

【0020】

また、応力吸収壁がシールリングを2重以上に取り囲んでいる場合、2重以上の応力吸収壁のそれぞれにおける不連続部分は互いに隣り合わないことが好ましい。

【0021】

このようにすると、ダイシング時のクラックや衝撃等が、多重に設けられているシールリングのうちウェハダイシング部分に最も近い位置にある応力吸収壁によって阻止されず、該応力吸収壁の不連続部分（応力吸収壁の構成部分同士の間部分）を通り抜けてチップ領域の内部方向へ侵入したとしても、該応力吸収壁の不連続部分と該応力吸収壁の内側にある他の応力吸収壁の不連続部分とが、シールリングの延びる方向に対して垂直な方向において互いに隣り合っていないので、該応力吸収壁によって阻止されなかったクラックや衝撃等は必ずその内側の他の応力吸収壁によって阻止される。言い換えると、ウェハダイシング部分からチップ領域を見た場合には、多重の応力吸収壁全体としては、それらの構成部分が隙間なく配置されていることになるため、ウェハダイシング部分からチップ領域の内部方向へのクラックや衝撃等の進行を確実に防ぐことができる。よって、ダイシング時のクラックや衝撃等がシールリングに到達する前にそれらを阻止することができるので、シールリングが欠損したり又はシールリングが破壊されることはないので、チップ領域の内部を確実に保護するというシールリングの機能が損なわれることがない。

30

【0022】

40

また、応力吸収壁がシールリングを2重以上に取り囲んでいる場合、2重以上の応力吸収壁のうちシールリングから最も離れた位置に形成されている応力吸収壁の構成部分は、2重以上の応力吸収壁のうち他の応力吸収壁の構成部分と比べて、シールリングの延びる方向に沿った長さがより短いことが好ましい。

【0023】

このようにすると、多重に設けられているシールリングのうちウェハダイシング部分に最も近い位置にある応力吸収壁がダイシング時のクラックや衝撃等を吸収しきれずに該クラックや衝撃等がチップ領域の内部方向へ侵入したとしても、該応力吸収壁の内側に少なくとも1つの他の応力吸収壁が形成されているため、該他の応力吸収壁によって、チップ領域の内部方向へのクラックや衝撃等のさらなる進行を防ぐことができる。また、ウェハ

50

ダイシング部分に最も近い位置にある応力吸収壁、つまりシールリングから最も離れた位置に形成されている応力吸収壁の構成部分の長さが小さいため、ダイシング時のクラックや衝撃等を細かく分散して吸収できる。よって、ダイシング時のクラックや衝撃等がシールリングに到達する前にそれらの侵入を防止できるため、シールリングに欠損が生じたり又はシールリングが破壊されることがないので、チップ領域の内部を確実に保護するというシールリングの機能が損なわれることがない。また、応力吸収壁の構成部分が小さいため、該構成部分がダイシング時のクラックや衝撃等を受けて破壊されたとしても、該構成部分が半導体装置（個片化された半導体チップ）から脱落しやすい。このため、該破壊された構成部分が、個片化された半導体チップの端部から飛び出した状態のままになることを防止できるので、該半導体チップに対してパッケージングを行なった際に、応力吸収壁の残骸とボンディングワイヤとの接触に起因する製品不良をなくすることができる。

10

**【0024】**

本発明の電子デバイスにおいて、シールリング及び応力吸収壁は、W、Al及びCuのうち少なくとも1つから構成されていてもよい。

**【0025】**

本発明に係る電子デバイスの製造方法は、基板におけるチップ領域に形成された素子と、基板上に形成された複数の層間絶縁膜の積層構造と、チップ領域における複数の層間絶縁膜のうち少なくとも1つに形成された配線と、チップ領域における複数の層間絶縁膜のうち少なくとも1つに形成され且つ素子と配線とを接続するか又は配線同士を接続するプラグと、チップ領域の周縁部における複数の層間絶縁膜の積層構造に該積層構造を貫通し且つチップ領域を連続的に取り囲むように形成されたシールリングと、シールリングの外側における複数の層間絶縁膜の積層構造に該積層構造を貫通し且つシールリングを不連続的に取り囲むように形成された応力吸収壁とを備えた電子デバイスの製造方法である。具体的には、複数の層間絶縁膜のうちの一の絶縁膜に、プラグ又は配線を埋め込むための第1の凹部、シールリングの一部を埋め込むための第2の凹部、及び応力吸収壁の一部を埋め込むための第3の凹部を形成する工程と、第1の凹部、第2の凹部及び第3の凹部に導電膜を埋め込むことによって、プラグ又は配線、シールリングの一部、及び応力吸収壁の一部を形成する工程と、配線とプラグとシールリングと応力吸収壁とが設けられた複数の層間絶縁膜の積層構造の上に保護膜を形成する工程とを備えている。

20

**【0026】**

すなわち、本発明に係る電子デバイスの製造方法は、前述の本発明の電子デバイスを製造するための方法であるため、前述の本発明の電子デバイスと同様の効果が得られる。

30

**【発明の効果】****【0027】**

以上に説明したように、本発明によると、チップ領域と、該チップ領域の周縁部に設けられ且つチップ領域の素子や配線層等の周囲を囲むシールリングとを備えた電子デバイスにおいて、シールリングを不連続的に取り囲むように応力吸収壁が設けられている。また、このような構造を持つ応力吸収壁はシールリングを2重以上に取り囲む構造を有していてもよいし、その場合、2重以上の応力吸収壁のそれぞれにおける不連続部分は互いに隣り合わないこと、又は/及びシールリングから最も離れた応力吸収壁は他の応力吸収壁と比べて、より小さい複数の部分から構成されていることが好ましい。

40

**【0028】**

前述の本発明の特徴によって、ウェハから個々のチップ（半導体装置）を取り出す際のダイシングによって生じるウェハの欠けや割れ等がシールリングに至る前にそれらを1重又は2重以上の応力吸収壁によって阻止することができるため、シールリングの破壊、ひいては半導体装置となるチップ領域の破壊を防ぐことができ、それによって半導体チップの耐湿性及び信頼性の低下を防止することができる。

**【発明を実施するための最良の形態】****【0029】**

以下、本発明の各実施形態について図面を参照しながら説明する。

50

## 【0030】

本発明の第1の特徴は、配線構造の形成と同じ工程においてシールリング及び応力吸収壁が形成されることである。また、応力吸収壁の各構成部分がシールリングの延びる方向に沿って互いに独立して不連続に配置されているため、ウェハダイシング時のクラック等によって該各構成部分のいずれかがダメージを受けて破壊されたとしても、応力吸収壁の破壊がシールリングの延びる方向に沿って拡大することはない。すなわち、応力吸収壁の各構成部分は独立しているため、破壊された構成部分がそれと隣り合う他の構成部分を引きずるようにして欠落することを防止できる。また、ダメージを受けた構成部分が、ダイシングによって個片化された半導体装置（半導体チップ）の端部から飛び出した状態のまま残ってしまうことを防ぐことができる（第1の実施形態）。

10

## 【0031】

また、本発明の第2の特徴は、応力吸収壁が、シールリングを取り囲む少なくとも2重以上の構造を有することである。これにより、1つの応力吸収壁によってクラックや衝撃等を吸収できなくても、他の応力吸収壁によってクラックや衝撃等を吸収でき、それにより該クラックや衝撃等がシールリングに到達することを防止することができる（第2の実施形態）。

## 【0032】

また、本発明の第3の特徴は、少なくとも2重以上の構造を有する応力吸収壁のそれぞれにおける不連続部分が互いに隣り合わないことである。これにより、ウェハダイシング部分からチップ領域を見た場合に、多重の応力吸収壁全体として、それらの構成部分が隙間なく配置されていることになるため、応力吸収壁が1重構造を有する場合又は2重以上の構造を有する応力吸収壁のそれぞれにおける不連続部分が互いに隣り合う場合（つまり各応力吸収壁の平面形状が相似形である場合）と比べて、シールリング及びチップ領域をより確実に保護することができる（第3の実施形態）。

20

## 【0033】

また、本発明の第4の特徴は、少なくとも2重以上の構造を有する応力吸収壁のうちシールリングから最も離れた位置に形成されている応力吸収壁（最外殻応力吸収壁）の構成部分は、他の応力吸収壁と比べて、シールリングの延びる方向に沿った長さがより短いことである。これにより、最外殻応力吸収壁により、ダイシング時のクラックや衝撃等を細かく分散して吸収できるため、ダイシング時のクラックや衝撃等がシールリングに到達する前にそれらの侵入を阻止できるので、シールリング及びチップ領域を保護することができる。また、最外殻応力吸収壁の構成部分が小さいため、該構成部分がダイシング時のクラックや衝撃等を受けて破壊されたとしても、該構成部分が半導体装置（個片化された半導体チップ）から脱落しやすい。このため、該破壊された構成部分が、個片化された半導体チップの端部から飛び出した状態のままになることを防止できるので、該半導体チップに対してパッケージングを行なった際に、応力吸収壁の残骸とボンディングワイヤとの接触に起因する製品不良をなくすことができる（第4の実施形態）。

30

## 【0034】

（第1の実施形態）

以下、本発明の第1の実施形態に係る電子デバイス及びその製造方法について図面を参照しながら説明する。

40

## 【0035】

図1は、本発明の第1の実施形態に係る電子デバイス（チップ領域を1重に取り囲むシールリングを有する半導体装置）が設けられているウェハの一部を示す平面図である。

## 【0036】

図1に示すように、例えばシリコン基板等に代表される半導体基板となるウェハ101上には、それぞれ半導体装置となる複数のチップ領域102が配置されている。各チップ領域102には、複数の素子からなり且つ所定の機能を有するIC（integrated circuit）回路が設けられている。尚、各チップ領域102は、格子状に設けられたスクライプ領域103によって区画されている。

50

## 【0037】

ここで、1個の半導体装置（つまり1個の半導体チップ）は、複数の素子からなり且つ所定の機能を有するIC回路が配置されているチップ領域102と、チップ領域102の周縁部に該チップ領域102を取り囲むように設けられているシールリング104と、シールリング104の外側にシールリング104を不連続的に取り囲むように設けられている本発明の応力吸収壁105とから構成されている。このように複数の半導体装置が形成されたウェハ101は、各チップの完成後、スクライブ領域103に沿ってダイシングされ、それによって個々の半導体装置が分離される。

## 【0038】

図2は、図1のAA'線の断面図（チップ領域102の周縁部に位置するシールリング部分を含む半導体装置端部（具体的にはチップ領域102の配線構造及びシールリング104の構造）の断面図）であり、図3は、図1のAA'線の近傍を拡大した平面図である。尚、図2及び図3において、スクライブ領域103を挟む一对のチップ領域102のそれぞれの端部を示している。

10

## 【0039】

図2及び図3に示すように、ダイシング前の半導体装置はチップ領域102とスクライブ領域103とから構成されており、チップ領域102におけるスクライブ領域103との境界付近にシールリング104が形成されていると共にそのシールリング104の外側（スクライブ領域103におけるチップ領域102との境界付近）に応力吸収壁105が形成されている。

20

## 【0040】

以下、図2及び図3に示す構造を有する半導体装置の製造方法について、図4、図5、図6及び図7を参照しながら説明する。

## 【0041】

まず、図4に示すように、ウェハ101（以下、基板101と称する）におけるチップ領域102に、トランジスタ等の素子を構成する活性層110を形成すると共に、基板101におけるチップ領域102の周縁部（スクライブ領域103の近傍のシールリング形成領域）に、活性層110と同様に構成された導電層120を形成する。

## 【0042】

次に、基板101上に第1の層間絶縁膜106を堆積した後、リソグラフィ法及びドライエッチング法を用いて、チップ領域102の第1の層間絶縁膜106に、第1のビア111（図6参照）を形成するためのピアホール106aを形成すると共に、シールリング形成領域の第1の層間絶縁膜106に、第1のシールビア121（図6参照）を形成するための溝状凹部106bを形成する。また、同時に、応力吸収壁形成領域（チップ領域102の近傍のスクライブ領域103）の第1の層間絶縁膜106に、第1のバッファーピア131（図6参照）を形成するための複数の凹部106cを形成する。ここで、シールビアとは、シールリングを構成するパーツであって、チップ領域を連続的に取り囲む溝状凹部に導電材料を埋め込むことによって形成される。すなわち、シールビアは、チップ領域のピアと同程度の幅を有するライン状構造を有する（図3参照）。また、バッファーピアとは、応力吸収壁を構成するパーツであって、シールリングを不連続的に取り囲む複数の凹部に導電材料を埋め込むことによって形成される。すなわち、バッファーピアは、チップ領域のピアと同程度の幅を有する複数のライン状構成部分から構成される。

30

40

## 【0043】

尚、本実施形態において、チップ領域102の第1の層間絶縁膜106にピアホール106aを形成する際に、第1のシールビア121を形成するための溝状凹部106b及び第1のバッファーピア131を形成するための凹部106cを同時に形成したが、ピアホール106aと溝状凹部106bと凹部106cとをそれぞれ別々に形成してもよいし又はこれらの凹部のうちのいずれか2つを同時に形成してもよいことは言うまでもない。

## 【0044】

次に、図5に示すように、リソグラフィ法及びドライエッチング法を用いて、チップ

50

領域 102 の第 1 の層間絶縁膜 106 に、ビアホール 106 a と接続し且つ第 1 の配線 112 (図 6 参照) を形成するための配線溝 106 d を形成すると共に、シールリング形成領域の第 1 の層間絶縁膜 106 に、溝状凹部 106 b と接続し且つ第 1 のシール配線 121 (図 6 参照) を形成するための配線溝 106 e を形成する。また、同時に、スクライプ領域 103 の第 1 の層間絶縁膜 106 に、リソグラフィのアルイメントマーク等となるアクセサリ配線 140 を形成するための配線溝 106 f を形成してもよい。

【0045】

次に、図 6 に示すように、第 1 の層間絶縁膜 106 に設けられたビアホール 106 a、溝状凹部 106 b、凹部 106 c 並びに配線溝 106 d、106 e 及び 106 f に、例えば電気メッキ法を用いて例えば Cu からなる導電膜を埋め込む。その後、凹部 106 c 並びに配線溝 106 d、106 e 及び 106 f からはみ出した導電膜(第 1 の層間絶縁膜 106 よりも上側に存在する導電膜)を例えば CMP (chemical mechanical polishing) 法により除去する。これにより、チップ領域 102 の第 1 の層間絶縁膜 106 中に、活性層 110 と接続する第 1 のビア 111 及び第 1 のビア 111 と接続する第 1 の配線 112 (つまり第 1 のビア 111 と第 1 の配線 112 とからなるデュアルダマシ配線) が形成されると共に、シールリング形成領域の第 1 の層間絶縁膜 106 に、導電層 120 と接続する第 1 のシールビア 121 及び第 1 のシールビア 121 と接続する第 1 のシール配線 122 が形成される。また、応力吸収壁形成領域の第 1 の層間絶縁膜 106 に第 1 のバッファービア 131 が形成されると共にスクライプ領域 103 の第 1 の層間絶縁膜 106 にアクセサリ配線 140 が形成される。

【0046】

その後、図 7 に示すように、図 4 ~ 図 6 に示す工程と同様に、第 1 の層間絶縁膜 106 の上に第 2 の層間絶縁膜 107 を形成した後、チップ領域 102 の第 2 の層間絶縁膜 107 に、第 1 の配線 112 と接続する第 2 のビア 113 及び第 2 のビア 113 と接続する第 2 の配線 114 (つまり第 2 のビア 113 と第 2 の配線 114 とからなるデュアルダマシ配線) を形成すると共に、シールリング形成領域の第 2 の層間絶縁膜 107 に、第 1 のシール配線 122 と接続する第 2 のシールビア 123 及び第 2 のシールビア 123 と接続する第 2 のシール配線 124 を形成する。また、同時に、応力吸収壁形成領域の第 2 の層間絶縁膜 107 に、第 1 のバッファービア 131 と接続する第 2 のバッファービア 132 を形成すると共にスクライプ領域 103 の第 2 の層間絶縁膜 107 にアクセサリ配線 140 を形成する。

【0047】

続いて、図 7 に示すように、図 4 ~ 図 6 に示す工程と同様に、第 2 の層間絶縁膜 107 の上に第 3 の層間絶縁膜 108 を形成した後、チップ領域 102 の第 3 の層間絶縁膜 108 に、第 2 の配線 114 と接続する第 3 のビア 115 及び第 3 のビア 115 と接続する第 3 の配線 116 (つまり第 3 のビア 115 と第 3 の配線 116 とからなるデュアルダマシ配線) を形成すると共に、シールリング形成領域の第 3 の層間絶縁膜 108 に、第 2 のシール配線 124 と接続する第 3 のシールビア 125 及び第 3 のシールビア 125 と接続する第 3 のシール配線 126 を形成する。また、同時に、応力吸収壁形成領域の第 3 の層間絶縁膜 108 に、第 2 のバッファービア 132 と接続する第 3 のバッファービア 133 を形成すると共にスクライプ領域 103 の第 3 の層間絶縁膜 108 にアクセサリ配線 140 を形成する。

【0048】

尚、本実施形態においては、各層間絶縁膜に Cu を用いてビア又はシールビアと配線又はシール配線とからなるデュアルダマシ構造を設けた。しかし、これに代えて、第 1 層目(最下層)の層間絶縁膜に W (タングステン) を用いてビア及びシールビアを設け、第 2 層目の層間絶縁膜に Cu を用いて配線及びシール配線(最下層の配線及びシール配線) を設け、第 3 層目以降の層間絶縁膜に Cu を用いてビア又はシールビアと配線又はシール配線とからなるデュアルダマシ構造を設けてもよい。

【0049】

10

20

30

40

50

その後、図7に示すように、最上の配線層となる第3の層間絶縁膜108上に、該配線層の保護膜となるパッシベーション膜109を堆積する。続いて、リソグラフィ法及びドライエッチング法を用いて、第3の配線116の上のパッシベーション膜109を部分的に開口するした後、該開口部に、第3の配線116と接続するパッド電極117を形成する。これにより、ウェハ101上における複数の半導体装置の形成が完了する。

#### 【0050】

以上に説明したように、本実施形態によると、チップ領域102のビア111、113、115及び配線112、114、116を形成すると同時に、シールビア121、123、125及びシール配線122、124、126からなるシールリング104を形成できる。さらに、シールリング104の外側にバッファーピア131、132、133を積層した構造を持つ応力吸収壁105を形成できる。 10

#### 【0051】

また、以上のように半導体装置が形成されウェハ101は、スクライプ領域103に沿ってダイシングを行なうことによって、個々の半導体装置(半導体チップ)に分離される。このとき、ダイシングされる部分から衝撃若しくは応力等又はそれらに起因するクラックが発生し、チップ領域102方向へ伝播するが、これらの衝撃、応力又はクラック等は応力吸収壁105によって吸収される。言い換えると、衝撃、応力又はクラック等のチップ領域102方向へのさらなる伝播が阻止される。これにより、シールリング104がダメージを受けることがなくなるので、シールリングの本来の機能の1つである、チップ領域102内に外部から水分や可動イオン等が侵入することを防ぐ機能が保たれ、それによって信頼性の高い半導体装置を製造することができる。 20

#### 【0052】

また、本実施形態によると、応力吸収壁105の各構成部分がシールリング104の延びる方向に沿って互いに独立して不連続に配置されているため、ウェハダイシング時のクラック等によって該各構成部分のいずれかがダメージを受けて破壊されたとしても、応力吸収壁105の破壊がシールリング104の延びる方向に沿って拡大することはない。すなわち、応力吸収壁105の各構成部分は独立しているので、破壊された構成部分がそれと隣り合う他の構成部分を引きずるようにして欠落することを防止できる。また、応力吸収壁105の各構成部分のサイズ(具体的にはシールリング104の延びる方向の長さ)を小さくしておくことによって、該構成部分がダイシング時の衝撃、応力又はクラック等の影響によって破壊されたとしても、該破壊された構成部分のみが、個片化された半導体装置(ダイシング後の半導体チップ)から脱落する。 30

#### 【0053】

一方、本実施形態と異なり、応力吸収壁がシールリングを連続的に取り囲む場合、ダイシングによる損傷を受けて脱落しそうな応力吸収壁の構成部分は、該部分と接続する応力吸収壁の他の部分によって、個片化された半導体チップに留まってしまうので、該半導体チップに対してパッケージングを行なった際に、応力吸収壁の損傷部分とボンディングワイヤとの接触に起因する製品不良を生じてしまう。それに対して、本実施形態によると、応力吸収壁の損傷部分は、他の構成部分を引きずることなく、個片化された半導体チップから脱落するので、前述の製品不良の問題を防止することができる。本実施形態により得られる、この効果について、以下、図面を参照しながら説明する。 40

#### 【0054】

図8は、ダイシング後における図1のAA'線の断面図(チップ領域102の周縁部に位置するシールリング部分を含む半導体装置端部(具体的にはチップ領域102の配線構造及びシールリング104の構造)の断面図)であり、図9は、ダイシング後における図1のAA'線の近傍を拡大した平面図である。尚、図8及び図9はそれぞれ図2及び図3に対応する図面であって、図8及び図9において、一对のチップ領域102に挟まれたスクライプ領域103に沿ってダイシングした後の様子を示している。また、図10は、図8に示すダイシング後の本実施形態の半導体装置をリードフレームに搭載した様子を示す断面図である。

## 【0055】

図10に示すように、リードフレーム150上に、図8に示すダイシング後の本実施形態の半導体装置（つまり基板101）が搭載されていると共に、リードフレーム150（半導体装置が搭載されていない部分）と、本実施形態の半導体装置上のパッド電極117とがボンディングワイヤ151によって接続されている。ここで、図8～図10に示すように、本実施形態によると、応力吸収壁105の損傷部分は、他の構成部分を引きずることなく、個片化されたチップ（ダイシング後の本実施形態の半導体装置）から脱落するので、該半導体チップに対してパッケージングを行なった際に、応力吸収壁105の損傷部分とボンディングワイヤ151との接触に起因する製品不良を防止することができる。

## 【0056】

それに対して、図11は、シールリングを連続的に取り囲む応力吸収壁を備えた、ダイシング前における比較例の半導体装置の端部の断面図であり、図12は該端部の平面図である。尚、図11及び図12はそれぞれ図2及び図3に対応する図面であって、図11及び図12においては、スクライプ領域を挟む一对のチップ領域のそれぞれの端部を示している。

## 【0057】

図11及び図12に示すように、ダイシング前の比較例の半導体装置はチップ領域52とスクライプ領域53とから構成されており、チップ領域52におけるスクライプ領域53との境界付近にシールリング54が形成されていると共にそのシールリング54の外側（スクライプ領域53におけるチップ領域52との境界付近）に応力吸収壁55が形成されている。

## 【0058】

また、図11に示すように、ウェハ51（以下、基板51と称する）におけるチップ領域52に、トランジスタ等の素子を構成する活性層60が形成されていると共に、基板51におけるチップ領域52の周縁部（スクライプ領域53の近傍のシールリング形成領域）に、活性層60と同様に構成された導電層70が形成されている。

## 【0059】

また、図11に示すように、基板51の上には第1の層間絶縁膜56が形成されており、チップ領域52の第1の層間絶縁膜56中に、活性層60と接続する第1のビア61及び第1のビア61と接続する第1の配線62が形成されていると共に、シールリング形成領域の第1の層間絶縁膜56に、導電層70と接続する第1のシールビア71及び第1のシールビア71と接続する第1のシール配線72が形成されている。また、応力吸収壁形成領域の第1の層間絶縁膜56に第1のバッファービア81が形成されていると共にスクライプ領域53の第1の層間絶縁膜56にアクセサリ配線90が形成されている。

## 【0060】

また、図11に示すように、第1の層間絶縁膜56の上に第2の層間絶縁膜57が形成されており、チップ領域52の第2の層間絶縁膜57に、第1の配線62と接続する第2のビア63及び第2のビア63と接続する第2の配線64が形成されていると共に、シールリング形成領域の第2の層間絶縁膜57に、第1のシール配線72と接続する第2のシールビア73及び第2のシールビア73と接続する第2のシール配線74が形成されている。また、応力吸収壁形成領域の第2の層間絶縁膜57に、第1のバッファービア81と接続する第2のバッファービア82が形成されていると共にスクライプ領域53の第2の層間絶縁膜57にアクセサリ配線90が形成されている。

## 【0061】

また、図11に示すように、第2の層間絶縁膜57の上に第3の層間絶縁膜58が形成されており、チップ領域52の第3の層間絶縁膜58に、第2の配線64と接続する第3のビア65及び第3のビア65と接続する第3の配線66（つまり第3のビア65と第3の配線66とからなるデュアルダマシ配線）が形成されていると共に、シールリング形成領域の第3の層間絶縁膜58に、第2のシール配線74と接続する第3のシールビア75及び第3のシールビア75と接続する第3のシール配線76が形成されている。また、

10

20

30

40

50

応力吸収壁形成領域の第3の層間絶縁膜58に、第2のバッファービア82と接続する第3のバッファービア83が形成されていると共にスクライプ領域53の第3の層間絶縁膜58にアクセサリ配線90が形成されている。

【0062】

尚、比較例においては、各層間絶縁膜にCuを用いてビア又はシールビアと配線又はシール配線とからなるデュアルダマシン構造を設けた。しかし、これに代えて、第1層目(最下層)の層間絶縁膜にWを用いてビア及びシールビアを設け、第2層目の層間絶縁膜にCuを用いて配線及びシール配線(最下層の配線及びシール配線)を設け、第3層目以降の層間絶縁膜にCuを用いてビア又はシールビアと配線又はシール配線とからなるデュアルダマシン構造を設けてもよい。

10

【0063】

さらに、図11に示すように、最上の配線層となる第3の層間絶縁膜58上に、該配線層の保護膜となるパッシベーション膜59が堆積されており、第3の配線66の上のパッシベーション膜59が部分的に開口されていると共に、該開口部に、第3の配線66と接続するパッド電極67が形成されている。

【0064】

ここで、比較例の半導体装置においては、図12に示すように、本実施形態と異なり、応力吸収壁55は、シールリング104を連続的に取り囲むように形成されている。

【0065】

図13は、ダイシング後における比較例の半導体装置の端部の断面図であり、図14は該端部の平面図である。尚、図13及び図14はそれぞれ図11及び図12に対応する図面であって、図13及び図14においては、スクライプ領域を挟む一对のチップ領域のそれぞれの端部を示している。また、図15は、図13に示すダイシング後の比較例の半導体装置をリードフレームに搭載した様子を示す断面図である。

20

【0066】

図15に示すように、リードフレーム40上に、図13に示すダイシング後の比較例の半導体装置(つまり基板51)が搭載されていると共に、リードフレーム40(半導体装置が搭載されていない部分)と、比較例の半導体装置上のパッド電極67とがボンディングワイヤ41によって接続されている。ここで、図13~図15に示すように、比較例においては、ダイシングによる損傷を受けて脱落しそうな応力吸収壁55の構成部分は、該部分と接続する応力吸収壁55の他の部分によって、個片化された半導体チップ(ダイシング後の比較例の半導体装置)に留まってしまう。このため、図15に示すように、該半導体チップに対してパッケージングを行なった際に、応力吸収壁55の損傷部分とボンディングワイヤ41との接触に起因する製品不良を生じてしまう。

30

【0067】

尚、本実施形態において、応力吸収壁105として、ビア(バッファービア131、132、133)の積層構造を用いたが、これに代えて、シールリング104と同様の、ビアと配線との積層構造を用いてもよい。また、シールリング104として、ビア(シールビア121、123、125)と配線(シール配線122、124、126)との積層構造を用いたが、応力吸収壁105と同様の、ビアのみの積層構造を用いてもよい。尚、シールリング104及び応力吸収壁105として、ビアのみの積層構造を用いた場合、ビアと配線との積層構造を用いる場合と比べて、半導体装置内におけるシールリング104及び応力吸収壁105の幅方向(チップ領域102の周縁に沿ってシールリング104が延びる方向に対して垂直な方向)の占有領域を狭くできるので、半導体装置の小型化に有効である。

40

【0068】

また、本実施形態において、シールリング104を構成するために積層されている各導電体(パーツ)のうち少なくとも1つ以上の導電体は、デュアルダマシン構造を持つ配線の形成工程で形成されていることが好ましい。このようにすると、シールリング104のパーツは、少なくとも1つの層間絶縁膜を「つなぎ目」なしに突き抜ける。すなわち、シ

50

ールリング、トランジスタ等の素子及び配線層等が形成されたチップ領域 102 の全体において、デュアルダマシ配線の形成過程でシールリング 104 のパーツを形成することによって、シールリング 104 の「つなぎ目」を減少させることができるので、ウェハ切断時の衝撃や外部からの水分がチップ領域 102 内に浸入することを防ぐことができる。

【0069】

また、本実施形態において、応力吸収壁 105 をスクライブ領域 103 に形成したが、これに限られず、応力吸収壁 105 がウェハダイシング部分とシールリング 104 との間に設けられていれば、応力吸収壁 105 の形成位置に関わらず本実施形態と同様の効果が得られる。すなわち、応力吸収壁 105 を、シールリング 104 の外側であって、例えばチップ領域 102 におけるスクライブ領域 103 との境界付近に設けてもよい。

10

【0070】

また、本実施形態において、シールリング 104 を、チップ領域 102 におけるスクライブ領域 103 との境界付近に設けたが、これに代えて、応力吸収壁 105 の内側であって、例えばスクライブ領域 103 のうちダイシング後も半導体装置（半導体チップ）の端部として残る部分（つまりスクライブ領域 103 におけるチップ領域 102 との境界付近）に設けてもよい。

【0071】

また、本実施形態において、3層重ねられた層間絶縁膜に配線構造を形成したが、層間絶縁膜の層数は3層に限られるものではなく、チップ構造に応じて3層より少なくても多くてもよいことは言うまでもない。

20

【0072】

また、本実施形態において、シールリング 104 及び応力吸収壁 105 を構成する導電材料として Cu を用いたが、これに限られず、シールリング 104 及び応力吸収壁 105 を W、Al 及び Cu のうちの少なくとも 1 つを用いて構成してもよい。このようにすると、半導体装置のチップ領域 102 に形成される配線及びビアと同じ材料からシールリング 104 及び応力吸収壁 105 を形成することができる。

【0073】

（第2の実施形態）

以下、本発明の第2の実施形態に係る電子デバイス及びその製造方法について図面を参照しながら説明する。

30

【0074】

図16は、本発明の第2の実施形態に係る電子デバイス（チップ領域を1重に取り囲むシールリングを有する半導体装置）が設けられているウェハの一部を示す平面図である。

【0075】

図16に示すように、例えばシリコン基板等に代表される半導体基板となるウェハ 201 上には、それぞれ半導体装置となる複数のチップ領域 202 が配置されている。各チップ領域 202 には、複数の素子からなり且つ所定の機能を有する IC 回路が設けられている。尚、各チップ領域 202 は、格子状に設けられたスクライブ領域 203 によって区画されている。

40

【0076】

ここで、1個の半導体装置（つまり1個の半導体チップ）は、複数の素子からなり且つ所定の機能を有する IC 回路が配置されているチップ領域 202 と、チップ領域 202 の周縁部に該チップ領域 202 を取り囲むように設けられているシールリング 204 と、シールリング 204 の外側にシールリング 104 を不連続的に取り囲むように設けられている本発明の2重の応力吸収壁 205 a 及び 205 b とから構成されている。すなわち、本実施形態の半導体装置は、応力吸収壁 205 が2重構造を有している点を除いて、基本的に第1の実施形態と同様の構造を有している。

【0077】

尚、本実施形態において、レイアウト上の余裕に応じて、2重以上の3重又は4重等の

50

構造を持つ応力吸収壁 205 を設けてもよい。

【0078】

このように複数の半導体装置が形成されたウェハ 201 は、スクライプ領域 203 に沿ってダイシングされ、それにより個々の半導体装置（半導体チップ）として分離される。このとき、チップ領域 202 を取り囲むように応力吸収壁 205 が少なくとも 2 重以上に形成されているため、ダイシング時の衝撃若しくは応力等又はそれらに起因して生じるクラックにより、1 つの応力吸収壁（具体的には外側の応力吸収壁 205 b）が破壊されてその内側つまりチップ領域 202 の内部方向に衝撃や応力等が侵入したとしても、破壊された応力吸収壁の内側にある他の応力吸収壁（具体的には内側の応力吸収壁 205 a）によって衝撃や応力等が吸収される。すなわち、衝撃、応力又はクラック等がシールリング 204 に至り、それによってシールリング 204 が破壊されることを防止することができる。よって、ウェハ 201 を半導体チップに分割する際の工程で、シールリング 204 及びチップ領域 202 が損傷して半導体チップの性能が低下することを防ぐことができる。

10

【0079】

図 17 は、図 16 の BB' 線の断面図（チップ領域 202 の周縁部に位置するシールリング部分を含む半導体装置端部（具体的にはチップ領域 202 の配線構造及びシールリング 204 の構造）の断面図）であり、図 18 は、図 16 の BB' 線の近傍を拡大した平面図である。尚、図 17 及び図 18 において、スクライプ領域 203 を挟む一対のチップ領域 202 のそれぞれの端部を示している。

【0080】

図 17 及び図 18 に示すように、ダイシング前の半導体装置はチップ領域 202 とスクライプ領域 203 とから構成されており、チップ領域 202 におけるスクライプ領域 203 との境界付近にシールリング 204 が形成されていると共にそのシールリング 204 の外側（スクライプ領域 203 におけるチップ領域 202 との境界付近）に 2 重構造の応力吸収壁 205 a 及び 205 b が形成されている。

20

【0081】

以下、図 17 及び図 18 に示す構造を有する半導体装置の製造方法について、図 19、図 20、図 21 及び図 22 を参照しながら説明する。

【0082】

まず、図 19 に示すように、ウェハ 201（以下、基板 201 と称する）におけるチップ領域 202 に、トランジスタ等の素子を構成する活性層 210 を形成すると共に、基板 201 におけるチップ領域 202 の周縁部（スクライプ領域 203 の近傍のシールリング形成領域）に、活性層 210 と同様に構成された導電層 220 を形成する。

30

【0083】

次に、基板 201 上に第 1 の層間絶縁膜 206 を堆積した後、リソグラフィ法及びドライエッチング法を用いて、チップ領域 202 の第 1 の層間絶縁膜 206 に、第 1 のビア 211（図 21 参照）を形成するためのビアホール 206 a を形成すると共に、シールリング形成領域の第 1 の層間絶縁膜 206 に、第 1 のシールビア 221（図 21 参照）を形成するための溝状凹部 206 b を形成する。また、同時に、応力吸収壁形成領域（チップ領域 202 の近傍のスクライプ領域 203）の第 1 の層間絶縁膜 206 に、第 1 のバッファーピア 231 a（図 21 参照）を形成するための複数の凹部 206 c 及び第 1 のバッファーピア 231 b（図 21 参照）を形成するための複数の凹部 206 d を形成する。

40

【0084】

尚、本実施形態において、チップ領域 202 の第 1 の層間絶縁膜 206 にビアホール 206 a を形成する際に、第 1 のシールビア 221 を形成するための溝状凹部 206 b 並びに第 1 のバッファーピア 231 a 及び 231 b を形成するための凹部 206 c 及び 206 d を同時に形成したが、ビアホール 206 a と溝状凹部 206 b と凹部 206 c 及び 206 d とをそれぞれ別々に形成してもよいし又はこれらの凹部のうちのいずれか 2 つ以上を同時に形成してもよいことは言うまでもない。

【0085】

50

次に、図 20 に示すように、リソグラフィ法及びドライエッチング法を用いて、チップ領域 202 の第 1 の層間絶縁膜 206 に、ビアホール 206 a と接続し且つ第 1 の配線 212 (図 21 参照) を形成するための配線溝 206 e を形成すると共に、シールリング形成領域の第 1 の層間絶縁膜 206 に、溝状凹部 206 b と接続し且つ第 1 のシール配線 221 (図 21 参照) を形成するための配線溝 206 f を形成する。また、同時に、スクライプ領域 203 の第 1 の層間絶縁膜 206 に、リソグラフィのアライメントマーク等となるアクセサリ配線 240 を形成するための配線溝 206 g を形成してもよい。

【0086】

次に、図 21 に示すように、第 1 の層間絶縁膜 206 に設けられたビアホール 206 a、溝状凹部 206 b、凹部 206 c 及び 206 d 並びに配線溝 206 e、206 f 及び 206 g に、例えば電気メッキ法を用いて例えば Cu からなる導電膜を埋め込む。その後、凹部 206 c 及び 206 d 並びに配線溝 206 e、206 f 及び 206 g からはみ出した導電膜 (第 1 の層間絶縁膜 206 よりも上側に存在する導電膜) を例えば CMP 法により除去する。これにより、チップ領域 202 の第 1 の層間絶縁膜 206 中に、活性層 210 と接続する第 1 のビア 211 及び第 1 のビア 211 と接続する第 1 の配線 212 (つまり第 1 のビア 211 と第 1 の配線 212 とからなるデュアルダマシン配線) が形成されると共に、シールリング形成領域の第 1 の層間絶縁膜 206 に、導電層 220 と接続する第 1 のシールビア 221 及び第 1 のシールビア 221 と接続する第 1 のシール配線 222 が形成される。また、応力吸収壁形成領域の第 1 の層間絶縁膜 206 に第 1 のバッファービア 231 a 及び 231 b が形成されると共にスクライプ領域 203 の第 1 の層間絶縁膜 206 にアクセサリ配線 240 が形成される。

【0087】

その後、図 22 に示すように、図 19 ~ 図 21 に示す工程と同様に、第 1 の層間絶縁膜 206 の上に第 2 の層間絶縁膜 207 を形成した後、チップ領域 202 の第 2 の層間絶縁膜 207 に、第 1 の配線 212 と接続する第 2 のビア 213 及び第 2 のビア 213 と接続する第 2 の配線 214 (つまり第 2 のビア 213 と第 2 の配線 214 とからなるデュアルダマシン配線) を形成すると共に、シールリング形成領域の第 2 の層間絶縁膜 207 に、第 1 のシール配線 222 と接続する第 2 のシールビア 223 及び第 2 のシールビア 223 と接続する第 2 のシール配線 224 を形成する。また、同時に、応力吸収壁形成領域の第 2 の層間絶縁膜 207 に、第 1 のバッファービア 231 a 及び 231 b とそれぞれ接続する第 2 のバッファービア 232 a 及び 232 b を形成すると共にスクライプ領域 203 の第 2 の層間絶縁膜 207 にアクセサリ配線 240 を形成する。

【0088】

続いて、図 22 に示すように、図 19 ~ 図 21 に示す工程と同様に、第 2 の層間絶縁膜 207 の上に第 3 の層間絶縁膜 208 を形成した後、チップ領域 202 の第 3 の層間絶縁膜 208 に、第 2 の配線 214 と接続する第 3 のビア 215 及び第 3 のビア 215 と接続する第 3 の配線 216 (つまり第 3 のビア 215 と第 3 の配線 216 とからなるデュアルダマシン配線) を形成すると共に、シールリング形成領域の第 3 の層間絶縁膜 208 に、第 2 のシール配線 224 と接続する第 3 のシールビア 225 及び第 3 のシールビア 225 と接続する第 3 のシール配線 226 を形成する。また、同時に、応力吸収壁形成領域の第 3 の層間絶縁膜 208 に、第 2 のバッファービア 232 a 及び 232 b とそれぞれ接続する第 3 のバッファービア 233 a 及び 233 b を形成すると共にスクライプ領域 203 の第 3 の層間絶縁膜 208 にアクセサリ配線 240 を形成する。

【0089】

尚、本実施形態においては、各層間絶縁膜に Cu を用いてビア又はシールビアと配線又はシール配線とからなるデュアルダマシン構造を設けた。しかし、これに代えて、第 1 層目 (最下層) の層間絶縁膜に W を用いてビア及びシールビアを設け、第 2 層目の層間絶縁膜に Cu を用いて配線及びシール配線 (最下層の配線及びシール配線) を設け、第 3 層目以降の層間絶縁膜に Cu を用いてビア又はシールビアと配線又はシール配線とからなるデュアルダマシン構造を設けてもよい。

## 【0090】

その後、図22に示すように、最上の配線層となる第3の層間絶縁膜208上に、該配線層の保護膜となるパッシベーション膜209を堆積する。続いて、リソグラフィ法及びドライエッチング法を用いて、第3の配線216の上のパッシベーション膜209を部分的に開口するした後、該開口部に、第3の配線216と接続するパッド電極217を形成する。これにより、ウェハ201上における複数の半導体装置の形成が完了する。

## 【0091】

すなわち、本実施形態の半導体装置の製造方法は、応力吸収壁205を2重構造とする以外は、言い換えると、バッファーピアの積層構造を2つ作成する以外は、第1の実施形態と同様である。

## 【0092】

以上に説明したように、本実施形態によると、チップ領域202のピア211、213、215及び配線212、214、216を形成すると同時に、シールピア221、223、225及びシール配線222、224、226からなるシールリング204を形成できる。さらに、シールリング204の外側に、バッファーピア231a、232a、233aを積層した構造を持つ応力吸収壁205aとバッファーピア231b、232b、233bを積層した構造を持つ応力吸収壁205b、つまり2重構造を持つ応力吸収壁205を形成できる。

## 【0093】

また、以上のような方法によって半導体装置が形成されウェハ201は、スクライプ領域203に沿ってダイシングを行なうことによって、個々の半導体装置(半導体チップ)に分離される。このとき、ダイシングされる部分から衝撃若しくは応力等又はそれらに起因するクラックが発生し、チップ領域202方向へ伝播する。このとき、これらの衝撃、応力又はクラック等によって外側の応力吸収壁205bが破壊されて、これらの衝撃等がさらにチップ領域202の内部方向へ伝播したとしても、破壊された応力吸収壁205bの内側の応力吸収壁205aによって衝撃、応力又はクラック等が吸収されるので、衝撃等がチップ領域202の内部方向へさらに伝播することを防止できる。これにより、シールリング204がダメージを受けることを防止できるの、シールリング204の本来の機能である、外部からチップ領域202の内部に水分や可動イオン等が浸入することを防ぐ機能を保持することができ、それによって信頼性の高い半導体装置を提供することができる。

## 【0094】

また、本実施形態によると、応力吸収壁205a及び205bの各構成部分がシールリング204の延びる方向に沿って互いに独立して不連続に配置されているため、ウェハダイシング時のクラック等によって該各構成部分のいずれかがダメージを受けて破壊されたとしても、応力吸収壁205a及び205bの破壊がシールリング204の延びる方向に沿って拡大することはない。すなわち、応力吸収壁205a及び205bの各構成部分は独立しているので、破壊された構成部分がそれと隣り合う他の構成部分を引きずるようにして欠落することを防止できる。また、応力吸収壁205a及び205bの各構成部分のサイズ(具体的にはシールリング204の延びる方向の長さ)を小さくしておくことによ

## 【0095】

尚、本実施形態において、応力吸収壁205a及び205bとして、ピア(バッファーピア231a及び231b、232a及び232b、233a及び233b)の積層構造を用いたが、これに代えて、シールリング204と同様の、ピアと配線との積層構造を用

10

20

30

40

50

いてもよい。また、シールリング 204 として、ビア（シールビア 221、223、225）と配線（シール配線 222、224、226）との積層構造を用いたが、応力吸収壁 205 a 及び 205 b と同様の、ビアのみの積層構造を用いてもよい。尚、シールリング 204 並びに応力吸収壁 205 a 及び 205 b として、ビアのみの積層構造を用いた場合、ビアと配線との積層構造を用いる場合と比べて、半導体装置内におけるシールリング 204 並びに応力吸収壁 205 a 及び 205 b の幅方向（チップ領域 202 の周縁に沿ってシールリング 204 が延びる方向に対して垂直な方向）の占有領域を狭くできるので、半導体装置の小型化に有効である。

【0096】

また、本実施形態において、シールリング 204 を構成するために積層されている各導電体（パーツ）のうち少なくとも 1 つ以上の導電体は、デュアルダマシ構造を持つ配線の形成工程で形成されていることが好ましい。このようにすると、シールリング 204 のパーツは、少なくとも 1 つの層間絶縁膜を「つなぎ目」なしに突き抜ける。すなわち、シールリング、トランジスタ等の素子及び配線層等が形成されたチップ領域 202 の全体において、デュアルダマシ配線の形成過程でシールリング 204 のパーツを形成することによって、シールリング 204 の「つなぎ目」を減少させることができるので、ウェハ切断時の衝撃や外部からの水分がチップ領域 202 内に浸入することを防ぐことができる。

【0097】

また、本実施形態において、応力吸収壁 205 a 及び 205 b をスクライプ領域 203 に形成したが、これに限られず、応力吸収壁 205 a 及び 205 b がウェハダイシング部分とシールリング 204 との間に設けられていれば、応力吸収壁 205 a 及び 205 b の形成位置に関わらず本実施形態と同様の効果が得られる。すなわち、応力吸収壁 205 a 及び 205 b を、シールリング 204 の外側であって、例えばチップ領域 202 におけるスクライプ領域 203 との境界付近に設けてもよい。

【0098】

また、本実施形態において、シールリング 204 を、チップ領域 202 におけるスクライプ領域 203 との境界付近に設けたが、これに代えて、応力吸収壁 205 の内側であって、例えばスクライプ領域 203 のうちダイシング後も半導体装置（半導体チップ）の端部として残る部分（つまりスクライプ領域 203 におけるチップ領域 202 との境界付近）に設けてもよい。

【0099】

また、本実施形態において、3層重ねられた層間絶縁膜に配線構造を形成したが、層間絶縁膜の層数は3層に限られるものではなく、チップ構造に応じて3層より少なくても多くてもよいことは言うまでもない。

【0100】

また、本実施形態において、シールリング 204 並びに応力吸収壁 205 a 及び 205 b を構成する導電材料として Cu を用いたが、これに限られず、シールリング 204 並びに応力吸収壁 205 a 及び 205 b を W、Al 及び Cu のうちの少なくとも 1 つを用いて構成してもよい。このようにすると、半導体装置のチップ領域 202 に形成される配線及びビアと同じ材料からシールリング 204 並びに応力吸収壁 205 a 及び 205 b を形成することができる。

【0101】

（第3の実施形態）

以下、本発明の第3の実施形態に係る電子デバイス及びその製造方法について図面を参照しながら説明する。

【0102】

図 23 は、本発明の第3の実施形態に係る電子デバイス（チップ領域を1重に取り囲むシールリングを有する半導体装置）が設けられているウェハの一部を示す平面図である。

【0103】

10

20

30

40

50

図 2 3 に示すように、例えばシリコン基板等に代表される半導体基板となるウェハ 3 0 1 上には、それぞれ半導体装置となる複数のチップ領域 3 0 2 が配置されている。各チップ領域 3 0 2 には、複数の素子からなり且つ所定の機能を有する IC 回路が設けられている。尚、各チップ領域 3 0 2 は、格子状に設けられたスクライプ領域 3 0 3 によって区画されている。

#### 【 0 1 0 4 】

ここで、1 個の半導体装置（つまり 1 個の半導体チップ）は、複数の素子からなり且つ所定の機能を有する IC 回路が配置されているチップ領域 3 0 2 と、チップ領域 3 0 2 の周縁部に該チップ領域 3 0 2 を取り囲むように設けられているシールリング 3 0 4 と、シールリング 3 0 4 の外側にシールリング 3 0 4 を不連続的に取り囲むように設けられている本発明の 2 重の応力吸収壁 3 0 5 a 及び 3 0 5 b とから構成されている。すなわち、本実施形態の半導体装置は、第 2 の実施形態と同様に応力吸収壁 3 0 5 が 2 重構造を有している点を除いて、基本的に第 1 の実施形態と同様の構造を有している。また、第 2 の実施形態の半導体装置では 2 重構造の応力吸収壁 2 0 5 a 及び 2 0 5 b のそれぞれにおける不連続部分が互いに隣り合っていたのに対して、本実施形態の半導体装置では 2 重構造の応力吸収壁 3 0 5 a 及び 3 0 5 b のそれぞれにおける不連続部分は互いに隣り合わない。

#### 【 0 1 0 5 】

尚、本実施形態において、レイアウト上の余裕に応じて、2 重以上の 3 重又は 4 重等の構造を持つ応力吸収壁 3 0 5 を設けてもよい。

#### 【 0 1 0 6 】

このように複数の半導体装置が形成されたウェハ 3 0 1 は、スクライプ領域 3 0 3 に沿ってダイシングされ、それにより個々の半導体装置（半導体チップ）として分離される。このとき、チップ領域 3 0 2 を取り囲むように応力吸収壁 3 0 5 が少なくとも 2 重以上に形成されているため、ダイシング時の衝撃若しくは応力等又はそれらに起因して生じるクラックにより、1 つの応力吸収壁（具体的には外側の応力吸収壁 3 0 5 b）が破壊されてその内側つまりチップ領域 3 0 2 の内部方向に衝撃や応力等が侵入したとしても、破壊された応力吸収壁の内側にある他の応力吸収壁（具体的には内側の応力吸収壁 3 0 5 a）によって衝撃や応力等が吸収される。すなわち、衝撃、応力又はクラック等がシールリング 3 0 4 に至り、それによってシールリング 3 0 4 が破壊されることを防止することができる。

#### 【 0 1 0 7 】

また、本実施形態によると、2 重構造を持つ応力吸収壁 3 0 5 a 及び 3 0 5 b は、それぞれの不連続部分が互いに隣り合わないよう形成されているため、ウェハダイシング部分からシールリング 3 0 4 やチップ領域 3 0 2 の方向を見た場合には、多重の応力吸収壁 3 0 5 全体としては、それらの構成部分が隙間なく配置されていることになる。このため、外側の応力吸収壁 3 0 5 b の不連続部分からチップ領域 3 0 2 の方向へ侵入した、ダイシング時の衝撃、応力又はクラック等を、内側の応力吸収壁 3 0 5 a によって確実に吸収することができる。従って、ウェハ 3 0 1 を半導体チップに分割する際の工程で、シールリング 3 0 4 及びチップ領域 3 0 2 が損傷して半導体チップの性能が低下することを防ぐことができる。

#### 【 0 1 0 8 】

図 2 4 は、図 2 3 の C C ' 線の断面図（チップ領域 3 0 2 の周縁部に位置するシールリング部分を含む半導体装置端部（具体的にはチップ領域 3 0 2 の配線構造及びシールリング 3 0 4 の構造）の断面図）であり、図 2 5 は、図 2 3 の C C ' 線の近傍を拡大した平面図である。尚、図 2 4 及び図 2 5 において、スクライプ領域 3 0 3 を挟む一対のチップ領域 3 0 2 のそれぞれの端部を示している。また、図 2 4 においては、2 重構造を持つ応力吸収壁 3 0 5 a 及び 3 0 5 b のそれぞれの構成部分が互いに隣り合う箇所の断面構成を示している。ここで、2 重構造を持つ応力吸収壁 3 0 5 a 及び 3 0 5 b のそれぞれにおける不連続部分は互いに隣り合わないため、応力吸収壁形成領域のいずれの箇所の断面構成においても、応力吸収壁 3 0 5 a 及び 3 0 5 b のそれぞれの構成部分のうち少なくとも 1

10

20

30

40

50

つは形成されている。

【0109】

図24及び図25に示すように、ダイシング前の半導体装置はチップ領域302とスクライプ領域303とから構成されており、チップ領域302におけるスクライプ領域303との境界付近にシールリング304が形成されていると共にそのシールリング304の外側（スクライプ領域303におけるチップ領域302との境界付近）に2重構造の応力吸収壁305a及び305bが形成されている。

【0110】

また、図24に示すように、ウェハ301（以下、基板301と称する）におけるチップ領域302に、トランジスタ等の素子を構成する活性層310が形成されていると共に、基板301におけるチップ領域302の周縁部（スクライプ領域303の近傍のシールリング形成領域）に、活性層310と同様に構成された導電層320が形成されている。また、基板301上に第1の層間絶縁膜306が堆積されており、チップ領域302の第1の層間絶縁膜306中に、活性層310と接続する第1のビア311及び第1のビア311と接続する第1の配線312（つまり第1のビア311と第1の配線312とからなるデュアルダマシンプ配線）が形成されていると共に、シールリング形成領域の第1の層間絶縁膜306に、導電層320と接続する第1のシールビア321及び第1のシールビア321と接続する第1のシール配線322が形成されている。また、応力吸収壁形成領域の第1の層間絶縁膜306に第1のバッファービア331a及び331bが形成されると共にスクライプ領域303の第1の層間絶縁膜306にアクセサリ配線340が形成される。

10

20

【0111】

また、図24に示すように、第1の層間絶縁膜306の上に第2の層間絶縁膜307が形成されており、チップ領域302の第2の層間絶縁膜307に、第1の配線312と接続する第2のビア313及び第2のビア313と接続する第2の配線314（つまり第2のビア313と第2の配線314とからなるデュアルダマシンプ配線）が形成されていると共に、シールリング形成領域の第2の層間絶縁膜307に、第1のシール配線322と接続する第2のシールビア323及び第2のシールビア323と接続する第2のシール配線324が形成されている。また、応力吸収壁形成領域の第2の層間絶縁膜307に、第1のバッファービア331a及び331bとそれぞれ接続する第2のバッファービア332a及び332bが形成されていると共にスクライプ領域303の第2の層間絶縁膜307にアクセサリ配線340が形成されている。

30

【0112】

また、図24に示すように、第2の層間絶縁膜307の上に第3の層間絶縁膜308が形成されており、チップ領域302の第3の層間絶縁膜308に、第2の配線314と接続する第3のビア315及び第3のビア315と接続する第3の配線316（つまり第3のビア315と第3の配線316とからなるデュアルダマシンプ配線）が形成されていると共に、シールリング形成領域の第3の層間絶縁膜308に、第2のシール配線324と接続する第3のシールビア325及び第3のシールビア325と接続する第3のシール配線326が形成されている。また、応力吸収壁形成領域の第3の層間絶縁膜308に、第2のバッファービア332a及び332bとそれぞれ接続する第3のバッファービア333a及び333bが形成されていると共にスクライプ領域303の第3の層間絶縁膜308にアクセサリ配線340が形成されている。

40

【0113】

尚、本実施形態においては、各層間絶縁膜にCuを用いてビア又はシールビアと配線又はシール配線とからなるデュアルダマシンプ構造を設けた。しかし、これに代えて、第1層目（最下層）の層間絶縁膜にWを用いてビア及びシールビアを設け、第2層目の層間絶縁膜にCuを用いて配線及びシール配線（最下層の配線及びシール配線）を設け、第3層目以降の層間絶縁膜にCuを用いてビア又はシールビアと配線又はシール配線とからなるデュアルダマシンプ構造を設けてもよい。

50

## 【0114】

さらに、図24に示すように、最上の配線層となる第3の層間絶縁膜308上に、該配線層の保護膜となるパッシベーション膜309が堆積されている。また、第3の配線316の上のパッシベーション膜309が部分的に開口されていると共に、該開口部に、第3の配線316と接続するパッド電極317が形成されている。

## 【0115】

尚、図23～図25に示す構造を有する本実施形態の半導体装置を製造するための方法は、使用されるフォトマスクにおける2重構造の応力吸収壁形成用マスクパターンのレイアウトを除いて、基本的に、図19～図22に示す第2の実施形態の半導体装置の製造方法と同様である。

## 【0116】

以上に説明したように、本実施形態によると、チップ領域302のビア311、313、315及び配線312、314、316を形成すると同時に、シールビア321、323、325及びシール配線322、324、326からなるシールリング304を形成できる。さらに、シールリング304の外側に、バッファービア331a、332a、333aを積層した構造を持つ応力吸収壁305aとバッファービア331b、332b、333bを積層した構造を持つ応力吸収壁305b、つまり2重構造を持つ応力吸収壁305を形成できる。

## 【0117】

また、以上のような方法によって半導体装置が形成されウェハ301は、スクライプ領域303に沿ってダイシングを行なうことによって、個々の半導体装置(半導体チップ)に分離される。このとき、ダイシングされる部分から衝撃若しくは応力等又はそれらに起因するクラックが発生し、チップ領域302方向へ伝播する。このとき、これらの衝撃、応力又はクラック等によって外側の応力吸収壁305bが破壊されて、これらの衝撃等がさらにチップ領域302の内部方向へ伝播したとしても、破壊された応力吸収壁305bの内側の応力吸収壁305aによって衝撃、応力又はクラック等が吸収されるので、衝撃等がチップ領域302の内部方向へさらに伝播することを防止できる。これにより、シールリング304がダメージを受けることを防止できるので、シールリング304の本来の機能である、外部からチップ領域302の内部に水分や可動イオン等が浸入することを防ぐ機能を保持することができ、それによって信頼性の高い半導体装置を提供することができる。

## 【0118】

また、本実施形態によると、2重構造を持つ応力吸収壁305a及び305bは、それぞれの不連続部分が互いに隣り合わないよう形成されているため、ウェハダイシング部分からシールリング304やチップ領域302の方向を見た場合には、多重の応力吸収壁305全体としては、それらの構成部分が隙間なく配置されていることになる。このため、外側の応力吸収壁305bの不連続部分からチップ領域302の方向へ侵入した、ダイシング時の衝撃、応力又はクラック等を、内側の応力吸収壁305aによって確実に吸収することができる。これにより、シールリング304がダメージを受けることを防止できるので、シールリング304の本来の機能である、外部からチップ領域302の内部に水分や可動イオン等が浸入することを防ぐ機能を保持することができ、それによって信頼性の高い半導体装置を提供することができる。

## 【0119】

尚、本実施形態において、応力吸収壁305a及び305bとして、ビア(バッファービア331a及び331b、332a及び332b、333a及び333b)の積層構造を用いたが、これに代えて、シールリング304と同様の、ビアと配線との積層構造を用いてもよい。また、シールリング304として、ビア(シールビア321、323、325)と配線(シール配線322、324、326)との積層構造を用いたが、応力吸収壁305a及び305bと同様の、ビアのみの積層構造を用いてもよい。尚、シールリング304並びに応力吸収壁305a及び305bとして、ビアのみの積層構造を用いた場合

10

20

30

40

50

、ビアと配線との積層構造を用いる場合と比べて、半導体装置内におけるシールリング 304 並びに応力吸収壁 305 a 及び 305 b の幅方向 (チップ領域 302 の周縁に沿ってシールリング 304 が延びる方向に対して垂直な方向) の占有領域を狭くできるので、半導体装置の小型化に有効である。

【0120】

また、本実施形態において、シールリング 304 を構成するために積層されている各導電体 (パーツ) のうち少なくとも 1 つ以上の導電体は、デュアルダマシ構造を持つ配線の形成工程で形成されていることが好ましい。このようにすると、シールリング 304 のパーツは、少なくとも 1 つの層間絶縁膜を「つなぎ目」なしに突き抜ける。すなわち、シールリング、トランジスタ等の素子及び配線層等が形成されたチップ領域 302 の全体において、デュアルダマシ配線の形成過程でシールリング 304 のパーツを形成することによって、シールリング 304 の「つなぎ目」を減少させることができるので、ウェハ切断時の衝撃や外部からの水分がチップ領域 302 内に浸入することを防ぐことができる。

10

【0121】

また、本実施形態において、応力吸収壁 305 a 及び 305 b をスクライブ領域 303 に形成したが、これに限られず、応力吸収壁 305 a 及び 305 b がウェハダイシング部分とシールリング 304 との間に設けられていれば、応力吸収壁 305 a 及び 305 b の形成位置に関わらず本実施形態と同様の効果が得られる。すなわち、応力吸収壁 305 a 及び 305 b を、シールリング 304 の外側であって、例えばチップ領域 302 におけるスクライブ領域 303 との境界付近に設けてもよい。

20

【0122】

また、本実施形態において、シールリング 304 を、チップ領域 302 におけるスクライブ領域 303 との境界付近に設けたが、これに代えて、応力吸収壁 305 の内側であって、例えばスクライブ領域 303 のうちダイシング後も半導体装置 (半導体チップ) の端部として残る部分 (つまりスクライブ領域 303 におけるチップ領域 302 との境界付近) に設けてもよい。

【0123】

また、本実施形態において、3層重ねられた層間絶縁膜に配線構造を形成したが、層間絶縁膜の層数は3層に限られるものではなく、チップ構造に応じて3層より少なくても多くてもよいことは言うまでもない。

30

【0124】

また、本実施形態において、シールリング 304 並びに応力吸収壁 305 a 及び 305 b を構成する導電材料として Cu を用いたが、これに限られず、シールリング 304 並びに応力吸収壁 305 a 及び 305 b を W、Al 及び Cu のうちの少なくとも 1 つを用いて構成してもよい。このようにすると、半導体装置のチップ領域 302 に形成される配線及びビアと同じ材料からシールリング 304 並びに応力吸収壁 305 a 及び 305 b を形成することができる。

【0125】

(第4の実施形態)

以下、本発明の第4の実施形態に係る電子デバイス及びその製造方法について図面を参照しながら説明する。

40

【0126】

図26は、本発明の第4の実施形態に係る電子デバイス(チップ領域を1重に取り囲むシールリングを有する半導体装置)が設けられているウェハの一部を示す平面図である。

【0127】

図26に示すように、例えばシリコン基板等に代表される半導体基板となるウェハ401上には、それぞれ半導体装置となる複数のチップ領域402が配置されている。各チップ領域402には、複数の素子からなり且つ所定の機能を有するIC回路が設けられている。尚、各チップ領域402は、格子状に設けられたスクライブ領域403によって区画

50

されている。

【0128】

ここで、1個の半導体装置（つまり1個の半導体チップ）は、複数の素子からなり且つ所定の機能を有するIC回路が配置されているチップ領域402と、チップ領域402の周縁部に該チップ領域402を取り囲むように設けられているシールリング404と、シールリング404の外側にシールリング404を不連続的に取り囲むように設けられている本発明の2重の応力吸収壁405a及び405bとから構成されている。すなわち、本実施形態の半導体装置は、第2又は第3の実施形態と同様に応力吸収壁405が2重構造を有している点を除いて、基本的に第1の実施形態と同様の構造を有している。また、本実施形態の半導体装置に独特の特徴として、2重構造を持つ応力吸収壁405a及び405bのうち外側の応力吸収壁405bの構成部分は、内側の応力吸収壁405aの構成部分と比べて、シールリング404の延びる方向に沿った長さがより短い。

10

【0129】

尚、本実施形態において、レイアウト上の余裕に応じて、2重以上の3重又は4重等の構造を持つ応力吸収壁305を設けてもよい。この場合、2重以上の応力吸収壁305のうちシールリング304から最も離れた位置に形成されている応力吸収壁の構成部分は、他の応力吸収壁の構成部分と比べて、シールリング304の延びる方向に沿った長さがより短い。

【0130】

このように複数の半導体装置が形成されたウェハ401は、スクライプ領域403に沿ってダイシングされ、それにより個々の半導体装置（半導体チップ）として分離される。このとき、チップ領域402を取り囲むように応力吸収壁405が少なくとも2重以上に形成されているため、ダイシング時の衝撃若しくは応力等又はそれらに起因して生じるクラックにより、1つの応力吸収壁（具体的には外側の応力吸収壁405b）が破壊されてその内側つまりチップ領域402の内部方向に衝撃や応力等が侵入したとしても、破壊された応力吸収壁の内側にある他の応力吸収壁（具体的には内側の応力吸収壁405a）によって衝撃や応力等が吸収される。すなわち、衝撃、応力又はクラック等がシールリング404に至り、それによってシールリング404が破壊されることを防止することができる。

20

【0131】

また、本実施形態によると、ウェハダイシング部分に最も近い位置にある応力吸収壁405b、つまりシールリング404から最も離れた位置に形成されている応力吸収壁405bの構成部分の長さが小さいため、ダイシング時のクラックや衝撃等を細かく分散して吸収できる。よって、ウェハ401を個々の半導体チップに分割する際に、シールリング404及びチップ領域402に損傷が生じて半導体チップの性能が低下することを防ぐことができる。また、応力吸収壁405bの構成部分が小さいため、該構成部分がダイシング時のクラックや衝撃等を受けて破壊されたとしても、該構成部分が半導体装置（個片化された半導体チップ）から脱落しやすい。このため、該破壊された構成部分が、個片化された半導体チップの端部から飛び出した状態のままになることを防止できるので、該半導体チップに対してパッケージングを行なった際に、応力吸収壁405bの残骸とボンディングワイヤとの接触に起因する製品不良をなくすことができる。

30

40

【0132】

図27は、図26のDD'線の断面図（チップ領域402の周縁部に位置するシールリング部分を含む半導体装置端部（具体的にはチップ領域402の配線構造及びシールリング404の構造）の断面図）であり、図28は、図26のDD'線の近傍を拡大した平面図である。尚、図27及び図28において、スクライプ領域403を挟む一对のチップ領域402のそれぞれの端部を示している。また、図27においては、2重構造を持つ応力吸収壁405a及び405bのそれぞれの構成部分が互いに隣り合う箇所の断面構成を示している。

【0133】

50

図 27 及び図 28 に示すように、ダイシング前の半導体装置はチップ領域 402 とスクライプ領域 403 とから構成されており、チップ領域 402 におけるスクライプ領域 403 との境界付近にシールリング 404 が形成されていると共にそのシールリング 404 の外側（スクライプ領域 403 におけるチップ領域 402 との境界付近）に 2 重構造の応力吸収壁 405 a 及び 405 b が形成されている。

【0134】

また、図 27 に示すように、ウェハ 401（以下、基板 401 と称する）におけるチップ領域 402 に、トランジスタ等の素子を構成する活性層 410 が形成されていると共に、基板 401 におけるチップ領域 402 の周縁部（スクライプ領域 403 の近傍のシールリング形成領域）に、活性層 410 と同様に構成された導電層 420 が形成されている。また、基板 401 上に第 1 の層間絶縁膜 406 が堆積されており、チップ領域 402 の第 1 の層間絶縁膜 406 中に、活性層 410 と接続する第 1 のビア 411 及び第 1 のビア 411 と接続する第 1 の配線 412（つまり第 1 のビア 411 と第 1 の配線 412 とからなるデュアルダマシン配線）が形成されていると共に、シールリング形成領域の第 1 の層間絶縁膜 406 に、導電層 420 と接続する第 1 のシールビア 421 及び第 1 のシールビア 421 と接続する第 1 のシール配線 422 が形成されている。また、応力吸収壁形成領域の第 1 の層間絶縁膜 406 に第 1 のバッファービア 431 a 及び 431 b が形成されると共にスクライプ領域 403 の第 1 の層間絶縁膜 406 にアクセサリ配線 440 が形成される。

10

【0135】

また、図 27 に示すように、第 1 の層間絶縁膜 406 の上に第 2 の層間絶縁膜 407 が形成されており、チップ領域 402 の第 2 の層間絶縁膜 407 に、第 1 の配線 412 と接続する第 2 のビア 413 及び第 2 のビア 413 と接続する第 2 の配線 414（つまり第 2 のビア 413 と第 2 の配線 414 とからなるデュアルダマシン配線）が形成されていると共に、シールリング形成領域の第 2 の層間絶縁膜 407 に、第 1 のシール配線 422 と接続する第 2 のシールビア 423 及び第 2 のシールビア 423 と接続する第 2 のシール配線 424 が形成されている。また、応力吸収壁形成領域の第 2 の層間絶縁膜 407 に、第 1 のバッファービア 431 a 及び 431 b とそれぞれ接続する第 2 のバッファービア 432 a 及び 432 b が形成されていると共にスクライプ領域 403 の第 2 の層間絶縁膜 407 にアクセサリ配線 440 が形成されている。

20

30

【0136】

また、図 27 に示すように、第 2 の層間絶縁膜 407 の上に第 3 の層間絶縁膜 408 が形成されており、チップ領域 402 の第 3 の層間絶縁膜 408 に、第 2 の配線 414 と接続する第 3 のビア 415 及び第 3 のビア 415 と接続する第 3 の配線 416（つまり第 3 のビア 415 と第 3 の配線 416 とからなるデュアルダマシン配線）が形成されていると共に、シールリング形成領域の第 3 の層間絶縁膜 408 に、第 2 のシール配線 424 と接続する第 3 のシールビア 425 及び第 3 のシールビア 425 と接続する第 3 のシール配線 426 が形成されている。また、応力吸収壁形成領域の第 3 の層間絶縁膜 408 に、第 2 のバッファービア 432 a 及び 432 b とそれぞれ接続する第 3 のバッファービア 433 a 及び 433 b が形成されていると共にスクライプ領域 403 の第 3 の層間絶縁膜 408 にアクセサリ配線 440 が形成されている。

40

【0137】

尚、本実施形態においては、各層間絶縁膜に Cu を用いてビア又はシールビアと配線又はシール配線とからなるデュアルダマシン構造を設けた。しかし、これに代えて、第 1 層目（最下層）の層間絶縁膜に W を用いてビア及びシールビアを設け、第 2 層目の層間絶縁膜に Cu を用いて配線及びシール配線（最下層の配線及びシール配線）を設け、第 3 層目以降の層間絶縁膜に Cu を用いてビア又はシールビアと配線又はシール配線とからなるデュアルダマシン構造を設けてもよい。

【0138】

さらに、図 27 に示すように、最上の配線層となる第 3 の層間絶縁膜 408 上に、該配

50

線層の保護膜となるパッシベーション膜409が堆積されている。また、第3の配線416の上のパッシベーション膜409が部分的に開口されていると共に、該開口部に、第3の配線416と接続するパッド電極417が形成されている。

#### 【0139】

尚、図26～図28に示す構造を有する本実施形態の半導体装置を製造するための方法は、使用されるフォトマスクにおける2重構造の応力吸収壁形成用マスクパターンのレイアウトを除いて、基本的に、図19～図22に示す第2の実施形態の半導体装置の製造方法と同様である。

#### 【0140】

以上に説明したように、本実施形態によると、チップ領域402のビア411、413、415及び配線412、414、416を形成すると同時に、シールビア421、423、425及びシール配線422、424、426からなるシールリング404を形成できる。さらに、シールリング404の外側に、バッファービア431a、432a、433aを積層した構造を持つ応力吸収壁405aとバッファービア431b、432b、433bを積層した構造を持つ応力吸収壁405b、つまり2重構造を持つ応力吸収壁405を形成できる。

#### 【0141】

また、以上のような方法によって半導体装置が形成されウェハ401は、スクライプ領域403に沿ってダイシングを行なうことによって、個々の半導体装置（半導体チップ）に分離される。このとき、ダイシングされる部分から衝撃若しくは応力等又はそれらに起因するクラックが発生し、チップ領域402方向へ伝播する。このとき、これらの衝撃、応力又はクラック等によって外側の応力吸収壁405bが破壊されて、これらの衝撃等がさらにチップ領域402の内部方向へ伝播したとしても、破壊された応力吸収壁405bの内側の応力吸収壁405aによって衝撃、応力又はクラック等が吸収されるので、衝撃等がチップ領域402の内部方向へさらに伝播することを防止できる。これにより、シールリング404がダメージを受けることを防止できるので、シールリング404の本来の機能である、外部からチップ領域402の内部に水分や可動イオン等が浸入することを防ぐ機能を保持することができ、それによって信頼性の高い半導体装置を提供することができる。

#### 【0142】

また、本実施形態によると、2重構造を持つ応力吸収壁405a及び405bのうち、ウェハダイシング部分に最も近い位置にある応力吸収壁405b、つまりシールリング404から最も離れた位置に形成されている応力吸収壁405bの構成部分の長さが小さいため、ダイシング時のクラックや衝撃等を細かく分散して吸収できる。よって、ウェハ401を個々の半導体チップに分割する際に、シールリング404及びチップ領域402に損傷が生じて半導体チップの性能が低下することを防ぐことができる。また、応力吸収壁405bの構成部分が小さいため、該構成部分がダイシング時のクラックや衝撃等を受けて破壊されたとしても、該構成部分が半導体装置（個片化された半導体チップ）から脱落しやすい。このため、該破壊された構成部分が、個片化された半導体チップの端部から飛び出した状態のままになることを防止できるので、該半導体チップに対してパッケージングを行なった際に、応力吸収壁405bの残骸とボンディングワイヤとの接触に起因する製品不良をなくすことができる。

#### 【0143】

尚、本実施形態において、応力吸収壁405a及び405bとして、ビア（バッファービア431a及び431b、432a及び432b、433a及び433b）の積層構造を用いたが、これに代えて、シールリング404と同様の、ビアと配線との積層構造を用いてもよい。また、シールリング404として、ビア（シールビア421、423、425）と配線（シール配線422、424、426）との積層構造を用いたが、応力吸収壁405a及び405bと同様の、ビアのみの積層構造を用いてもよい。尚、シールリング404並びに応力吸収壁405a及び405bとして、ビアのみの積層構造を用いた場合

、ビアと配線との積層構造を用いる場合と比べて、半導体装置内におけるシールリング404並びに応力吸収壁405a及び405bの幅方向(チップ領域402の周縁に沿ってシールリング404が延びる方向に対して垂直な方向)の占有領域を狭くできるので、半導体装置の小型化に有効である。

【0144】

また、本実施形態において、シールリング404を構成するために積層されている各導電体(パーツ)のうち少なくとも1つ以上の導電体は、デュアルダマシ構造を持つ配線の形成工程で形成されていることが好ましい。このようにすると、シールリング404のパーツは、少なくとも1つの層間絶縁膜を「つなぎ目」なしに突き抜ける。すなわち、シールリング、トランジスタ等の素子及び配線層等が形成されたチップ領域402の全体において、デュアルダマシ配線の形成過程でシールリング404のパーツを形成することによって、シールリング404の「つなぎ目」を減少させることができるので、ウェハ切断時の衝撃や外部からの水分がチップ領域402内に浸入することを防ぐことができる。

10

【0145】

また、本実施形態において、応力吸収壁405a及び405bをスクライプ領域403に形成したが、これに限られず、応力吸収壁405a及び405bがウェハダイシング部分とシールリング404との間に設けられていれば、応力吸収壁405a及び405bの形成位置に関わらず本実施形態と同様の効果が得られる。すなわち、応力吸収壁405a及び405bを、シールリング404の外側であって、例えばチップ領域402におけるスクライプ領域403との境界付近に設けてもよい。

20

【0146】

また、本実施形態において、シールリング404を、チップ領域402におけるスクライプ領域403との境界付近に設けたが、これに代えて、応力吸収壁405の内側であって、例えばスクライプ領域403のうちダイシング後も半導体装置(半導体チップ)の端部として残る部分(つまりスクライプ領域403におけるチップ領域402との境界付近)に設けてもよい。

【0147】

また、本実施形態において、3層重ねられた層間絶縁膜に配線構造を形成したが、層間絶縁膜の層数は3層に限られるものではなく、チップ構造に応じて3層より少なくても多くてもよいことは言うまでもない。

30

【0148】

また、本実施形態において、シールリング404並びに応力吸収壁405a及び405bを構成する導電材料としてCuを用いたが、これに限られず、シールリング404並びに応力吸収壁405a及び405bをW、Al及びCuのうちの少なくとも1つを用いて構成してもよい。このようにすると、半導体装置のチップ領域402に形成される配線及びビアと同じ材料からシールリング404並びに応力吸収壁405a及び405bを形成することができる。

【0149】

以下、本発明の各実施形態におけるシールリング構造のバリエーションについて、第1の実施形態のシールリング104を例として説明するが、他の実施形態のシールリング204、304及び404についても同様である。

40

【0150】

図29(a)~(f)は、本発明の各実施形態におけるシールリング構造のバリエーションの断面構成を示しており、図30(a)~(c)及び図31(a)~(c)は、本発明の各実施形態におけるシールリング構造のバリエーションの平面構成を示している。尚、図30(a)~(c)及び図31(a)~(c)においても、シールリング104については太い実線で模式的に示している。

【0151】

まず、図29(a)に示すシールリング構造の特徴は、最上層の層間絶縁膜(第3の層間絶縁膜108)中に形成されている第3のシール配線126上のパッシベーション膜1

50

09が開口されており、該開口部にキャップ層127が設けられていることである。これにより、チップ領域102のパッシベーション膜109と、シールリング形成領域の外側（スクライプ領域103を含む）のパッシベーション膜109とが不連続になるため、ダイシング時にスクライプ領域103近傍のパッシベーション膜109が受ける機械的衝撃が、チップ領域102に堆積されているパッシベーション膜109等の膜に伝わりにくくなる。すなわち、チップ領域102におけるスクライプ領域103との境界付近のパッシベーション膜109に部分的に不連続箇所が存在するので、ウェハのダイシング時の衝撃がチップ領域102まで達することを防止することができる。

#### 【0152】

次に、図29(b)に示すシールリング構造が図29(a)に示すシールリング構造と異なっている点は、第1の層間絶縁膜106に、第1のシールビア121に代えて、導電層120とそれぞれ接続するシールビア121a及び121bが設けられていること、第2の層間絶縁膜107に、第2のシールビア123及び第2のシール配線124に代えて、第1のシール配線122とそれぞれ接続するシールビア123a及び123bが設けられていること、並びに、第3の層間絶縁膜108に、第3のシールビア125及び第3のシール配線125に代えて、シールビア123a及び123bのそれぞれと接続するシールビア125a及び125bが設けられていることである。尚、シールビア121a及び121bのそれぞれの上部は第1のシール配線122と接続されており、シールビア125a及び125bのそれぞれの上部はキャップ層127と接続されている。図29(b)に示すシールリング構造によると、図29(a)に示すシールリング構造によって得られる効果に加えて、次のような効果が得られる。すなわち、シールビアの幅はシール配線と比べて狭いため、シールビアの強度はシール配線と比べてやや低くなる。それに対して、図29(b)に示すシールリング構造のように、シールリングを構成するパーツとして、1つのシールビアではなく、2以上に枝分かれしたシールビアを用いることによって、該枝分かれしたシールビアが設けられている層間絶縁膜において、部分的にシールリングの多重構造（チップ領域102を多重に取り囲む構造）を実現することができる。よって、ある層間絶縁膜内に1本（つまり一重構造の）シールビアを有するシールリングと比べて、多重構造部分を持つ図29(b)に示すシールリング構造の強度は向上する。

#### 【0153】

次に、図29(c)に示すシールリング構造の特徴は、チップ領域102におけるスクライプ領域103の付近に（つまりシールリング形成領域に）、シールリング104a及び104bからなる2重のシールリング構造が設けられていることである。具体的には、シールリング104aは、基板101に形成された導電層120aと、第1の層間絶縁膜106に形成され且つ導電層120aと接続するシールビア121aと、第2の層間絶縁膜106の下部に形成され且つシールビア121aと接続するシールビア123aと、第2の層間絶縁膜106の上部に形成され且つシールビア123aと接続するシール配線124aと、第3の層間絶縁膜107に形成され且つシール配線124aと接続するシールビア125aとから構成されている。また、シールリング104bは、基板101に形成された導電層120bと、第1の層間絶縁膜106に形成され且つ導電層120bと接続するシールビア121bと、第2の層間絶縁膜106の下部に形成され且つシールビア121bと接続するシールビア123bと、第2の層間絶縁膜106の上部に形成され且つシールビア123bと接続するシール配線124bと、第3の層間絶縁膜107に形成され且つシール配線124bと接続するシールビア125bとから構成されている。尚、最上層の層間絶縁膜（第3の層間絶縁膜108）中に形成されているシールビア125a及び125bのそれぞれの上のパッシベーション膜109は開口されており、該各開口部にキャップ層127a及び127bが設けられている。図29(c)に示すシールリング構造によると、チップ領域102の周縁部に、チップ領域102を連続的に取り囲むシールリング104a及び104bが2重に形成されている。よって、半導体ウェハ（基板）101をスクライプ領域103に沿ってダイシングして、完成した個片の半導体チップ（半導体装置）を取り出す際に、ダイシング装置のブレードがスクライプライン（スクライプ

10

20

30

40

50

領域) 103に接することによって生じるダイシング時の機械的衝撃がチップ領域102に加わること、又はそれによってチップ領域102が破損することをより確実に防止することができる。また、シールリング104a及び104bの最上部に形成されているキャップ層127a及び127bは、チップ領域102を連続的に取り囲むパッシベーション膜109の開口部に設けられている。このため、チップ領域102に形成されているパッシベーション膜109と、スクライブ領域103に形成されているパッシベーション膜109とは、キャップ層127a及び127bによって2重に分断されることになる。すなわち、スクライブ領域103とチップ領域102とがパッシベーション膜109を介して接続されることはないので、ダイシング時にスクライブ領域103のパッシベーション膜109が受ける衝撃が該パッシベーション膜109を通じてチップ領域102に伝播されることはほとんどない。

10

## 【0154】

次に、図29(d)に示すシールリング構造は、図29(c)に示すシールリング構造と同様に、図29(b)に示すシールリング構造を2重に設けたものであり、図29(c)に示すシールリング構造と同様の効果に加えて、図29(b)に示すシールリング構造と同様の効果が得られる。

## 【0155】

尚、図29(c)に示すシールリング構造において、図29(e)に示すように、パッシベーション膜109を開口せずにキャップ層127a及び127bを設けなくてもよいし、又は図示はしていないがいずれか一方のキャップ層のみを設けてもよい。

20

## 【0156】

また、図29(d)に示すシールリング構造において、図29(f)に示すように、パッシベーション膜109を開口せずにキャップ層127a及び127bを設けなくてもよいし、又は図示はしていないがいずれか一方のキャップ層のみを設けてもよい。

## 【0157】

次に、図30(a)に示すシールリング構造の平面構成の特徴は、シールリング104が基板101(つまりパッシベーション膜109)の上側から見て矩形状の凹凸を有していることである。

## 【0158】

また、図30(b)に示すシールリング構造の平面構成の特徴は、シールリング104が基板101の上側から見て三角波状の凹凸を有していることである。

30

## 【0159】

また、図30(c)に示すシールリング構造の平面構成の特徴は、シールリング104の側部に、スクライブ領域103の方向に伸びる複数の突起が設けられていることである。すなわち、シールリング104は、スクライブ領域103の伸びる方向に対して垂直な方向に複数の突起を有している。

## 【0160】

尚、図30(a)~(c)のそれぞれに対応する半導体装置の断面構成は、断面を観察する箇所によりシールリング104の形成位置が水平方向に変化したり又はシールリング104の形成幅が変化する点を除いて、図2に示す第1の実施形態又は前述の図29(a)、(b)に示すバリエーションと同様である。

40

## 【0161】

図30(a)~(c)のいずれかに示すシールリング構造を有する半導体装置においては、チップ領域102を保護するシールリング104の障壁が、スクライブ領域103が伸びる方向に対して平行な方向のみならず、垂直な方向や斜め方向にも設けられている。このため、ウェハのダイシング時にダイシング装置のブレードとパッシベーション膜109等の膜とが接触することによって生じる衝撃及び応力並びにそれらに起因して生じたウェハ(基板101)のクラック等が、シールリング104の側面(スクライブ領域103と対向する面)に沿って進行することを防ぐことができる。

## 【0162】

50

次に、図31(a)に示すシールリング構造の平面構成の特徴は、スクライプ領域103側のシールリング104bが基板101(つまりパッシベーション膜109)の上側から見て矩形の凹凸を有していることである。

【0163】

また、図31(b)に示すシールリング構造の平面構成の特徴は、スクライプ領域103側のシールリング104bが基板101の上側から見て三角波状の凹凸を有していることである。

【0164】

また、図31(c)に示すシールリング構造の平面構成の特徴は、スクライプ領域103側のシールリング104bの側部に、スクライプ領域103の方向に伸びる複数の突起が設けられていることである。すなわち、シールリング104bは、スクライプ領域103の伸びる方向に対して垂直な方向に複数の突起を有している。

【0165】

尚、図31(a)~(c)のそれぞれに対応する半導体装置の断面構成は、断面を観察する箇所によりシールリング104の形成位置が水平方向に変化したり又はシールリング104の形成幅が変化する点を除いて、前述の図29(c)~(f)に示すバリエーションと同様である。

【0166】

図31(a)~(c)のいずれかに示す本実施形態のシールリング構造を有する半導体装置によると、シールリング構造が2重になっていることによる、図29(c)~(f)に示すバリエーションと同様の効果に加えて、次のような効果が得られる。すなわち、チップ領域102を保護するシールリング104a及び104bのうちスクライプ領域103側のシールリング104bの障壁が、スクライプ領域103が伸びる方向に対して平行な方向のみならず、垂直な方向や斜め方向にも設けられている。このため、ウェハのダイシング時にダイシング装置のブレードとパッシベーション膜109等の膜とが接触することによって生じる衝撃及び応力並びにそれらに起因して生じたウェハ(基板101)のクラック等が、シールリング104bの側面(スクライプ領域103と対向する面)に沿って進行することを防ぐことができる。

【0167】

尚、図31(a)~(c)のそれぞれに示すシールリング構造(2重構造)においては、ライン状の平面形状を有するシールリング104aと、ライン状以外の他の平面形状を有するシールリング104bとの組み合わせについて説明した。しかし、シールリング104a及び104bのそれぞれが、ライン状以外の他の平面形状(同一でもよいし又は異なってもよい)を有していてもよい。また、少なくとも最も外側のシールリングがライン状以外の他の平面形状を有する3重以上のシールリング構造を用いてもよい。しかし、ライン状以外の他の平面形状を有する複数のシールリングを用いた場合又は3重以上のシールリング構造を用いた場合には、半導体装置(半導体チップ)の幅に占めるシールリング部分の幅が大きくなり、半導体装置の小型化に不利となる可能性がある。従って、図31(a)~(c)のそれぞれに示すシールリング構造のように、ライン状の平面形状を有するシールリングと、ライン状以外の他の平面形状を有するシールリングとを組み合わせ

【産業上の利用可能性】

【0168】

以上に説明したように、本発明は、チップ領域の周囲を取り囲むように形成されたシールリングとそれを保護する機構とを有する電子デバイスおよびその製造方法に関し、ダイシング時に発生するクラックや応力等を応力吸収壁によって阻止してチップ領域の内部を確実に保護するというシールリングの機能を保持するという効果が得られ、非常に有用である。

【図面の簡単な説明】

【0169】

10

20

30

40

50

【図 1】本発明の第 1 の実施形態に係る電子デバイスが設けられているウェハの一部を示す平面図である。

【図 2】図 1 の A A ' 線の断面図である。

【図 3】図 1 の A A ' 線の近傍を拡大した平面図である。

【図 4】本発明の第 1 の実施形態に係る電子デバイスの製造方法の各工程を示す断面図である。

【図 5】本発明の第 1 の実施形態に係る電子デバイスの製造方法の各工程を示す断面図である。

【図 6】本発明の第 1 の実施形態に係る電子デバイスの製造方法の各工程を示す断面図である。

10

【図 7】本発明の第 1 の実施形態に係る電子デバイスの製造方法の各工程を示す断面図である。

【図 8】ダイシング後における図 1 の A A ' 線の断面図である。

【図 9】ダイシング後における図 1 の A A ' 線の近傍を拡大した平面図である。

【図 10】本発明の第 1 の実施形態に係る電子デバイス（ダイシング後）をリードフレームに搭載した様子を示す断面図である。

【図 11】ダイシング前における比較例の半導体装置の端部の断面図である。

【図 12】ダイシング前における比較例の半導体装置の端部の平面図である。

【図 13】ダイシング後における比較例の半導体装置の端部の断面図である。

【図 14】ダイシング後における比較例の半導体装置の端部の平面図である。

20

【図 15】比較例の半導体装置（ダイシング後）をリードフレームに搭載した様子を示す断面図である。

【図 16】本発明の第 2 の実施形態に係る電子デバイスが設けられているウェハの一部を示す平面図である。

【図 17】図 16 の B B ' 線の断面図である。

【図 18】図 16 の B B ' 線の近傍を拡大した平面図である。

【図 19】本発明の第 2 の実施形態に係る電子デバイスの製造方法の各工程を示す断面図である。

【図 20】本発明の第 2 の実施形態に係る電子デバイスの製造方法の各工程を示す断面図である。

30

【図 21】本発明の第 2 の実施形態に係る電子デバイスの製造方法の各工程を示す断面図である。

【図 22】本発明の第 2 の実施形態に係る電子デバイスの製造方法の各工程を示す断面図である。

【図 23】本発明の第 3 の実施形態に係る電子デバイスが設けられているウェハの一部を示す平面図である。

【図 24】図 23 の C C ' 線の断面図である。

【図 25】図 23 の C C ' 線の近傍を拡大した平面図である。

【図 26】本発明の第 4 の実施形態に係る電子デバイスが設けられているウェハの一部を示す平面図である。

40

【図 27】図 26 の D D ' 線の断面図である。

【図 28】図 26 の D D ' 線の近傍を拡大した平面図である。

【図 29】(a) ~ (f) は、本発明の各実施形態におけるシールリング構造のバリエーションの断面図である。

【図 30】(a) ~ (c) は、本発明の各実施形態におけるシールリング構造のバリエーションの平面図である。

【図 31】(a) ~ (c) は、本発明の各実施形態におけるシールリング構造のバリエーションの平面図である。

【図 32】従来の半導体装置の断面図である。

【符号の説明】

50

## 【 0 1 7 0 】

1 0 1	ウェハ ( 基板 )	
1 0 2	チップ領域	
1 0 3	スクライプ領域	
1 0 4、1 0 4 a、1 0 4 b	シールリング	
1 0 5	応力吸収壁	
1 0 6	第 1 の層間絶縁膜	
1 0 6 a	ビアホール	
1 0 6 b	溝状凹部	
1 0 6 c	凹部	10
1 0 6 d、1 0 6 e、1 0 6 f	配線溝	
1 0 7	第 2 の層間絶縁膜	
1 0 8	第 3 の層間絶縁膜	
1 0 9	パッシベーション膜	
1 1 0	活性層	
1 1 1	第 1 のビア	
1 1 2	第 1 の配線	
1 1 3	第 2 のビア	
1 1 4	第 2 の配線	
1 1 5	第 3 のビア	20
1 1 6	第 3 の配線	
1 1 7	パッド電極	
1 2 0	導電層	
1 2 1、1 2 1 a、1 2 1 b	第 1 のシールビア	
1 2 2、1 2 2 a、1 2 2 b	第 1 のシール配線	
1 2 3、1 2 3 a、1 2 3 b	第 2 のシールビア	
1 2 4、1 2 4 a、1 2 4 b	第 2 のシール配線	
1 2 5、1 2 5 a、1 2 5 b	第 3 のシールビア	
1 2 6	第 3 のシール配線	
1 2 7、1 2 7 a、1 2 7 b	キャップ層	30
1 3 1	第 1 のバッファービア	
1 3 2	第 2 のバッファービア	
1 3 3	第 3 のバッファービア	
1 4 0	アクセサリ配線	
1 5 0	リードフレーム	
1 5 1	ボンディングワイヤ	
2 0 1	ウェハ ( 基板 )	
2 0 2	チップ領域	
2 0 3	スクライプ領域	
2 0 4	シールリング	40
2 0 5 a、2 0 5 b	応力吸収壁	
2 0 6	第 1 の層間絶縁膜	
2 0 6 a	ビアホール	
2 0 6 b	溝状凹部	
2 0 6 c、2 0 6 d	凹部	
2 0 6 e、2 0 6 f、2 0 6 g	配線溝	
2 0 7	第 2 の層間絶縁膜	
2 0 8	第 3 の層間絶縁膜	
2 0 9	パッシベーション膜	
2 1 0	活性層	50

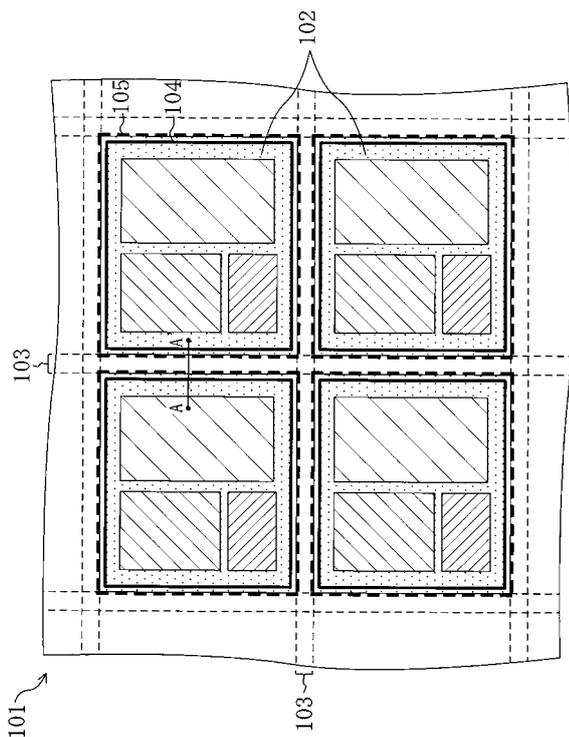
2 1 1	第 1 のビア	
2 1 2	第 1 の配線	
2 1 3	第 2 のビア	
2 1 4	第 2 の配線	
2 1 5	第 3 のビア	
2 1 6	第 3 の配線	
2 1 7	パッド電極	
2 2 0	導電層	
2 2 1	第 1 のシールビア	
2 2 2	第 1 のシール配線	10
2 2 3	第 2 のシールビア	
2 2 4	第 2 のシール配線	
2 2 5	第 3 のシールビア	
2 2 6	第 3 のシール配線	
2 3 1 a、2 3 1 b	第 1 のバッファービア	
2 3 2 a、2 3 2 b	第 2 のバッファービア	
2 3 3 a、2 3 3 b	第 3 のバッファービア	
2 4 0	アクセサリ配線	
3 0 1	ウェハ (基板)	
3 0 2	チップ領域	20
3 0 3	スクライプ領域	
3 0 4	シールリング	
3 0 5 a、3 0 5 b	応力吸収壁	
3 0 6	第 1 の層間絶縁膜	
3 0 7	第 2 の層間絶縁膜	
3 0 8	第 3 の層間絶縁膜	
3 0 9	パッシベーション膜	
3 1 0	活性層	
3 1 1	第 1 のビア	
3 1 2	第 1 の配線	30
3 1 3	第 2 のビア	
3 1 4	第 2 の配線	
3 1 5	第 3 のビア	
3 1 6	第 3 の配線	
3 1 7	パッド電極	
3 2 0	導電層	
3 2 1	第 1 のシールビア	
3 2 2	第 1 のシール配線	
3 2 3	第 2 のシールビア	
3 2 4	第 2 のシール配線	40
3 2 5	第 3 のシールビア	
3 2 6	第 3 のシール配線	
3 3 1 a、3 3 1 b	第 1 のバッファービア	
3 3 2 a、3 3 2 b	第 2 のバッファービア	
3 3 3 a、3 3 3 b	第 3 のバッファービア	
3 4 0	アクセサリ配線	
4 0 1	ウェハ (基板)	
4 0 2	チップ領域	
4 0 3	スクライプ領域	
4 0 4	シールリング	50

- 4 0 5 a、4 0 5 b 応力吸収壁
- 4 0 6 第1の層間絶縁膜
- 4 0 7 第2の層間絶縁膜
- 4 0 8 第3の層間絶縁膜
- 4 0 9 パッシベーション膜
- 4 1 0 活性層
- 4 1 1 第1のビア
- 4 1 2 第1の配線
- 4 1 3 第2のビア
- 4 1 4 第2の配線
- 4 1 5 第3のビア
- 4 1 6 第3の配線
- 4 1 7 パッド電極
- 4 2 0 導電層
- 4 2 1 第1のシールビア
- 4 2 2 第1のシール配線
- 4 2 3 第2のシールビア
- 4 2 4 第2のシール配線
- 4 2 5 第3のシールビア
- 4 2 6 第3のシール配線
- 4 3 1 a、4 3 1 b 第1のバッファービア
- 4 3 2 a、4 3 2 b 第2のバッファービア
- 4 3 3 a、4 3 3 b 第3のバッファービア
- 4 4 0 アクセサリ配線

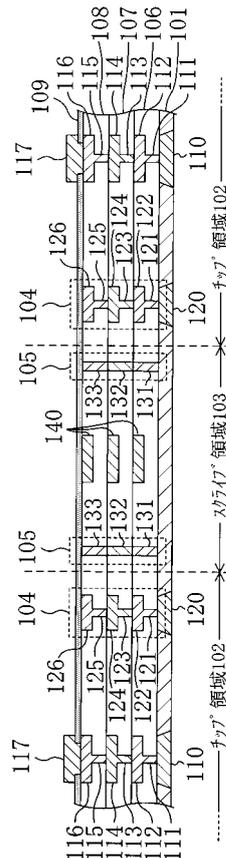
10

20

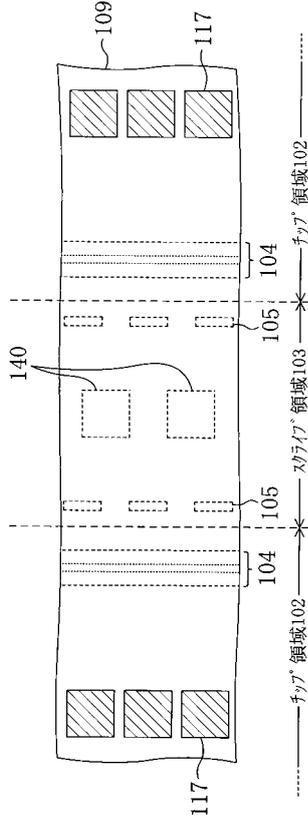
【図1】



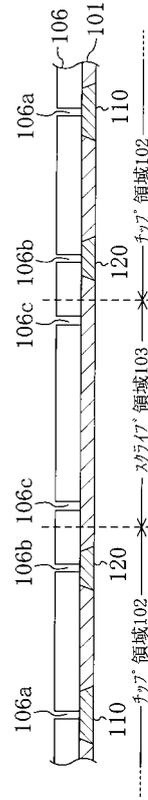
【図2】



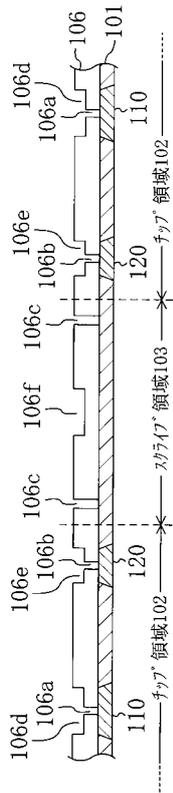
【 図 3 】



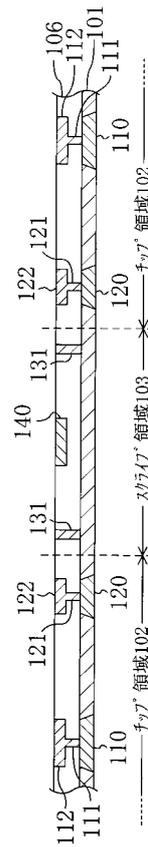
【 図 4 】



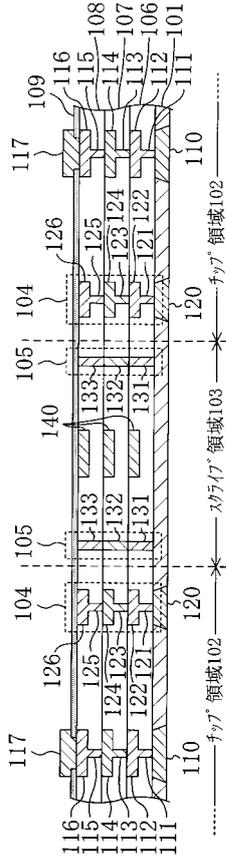
【 図 5 】



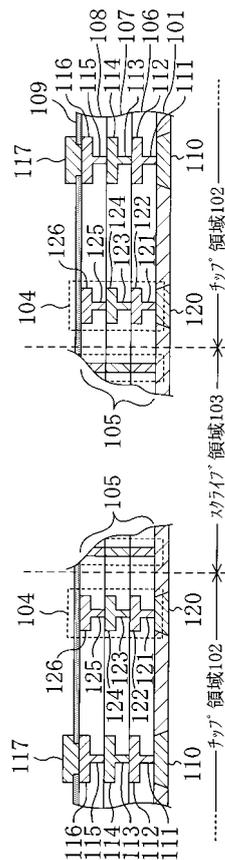
【 図 6 】



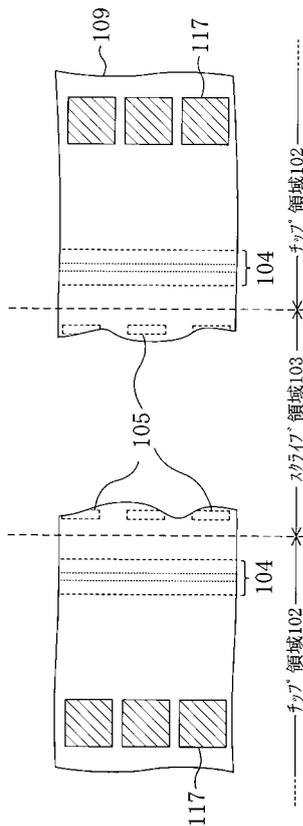
【 図 7 】



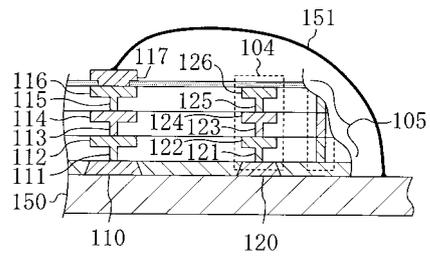
【 図 8 】



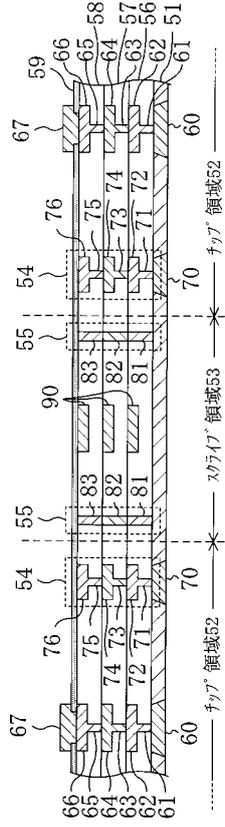
【 図 9 】



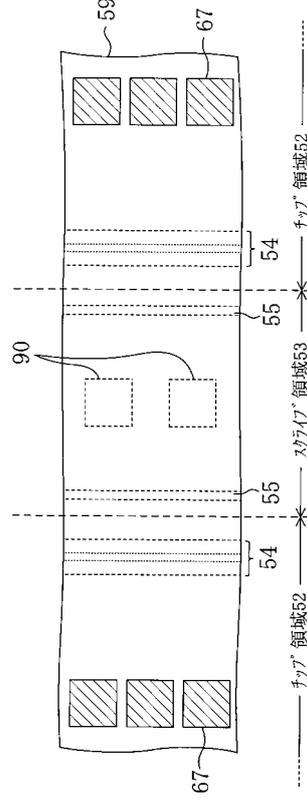
【 図 10 】



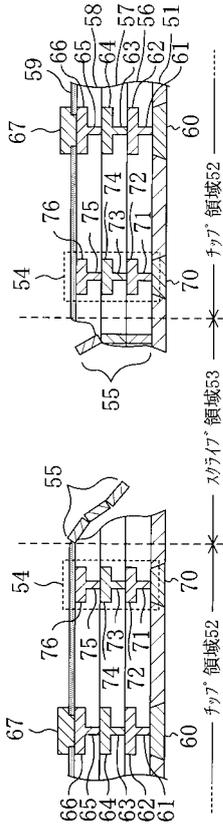
【図 1 1】



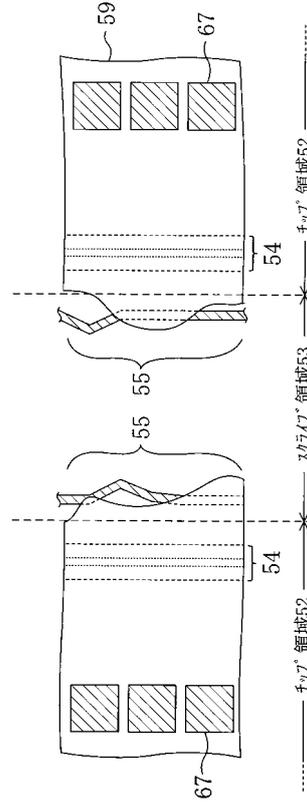
【図 1 2】



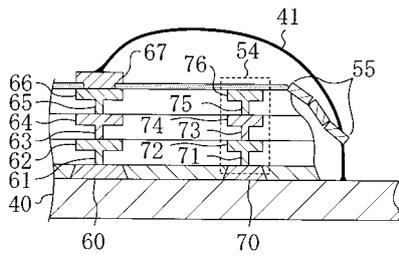
【図 1 3】



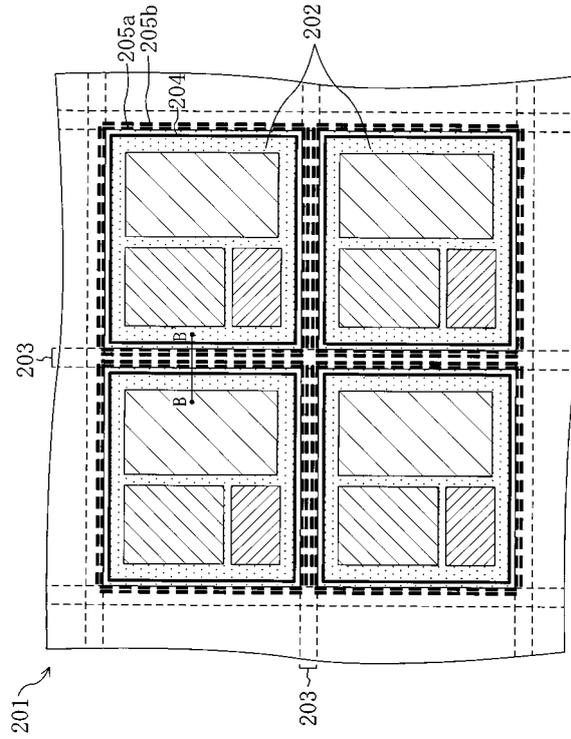
【図 1 4】



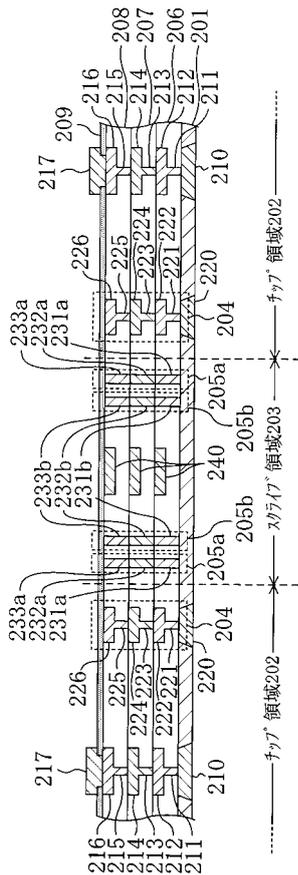
【図 15】



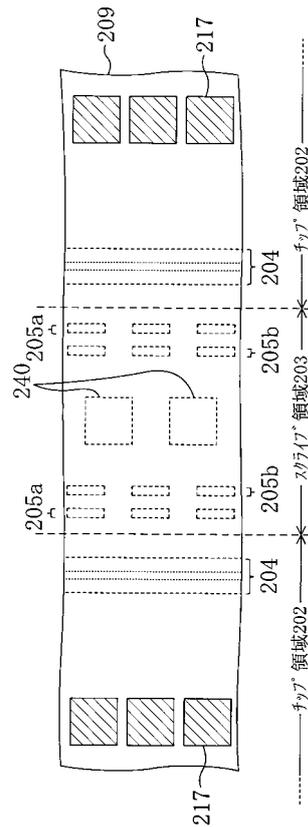
【図 16】



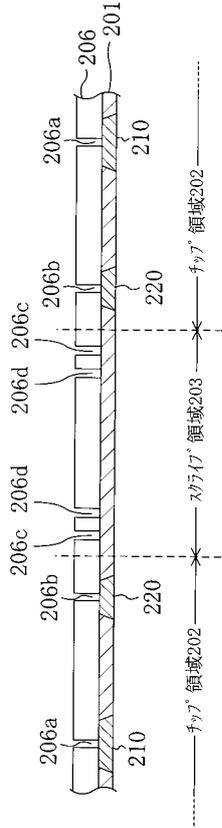
【図 17】



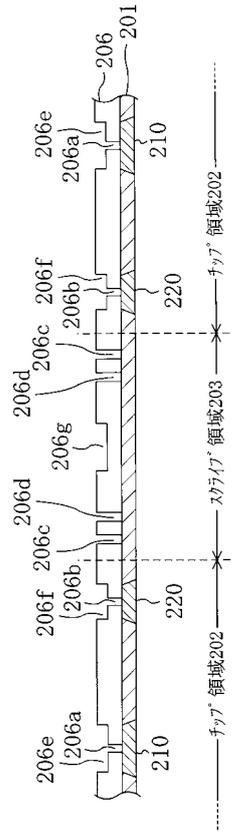
【図 18】



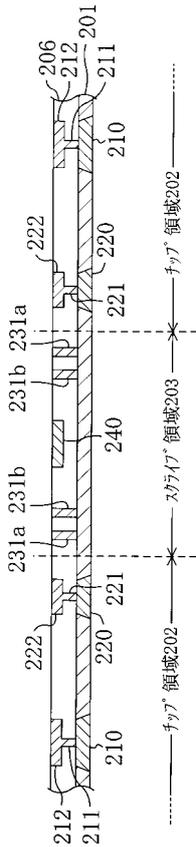
【図 19】



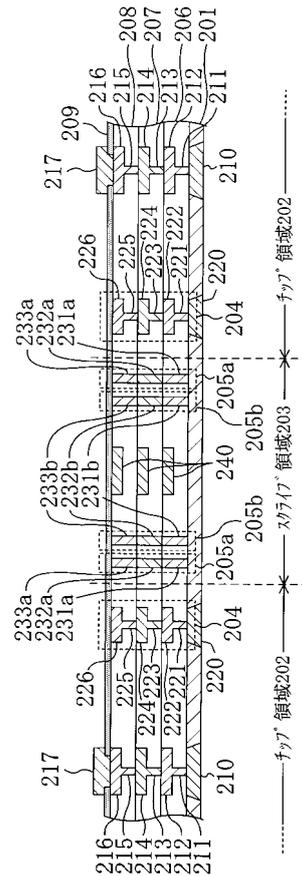
【図 20】



【図 21】

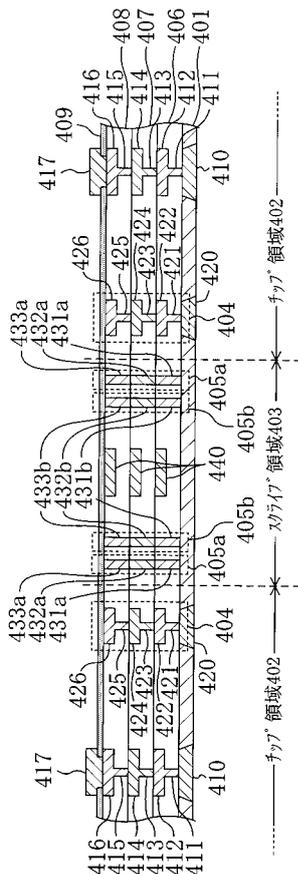


【図 22】

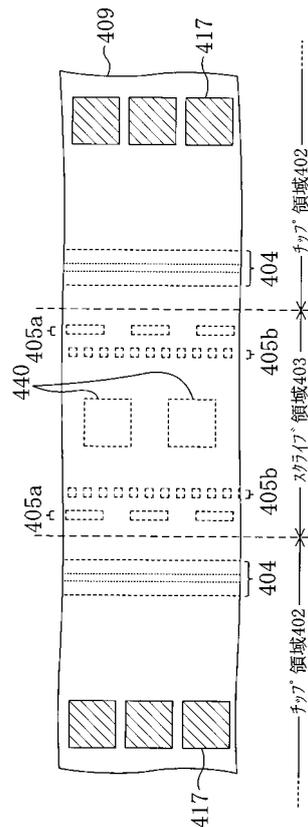




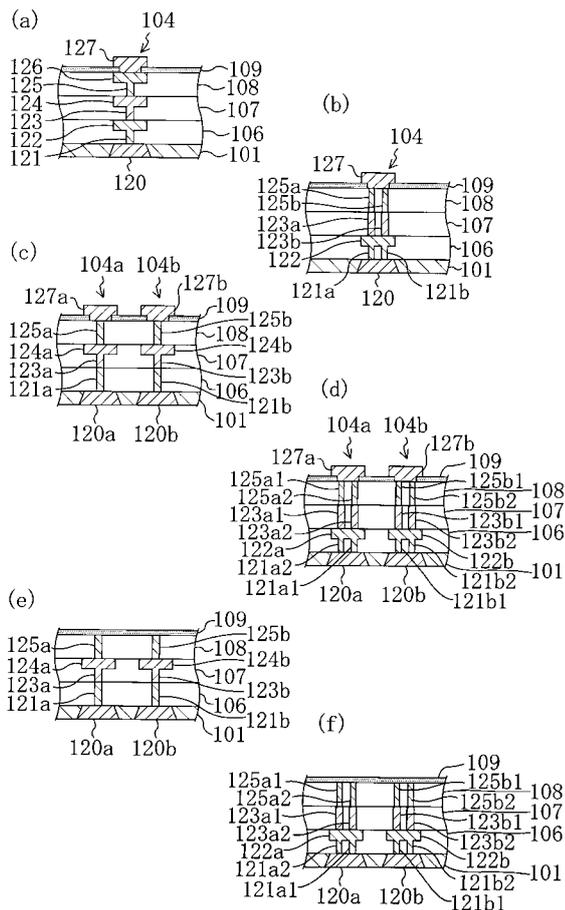
【 図 2 7 】



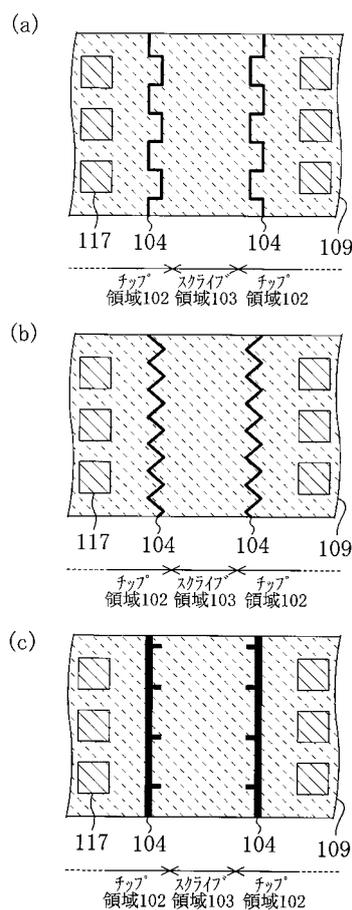
【 図 2 8 】



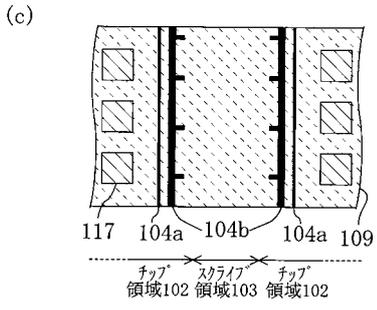
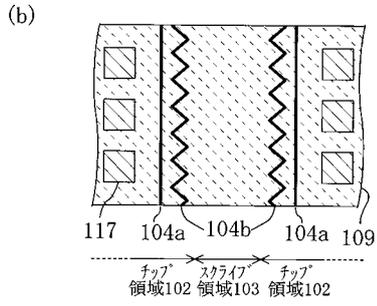
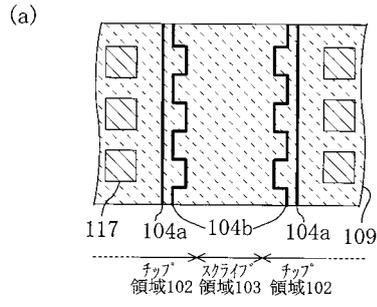
【 図 2 9 】



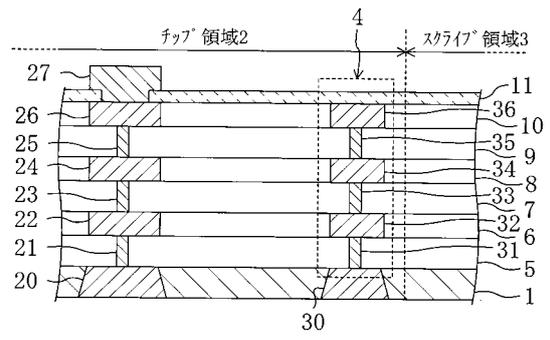
【 図 3 0 】



【図 3 1】



【図 3 2】



---

フロントページの続き

(74)代理人 100115691

弁理士 藤田 篤史

(74)代理人 100117581

弁理士 二宮 克也

(74)代理人 100117710

弁理士 原田 智雄

(74)代理人 100121728

弁理士 井関 勝守

(72)発明者 筒江 誠

大阪府門真市大字門真1006番地 松下電器産業株式会社内

Fターム(参考) 5F033 HH11 JJ01 JJ11 KK11 KK19 MM02 PP27 PP28 QQ09 QQ11  
QQ37 QQ48 VV01 VV03 XX19 XX34