

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3980383号
(P3980383)

(45) 発行日 平成19年9月26日(2007.9.26)

(24) 登録日 平成19年7月6日(2007.7.6)

(51) Int. Cl.	F I		
H03K 19/0185 (2006.01)	H03K 19/00	101E	
H01L 21/822 (2006.01)	H01L 27/04	F	
H01L 27/04 (2006.01)	H03K 17/22	Z	
H03K 17/22 (2006.01)	H03K 19/00	A	
H03K 19/00 (2006.01)			

請求項の数 14 (全 22 頁)

(21) 出願番号	特願2002-73836 (P2002-73836)	(73) 特許権者	503121103
(22) 出願日	平成14年3月18日(2002.3.18)		株式会社ルネサステクノロジ
(65) 公開番号	特開2003-273724 (P2003-273724A)		東京都千代田区大手町二丁目6番2号
(43) 公開日	平成15年9月26日(2003.9.26)	(74) 代理人	100089233
審査請求日	平成17年3月4日(2005.3.4)		弁理士 吉田 茂明
前置審査		(74) 代理人	100088672
			弁理士 吉竹 英俊
		(74) 代理人	100088845
			弁理士 有田 貴弘
		(72) 発明者	中瀬 泰伸
			東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		(72) 発明者	野谷 宏美
			東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【特許請求の範囲】

【請求項1】

電源電圧を受ける電源ノードと接地電圧を受ける接地ノードとに接続され、ある信号を受け当該信号より大きい電圧振幅を有した信号に変換して第1のノードに提供するレベル変換器、

前記第1のノードに電氣的に接続する導電部分と、前記導電部分との間で絶縁膜を挟む第1の半導体部分と、前記第1の半導体部分と異なる導電型を有して前記第1の半導体部分と接合する第2の半導体部分とを含む第1の容量素子、および、

前記電源ノードと前記接地ノードとのいずれからも分離している第2のノードで前記第1の容量素子の第2の半導体部分に直列に接続される第2の容量素子を含む、半導体集積回路装置。

【請求項2】

前記第1の半導体部分は前記接地ノードに電氣的に接続され、前記第2の容量素子は前記第2のノードと前記接地ノードとの間に接続される、請求項1記載の半導体集積回路装置。

【請求項3】

前記第2の容量素子は、前記第2の半導体部分に電氣的に接続される第3の半導体部分と、前記第3の半導体部分と異なる導電型を有して前記第3の半導体部分と接合する第4の半導体部分と、前記第4の半導体部分との間で絶縁膜を挟み、前記第4の半導体部分に反転層を形成しない電圧が与えられる導電部分とを含む、請求項1又は請求項2記載の半

10

20

導体集積回路装置。

【請求項 4】

前記第 2 の容量素子は、前記第 1 の容量素子の第 2 の半導体部分に電氣的に接続する金属の第 1 の配線層と、絶縁物を間に挟んで前記第 1 の配線層と対向して配置される金属の第 2 の配線層とを含む、請求項 1 又は請求項 2 記載の半導体集積回路装置。

【請求項 5】

前記第 2 の容量素子は、前記第 1 の容量素子の第 2 の半導体部分に電氣的に接続する金属の配線層と、前記第 1 の容量素子の導電部分と同じ物質を有して絶縁物を間に挟んで前記配線層と対向して配置される導電層とを含む、請求項 1 又は請求項 2 記載の半導体集積回路装置。

10

【請求項 6】

前記第 2 の容量素子は、前記第 1 の容量素子の導電部分と同じ物質を含み前記第 2 の半導体部分に電氣的に接続する導電層と、前記第 1 の半導体部分と同じ導電型からなる第 3 の半導体部分とを含む、請求項 1 又は請求項 2 記載の半導体集積回路装置。

【請求項 7】

接地電圧を受ける接地ノードと電源電圧を受ける第 1 の電源ノードとに接続され、ある電圧振幅を有した第 1 の信号を生成するコア回路部、前記接地ノードと別の電源電圧を受ける第 2 の電源ノードとに接続され、前記第 1 の信号を受け当該第 1 の信号より大きい電圧振幅を有した第 2 の信号に変換して所定のノードに提供するレベル変換器、および、前記所定のノードに電氣的に接続する導電部分と、前記導電部分と間で絶縁膜を挟む第 1 の半導体部分と、前記第 1 の半導体部分と異なる導電型を有して前記第 1 の半導体部分と接合するとともに、前記第 1 の電源ノードと電氣的に接続される第 2 の半導体部分とを含む容量素子を含む、半導体集積回路装置。

20

【請求項 8】

前記第 1 の半導体部分は前記接地ノードに電氣的に接続される、請求項 7 記載の半導体集積回路装置。

【請求項 9】

前記第 2 の半導体部分は、前記第 1 の半導体部分を挟んで離間し、配線層で互いに電氣的に接続される 2 つの領域を有する、請求項 1 ないし請求項 8 のいずれか一項記載の半導体集積回路装置。

30

【請求項 10】

ある信号を受け、当該信号より大きい電圧振幅を有した信号に変換して第 1 のノードに提供するレベル変換器、

ある電圧が与えられる第 1 の電極と、第 2 のノードに接続される第 2 の電極とを有する容量素子、および、

前記第 1 のノードと前記第 2 のノードとの間に接続され、前記レベル変換器の電源電圧がある一定電位以上に上昇した後に非導通となるスイッチ素子を含む、半導体集積回路装置。

【請求項 11】

接地電圧を受ける接地ノードと電源電圧を受ける電源ノードとに接続され、前記レベル変換器に与える信号を生成するコア回路部を含み、前記スイッチ素子は、そのゲート端子に前記電源ノードが電氣的に接続される電界効果トランジスタを含む、請求項 10 記載の半導体集積回路装置。

40

【請求項 12】

前記レベル変換器は、前記接地ノードと別の電源電圧を受ける別の電源ノードとに接続され、前記容量素子の第 1 の電極は、前記別の電源ノードに電氣的に接続される、請求項 10 又は請求項 11 記載の半導体集積回路装置。

【請求項 13】

論理的に相補な 2 つの第 1 の信号を受け、その 2 つの第 1 の信号より電圧振幅の大きい論理的に相補な 2 つの信号に変換してそれぞれ第 1 および第 2 のノードに提供する第 1 の

50

レベル変換器、

論理的に相補な2つの第2の信号を受け、その2つの第2の信号より電圧振幅の大きい論理的に相補な2つの信号に変換してそれぞれ第3および第4のノードに提供する第2のレベル変換器、

ある電圧を受ける第5のノードと前記第1のノードとの間に接続される第1の容量素子、

前記第5のノードと前記第3のノードとの間に接続される第2の容量素子、

前記第2のノード上の信号に従ってその導通が制御される第1の電界効果トランジスタ、および

前記第1の電界効果トランジスタに接続され、前記第4のノード上の信号に従ってその導通が制御される前記第1の電界効果トランジスタとは異なる導電性を有する第2の電界効果トランジスタを含む、半導体集積回路装置。

10

【請求項14】

前記第1のレベル変換器は、

そのドレインが前記第1のノードに接続され、そのゲートが前記第2のノードに接続される第1の導電型の第3の電界効果トランジスタと、

そのドレインが前記第2のノードに接続され、そのゲートが前記第1のノードに接続され、そのソースが前記第3の電界効果トランジスタのソースに接続される前記第1の導電型の第4の電界効果トランジスタと、

そのドレインが前記第1のノードに接続され、そのゲートに前記2つの第1の信号の一方を受け、そのソースが前記第5のノードに接続される第2の導電型の第5の電界効果トランジスタと、

20

そのドレインが前記第2のノードに接続され、そのゲートに前記2つの第1の信号の他方を受け、そのソースが前記第5のノードに接続される前記第2の導電型の第6の電界効果トランジスタとを有し、

前記第2のレベル変換器は、

そのドレインが前記第3のノードに接続され、そのゲートが前記第4のノードに接続される第1の導電型の第7の電界効果トランジスタと、

そのドレインが前記第4のノードに接続され、そのゲートが前記第3のノードに接続され、そのソースが前記第7の電界効果トランジスタのソースに接続される前記第1の導電型の第8の電界効果トランジスタと、

30

そのドレインが前記第3のノードに接続され、そのゲートに前記2つの第2の信号の一方を受け、そのソースが前記第5のノードに接続される前記第2の導電型の第9の電界効果トランジスタと、

そのドレインが前記第4のノードに接続され、そのゲートに前記2つの第2の信号の他方を受け、そのソースが前記第5のノードに接続される前記第2の導電型の第10の電界効果トランジスタとを有する、請求項13記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

40

この発明は、入力する信号をより大きい電圧振幅を有した信号に変換するレベル変換器を有した半導体集積回路装置に関する。

【0002】

【従来の技術】

半導体加工技術の微細化に伴い、半導体集積回路装置においてワンチップに集積できるトランジスタの数は近年飛躍的に増加している。集積されるトランジスタの数の増加による消費電力を抑えるためにも、電源電圧の縮小は不可避である。現在最も広く用いられている電界効果トランジスタの一つであるMOS (metal oxide semiconductor) トランジスタの場合、最小加工寸法が0.25 μm、0.18 μm、0.15 μm、と縮小されるに従い、電源電圧も2.5 V、1.8 V、1.5 Vと低下している。これらの電源電圧は、

50

集積回路の中核部分に用いられていることからコア回路部の電源電圧VDDと呼ぶ。

【0003】

その一方で、他のチップと信号を交換するために設けられたインターフェース部の電源電圧はプロセス技術の進展に拘わりなく、コア回路部の電源電圧VDDより高い一定値の電源電圧VDDHが設定されている。現在では3.3Vが一般的である。ボード上に搭載されるチップすべてが最先端プロセス技術で製造されているわけではないこと、インターフェース規格の変更には多くの混乱が生じることがその理由である。コア部で使用される最先端プロセスによるトランジスタは、3.3Vの電源電圧では用いることはできない。性能は劣化するもののインターフェース部のトランジスタは、コア部のものよりゲート酸化膜の膜厚を大きくしてゲート耐圧を上げている。

10

【0004】

このように2種類以上の電源電圧を用いる場合には、それぞれの電源電圧を用いる回路ブロック間で信号の電位振幅を変換するためのレベル変換器(レベルシフタ)が必要となる。

図11に従来から知られているレベル変換器を含んだ半導体集積回路装置を示す。信号Dinはハイレベルが電源電圧VDDレベルであり、ローレベルが接地電圧GNDレベルであるデジタル信号であり、コア回路部2内で生成される。コア回路部2は、論理ゲートIN0、IN1、IN2、G0、G1を介して信号Dinに基づき互いに論理的に相補な2つの信号を2組生成する。そのいずれの信号とも信号Dinと同じ電圧振幅を有する。レベル変換器16はNMOSTランジスタN0、N1のゲート電極で一方の組の相補信号を受け、レベル変換器18はNMOSTランジスタN2、N3のゲート電極で他方の組の相補信号を受ける。

20

【0005】

NMOSTランジスタN0、N2のゲートに同一の論理が入力され、NMOSTランジスタN1、N3のゲートにその逆の論理が入力されるので、レベル変換器16、18は、ノードD1、D2から同一の論理レベルであって電源電圧VDDHと接地電位GNDとの間で振幅する信号を出力する。レベル変換器16、18の出力する信号に従いドライバ部10のPMOSTランジスタPDとNMOSTランジスタNDが相補的にオンする。

【0006】

イネーブル信号ENがハイレベルを示すとき、以上に説明した動作に従って信号Dinと同じ論理であるが信号Dinより電位振幅の大きい信号Doutがノード23に現れる。イネーブル信号ENがローレベルを示すときはドライバ部10のPMOSTランジスタPD、NMOSTランジスタNDは同時にオフし、ノード23はハイインピーダンス状態となる。

30

【0007】

【発明が解決しようとする課題】

このように集積回路装置の電源が2種類以上ある場合には、電源投入時に、特に電源を入れる順番によってPMOSTランジスタPDとNMOSTランジスタNDとが同時にオンする可能性がある。半導体集積回路装置の外部電源端子に電源電圧が投入されることにより装置内部の電源ノードが接地電圧のレベルから上昇し電源電圧のレベルに設定される。

40

【0008】

コア回路部2に電源電圧VDDが設定された後に、インターフェース部4に電源電圧VDDHが設定される場合には問題にはならない。コア回路部2からインターフェース部4に与えられる2組の信号対の論理レベルが先に設定されることになるのでPMOSTランジスタPDとNMOSTランジスタNDが同時にオンすることはない。よってトランジスタPD、NDを貫通する電流も生じない。しかしその逆で、最初にインターフェース部4に電源電圧VDDHが設定された後に、コア回路部2に電源電圧VDDが設定された場合に問題がある。

【0009】

電源電圧VDDHが設定された時点では、レベル変換器16のNMOSTランジスタN0

50

、N1のゲート電極はともにローレベル(GND)であるため、出力ノードD1の電位は不定であり、例えばローレベル(GND)に設定される可能性がある。同時にレベル変換器18のNMOSトランジスタN2、N3のゲート電極もともにローレベル(GND)であるため、出力ノードD2の電位は不定であり、例えばハイレベル(VDDH)に設定される可能性がある。このとき、レベル変換器16、18のそれぞれ入力する信号のレベルが決定するまでPMOSトランジスタPD及びNMOSトランジスタNDが同時にオンすることになる。出力ドライバとしてのトランジスタPD、NDの駆動力が他のトランジスタより大きく構成されるので、PMOSトランジスタPD及びNMOSトランジスタNDが同時にオンすることにより大量の電流が生じる。大電流が流れると配線の断線等、半導体装置の破壊につながりかねない。

10

【0010】

従ってこの発明の目的は、電源投入時にレベル変換器による変換後の信号の与えられるノードに所望の値に設定することのできる半導体集積回路装置を提供することにある。

またこの発明の別の目的は、電源投入後の通常動作において高速に動作できる半導体集積回路装置を提供することにある。

またこの発明のさらに別の目的は、電源投入時にレベル変換器の出力に接続される回路を安定して動作させることのできる半導体集積回路装置を提供することにある。

【0011】**【課題を解決するための手段】**

この発明による第1の半導体集積回路装置は、レベル変換器に加えてさらに少なくとも2つの容量素子をさらに含む。その一方である第1の容量素子はレベル変換器によりレベル変換された後の信号が提供される第1のノードに電氣的に接続する導電部分と、この導電部分との間で絶縁膜を挟む第1の半導体部分と、この第1の半導体部分と異なる導電型を有して第1の半導体部分と接合する第2の半導体部分とを含む。その他方である第2の容量素子は、電源電圧を受ける電源ノードと接地電圧を受ける接地ノードとのいずれからも分離している第2のノードで第1の容量素子の第2の半導体部分に直列に接続される。

20

【0012】

電源投入時においては、第1の容量素子における導電部分と第1の半導体部分との間の容量によって第1のノードが第1の半導体部分の電位レベル程度に設定される。また電源投入後においては、第1の容量素子における導電部分と第2の半導体部分との容量が第1のノードに付加される容量に寄与する場合、第2の半導体部分と直列に接続される第2の容量素子によって第1のノードに付加される容量が見かけ上低下する。これにより電源投入後の通常動作においてこの第1のノードの容量低下によってレベル変換器の動作が速くなる。従って半導体集積回路装置の高速動作が実現される。好ましくは、第1の半導体部分は接地ノードに電氣的に接続され、第2の容量素子は第2のノードと接地ノードとの間に電氣的に接続される。

30

【0013】

この発明による第2の半導体集積回路装置は、レベル変換器に加え、そのレベル変換器によりレベル変換された後の信号が提供される所定のノードに接続される容量素子を含む。この容量素子は所定のノードに電氣的に接続する導電部分と、導電部分と間で絶縁膜を挟む第1の半導体部分と、第1の半導体部分と異なる導電型を有して第1の半導体部分と接合する第2の半導体部分とを含む。

40

【0014】

電源投入時においては、容量素子における第1の半導体部分の導電部分と第1の半導体部分との間の容量によって第1のノードは第1の半導体部分の電位レベル程度に設定される。また第2の半導体部分は、コア回路部の電源として供給される電源電圧を受ける電源ノードに接続される。電源投入後に容量素子の第1の半導体部分に対して第2の半導体部分に逆バイアスの電圧を与えることが可能となる。これによって導電部分と第1の半導体部分との間の容量が小さくなり、電源投入後の通常動作においては、所定のノードに付加される容量が低下することによりレベル変換器の動作が速くなる。従って半導体集積回路装

50

置の高速動作が実現される。第1の半導体部分は例えば接地ノードに電氣的に接続されるのがよい。

【0015】

上記の第1および第2の半導体集積回路装置においては、容量素子を構成する第2の半導体部分は、第1の半導体部分を挟んで離間し、配線層で互いに電氣的に接続される2つの領域を有する形態として、レベル変換器に接続される容量素子は、電界効果トランジスタで形成されてもよい。

【0016】

この発明による第3の半導体集積回路装置は、レベル変換器に加え、ある電圧が与えられる第1の電極と、第1のノードに接続される第2の電極とを有する容量素子、および、第1のノードとレベル変換器でレベル変換された後の信号が提供される第2のノードとの間に接続され、前記レベル変換器の電源電圧がある一定電位以上に上昇した後に非導通となるスイッチ素子を備えている。

10

【0017】

このスイッチ素子を制御することにより第2のノードから見た容量素子の容量を見かけ上可変とすることができる。電源投入時においてはスイッチ素子をオンさせることにより第2のノードを容量素子の第1の電極に与えられる電位のレベル程度に設定することができる。

【0018】

電源投入後の通常動作においては、スイッチ素子をオフし又は電源投入時よりオン状態を弱めることにより、容量素子が第2のノードから切り離され又は容量素子と第2のノードとの間に擬似的に抵抗が挿入される。これは通常動作時には第2のノードに付加される容量が低減することになり、レベル変換器の動作を速める。従って半導体集積回路装置の高速動作が実現される。

20

【0019】

スイッチ素子は、例えば電界効果トランジスタを含む。レベル変換器に与える信号を生成するコア回路部が半導体集積回路装置に含まれ、その電界効果トランジスタのゲート電極にはそのコア回路部に与えられる電源電圧の電源ノードに電氣的に接続される。一方、容量素子の第2の電極にはレベル変換器に与えられる電源電圧の電源ノードに電氣的に接続されるとよい。

30

【0023】

この発明の第4の半導体集積回路装置は、論理的に相補な2つの第1の信号を受け、その2つの第1の信号より電圧振幅の大きい論理的に相補な2つの信号に変換してそれぞれ第1および第2のノードに提供する第1のレベル変換器、論理的に相補な2つの第2の信号を受け、その2つの第2の信号より電圧振幅の大きい論理的に相補な2つの信号に変換してそれぞれ第3および第4のノードに提供する第2のレベル変換器を含む。半導体集積回路装置はさらに第1および第2の容量素子を含み、第1の容量素子はある電圧を受ける第5のノードと第1のノードとの間に接続され、第2の容量素子は第5のノードと第3のノードとの間に接続される。第1および第2の容量素子によって、電源投入時にレベル変換器による変換後の信号を受ける第1および第3のノードが共に第5のノードの電位レベル程度に設定される。

40

【0024】

さらに半導体集積回路装置は、第2のノード上の信号に従ってその導通が制御される第1の電界効果トランジスタ、および第1の電界効果トランジスタに接続され、第4のノード上の信号に従ってその導通が制御される第1の電界効果トランジスタとは異なる導電型を有する第2の電界効果トランジスタを含む。

【0025】

電源投入時、第1および第3のノードに初期値が設定されることにより、第1および第2のレベル変換器が第2および第4のノードを駆動して第1および第3のノードに逆の論理レベルに設定する。第2および第4のノードに設定される電位レベルは、容量素子により

50

設定される第1および第3のノードの電位レベルより安定している。第1および第2の電界効果トランジスタを駆動する信号を第2および第4のノードから得ることで、電源投入時に第1および第2の電界効果トランジスタの各々を正しくオンまたはオフに設定することができる。この第1および第2の電界効果トランジスタにより構成される回路の状態が安定する。

【0026】

【発明の実施の形態】

以下、この発明の実施の形態を、図面を参照しながら説明する。なお、図において同一のもの又は相当のものには同一の符号を付している。

実施の形態1.

図1はこの実施の形態1による半導体集積回路装置100の回路構成図を示す。単一半導体チップ上に集積回路が形成された半導体集積回路装置100は、該集積回路の主要な機能を実現するコア回路部2と、コア回路部2で生成されるデジタル信号Dinをこれより大きい電圧振幅を有したデジタル信号に変換して信号Doutとして他の半導体チップに供給するインターフェース部4とを備える。ノード23には当該他の半導体チップが接続される。

【0027】

コア回路部2は、電源電圧VDDが与えられる電源ノードと、接地電圧GND(0V)が与えられる接地ノードとに接続され、電源電圧VDDを動作電源にして動作する。一方、インターフェース部4は電源電圧VDDより大きい電源電圧VDDHを動作電源にして動作する。接地電圧GNDはコア回路部2、インターフェース部4に共通に与えられる。従って、インターフェース部4を構成するMOSトランジスタは、ゲート酸化膜の膜厚を大きくするなどしてコア回路部2を構成するものよりもゲート耐圧を高くしている。

【0028】

電源電圧VDD、VDDHは、ともに半導体チップの外部で生成されてチップに受けるものでもよい。また電源電圧VDD、VDDHの一方だけが半導体チップの外部で生成されてもよい。このときチップ内部に電圧発生回路を設け、その外部から受ける一方の電源電圧から他方の電源電圧を当該電圧発生回路で生成すればよい。

【0029】

この半導体集積回路装置100では、イネーブル信号ENがハイレベル(VDD)のときに信号Dinが電圧振幅を大きくしてノード23から出力される。イネーブル信号ENがローレベル(GND)のときノード23はハイインピーダンス状態となる。

そのためにコア回路部2は、インバータIN0、IN1、IN2と2入力論理回路G0、G1を備える。論理回路G0はノード21上の信号Dinとノード22上のイネーブル信号ENとを入力し、そのNAND論理を出力する。インバータIN1は論理回路G0の出力する論理を反転させる。インバータIN0はイネーブル信号ENの論理を反転させる。論理回路G1は信号DinとインバータIN0の出力とのNOR論理を出力する。インバータIN2は論理回路G1の出力する論理を反転させる。インバータIN0~IN2、論理回路G0、G1の出力はいずれも電源電圧VDDをハイレベル、接地電圧GNDをローレベルとしたデジタル信号である。

【0030】

イネーブル信号ENがハイレベルのとき、論理回路G0は信号Dinの反転論理を出力しインバータIN1は信号Dinと同一論理を出力する。論理回路G1は信号Dinの反転論理を出力し、インバータIN2は信号Dinと同一論理を出力する。イネーブル信号ENがローレベルのとき、信号Dinに拘わらず論理回路G0はハイレベル、インバータIN1はローレベル、論理回路G1はローレベル、インバータIN2はハイレベルをそれぞれ出力する。

【0031】

インターフェース部4は2つのレベル変換器6、8とドライバ部10とを備える。レベル変換器6、8の各々は、電源電圧VDDHを受ける電源ノードD10と接地電圧GNDを

10

20

30

40

50

受ける接地ノードD11に接続され、入力する信号を該信号より大きな電圧振幅を有した信号に変換する。この実施の形態ではレベル変換器は、互いに論理的に相補な2つの信号を受け、これらよりも大きな電圧振幅を有する互いに論理的に相補な2つの信号を所定の2つのノードにそれぞれ提供する形態のものである。

【0032】

レベル変換器6は、PMOSトランジスタP0、P1、NMOSトランジスタN0、N1を備える。PMOSトランジスタP0、P1のそれぞれソースは電源ノードD10に共通に接続され電源電圧VDDHを受ける。PMOSトランジスタP0のドレインとPMOSトランジスタP1のゲートとはノードD3で接続される。PMOSトランジスタP1のドレインとPMOSトランジスタP0のゲートとはノードD1で接続される。NMOSトランジスタN0、N1のそれぞれソースは接地ノードD11に共通に接続され接地電圧GNDを受ける。NMOSトランジスタN0、N1のドレインはそれぞれノードD3、D1で、PMOSトランジスタP0、P1のドレインとそれぞれ接続される。

10

【0033】

レベル変換器6は、各々電源電圧VDDと接地電圧GNDとの間を振幅する互いに論理的に相補な2つの信号を、NMOSトランジスタN0、N1のゲートにそれぞれ受ける。トランジスタN0、N1のゲートにハイレベル、ローレベルがそれぞれ与えられると、NMOSトランジスタN0がオンしNMOSトランジスタN1がオフする。ノードD3の電位は低下してPMOSトランジスタP1をオンさせる。一方ノードD1の電位は上昇してPMOSトランジスタP0をオフさせる。よってノードD1、D3の電位はそれぞれ電源電圧VDDH、接地電圧GNDのレベルとなる。

20

【0034】

逆に、トランジスタN0、N1のゲートにローレベル、ハイレベルがそれぞれ与えられると、NMOSトランジスタN1がオンしNMOSトランジスタN0がオフする。ノードD1の電位は低下してPMOSトランジスタP0をオンさせる。一方ノードD3の電位は上昇してPMOSトランジスタP1をオフさせる。よってノードD1、D3の電位はそれぞれ接地電圧GND、電源電圧VDDHのレベルとなる。

【0035】

レベル変換器8は、PMOSトランジスタP2、P3、NMOSトランジスタN2、N3を備える。PMOSトランジスタP2、P3のそれぞれソースは電源ノードD10に共通に接続され電源電圧VDDHを受ける。PMOSトランジスタP2のドレインとPMOSトランジスタP3のゲートとはノードD4で接続される。PMOSトランジスタP3のドレインとPMOSトランジスタP2のゲートとはノードD2で接続される。NMOSトランジスタN2、N3のそれぞれソースは接地ノードD11に共通に接続され接地電圧GNDを受ける。NMOSトランジスタN2、N3のドレインはそれぞれノードD4、D2で、PMOSトランジスタP2、P3のドレインとそれぞれ接続される。

30

【0036】

レベル変換器8は、各々電源電圧VDDと接地電圧GNDとの間を振幅する互いに論理的に相補な2つの信号を、NMOSトランジスタN2、N3のゲートにそれぞれ受ける。レベル変換器6と同様の動作により、NMOSトランジスタN2、N3のゲートにそれぞれハイレベル、ローレベルが与えられると、ノードD4、D2の電位は、それぞれ接地電圧GND、電源電圧VDDHのレベルとなり、NMOSトランジスタN2、N3のゲートにそれぞれローレベル、ハイレベルが与えられると、ノードD4、D2の電位は、それぞれ電源電圧VDDH、接地電圧GNDのレベルとなる。

40

【0037】

各レベル変換器に与えられる相補な信号として、NMOSトランジスタN0、N1のゲートには論理回路G0、インバータIN1の出力がそれぞれ与えられ、NMOSトランジスタN2、N3のゲートには論理回路G1、インバータIN2の出力がそれぞれ与えられる。NMOSトランジスタN0～N3のゲートにハイレベルとして提供される電圧VDDは、NMOSトランジスタN0～N3のしきい値電圧V_{thn}より高いため、これらNMOS

50

Sトランジスタをオンさせることは十分可能である。よってPMOSTランジスタP0～P3で、オンしているNMOSTランジスタのドレインに接続されているPMOSTランジスタのゲートは接地電圧GNDまで駆動できる。

【0038】

ドライバ部10は、インバータIN3～IN6、PMOSTランジスタPD、及びNMOSTランジスタNDを備える。レベル変換器6はPMOSTランジスタPDのオンオフを駆動するために設けられ、ノードD1が直列に接続するインバータIN3、IN4を介してPMOSTランジスタPDのゲートに接続される。レベル変換器8は、NMOSTランジスタNDのオンオフを駆動するために設けられ、ノードD2が、直列に接続するインバータIN5、IN6を介してNMOSTランジスタNDのゲートに接続される。インバータIN3～IN6はいずれも電源電圧VDDHと接地電圧GNDを受けて動作するので、それらの出力のハイレベルは電源電圧VDDHを、ローレベルは接地電圧GNDを示す。

10

【0039】

PMOSTランジスタPD、NMOSTランジスタNDのソースは電源ノードD10、接地ノードD11にそれぞれ接続され、電源電圧VDDH、接地電圧GNDをそれぞれ受け、そのドレインはノード23で互いに接続される。ノード23から信号Voutが得られる。ノードD1がハイレベルのときPMOSTランジスタPDはオフし、ローレベルのときはオンする。ノードD2がローレベルのときNMOSTランジスタNDはオフし、ハイレベルのときはオンする。MOSTランジスタPD、NDは、他の半導体チップに信号を伝達ための駆動トランジスタであり、インターフェース部4を構成する他のトランジスタよりも電流駆動能力が大きい。

20

【0040】

以上の構成により、イネーブル信号ENがハイレベルのとき、ノードD1は信号Dinと逆の論理を出力し、ノードD2も信号Dinと逆の論理を出力する。従って信号Dinがハイレベルのときは、PMOSTランジスタPDがオンし、NMOSTランジスタがオフするので、信号Doutは電源電圧VDDHのハイレベルとなる。一方、信号Dinがローレベルのとき、PMOSTランジスタPDがオフし、NMOSTランジスタNDがオンするので、信号Doutは接地電圧GNDのローレベルとなる。イネーブル信号ENがローレベルのときは、信号Dinに拘わらずノードD1、D2はそれぞれハイレベル、ローレベルとなる。よってPMOSTランジスタPD、NMOSTランジスタNDともにオフする。

30

【0041】

半導体集積回路装置100はさらに、PMOSTランジスタP10、P11、NMOSTランジスタN10、N11及びキャパシタC0、C1を備える。PMOSTランジスタP10はインターフェース部4の電源投入時にノードD1をハイレベルに設定するために、ノードD1、D10間に接続された容量素子である。PMOSTランジスタP10のゲートはノードD1に接続され、ソース及びドレインは電源ノードD10に接続される。

【0042】

NMOSTランジスタN10は、インターフェース部4の電源投入時にノードD3をローレベルに設定するためにノードD3、D11間に接続された容量素子である。NMOSTランジスタN10のゲートはノードD3に接続され、ソース及びドレインはノードD5に共通に接続される。キャパシタC0はインターフェース部4の電源投入後の通常動作においてノードD3と接地ノードD11との間の容量を減らすために設けられた容量素子である。キャパシタC0の一方の電極はノードD5でNMOSTランジスタN10のソースおよびドレインに接続され、他方電極は接地ノードD11に接続される。

40

【0043】

PMOSTランジスタP11はインターフェース部4の電源投入時にノードD4をハイレベルに設定するためにノードD4、D10間に接続された容量素子である。PMOSTランジスタP11のゲートはノードD4に接続され、ソース及びドレインは電源ノードD1

50

0に共通に接続される。

【0044】

NMOSトランジスタN11は、インターフェース部4の電源投入時にノードD2をローレベルに設定するためにノードD2、D11間に接続された容量素子である。NMOSトランジスタN11のゲートはノードD2に接続され、ソース及びドレインはノードD6に共通に接続される。キャパシタC1はインターフェース部4の電源投入後の通常動作においてノードD2と接地ノードD11との間の容量を減らすために設けられた容量素子である。キャパシタC1の一方の電極はノードD6でNMOSトランジスタN11のソースおよびドレインに接続され、他方の電極は接地ノードD11に接続される。

【0045】

ノードD5、D6の各々は、電源ノードD10および接地ノードD11のいずれからとも分離され、いわゆるフローティング状態にある。また、その一部だけ図示しているが、NMOSトランジスタN0~N3、N10、N11のバックゲート(基板)は共通に接地ノードD11に接続されて接地電圧GNDが与えられ、PMOSトランジスタP0~P3、P10、P11のバックゲート(基板)は共通に電源ノードD10に接続されて電源電圧VDDHが与えられる。

【0046】

図2は、ノードD3の電位に対する、NMOSトランジスタN10及びキャパシタC0により得られるノードD3、D11間の容量Cgの関係を示す。ノードD3の電位がNMOSトランジスタN10のしきい値電圧Vthn(およそ0.8V)を超えるまではノードD3と接地ノードとの間の容量は、NMOSトランジスタN10におけるゲートと基板の間の容量Ciにより形成される。容量CiはノードD3の電位が上昇するにつれて減少する。これはNMOSトランジスタN10のゲート下の基板に空乏層が広がるためである。

【0047】

ノードD3の電位がしきい値Vthnを超えるとNMOSトランジスタN10のゲート下にチャネルが形成されるので、容量Cgは、NMOSトランジスタN10のゲートとソース/ドレイン容量との間の容量CdとキャパシタC0の容量C0との直列結合の容量($= Cd \cdot C0 / (Cd + C0)$)で形成される。この実施の形態ではCd=C0と設定しているため、容量CgはほぼC0と見なせる。ノードD2に対するNMOSトランジスタN11及びキャパシタC1により得られるノードD2と接地ノードD11との間の容量Cgの関係も図2と同様であり、詳細な説明は省略する。

【0048】

次に電源投入時におけるNMOSトランジスタN10、N11、PMOSトランジスタP10、P11及びキャパシタC0、C1の動作を説明する。コア回路部2及びインターフェース部4共に電源が投入される前にはNMOSトランジスタN0~N3の全ゲートは接地電圧GNDレベルであり、NMOSトランジスタN10、N11の各々のソース及びドレインも接地電圧GNDレベルである。

【0049】

コア回路部2よりインターフェース部4に早く電源が投入される場合を考える。レベル変換器6で電源ノードD10が電源電圧VDDHに立ち上がる過程で、ノードD3に注入される電荷はノードD3と接地ノードD11間の容量Cgを充電するために使われるので、ノードD3の電位上昇は抑えられる。一方PMOSトランジスタP10の容量によって、電源ノードD10の電位が0Vから上昇するに伴ってノードD1の電位も上昇する。トランジスタP10、N10の容量により、ノードD3の電位はノードD1より低くなる。この電位差がPMOSトランジスタP0をオフし、PMOSトランジスタP1をオンするように作用する。この作用がノードD1、D3間の電位差を一層広げる。その結果ノードD1、D3は電源電圧VDDH相当のハイレベル、接地電圧GND相当のローレベルにそれぞれ達する。

【0050】

シミュレーション等を通じて電源投入時のノードD3の電位がNMOSトランジスタN1

10

20

30

40

50

0のしきい値電圧 V_{thn} を超えない程度に容量 C_g が設定されるため、電源投入時におけるNMOSトランジスタN10のゲートとソース及びドレインとの間の容量 C_d は小さい。よってNMOSトランジスタN10のゲート基板間の容量 C_i が電源投入時の容量 C_g に寄与する。容量 C_i の設定はNMOSトランジスタN10のゲートの面積を調整することにより可能である。

【0051】

レベル変換器8において電源ノードD10が電源電圧 V_{DDH} に立ち上がる過程で、ノードD2に注入される電荷はノードD2と接地ノードD11間の容量 C_g を充電するために使われるので、ノードD2の電位上昇は抑えられる。一方PMOSトランジスタP11の容量によって、電源ノードD10の電位が0Vから上昇するに伴ってノードD4の電位も上昇する。トランジスタP11、N11の容量により、ノードD2の電位はノードD4より低くなる。この電位差がPMOSトランジスタP3をオフし、PMOSトランジスタP2をオンするように作用し、ノードD2、D4間の電位差を一層広げる。その結果、ノードD2、D4は接地電圧 GND 相当のローレベル、電源電圧 V_{DDH} 相当のハイレベルにそれぞれ達する。

10

【0052】

シミュレーション等を通じて電源投入時のノードD2の電位がNMOSトランジスタN11のしきい値電圧 V_{thn} を超えない程度に容量 C_g が設定されるため、電源投入時におけるNMOSトランジスタN11のゲートとソース及びドレインとの間の容量 C_d は小さい。よってNMOSトランジスタN11のゲート基板間の容量 C_i が電源投入時の容量 C_g に主に寄与する。 C_i の設定は、NMOSトランジスタN11のゲートの面積を調整することにより可能である。

20

【0053】

ノードD1、D2には、それぞれハイレベル、ローレベルが設定されるので、MOSトランジスタPD、NDともオフ状態となり、MOSトランジスタPD、NDを貫通する大電流は生じない。

【0054】

インターフェース部4よりコア回路部2に早く電源が投入される場合には、従来技術と同様、インターフェース部4の電源投入前に、トランジスタPD、NDを同時にオンさせない電位がNMOSトランジスタN0～N3のゲートに確定するため、トランジスタPD、NDを同時にオンすることによる大電流の問題は生じない。

30

【0055】

コア回路部2およびインターフェース部4ともに電源が投入された後の通常動作時では、レベル変換器6においてNMOSトランジスタN0、N1のゲートにそれぞれローレベル(GND)及びハイレベル(V_{DD})が与えられると、付加された容量 C_g に拘わらずノードD3は強制的にハイレベル(V_{DDH})まで充電され、付加されたPMOSトランジスタP10の容量に拘わらずノードD1は強制的にローレベル(GND)まで放電される。NMOSトランジスタN0、N1のゲートにそれぞれハイレベル(V_{DD})及びローレベル(GND)が与えられると、ノードD3、D1は逆のそれぞれローレベル(GND)、ハイレベル(V_{DDH})まで充放電される。

40

【0056】

信号 D_{in} がローレベルからハイレベルに変化するとノードD3は0Vから V_{DDH} に変化するが、図2からわかるように、ノードD3がしきい値電圧 V_{thn} から V_{DDH} までは、キャパシタ C_0 の存在により容量 C_g は小さい。図2に示された点線は、キャパシタ C_0 を削除してNMOSトランジスタN10のソースおよびドレインを接地ノードD11に接続したと仮定した場合の容量 C_g を示す。ノードD3の電位が0Vから V_{thn} の間では、容量 C_g はキャパシタ C_0 が存在する場合と同じであるが、 V_{thn} を超えるとNMOSトランジスタN10のゲートとソース及びドレインとの間の容量 C_d となる。容量 C_d の大きさはノードD3の電位が0Vのときの容量 C_i と同程度である。図1のレベル変換器6において、NMOSトランジスタN10のゲートにしきい値電圧 V_{thn} 以上

50

が与えられるときの容量 C_g はキャパシタ C_0 の存在しない場合に比べて小さい。ノード D_3 へ充電する電荷量が少なくなりノード D_3 への充電時間が短い。よってレベル変換器 6 の動作が高速化される。

【0057】

図 3 は、時間に対してノード D_3 がローレベル ($0V$) からハイレベル (V_{DDH}) に変化する様子を示す。実線がキャパシタ C_0 の存在する本実施の形態の場合、破線はキャパシタ C_0 を削除し $NMOS$ トランジスタ N_{10} のソースおよびドレインに接地ノード D_1 に接続する場合を示す。

【0058】

時間 t_0 で電位が変化し始め、しきい値電圧 V_{thn} に達する時刻 t_1 まではキャパシタ C_0 が存在する場合でも存在しない場合でも、ノード D_3 の電位変化は同じである。しかし、キャパシタ C_0 が存在する場合、存在しない場合に比べて、しきい値電圧 V_{th} を境に容量 C_g が急激に小さくなる。よってノード D_3 の電位がしきい値電圧 V_{th} を超えると電位の変化は急激に速くなる。ノード D_3 の電位が電圧 V_{DDH} に達する時間は、図示するように、キャパシタ C_0 が存在する場合は存在しない場合に比べて時間 t だけ短縮されることになり、立ち上がり特性がよくなる。

【0059】

また、信号 D_{in} がハイレベルからローレベルに変化してノード D_3 の電位が V_{DDH} から $0V$ に変化する場合も、ノード D_3 の電位が V_{DDH} から V_{thn} までの容量 C_g は小さい。ノード D_3 からの放電時間が短くなる。キャパシタ C_0 が存在することでノード D_3 は速くローレベルに到達し、立下りの特性がよくなる。

またレベル変換器 8 におけるキャパシタ C_1 もキャパシタ C_0 と同様に作用するため詳細な動作説明は省略する。キャパシタ C_1 はノード D_2 への充放電時間を短くするので、レベル変換器 8 を高速に動作させることができる。

【0060】

キャパシタ C_0 、 C_1 は、例えば MOS トランジスタにより構成される。図 4 (a) はキャパシタ C_0 の回路構成例を示す。キャパシタ C_0 は $NMOS$ トランジスタ N_{20} で構成され、そのドレインが $NMOS$ トランジスタ N_{10} のソースおよびドレインに接続され、そのソース及びゲートが接地ノード D_1 に接続され電圧 GND を受ける。

【0061】

その断面構造は図 4 (b) に示される。P 型半導体の基板 30 に n 型半導体の不純物拡散層 31、32、33 が互いに離間して形成される。拡散層 31、32 の間に挟まれて両者と接合する p 型半導体部分上にゲート絶縁膜を挟んでポリシリコンの導電層 34 が形成され、拡散層 32、33 の間に挟まれて両者と接合する p 型半導体部分上にゲート絶縁膜を挟んでポリシリコンの導電層 35 が形成される。導電層 34 はノード D_3 と電氣的に接続する。金属の配線層 36、37 は、基板 30 上の層間絶縁層内に形成され、配線層 36 は拡散層 31、32 を電氣的に接続する。金属の配線層 37 は導電層 35 および拡散層 33 を電氣的に接続する。配線層 37 および基板 30 には接地電圧 GND が与えられる。

【0062】

導電層 34 及び拡散層 31 が $NMOS$ トランジスタ N_{10} のそれぞれゲート及びドレインとなり、導電層 35 及び拡散層 33 が $NMOS$ トランジスタ N_{20} のそれぞれゲート及びソースとなる。拡散層 32 が $NMOS$ トランジスタ N_{10} のソース及び $NMOS$ トランジスタ N_{20} のドレインを共通する。接地電圧 GND が与えられる導電層 35 下の p 型半導体部分には n 型の反転層が形成されず、トランジスタ N_{20} は常にオフしている状態にある。

【0063】

$NMOS$ トランジスタ N_{20} のゲートとドレイン間の寄生容量を C_{gd} 、基板とドレイン間の寄生容量を C_b とすると、これらの和 ($C_{gd} + C_b$) がキャパシタ C_0 の容量値となる。キャパシタ C_1 も図 4 の $NMOS$ トランジスタ N_{20} によって構成され、 $NMOS$ トランジスタ N_{11} も $NMOS$ トランジスタ N_{10} と同様に構成される。

10

20

30

40

50

【 0 0 6 4 】

また必要に応じて上記の拡散層 3 1 及び配線層 3 6 の一方又は両方を削除してもよい。例えば図 5 (a) に示すように、拡散層 3 2 が素子分離酸化膜 3 8、3 9 の間の半導体基板 3 0 の表面上に形成し、導電層 3 4 が分離酸化膜 3 8 と拡散層 3 2 との間の p 型半導体部分及び分離酸化膜 3 8 上に形成され、導電層 3 5 が分離酸化膜 3 9 と拡散層 3 2 との間の p 型半導体部分及び分離酸化膜 3 9 上に形成される。導電層 3 4 と基板 3 0 との間の容量、導電層 3 4 と拡散層 3 2 との容量、導電層 3 5 と拡散層 3 2 との容量、及び拡散層 3 2 と基板 3 0 との容量が、上記のそれぞれ容量 C_i 、 C_d 、 C_{gd} 、 C_b となる。

【 0 0 6 5 】

またキャパシタ C_0 、 C_1 は、図 5 (b) に示すように、拡散層 3 1、3 2 を接続する配線層 3 6 と、層間絶縁層内に形成され、その一部の絶縁部分を間に挟んで配線層 3 6 と対向して配置され、接地電圧 GND を受ける金属の別の配線層 4 0 とにより構成されてもよい。キャパシタ C_0 、 C_1 の容量は、配線層 3 6 と配線層 4 0 との間の容量となる。配線層 4 0 は図示のように配線層 3 6 より上側の層で形成されてもよいし、図示しないが配線層 3 6 と同じ高さの層で隣接させたものであってもよい。

10

【 0 0 6 6 】

またキャパシタ C_0 、 C_1 は、図 5 (c) に示すように、拡散層 3 1、3 2 を接続する配線層 3 6 と、この配線層 3 6 と層間絶縁膜を間に挟んで対向して配置され、接地電圧 GND を受けるポリシリコンの導電層 4 1 とにより構成されてもよい。キャパシタ C_0 、 C_1 の容量は、配線層 3 6 と導電層 4 1 との間の容量となる。

20

【 0 0 6 7 】

またキャパシタ C_0 、 C_1 は、図 5 (d) に示すように、配線層 3 6 で拡散層 3 1、3 2 と電氣的に接続するポリシリコンの導電層 4 2 と、基板 3 0 とで構成されてもよい。キャパシタ C_0 、 C_1 の容量は、導電層 4 2 と基板 3 0 との間の容量となる。

【 0 0 6 8 】

以上のように、この実施の形態 1 によれば、レベル変換器において変換後の電位振幅の現れるノードに容量素子を接続することにより、該ノードを電源投入時に初期化したい論理レベルに設定することができる。容量素子を電源ノード及び接地ノードのいずれに接続するかにより初期化したい論理レベルが決まる。この例では、レベル変換器を、他の半導体デバイスに信号を伝達するドライバを駆動するために用いる場合、その初期化したい論理レベルを適切に決めることによって、電源投入時にドライバを構成する駆動力の大きいトランジスタに不意に大電流が発生することを防ぐ。

30

【 0 0 6 9 】

さらに、初期化したいノードに容量素子としての MOS トランジスタのゲートを接続し、ソースドレイン (拡散層) には別の容量素子を接続することで、通常動作時において初期化ノードの容量を低減することができる。よってレベル変換器の動作速度が向上し、さらには、ドライバ部 1 0 の動作も速くなる。

【 0 0 7 0 】

実施の形態 2 .

図 6 は、この実施の形態 2 による半導体集積回路装置 2 0 0 の回路構成図を示す。図 1 のものと相違する点は、キャパシタ C_0 、 C_1 が削除されると共に、NMOS トランジスタ N 1 0 のソースおよびドレインと、NMOS トランジスタ N 1 1 のソースおよびドレインとが、コア回路部 2 の動作電源 (電源電圧 VDD) を受ける電源ノード D 1 2 に共通に接続される点である。その他は図 1 と同様である。

40

【 0 0 7 1 】

コア回路部 2 よりインターフェース部 4 に早く電源が投入される場合を考える。レベル変換器 6 において、電源ノード D 1 0 の電位が電圧 VDDH に立ち上がった時点では電源ノード D 1 2 の電位は 0 V のままである。よって、NMOS トランジスタ N 1 0 のゲートと基板との間の容量が、接地ノード D 1 1 とノード D 3 との間の容量となりノード D 3 の電位上昇を抑える。また PMOS トランジスタ P 1 0 は、ノード D 1 と電源ノード D 1 0 と

50

の間の容量となり、電源ノードD10が電源電圧VDDHに立ち上がるに伴いノードD1の電位を上昇させる。これにより、図1のものと同様にノードD1、D3は、電源電圧VDDH相当のハイレベル、接地電圧GND相当のローレベルにそれぞれ達する。

【0072】

レベル変換器8においても、レベル変換器6と同様に動作するので説明を繰り返さない。ノードD2の電位上昇は抑えられる一方、ノードD4の電位は上昇するので、ノードD2、D4は、接地電圧GND相当のローレベル、電源電圧VDDH相当のハイレベルにそれぞれ達する。従って、ノードD1、D2の電位レベルに基づきノード23はハイインピーダンス状態となる。インターフェース部4よりコア回路部2に早く電源が投入される場合には、実施の形態1と同様の理由により、トランジスタPD、NDを貫通する大電流の問題は生じない。

10

【0073】

コア回路部2及びインターフェース部4への電源投入後の通常動作に関しては、図1と異なるNMOSTランジスタN10、N11の動作についてのみ説明する。その他の構成については図1と共通する部分であり、同一の動作を行うので説明を省略する。

【0074】

電源ノードD12に電源電圧VDDが固定的に与えられ、NMOSTランジスタN10、N11の各々のソース及びドレインは、そのバックゲート(基板)に与えられる電圧GNDより高くなる。いわゆるバックバイアス効果が生じ、NMOSTランジスタN10、N11のしきい値電圧 V_{thn} は、ソースに接地電圧GNDが与えられるときの通常のしきい値電圧 V_{thn} より高くなる。

20

【0075】

図7は、ノードD3の電位に対するNMOSTランジスタN10により得られるノードD3、D12間の容量 C_g の関係を示す。NMOSTランジスタN10にチャンネルが形成される条件は、そのソースに対するゲートの電位がしきい値電圧 V_{thn} より高くなることである。つまりノードD3の電位が $(VDD + V_{thn})$ 以上のときにNMOSTランジスタN10にチャンネルが形成され、容量 C_g はゲートとソース及びドレインとの容量 C_d にほぼ等しくなる。一方ノードD3の電位が $(VDD + V_{thn})$ より小さいときはチャンネルの形成はなく、容量 C_g はゲートと基板との容量 C_i にほぼ等しくなる。このとき基板とソース及びドレインの間には逆バイアスの電圧が印加され、空乏層の広がりが、ソース及びドレインに接地電圧GNDが与えられる場合より顕著になる。よって容量 C_i は著しく小さい。

30

【0076】

図7の破線はNMOSTランジスタN10のソース及びドレインに接地電圧GNDが与えられると仮定したときの容量 C_g を表す。ノードD3の電位が0Vのとき波線の場合に比べ本実施の形態(実線)の方が容量 C_g は小さい。しかしノードD3の電位が増加するにつれて、本実施の形態では容量 C_g の減少率は波線に比べて著しく小さい。ノードD3の電位が V_{thn} を超えても本実施の形態では容量 C_g はまだ減少し続けるが、波線の場合容量 C_g が急激に上昇し C_d まで達する。ノードD3の電位が $VDD + V_{thn}$ を超えて始めて本実施の形態では容量 C_g が急激に上昇し C_d に達する。

40

【0077】

信号Dinがローレベルからハイレベルへ変化すると、ノードD3の電位が0VからVDDHに変化するが、0Vから $(VDD + V_{thn})$ まで上昇する間、NMOSTランジスタN10により容量 C_g は著しく小さく、ノードD3への充電時間は短い。ノードD3におけるローレベルからハイレベルへの変化は速くなる。また信号Dinがハイレベルからローレベルへ変化すると、ノードD3の電位がVDDHから0Vに変化するが、 $(VDD + V_{thn})$ から0Vまで減少する間も容量 C_g が著しく小さく、ノードD3からの放電時間は短い。よってノードD3におけるハイレベルからローレベルへの変化も速くなる。レベル変換器8のNMOSTランジスタN11も、NMOSTランジスタN10と同様に機能するため、その詳細な説明は省略する。

50

【 0 0 7 8 】

このように、インターフェース部 4 の電源投入がコア回路部 2 のそれより先行するとき、容量素子によってレベル変換器のノードを初期化したい論理レベルに設定することができることに加えて、ノード D 3 及びノード D 2 の各々の立ち上がり特性および立下り特性が向上し、電源が投入された後のレベル変換器 6 , 8 の各々の通常動作が高速になる。さらにはドライバ部 1 0 の動作も速くなる。またこの実施の形態では、キャパシタ C 0、C 1 が削除されたことにより、実施の形態 1 に比べて少ない素子で集積回路装置が構成される。

【 0 0 7 9 】

実施の形態 3 .

図 8 は、この実施の形態 3 による半導体集積回路装置 3 0 0 の回路構成図を示す。実施の形態 1、2 では、電源投入時に初期値としてローレベルに設定すべきノードに付加する容量を通常動作時に小さくすることでレベル変換器の動作を高速化した。本実施の形態においては、逆にハイレベルに設定すべきノードに付加する容量を通常動作時に小さくしてレベル変換器の動作を高速化する。

【 0 0 8 0 】

そのために本実施の形態において図 1 のものと相違する点は、キャパシタ C 0、C 1 が削除された点、NMOS トランジスタ N 1 0 のソースおよびドレインと NMOS トランジスタ N 1 1 のソースおよびドレインが接地ノード D 1 1 に共通に接続されて接地電位 GND を受ける点、PMOS トランジスタ P 1 0 とノード D 1 との間に接続され、その間の導通を制御するスイッチ素子である PMOS トランジスタ P 4 を新たに設ける点、PMOS トランジスタ P 1 1 とノード D 4 との間に接続されその間の導通を制御するスイッチ素子である PMOS トランジスタ P 5 を新たに設ける点である。その他は図 1 と同様である。

【 0 0 8 1 】

PMOS トランジスタ P 4 のソース及びドレインの一方がノード D 1 に、他方が PMOS トランジスタ P 1 0 のゲートにそれぞれ接続され、ゲートが電源電圧 VDD の与えられる電源ノード D 1 2 に接続され、図示しないが基板が電源ノード D 1 0 に接続される。また PMOS トランジスタ P 5 のソース及びドレインの一方がノード D 4 に、他方が PMOS トランジスタ P 1 1 のゲートにそれぞれ接続され、ゲートが電源ノード D 1 2 に接続され、図示しないが基板が電源ノード D 1 0 に接続される。

【 0 0 8 2 】

コア回路部 2 よりインターフェース部 4 に早く電源が投入される場合、インターフェース部 4 に電源が投入された後コア回路部 2 に電源が投入される前までは電源ノード D 1 2 は 0 V となっているので、インターフェース部 4 への電源投入時は PMOS トランジスタ P 4、P 5 は共にオンしている。よって PMOS トランジスタ P 1 0、P 1 1 がそれぞれノード D 1、D 4 に電氣的に接続する。PMOS トランジスタ P 1 0、P 1 1 はノード D 1、D 4 と電源ノード D 1 0 との間に接続される容量となり、図 1 及び図 6 のものと同様の動作により、ノード D 1、D 4 は電源電圧 VDDH 相当のハイレベルに設定される。

【 0 0 8 3 】

一方 NMOS トランジスタ N 1 0、N 1 1 はノード D 3、D 2 と接地ノードとの間の容量素子を構成し、ノード D 3、D 2 は接地電圧 GND 相当のローレベルに設定される。インターフェース部 4 よりコア回路部 2 に早く電源が投入される場合には、実施の形態 1 と同様の理由により、トランジスタ P D、N D を貫通する大電流の問題は生じない。

【 0 0 8 4 】

コア回路部 2 及びインターフェース部 4 への電源投入後の通常動作に関しては、図 1 と異なる MOS トランジスタ N 1 0、N 1 1、P 4、P 5、P 1 0、P 1 1 の動作についてのみ説明する。その他の構成については図 1 と共通する部分であり、同一の動作を行うので説明を省略する。

【 0 0 8 5 】

PMOS トランジスタ P 4、P 5 のゲートには電源電圧 VDD が印加されているので、P

10

20

30

40

50

MOSトランジスタP4、P5は、ゲートに0Vが印加されたときに比べて電流供給力が弱くなる。PMOSトランジスタP4、P5は、ノードD1とPMOSトランジスタP10との間、及びノードD4とPMOSトランジスタP11との間にそれぞれ接続された抵抗素子の機能を果たす。この抵抗素子による抵抗が、ノードD1、D4に付加されるPMOSトランジスタP10、P11の容量を見かけ上低減させる。これによりノードD1、D4の電荷充放電が迅速に行われ、レベル変換器6、8の動作速度が速くなる。後段のドライバ部10が接続されるノードD1、D2の立上がり及び立下りの特性が良くなるので、ドライバ部10の動作も速くなる。

【0086】

図8において、NMOSトランジスタN10、N11のソースおよびドレインが接地ノードD11に接続されるが、図1と同様に、NMOSトランジスタN10、N11の各々のソース及びドレインを、キャパシタを介して接地ノードD11に接続してもよい。実施の形態1で説明したように、ノードD3、D2に付加された容量も低減でき、レベル変換器6、8のさらなる高速動作を実現する。

10

【0087】

また図6と同様に、図8においても、NMOSトランジスタN10、N11の各々のソース及びドレインを接地ノードD11ではなくコア回路部2の電源ノードD12に接続してもよい。ノードD3、D2に付加された容量も低減でき、レベル変換器6、8のさらなる高速動作を実現する。

【0088】

実施の形態4.

図9は、この実施の形態4による半導体集積回路装置400の回路構成図を示す。この実施の形態では、インターフェース部4への電源投入時に、レベル変換器のノードD1~D4に所望の論理レベルを設定するための構成を少ない素子数で実現する。そのために本実施の形態において図1のものと相違する点は、キャパシタC0、C1が削除された点、NMOSトランジスタN10のソースおよびドレインとNMOSトランジスタN11のソースおよびドレインが接地ノードD11に共通に接続される点、PMOSトランジスタP10、P11が削除された点である。その他の構成は図1と同一である。

20

【0089】

NMOSトランジスタN10、N11はそれぞれノードD3、D2と接地ノードD11との間に接続される容量素子を構成する。電源の投入前は、ノードD1~D4、D10は0Vの電位である。コア回路部2よりインターフェース部4に早く電源が投入される場合、電源ノードD10の電位が0Vから上昇するに伴ってノードD1~D4の電位も0Vから上昇しようとする。しかし、容量素子として機能するNMOSトランジスタN10、N11がノードD3、D2の電位上昇を抑える。

30

【0090】

レベル変換器6を例にとって説明する。トランジスタN10の容量へ電荷が充電されることにより、ノードD3の電位が接地電圧GNDに抑えられる。PMOSトランジスタP1は電源ノードD10の電位が上昇してもオンし続ける。オンするPMOSトランジスタP1がノードD1を駆動してその電位を上昇させる。これにより、ノードD1と電源ノードD10との間に付加される容量素子は要さない。またノードD1の電位上昇によりPMOSトランジスタP0はオフし、PMOSトランジスタP0を介してノードD3へはこれ以上電荷が供給されない。

40

【0091】

以上の動作により、ノードD3に接地電圧GND相当のローレベルが設定され、ノードD1には電源電圧VDDH相当のハイレベルが設定される。またレベル変換器8においても同様の動作により、ノードD2に接地電圧GND相当のローレベルが設定され、ノードD4には電源電圧VDDH相当のハイレベルが設定される。インターフェース部4よりコア回路部2に早く電源が投入される場合には、実施の形態1と同様の理由により、トランジスタPD、NDを貫通する大電流の問題は生じない。

50

【 0 0 9 2 】

ノード D 1 には、レベル変換器 6 の出力に基づき所定の論理演算動作を行う論理回路が接続され、具体的には、論理回路を構成する 1 個または複数個の MOS トランジスタのゲートがノード D 1 に共通に接続される。各 MOS トランジスタが電源ノード D 1 0 と接地ノード D 1 1 との間に直接的又は間接的に直列に接続され、そのノード間の電流経路を形成する。例えば図 9 ではこの回路はインバータ I N 3 に相当する。インバータ I N 3 は電源ノード D 1 0 と接地ノード D 1 1 との間に直列に接続された P M O S トランジスタと N M O S トランジスタを含み両 M O S トランジスタのゲートにノード D 1 が接続される。

【 0 0 9 3 】

この実施の形態においてはノード D 1 に接続される素子は、レベル変換器 6 に含まれる M O S トランジスタ及び後段の論理回路中を構成する 1 個又は複数個の M O S トランジスタのみである。電源投入時にノード D 1 を初期化することを目的として電源ノード D 1 0 とノード D 1 との間に接続する容量素子を設ける必要はない。実施の形態 1 ないし 3 とは異なりノード D 1 に付加される容量は小さいので、電源投入後の通常動作では、ノード D 1、D 3 の立上がり、立下り特性は向上し、レベル変換器 6 の高速動作が達成される。

【 0 0 9 4 】

また電源ノード D 1 0 との間でノード D 4 に接続される素子は、レベル変換器 8 に含まれるトランジスタのみである。電源投入時にノード D 4 を初期化することを目的として電源ノード D 1 0 とノード D 4 との間に接続する容量素子を設ける必要はない。ノード D 4 に付加される容量は小さいので、電源投入後の通常動作では、ノード D 4、D 2 の立上がり、立下り特性は向上し、レベル変換器 8 の高速動作が達成される。また電源投入時にハイレベルに初期化すべきノードに付加される容量素子が存在しないので、半導体集積回路装置 4 0 0 の素子数も減り、その面積が縮小できる。

【 0 0 9 5 】

また図 6 と同様に、図 9 において、N M O S トランジスタ N 1 0、N 1 1 の各々のソース及びドレインを接地ノード D 1 1 ではなく電源電圧 V D D が与えられるコア回路部 2 の電源ノードに接続して、さらにレベル変換器 6、8 の高速動作を実現することは可能である。

【 0 0 9 6 】

また、図 1 に示した N M O S トランジスタ N 1 0 及びキャパシタ C 0 の構成、並びに N M O S トランジスタ N 1 1 及びキャパシタ C 1 の構成を、それぞれ図 9 のノード D 3、D 2 に適用することにより、さらにレベル変換器 6、8 の高速動作を実現してもよい。

【 0 0 9 7 】

実施の形態 5 .

図 1 0 は、この実施の形態 5 による半導体集積回路装置 5 0 0 の回路構成図を示す。図 9 のものと相違する点は、N M O S トランジスタ N 1 1 をノード D 4 に接続する点、ノード D 2 とインバータ I N 5 との間にさらにインバータ I N 7 を挿入した点、論理回路 G 1 の出力を N M O S トランジスタ N 3 のゲートに与えインバータ I N 2 の出力を N M O S トランジスタ N 2 のゲートに与える点である。その他の構成は図 9 と同一である。

【 0 0 9 8 】

図 9 の実施の形態 4 において、コア回路部 2 より先にインターフェース部 4 に電源が投入されると、初期値としてローレベルが設定されるべきノード D 3、D 2 の各々の電位 V (D) は、厳密には、

$$V(D) = VDDH \cdot C_p / (C_p + C_g)$$

と設定される。C g は、上述のとおり N M O S トランジスタ N 1 0、N 1 1 によるノード D 3、D 2 と接地ノード D 1 1 との容量を示し、C p はノード D 3、D 2 と電源ノード D 1 0 との間の寄生容量を示す。この寄生容量には、P M O S トランジスタ P 0 ~ P 3 各々のゲートとソース及びドレインとの間の容量及び配線容量などが含まれる。よってノード D 3、D 2 の電位は完全に 0 V に設定できるわけではなく容量 C p に依存して 0 V より高くなる。その電位が数百 m V となると特にレベル変換器 8 側に問題が生じる可能性がある。

10

20

30

40

50

図9において、ノードD2の数百mVの電位により次段のインバータIN5、IN6のリーク電流が増加する。これは消費電力を増加させるので好ましくない。その上ノードD2に何らかの電圧ノイズが重畳されてさらに電位が数百mVと上昇すると、ノードD2の電位が次段のインバータIN5の論理しきい値を超え、NMOSトランジスタNDをオンさせることもある。一方、初期値としてハイレベルが設定されるノードD1、D4では、PMOSトランジスタP1、P2がそれぞれノードを電圧VDDHまで駆動することができる。

【0099】

この実施の形態5では、容量素子(NMOSトランジスタN11)の一方の電極をノードD2ではなくノードD4に接続する。コア回路部2より先にインターフェース部4に電源が投入されると、NMOSトランジスタN11の容量によってノードD4にローレベルが設定され、ノードD2にハイレベルが設定される。特にPMOSトランジスタP3に駆動されてノードD2は電源電圧VDDHまで充電される。ノードD2、D4に関し図9の場合と論理レベルの設定が逆となるので、インバータIN7がノードD2の論理を反転してインバータIN5に与える。これによって電源投入時にインバータIN5に与えられる論理レベルは図9と同一となり、NMOSトランジスタNDはオフする。

【0100】

このように、接地ノードに接続する容量素子(NMOSトランジスタN11)を使ってドライバ用のMOSトランジスタPD、NDを駆動する信号が現れるレベル変換器のノードをハイレベルに設定することで、ドライバ用トランジスタのオフをより安定して実現する。またインターフェース部4よりコア回路部2に早く電源が投入される場合には、実施の形態1と同様の理由により、トランジスタPD、NDを貫通する大電流の問題は生じない。

【0101】

なおインバータIN7が設けられたことにより、コア回路部2、インターフェース部4の電源投入後の通常動作で、装置500が実施の形態1~4のものと同じ論理動作をするために、NMOSトランジスタN2、N3のゲートへの入力を図9の場合と逆にする。

【0102】

また図6と同様に、図10において、NMOSトランジスタN10、N11の各々のソース及びドレインを接地ノードD11ではなく電源電圧VDDが与えられるコア回路部2の電源ノードに接続して、さらにレベル変換器6、8の高速動作を実現することは可能である。

【0103】

また、図1に示したNMOSトランジスタN10及びキャパシタC0の構成、並びにNMOSトランジスタN11及びキャパシタC1の構成を、それぞれ図10のノードD3、D4に適用することにより、さらにレベル変換器6、8の高速動作を実現してもよい。さらには図1のPMOSトランジスタP10、P11のように、ノードD1、D2をハイレベルに初期化するための容量素子をノードD1、D2にそれぞれ付加してもよい。そのとき図8に示すように容量素子と初期化すべきノードD1、D2との間にスイッチ素子を設けてもよい。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による半導体集積回路装置100を示す回路構成図である。

【図2】 図1のレベル変換器において電源投入時に初期値が設定されるノードに接続される容量素子における容量の特性を示す説明図である。

【図3】 容量素子が付加されるノードの立ち上がり特性を示す説明図である。

【図4】 キャパシタC0、C1の具体的構成を示す回路図及び構造図である。

【図5】 キャパシタC0、C1の他の具体的構成を示す構造図である。

【図6】 この発明の実施の形態2による半導体集積回路装置200を示す回路構成図である。

10

20

30

40

50

【図7】 図6のレベル変換器において電源投入時に初期値が設定されるノードに接続される容量素子における容量の特性を示す説明図である。

【図8】 この発明の実施の形態3による半導体集積回路装置300を示す回路構成図である。

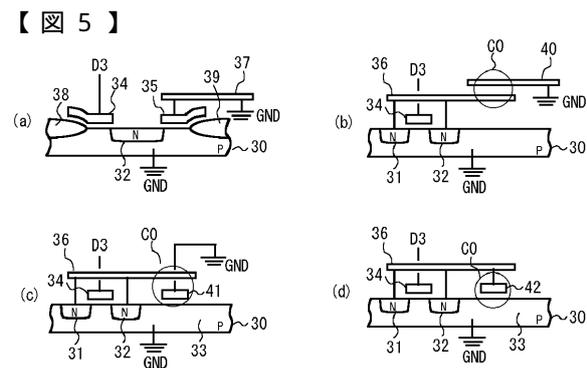
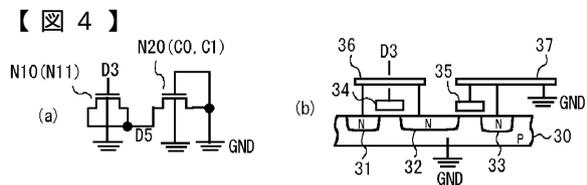
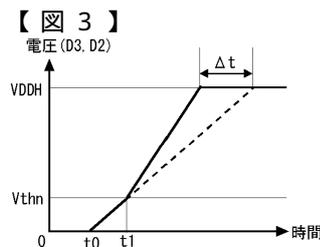
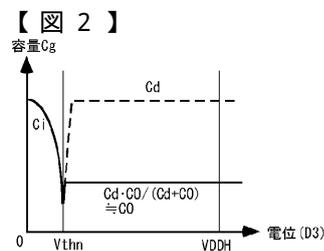
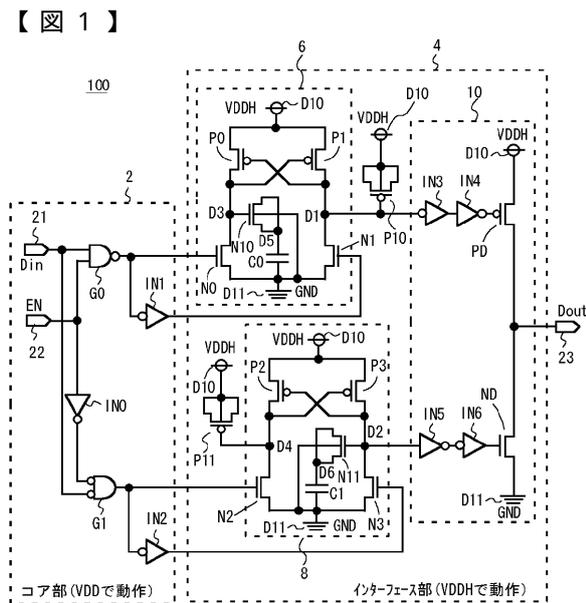
【図9】 この発明の実施の形態4による半導体集積回路装置400を示す回路構成図である。

【図10】 この発明の実施の形態5による半導体集積回路装置500を示す回路構成図である。

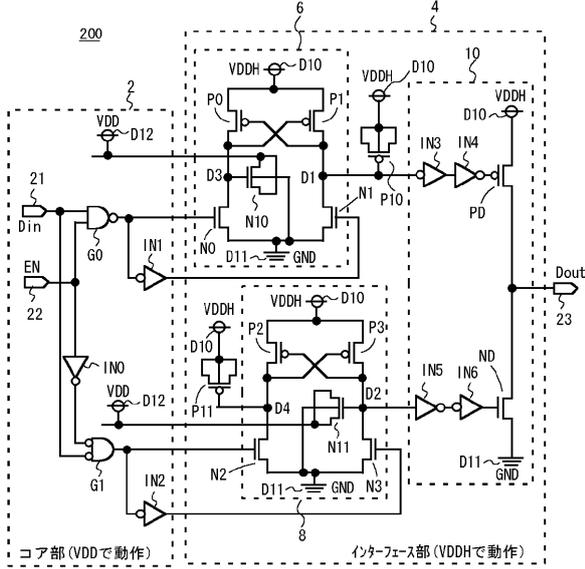
【図11】 従来技術による半導体集積回路装置を示す回路構成図である。

【符号の説明】

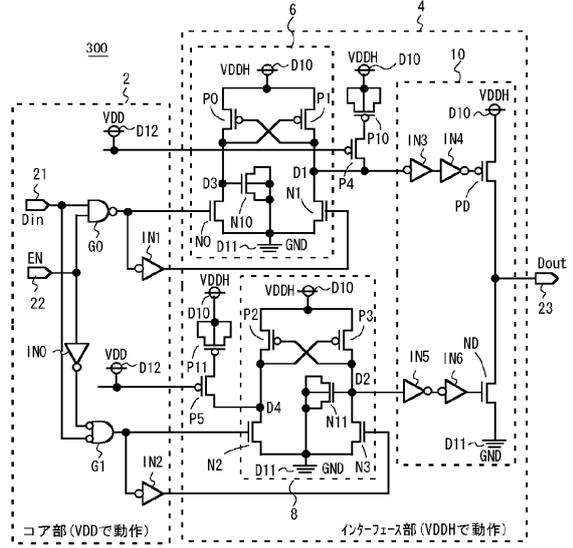
2...コア部、4...インターフェース部、6、8...レベル変換器、10...ドライバ部、N10、N11...NMOSトランジスタによる容量素子、P10、P11...PMOSトランジスタによる容量素子、C0、C1...キャパシタ(容量素子)、PD、ND...ドライブ用のMOSトランジスタ



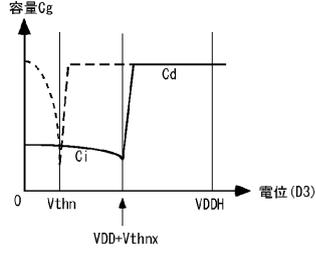
【図 6】



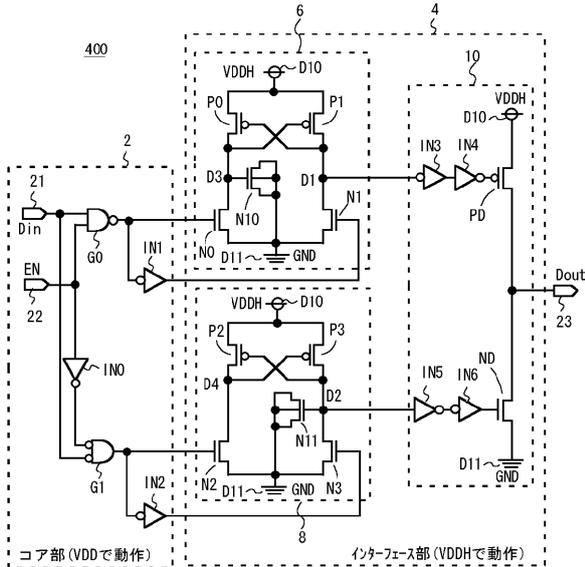
【図 8】



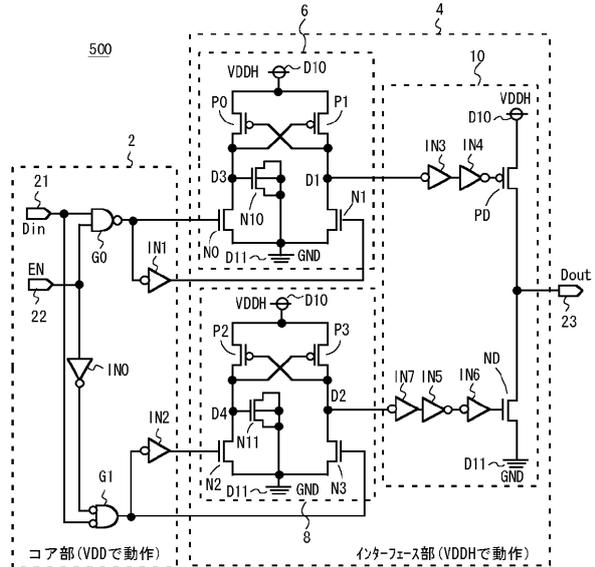
【図 7】



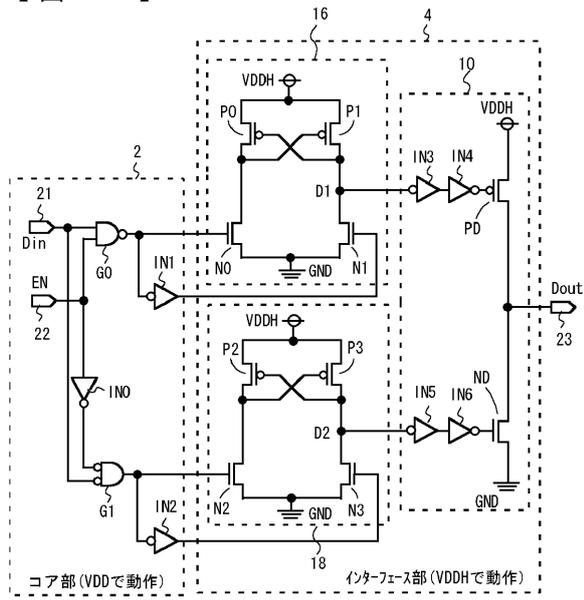
【図 9】



【図 10】



【図11】



フロントページの続き

審査官 宮島 郁美

- (56)参考文献 特開平10 - 163854 (JP, A)
特開平07 - 106606 (JP, A)
特開平10 - 012838 (JP, A)
特開平10 - 222996 (JP, A)
実開昭63 - 012938 (JP, U)
特開平04 - 192622 (JP, A)
特開2001 - 339290 (JP, A)
特開2003 - 229758 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K19/00, 19/01-19/082, 19/092-19/096
H03K17/00-17/70
H01L27/04