



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I512842 B

(45)公告日：中華民國 104 (2015) 年 12 月 11 日

(21)申請案號：102121773 (22)申請日：中華民國 102 (2013) 年 06 月 19 日
 (51)Int. Cl. : *H01L21/336 (2006.01)* *H01L21/28 (2006.01)*
 (30)優先權：2012/06/29 美國 13/538,985
 (71)申請人：英特爾公司(美國) INTEL CORPORATION (US)
 美國
 (72)發明人：戴威 吉伯特 DEWEY, GILBERT (US)；拉多沙弗傑維克 馬克
 RADOSAVLJEVIC, MARKO (US)；皮拉里塞堤 拉維 PILLARISSETTY, RAVI
 (US)；杵 空 班傑明 CHU-KUNG, BENJAMIN (US)；穆客吉 尼洛
 MUKHERJEE, NILOY (IN)
 (74)代理人：惲軼群；陳文郎
 (56)參考文獻：
 US 2007/235763A1 US 2010/163926A1
 US 2011/147711A1
 審查人員：詹惟雯
 申請專利範圍項數：22 項 圖式數：7 共 58 頁

(54)名稱

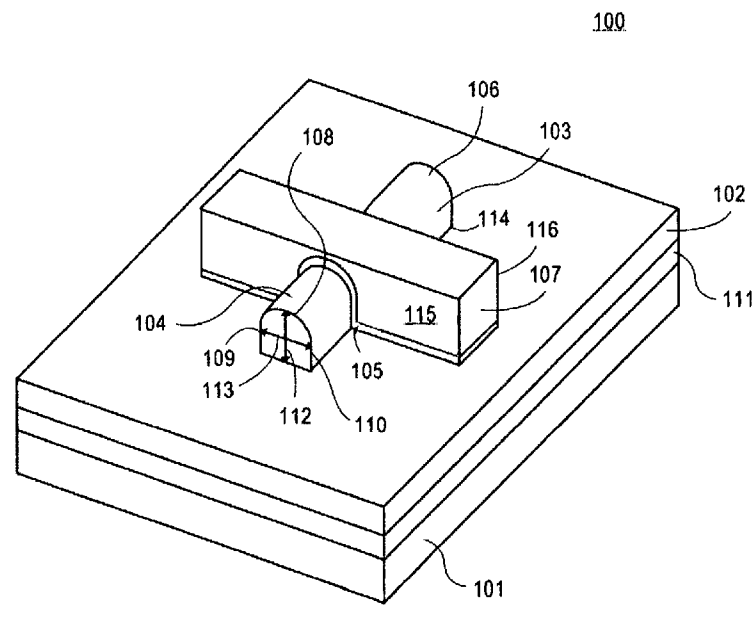
防止 III-V 族裝置中隔離漏流之技術

PREVENTING ISOLATION LEAKAGE IN III-V DEVICES

(57)摘要

一鰭片係形成於一基體上方之一第一阻擋層上方。該第一阻擋層具有大於該鰭片之帶隙的一帶隙。於一個實施例中，一閘極介電層係沈積於該鰭片之該頂面及相對的側壁上，且係相鄰於沈積在該鰭片下方的該第一阻擋層之一第二阻擋層。於一個實施例中，該閘極介電層係沈積於該鰭片之該頂面及相對的側壁上，及一隔離層係形成相鄰於在該鰭片下方的該第一阻擋層。於一個實施例中，該閘極介電層係沈積於該鰭片之該頂面及相對的側壁上，及一隔離層係形成相鄰於沈積在該鰭片與該第一阻擋層間之該第二阻擋層。

A fin is formed over a first barrier layer over a substrate. The first barrier layer has a band gap greater than the band gap of the fin. In one embodiment, a gate dielectric layer is deposited on the top surface and opposing sidewalls of the fin and is adjacent to a second barrier layer deposited on the first barrier layer underneath the fin. In one embodiment, the gate dielectric layer is deposited on the top surface and the opposing sidewalls of the fin and an isolating layer is formed adjacent to the first barrier layer underneath the fin. In one embodiment, the gate dielectric layer is deposited on the top surface and the opposing sidewalls of the fin, and an isolating layer is formed adjacent to the second barrier layer deposited between the fin and the first barrier layer.



- 100 . . . 電晶體
- 101 . . . 基體
- 102 . . . 底阻擋層
- 103 . . . 鳍片、半導體鳍片
- 104 . . . 源極區
- 105 . . . 閘極介電層
- 106 . . . 汲極區
- 107 . . . 閘極電極
- 108 . . . 頂面
- 109、110、115、
- 116 . . . 側壁
- 111 . . . 緩衝層
- 112 . . . 高度
- 113 . . . 寬度
- 114 . . . 通道區

圖 1

發明摘要

公告本

※ 申請案號：10212/773

※ 申請日：102. 6. 19

※IPC 分類：

H01L21/336

(2006.01)

【發明名稱】(中文/英文)

H01L21/28

(2006.01)

防止III-V族裝置中隔離漏流之技術

PREVENTING ISOLATION LEAKAGE IN III-V DEVICES

【中文】

一鱗片係形成於一基體上方的一第一阻擋層上方。該第一阻擋層具有大於該鱗片之帶隙的一帶隙。於一個實施例中，一閘極介電層係沈積於該鱗片之該頂面及相對的側壁上，且係相鄰於沈積在該鱗片下方的該第一阻擋層之一第二阻擋層。於一個實施例中，該閘極介電層係沈積於該鱗片之該頂面及相對的側壁上，及一隔離層係形成相鄰於在該鱗片下方的該第一阻擋層。於一個實施例中，該閘極介電層係沈積於該鱗片之該頂面及相對的側壁上，及一隔離層係形成相鄰於沈積在該鱗片與該第一阻擋層間之該第二阻擋層。

【英文】

A fin is formed over a first barrier layer over a substrate. The first barrier layer has a band gap greater than the band gap of the fin. In one embodiment, a gate dielectric layer is deposited on the top surface and opposing sidewalls of the fin and is adjacent to a second barrier layer deposited on the first barrier layer underneath the fin. In one embodiment, the gate dielectric layer is deposited on the top surface and the opposing sidewalls of the fin and an isolating layer is formed adjacent to the first barrier layer underneath the fin. In one embodiment, the gate dielectric layer is deposited on the top surface and the opposing sidewalls of the fin, and an isolating layer is formed adjacent to the second barrier layer deposited between the fin and the first barrier layer.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

- | | |
|----------------|----------------------|
| 100...電晶體 | 107...閘極電極 |
| 101...基體 | 108...頂面 |
| 102...底阻擋層 | 109、110、115、116...側壁 |
| 103...鰭片、半導體鰭片 | 111...緩衝層 |
| 104...源極區 | 112...高度 |
| 105...閘極介電層 | 113...寬度 |
| 106...汲極區 | 114...通道區 |

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

防止III-V族裝置中隔離漏流之技術

PREVENTING ISOLATION LEAKAGE IN III-V DEVICES

【技術領域】

發明領域

[0001]本發明之實施例係有關於電子裝置之製作領域；及更明確言之，係有關於III-V電子裝置之製作。

【先前技術】

發明背景

[0002]積體電路中特性件的定標使得在有限面積的積體電路晶片上的電子裝置的密度增高。一般而言，在該積體電路晶片上的電子裝置(例如電晶體、電阻器、電容器等)的效能乃該該等裝置定標期間考慮的主要因素。影響電子裝置效能的因素可為例如載子遷移率及飽和速度。III-V族元素化合物例如，砷化鎵(GaAs)、銻化銮(InSb)、磷化銮(InP)、及砷化鎵銮(InGaAs)已知具有比矽更高的電子遷移率及飽和速度。因此此等材料可提供優異的裝置效能。

[0003]典型地，隔離氧化物或其它隔離方案係用以防止從該電晶體的一源極至一汲極的寄生漏流。目前，在III-V電晶體上使用具有大帶隙(E_g)的半導體材料作為隔離。寄生漏流降級了III-V電晶體的效能參數。舉例言之，從該源極至該汲極的該寄生漏電流路徑造成了關閉態漏電流的增

加，降級了電流-電壓特性的次臨界斜率，及該裝置完全地關閉的能力。

【發明內容】

[0004] 依據本發明之一實施例，係特地提出一種製作電子裝置之方法包含於一基體上方沈積一第一阻擋層；於該第一阻擋層上沈積一第二阻擋層；於該第二阻擋層上形成一鰭片，其中該第一阻擋層與該第二阻擋層中之至少一者具有大於該鰭片之一帶隙的一帶隙，該鰭片具有一頂面及相對的側壁；及於該頂面及該等相對的側壁上沈積一閘極介電層。

【圖式簡單說明】

[0005] 圖1為依據本發明之一個實施例一非平面式III-V電晶體之透視圖。

[0006] 圖2A為依據本發明之一個實施例一品圓以提供一非平面式III-V電晶體之剖面圖。

[0007] 圖2B為依據本發明之一個實施例在一沈積鰭片層後類似圖2A之一視圖。

[0008] 圖2C為依據本發明之一個實施例在圖樣化特性件形成後類似圖2B之一視圖。

[0009] 圖2D為依據本發明之一個實施例在一鰭片形成後類似圖2C之一視圖。

[0010] 圖2E為依據本發明之一個實施例在一閘極介電層形成後類似圖2D之一視圖。

[0011] 圖2F為依據本發明之一個實施例在一閘極電極形成後類似圖2E之一視圖。

[0012] 圖3A為依據本發明之另一個實施例一晶圓以提供一非平面式III-V電晶體之剖面圖。

[0013] 圖3B為依據本發明之一個實施例在沈積一隔離層後類似圖3A之一視圖。

[0014] 圖3C為依據本發明之一個實施例在一隔離層被凹陷後類似圖3B之一視圖。

[0015] 圖3D為依據本發明之一個實施例在一閘極介電層形成後類似圖3C之一視圖。

[0016] 圖3E為依據本發明之一個實施例在一閘極電極形成後類似圖3D之一視圖。

[0017] 圖3F顯示一典型晶圓以提供一非平面式III-V電晶體的實施例之剖面圖。

[0018] 圖4A為依據本發明之另一個實施例一晶圓以提供一非平面式III-V電晶體之剖面圖。

[0019] 圖4B為依據本發明之一個實施例在隔離層被凹陷後類似圖4A之一視圖。

[0020] 圖4C為依據本發明之一個實施例在一閘極介電層形成後類似圖4B之一視圖。

[0021] 圖4D為依據本發明之一個實施例在一閘極電極形成後類似圖4C之一視圖。

[0022] 圖5為線圖實施例顯示一III-V電晶體的電流相對於閘極電壓。

[0023] 圖6A為線圖實施例顯示針對一 Al_2O_3 - InAlAs 界面的閘極電容相對於閘極電壓。

[0024]圖6B為線圖實施例顯示針對一 Al_2O_3 -InP界面的閘極電容相對於閘極電壓。

[0025]圖7例示說明依據本發明之一個實施例之一計算裝置。

【實施方式】

較佳實施例之詳細說明

[0026]於後文詳細說明部分中，陳述無數特定細節例如，特定材料、元件維度等，以供徹底瞭解如此處描述的一或多個本發明之實施例。但熟諳技藝人士顯然易知可無此等特定細節而實施如此處描述的一或多個本發明之實施例。於其它情況下，半導體製程、技術、材料、設備等並不以進一步細節描述以免不必要地遮掩本詳細說明部分。

[0027]雖然於附圖中描述及顯示若干具體實施例，但須瞭解此等實施例僅為說明性而非限制性，及因熟諳技藝人士顯然易知修正故該等實施例並不限於所顯示的及所描述的特定組成及配置。

[0028]說明書全文中述及「一個實施例」、「另一個實施例」、或「一實施例」表示聯結該實施例描述的特定特徵、結構、或特性係含括於至少一個實施例中。如此，於全文說明書中各處出現諸如「一個實施例」或「一實施例」等詞並非必要全部皆係指相同實施例。此外，該等特定特徵、結構、或特性可以任一種適當方式組合於一或多個實施例中。

[0029]此外，本發明之面向係在於比單一揭示實施例更少的特徵。因此，在詳細說明部分後方的申請專利範圍部

分係在此明確地併入本詳細說明部分，而申請專利範圍各項本身表示一分開實施例。雖然此處已經描述具體實施例，但熟諳技藝人士將認知此等具體實施例可以落入於隨附之申請專利範圍各項之範圍內的修正及變更具現。因此該說明須視為說明性而非限制性。

[0030] 此處描述防止於III-V電子裝置中的隔離漏流。典型地，為了製作砷化鎵銻(InGaAs)電晶體，一InGaAs層沈積至一基體上的砷化鋁銻(InAlAs)層上。該InAlAs層係用作為InGaAs電晶體的底阻擋層。目前，為了製作一非平面式裝置，閘極氧化物沈積至InGaAs鱗片上。典型地，閘極氧化物接觸InAlAs底阻擋層。該閘極氧化物-InAlAs界面通常具有實質上高密度的界面阱。在鱗片下方位在該底阻擋層的此種不良氧化物界面可用作為該III-V電晶體的寄生漏流路徑。

[0031] 如此處描述的本發明之實施例減少III-V電晶體中的隔離漏流。一鱗片係形成於基體上方的一第一底阻擋層上方。第一底阻擋層具有比該鱗片的帶隙更大的帶隙。一般而言，如熟諳電子裝置製造技藝人士已知，帶隙係指於絕緣體及半導體中在價帶頂部與傳導帶底部間的能量差(以電子伏特表示)。於一個實施例中，第二底阻擋層係插入鱗片與第一底阻擋層間，及閘極介電層係形成於鱗片的頂面及相對的側壁上且係相鄰於第二阻擋層。於一個實施例中，該第二阻擋層係適用以提供比較第一阻擋層與閘極介電層的更佳界面。於一個實施例中，閘極介電層與第二阻

擋層間之界面提供比閘極介電層與第一阻擋層間之界面至少低兩倍密度的界面阱。於一個實施例中，閘極介電層係沈積於鰭片的頂面及相對的側壁上，及隔離層係形成相鄰於鰭片下方的該第一阻擋層。於一個實施例中，隔離層係適用以提供比閘極介電層更佳的與第一阻擋層之界面。於一個實施例中，閘極介電層係沈積於鰭片的頂面及相對的側壁上，及隔離層係形成相鄰於沈積在該鰭片與該第一阻擋層間之該第二阻擋層。

[0032] 圖1為依據本發明之一個實施例一非平面式III-V電晶體之透視圖。如圖1顯示，一非平面式電晶體10包括在一基體101上的一緩衝層111上的一底阻擋層102。一半導體鰭片103係形成於底阻擋層102上。於一個實施例中，該底阻擋層包括具有比該鰭片諸如鰭片103材料的帶隙更大的帶隙之材料。如圖1顯示，鰭片103具有一頂面108及諸如側壁109和側壁110之相對的側壁。一閘極介電層105係沈積於鰭片103上覆蓋頂面108、相對的側壁109及110、及底阻擋層102。

[0033] 於一個實施例中，底阻擋層102包括一第一(下)底阻擋層，及沈積於該第一阻擋層上的一第二(上)底阻擋層。於一個實施例中，該第二底阻擋層係適用以提供比較第一底阻擋層與閘極介電層更佳的界面，容後詳述。於一個實施例中，該第二底阻擋層具有比鰭片103更大的帶隙。於一個實施例中，該第一底阻擋層具有比鰭片103更大的帶隙。於一個實施例中，當阻擋層102具有一第二底阻擋層

時，與該閘極介電層不同的一隔離層係沈積於該第二底阻擋層上。於一個實施例中，該隔離層係適用於提供比該閘極介電層與第二底阻擋層更佳的界面，容後詳述。於一個實施例中，當阻擋層102缺第二底阻擋層及具有第一底阻擋層時，與該閘極介電層不同的該隔離層係沈積在該第一底阻擋層上。於一個實施例中，該隔離層係適用於比該閘極介電層提供與第一底阻擋層更佳的界面，容後詳述。

[0034]於一個實施例中，基體101包括單晶矽(Si)、鍺(Ge)、矽鍺(SiGe)、以III-V元素為主的材料、或任何其上可製造電晶體100的材料。於一個實施例中，基體101包括用於積體電路(圖中未顯示)的一或多個金屬化層。該等一或多個金屬化層可藉介電材料例如層間電介質(ILD)(圖中未顯示)而與相鄰金屬化層分開。相鄰金屬化層可藉通孔(圖中未顯示)而電氣互連。於若干實施例中，基體101可為實質上單晶矽材料、經摻雜的實質上單晶矽材料、多晶基體或多層基體。

[0035]於多個實施例中，基體101包含鍺、矽上鍺、或可為絕緣體上矽基體。於若干實施例中，基體101可能不含矽，但取而代之可含有不同材料，諸如不同半導體或III-V族材料諸如GaAs或InP。基體101可包括一或多種材料、裝置或層，或可為不含多層的單一材料。

[0036]如圖1所示，緩衝層111係沈積於基體101上。緩衝層111沈積以因應基體101與緩衝層111上方各層間的晶格不匹配，及限制晶格異位及缺陷，容後詳述。於多個實

施例中，緩衝層111可具有不同的層數或單純為單層。於一個實施例中，緩衝層111包含砷化鎵，但包含GaSb或AlSb的其它材料也可用於其它實施例。於若干實施例中，裝置100缺緩衝層111，及阻擋層102直接沈積於基體101上。緩衝層111可藉分子束磊晶(MBE)、遷移加強式磊晶(MEE)、金屬-有機化學氣相沈積(MOCVD)、原子層沈積(ALD)、化學束磊晶(CBE)、或熟諳電子裝置製造技藝界人士已知的其它適當技術製成。於一個實施例中，緩衝層111可形成至約0.1微米至約5微米之約略範圍的厚度，或於各個實施例中，形成不同厚度。於一個實施例中，緩衝層111具有足夠厚度，大部分缺陷存在於其底面而不存在於其頂面。於一個實施例中，緩衝層111具有約1微米之厚度。

[0037]底阻擋層102係沈積於緩衝層111上。於一個實施例中，底阻擋層102包含InAlAs。注意如此處所述，當藉其元素標示的材料不含下標時，此等標示涵蓋該元素百分比之任一種混合。例如，「InGaAs」涵蓋 $\text{In}_x\text{Ga}_{1-x}\text{As}$ ， x 係於零(GaAs)至1(InAs)之範圍。於實施例中當底阻擋層102包含InAlAs時，可包含 $\text{In}_x\text{Ga}_{1-x}\text{As}$ ， x 為0.52至0.70，但於其它實施例可使用不同組成。於一個實施例中，底阻擋層102包括銻化物例如AlAsSb、AlGaAsSb、AlGaSb、銻例如InP或其組合，例如AlInSb。於一個實施例中，底阻擋層102包括例如第二底阻擋層，沈積於第一底阻擋層例如InAlAs上的InP。於一個實施例中，底阻擋層102包括沈積在第一底阻擋層例如InAlAs上的第二底阻擋層例如AlAsSb、

AlGaAsSb、AlGaAsSb、AlGaSb、或AlInSb。於其它實施例中，底阻擋層102可包含適用以比InAlAs提供與閘極介電層更佳的界面之其它材料。底阻擋層102可經摻雜。於一個實施例中，底阻擋層102包含具有比鰭片103之通道包含的材料更大的帶隙。底阻擋層102包括第二底阻擋層、第一底阻擋層、或二者可藉電子裝置製造技術的熟諳技藝人士已知的分子束磊晶(MBE)、遷移加強式磊晶(MEE)、金屬有機化學氣相沈積(MOCVD)、原子層沈積(ALD)、化學束磊晶(CBE)、或其它適當技術製成。於若干實施例中，底阻擋層102可具有約1微米至3微米或以下之厚度。於一個實施例中，底阻擋層102具有小於1微米，及更特別小於500奈米(nm)之厚度。於一個實施例中，底阻擋層102之厚度約為100奈米，而於其它實施例中可具有其它厚度，容後詳述。

[0038]於一個實施例中，鰭片103包含III-V族材料量子井通道區(圖中未顯示)。於一個實施例中，鰭片103之通道的III-V族材料為InGaAs。於其它實施例中，鰭片103之材料包含其它材料諸如InAs、InAsSb、或InSb。鰭片103之材料係適用以提供晶格匹配周圍區。例如，當量子井通道區包含InGaAs時，In及Ga之比係經選擇而給量子井通道區獲得與周圍區的粗略晶格匹配。例如於一個實施例中，當底阻擋層102包含 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 時，鰭片之通道區可包含 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 。於其它實施例中，鰭片103之通道區包含 $\text{In}_x\text{Ga}_{1-x}\text{As}$ ， x 為約0.53至約1.0(該種情況下實質上不含Ga)。於一個實施例中，鰭片103之通道區包含富As InAsSb。於

一個實施例中，鱗片103之通道區包含高遷移率/低 E_g InSb。於一個實施例中，通道區103包含高遷移率/低 E_g 富Sb InAsSb。於一個實施例中，通道區103包含 In_xAsSb_{1-x} ，於該處 x 係於約0至1之範圍。例如，通道區103可包含InSb。於另一個實施例中，通道區103可包含 $In_{0.1}AsSb_{0.9}$ 。於一個實施例中，具有InGaAs通道的鱗片103係沈積於在InAlAs第一底阻擋層上的InP第二底阻擋層上。於一個實施例中，鱗片103具有 $In_xGa_{1-x}As$ 通道， x 為約0.53至1.0，係形成於在InAlAs第一底阻擋層上的 $AlAs_xSb_{1-x}$ 第二底阻擋層上， x 為約0(100% AlSb)至約0.5 (50% Sb)。於一個實施例中，具有 $In_xGa_{1-x}As$ 通道的鱗片103， x 為約0.53至約1.0係形成於在該InAlAs第一底阻擋層上的 $Al_xGa_{1-x}As_ySb_{1-y}$ 第二底阻擋層上， x 係於約0.5 (50% Ga)至約0.9 (10% Ga)之範圍，及 y 係於約0 (100% Sb例如AlGaSb)至約0.5 (50% Sb)之範圍。於一個實施例中，具有 $In_xGa_{1-x}As$ 通道的鱗片103， x 係約0.53至約1.0係形成於在該InAlAs第一底阻擋層上的InP第二底阻擋層上。於一個實施例中，具有InAs或富InAsSb通道的鱗片103係形成於在該InAlAs第一底阻擋層上的 $Al_xGa_{1-x}Sb$ 第二底阻擋層上， x 係於0(100% Ga，例如GaSb)至1(100% Al例如AlSb)之約略範圍。於一個實施例中，具有InAs或富As InAsSb通道之鱗片103係形成於在該InAlAs第一底阻擋層上的 $Al_xGa_{1-x}Sb$ 第二底阻擋層上， x 係於約0(100% Ga例如GaSb)至1(100% Al例如AlSb)之約略範圍。於一個實施例中，具有InAs或富As InAsSb通道之鱗片103係形成於在該

InAlAs第一底阻擋層上的AlAs_xSb_{1-x}第二底阻擋層上，x係於約0(100% Sb例如AlSb)至約0.1(90% Sb)之約略範圍。於一個實施例中，具有InAs或富As InAsSb通道的鱗片103係形成於在該InAlAs第一底阻擋層上的InP第二底阻擋層上。於一個實施例中，具有極高遷移率/低E_g富Sb InAsSb或InSb通道的鱗片103係形成於在該InAlAs第一底阻擋層上的Al_xIn_{1-x}Sb第二底阻擋層上，x係於約0.2 (20% Al)至約1 (100% Al例如AlSb)之約略範圍。於一個實施例中，具有極高遷移率/低E_g富Sb InAsSb或InSb通道的鱗片103係形成於該InAlAs第一底阻擋層上的InP第二底阻擋層上。須瞭解薄第二底阻擋層，例如具有約4 nm至10 nm之厚度，晶格不匹配係不成問題，具有良好界面的任何阻擋材料可用於任何不同種類的通道材料。也須瞭解當第二底阻擋層為極薄例如小於10 nm時，第二底阻擋層係經量化，增加其相對於本體材料帶隙的帶隙而增加隔離。

[0039]於若干實施例中，形成鱗片103包括沈積鱗片層於上阻擋層上；將該鱗片層圖案化；及蝕刻該鱗片層，容後詳述。如圖1所示，鱗片103具有寬度113及高度112，及沿正交於寬度113及高度112的一軸之一長度114。於一個實施例中，寬度113係為約1 nm至約30 nm之約略範圍，更特別約5 nm至約10 nm之範圍。於一個實施例中，鱗片長度係大於寬度且係由電子裝置之設計決定。於一個實施例中，鱗片長度係由約50奈米至約數百微米。

[0040]於一個實施例中，鱗片高度112係於約5 nm至約

50 nm之約略範圍，及更明確言之約20 nm至約40 nm。於一個實施例中，寬度113及高度112係小於30 nm及更特別小於20 nm。於一個實施例中，鱗片高度112係為鱗片寬度113的1/2至鱗片寬度113的2倍。

[0041]於一個實施例中，電晶體100為三閘極電晶體，及鱗片103具有組配用於三閘極電晶體的三面。於一個實施例中，電晶體100為奈米導線電晶體，及鱗片103具有III-V半導體材料的奈米導線。於一個實施例中，電晶體為奈米薄帶電晶體及鱗片103包括III-V半導體材料之奈米薄帶。

[0042]如圖1所示，閘極介電層105係沈積於鱗片103上。閘極介電層105係形成於半導體鱗片103上且包圍其側邊。如圖1所示，閘極介電層105係形成於鱗片103的側壁110上或相鄰側壁110，於鱗片103的頂面108上及於鱗片103的側壁109上或與相鄰側壁109。於一個實施例中，鱗片103的量子井通道區為具有頂阻擋層(圖中未顯示)沈積於鱗片的通道區上，及閘極介電層105沈積於頂阻擋層上的量子井堆疊體。於一個實施例中，頂阻擋層具有大於該通道材料之帶隙的一帶隙。

[0043]一個實施例中，閘極介電層105為高k介電材料，具有節電常數(電容率 κ)大於二氧化矽的介電常數。於一個實施例中，電氣絕緣層103包含高k介電材料，例如矽酸鉬(TaSiO_x)、氧化鋁(例如 Al_2O_3)，但於其它實施例中，也可使用其它材料諸如 La_2O_3 、 HfO_2 、 ZrO_2 、 TaO_5 、或三元體錯合物諸如 LaAl_xO_y 、 $\text{Hf}_x\text{Zr}_y\text{O}_z$ 或其它材料。於實施例中，閘極介電層105係使用原子層沈積(ALD)方法沈積於鱗片103

上，但也可使用電子裝置製造業界人士已知可製造閘極介電層105的其它方法。於一個實施例中，閘極介電層105具有約0.1 nm至5 nm之厚度。於另一個實施例中，閘極介電層具有小於5 nm之厚度，及更明確言之約4 nm。於其它實施例中，閘極介電層105具有不同厚度。

[0044]於一個實施例中，閘極介電層105係相鄰於該鰭片(圖中未顯示)下方的該第二底阻擋層(容後詳述)。於一個實施例中，鰭片103係藉間距而與基體101上的其它鰭片(圖中未顯示)隔開，該間距係由非平面電晶體陣列設計決定。於一個實施例中，鰭片103係藉小於約30 nm之間距而與其它鰭片隔開。

[0045]如圖1所示，閘極電極107係沈積於閘極介電層105上。閘極電極107係形成於閘極介電層105上且環繞其周圍。閘極電極107係形成於形成在鰭片103的側壁110上的閘極介電層103或相鄰閘極介電層，形成於形成在半導體鰭片103的頂面108上的閘極介電層103上，且係形成於形成在鰭片103的側壁109上的閘極介電層105或相鄰閘極介電層。

[0046]如圖1所示，閘極電極107具有一對橫向相對的側壁，諸如側壁115及側壁116由界定該鰭片電晶體之閘極長度的距離分開。

[0047]閘極電極107可由任一種適當閘極電極材料製成。閘極電極107可包含含金屬材料諸如Pt/Au、Ti/Au、Ti/Pt/Au、或其它材料。於多個實施例中，閘極電極107之材料可經選擇以提供期望的功函數。於一個實施例中，閘

極電極107可為金屬閘極電極，諸如但非限於鎢、鉬、鈦、及其氮化物。須瞭解，閘極電極107並非必要為單一材料，而可為薄膜的複合堆疊體，諸如但非限於複晶矽/金屬電極或金屬/複晶矽電極。

[0048]如圖1所示，源極區104及汲極區106係形成於鰭片103上在閘極電極107的相對兩側。於一個實施例中，源極區104及汲極區106具有 1×10^{19} 至 1×10^{21} 原子/立方厘米間的摻雜濃度。在閘極電極107下方位在源極區104與汲極區106間的鰭片103部分界定電晶體通道區。通道區120也可定義為由閘極電極107所環繞的半導體鰭片103區。但偶爾源極/汲極區可例如透過擴散而略微延伸至閘極電極下方來界定略小於閘極電極長度(L_g)的通道區。於一個實施例中，鰭片103的通道區為本質或未經摻雜。於一個實施例中，鰭片103之通道區例如經摻雜至 1×10^{16} 至 1×10^{19} 原子/立方厘米之導電程度。於一個實施例中，當通道區經摻雜時，典型地係摻雜至源極區104及汲極區106的相反導電類型。例如當源極區104及汲極區106為n型導電性時，鰭片103的通道區係摻雜至p型導電性。例如當源極區104及汲極區106為p型導電性時，鰭片103的通道區係摻雜至n型導電性。藉此方式，可將非平面電晶體100分別形成為NMOS電晶體或PMOS電晶體。

[0049]於一個實施例中，源極區104係電氣耦接至源極著陸襯墊(圖中未顯示)及汲極區106係電氣耦接至汲極著陸沈澱(圖中未顯示)。另外，源極區104及汲極區106可耦接至

較高階金屬化(例如金屬1、金屬2、金屬3等)用以將積體電路的各個組件電氣互連在一起成為功能電路。源極區104及汲極區106可使用熟諳電子裝置製造技術的人士已知技術製成。

[0050]圖2A為依據本發明之一個實施例提供非平面III-V電晶體之一晶圓200之剖面圖。如圖2所示，緩衝層202係沈積於基體201上。第一底阻擋層203係沈積於緩衝層202上。第二底阻擋層204係沈積於第一底阻擋層203上。基體201可為如前述之任一種基體。緩衝層202係經沈積以因應基體201與緩衝層202上方各層諸如底阻擋層203間的晶格不匹配，及限制晶格異位及缺陷，說明如前。

[0051]於一個實施例中，緩衝層202包括一孕核區(圖中未顯示)、一第一緩衝區(圖中未顯示)、及一梯級緩衝區(圖中未顯示)以因應基體與阻擋層203間的晶格不匹配。緩衝層202可為緩衝層111，如前文就圖1所述。

[0052]如圖2A所示，底阻擋層203係沈積於緩衝層202上。於一個實施例中，底阻擋層203包含InAlAs，但其它III-V材料也可用於其它實施例。於其它實施例中，底阻擋層203包含 $\text{In}_x\text{Al}_{1-x}\text{As}$ ， x 為約0.52至約0.70，但不同組成物可用於其它實施例。於一個實施例中，阻擋層203包含 $\text{In}_x\text{Al}_{1-x}\text{As}$ ， x 為約0.52。底阻擋層203可藉分子數磊晶(MBE)、遷移加強式磊晶(MEE)、金屬-有機化學氣相沈積(MOCVD)、原子層沈積(ALD)、化學束磊晶(CBE)、或熟諳電子裝置製造技藝界人士已知的其它適當技術製成沈積於緩衝層202上。底阻

擋層203可沈積於緩衝層202上至約0.5微米至約3微米之厚度，及更特別約1微米厚度。於一個實施例中，底阻擋層203具有少於1微米及更特別少於500奈米之厚度。於一個實施例中，底阻擋層203之厚度為約100奈米，於其它實施例中，可具有又其它厚度。

[0053]底阻擋層204係沈積於底阻擋層203上，如圖2A所示，底阻擋層204係適用於具有比底阻擋層203與閘極介電層更佳的界面，容後詳述。底阻擋層204具有一帶隙係大於鱗片的帶隙，容後詳述。於一個實施例中，底阻擋層204包括銻化物例如AlAsSb、AlGaAsSb、AlGaSb。於一個實施例中，底阻擋層204包括銻例如InP。於一個實施例中，底阻擋層204包括AlInSb。於一個實施例中，底阻擋層204例如InP係沈積於底阻擋層203，例如InAlAs上。於一個實施例中，底阻擋層204例如AlAsSb、AlGaAsSb、AlGaSb、或AlInSb係沈積於底阻擋層203例如InAlAs上。於其它實施例中，底阻擋層204可包含其它材料，該材料比較底阻擋層203係適用於具有與閘極介電層的更佳界面。

[0054]底阻擋層204可藉分子數磊晶(MBE)、遷移加強式磊晶(MEE)、金屬-有機化學氣相沈積(MOCVD)、原子層沈積(ALD)、化學束磊晶(CBE)、或熟諳電子裝置製造技藝界人士已知的其它適當技術製成沈積於底阻擋層203上。於一個實施例中，底阻擋層204具有約5 nm至約50 nm範圍之厚度，及更特別約30 nm至約40 nm。於一個實施例中，底阻擋層204具有約3 nm至約10 nm之約略範圍之厚度，及於

其它實施例中可具有又其它厚度。須瞭解若薄第二底阻擋層例如底阻擋層204具有小於10 nm之厚度，則晶格不匹配不成問題，具有良好界面之任一種阻擋層材料皆可用於不同種通道材料。

[0055]圖2B為依據本發明之一個實施例在鰭片層205沈積於底阻擋層204上後類似圖2A之視圖210。於一個實施例中，鰭片層205具有與周圍層例如底阻擋層204及203之實質上晶格匹配。於一個實施例中，鰭片層205包含III-V族材料。於一個實施例中，鰭片層205包含InGaAs。於一個實施例中，鰭片層205包含 $\text{In}_x\text{Ga}_{1-x}\text{As}$ ， x 為約0.53至約1.0。於其它實施例中，鰭片層205包含其它材料諸如InAs、InAsSb、或InSb。於一個實施例中，鰭片層205包含富As InAsSb。於一個實施例中，鰭片層205包含高遷移率/低 E_g InSb。於一個實施例中，鰭片層205包含高遷移率/低 E_g 富Sb InAsSb。於一個實施例中，鰭片層205例如InGaAs係沈積於底阻擋層204上如InP係形成於底阻擋層203上例如InAlAs。於一個實施例中，鰭片層205例如 $\text{In}_x\text{Ga}_{1-x}\text{As}$ ， x 是形成於約0.53至約1.0間，形成於在底阻擋層203例如InAlAs上的底阻擋層204上，例如 $\text{AlAs}_x\text{Sb}_{1-x}$ ， x 為約0(100% AlSb)至約0.5(50% Sb)。於一個實施例中，鰭片層205例如 $\text{In}_x\text{Ga}_{1-x}\text{As}$ ， x 係為約0.53至約1.0係形成於形成在底阻擋層203例如InAlAs上的底阻擋層204上，例如 $\text{Al}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ ， x 係於約0.5(50% Ga)至約0.9(10% Ga)之約略範圍，及 y 係於約0(100% Sb，例如AlGaSb)至約0.5(50% Sb)

之約略範圍。於一個實施例中，鱗片層205例如InAs或富As InAsSb係形成於形成在底阻擋層203例如InAlAs上的底阻擋層204上，例如 $\text{Al}_x\text{Ga}_{1-x}\text{Sb}$ ，x係於0(100% Ga，例如GaSb)至1(100% Al例如AlSb)之約略範圍。於一個實施例中，鱗片層205例如InAs或富As InAsSb係形成於形成在底阻擋層203例如InAlAs上的底阻擋層204上，例如 $\text{AlAs}_x\text{Sb}_{1-x}$ ，x係於約0 (100% Sb，例如AlSb)至約0.1(90% Sb)之範圍。於一個實施例中，鱗片層205例如極高遷移率/低 E_g 富Sb InAsSb或InSb係形成於形成在底阻擋層203例如InAlAs上的底阻擋層204上，例如 $\text{Al}_x\text{In}_{1-x}\text{Sb}$ ，x係於約0.2(20% Al)至約1 (100% Al例如AlSb)之約略範圍。於一個實施例中，鱗片層205之厚度係於約5 nm至約50 nm，更特別約20 nm至約40 nm之範圍。於一個實施例中，鱗片層205之厚度係小於30 nm及更特別小於20 nm。

[0056] 鱗片層205可使用分子束磊晶(MBE)、遷移加強式磊晶(MEE)、金屬-有機化學氣相沈積(MOCVD)、原子層沈積(ALD)、化學束磊晶(CBE)、或熟諳電子裝置製造技藝界人士已知的其它適當技術沈積

[0057] 圖2C為依據本發明之一個實施例在已圖案化的特性件206係形成於鱗片層205上後類似圖2B之視圖220。特性件206界定一個位置，於該處半導體鱗片將隨後形成於半導體基體201上。於一個實施例中，特性件206之寬度界定半導體鱗片之寬度。於一個實施例中，特性件206之厚度決定鱗片高度。於替代實施例中，特性件206包括光阻、硬遮罩

或二者。沈積特性件於鰭片層205上及圖案化可使用電子裝置製造業界之熟諳技藝人士已知的任一種微影術製作。

[0058]圖2D為根據本發明之一個實施例鰭片207係從鰭片層205形成於底阻擋層204上後類似圖2C之視圖230。於一個實施例中，未被特性件206覆蓋(暴露)的鰭片層205部分係向下蝕刻至底阻擋層204，而特性件206下方部分維持完好。於一個實施例中，鰭片層205係蝕刻歷經預定時間以確保鰭片層205的暴露部分完全向下蝕刻至底阻擋層204。於一個實施例中，鰭片層205係選擇性蝕刻，而底阻擋層204維持完好。於一個實施例中，蝕刻停止層(例如氮化物層)係沈積於底阻擋層204上。

[0059]於一個實施例中，鰭片層205的蝕刻使得底阻擋層204的暴露部分向下凹陷至距鰭片207的底部之距離209。於一個實施例中，底阻擋層204係夠厚以確保鰭片層205的蝕刻不會造成底阻擋層203的蝕刻。於一個實施例中，距離209為約1 nm至約30 nm。

[0060]如圖2D所示，鰭片207具有一頂面及相對的側壁。如圖2D所示，鰭片207具有相對側壁間之寬度208及鰭片底部至鰭片207頂面的高度211。高度211及寬度208可為如前文就圖1所述之任一種寬度及高度。

[0061]鰭片層205可使用電子裝置製造業界熟諳技藝人士已知的乾蝕刻例如反應性離子蝕刻RIE技術蝕刻。於一個實施例中，鰭片層205的乾蝕刻接著為稀檸檬酸-磷酸蝕刻作為清潔蝕刻以去除RIE蝕刻中受損的鰭片層205之III-V材

料。於一個實施例中，底阻擋層204具有大於鱗片207之帶隙的帶隙。於一個實施例中，底阻擋層204係具有大於鱗片207之帶隙的帶隙。

[0062]圖2E為依據本發明之一個實施例在閘極介電層213形成於鱗片207上後類似圖2D之視圖240。如圖2E所示，閘極介電層213覆蓋鱗片207的頂面及相對的側壁，及鱗片207下方阻擋層204之一部分212的側壁。如圖2E所示，鱗片207下方的阻擋層204部分212並不凹陷。於一個實施例中，底阻擋層204具有界面241，閘極介電層213係實質上優於阻擋層203所具有的界面。於一個實施例中，底阻擋層204係適用以提供比底阻擋層203與閘極介電層213實質上更低密度的界面阱。

[0063]於一個實施例中，閘極介電層213包含高k介電材料(舉例)矽酸鉭(TaSiO_x)、氧化鋁(例如 Al_2O_3)。於一個實施例中，閘極介電層213包含 TaSiO_2 。於一個實施例中，閘極介電層213包含 La_2O_3 、 HfO_2 、 ZrO_2 、 TaO_5 或三元錯合物諸如 LaAl_xO_y 、 $\text{Hf}_x\text{Zr}_y\text{O}_z$ 或其它材料。閘極介電層213可為如前文就圖1所述之任一種介電層。於一個實施例中，閘極介電層213具有約0.1 nm至5 nm之厚度。於另一個實施例中，閘極介電層213具有小於5 nm，及更特別約4 nm之厚度。於其它實施例中，閘極介電層213具有不同厚度。閘極介電層213可使用前文就圖1所述之任一種沈積技術而沈積在鱗片207及阻擋層204上。可使用適當圖案化及蝕刻技術中之任一者來將閘極介電層213圖案化，此乃電子裝置製造業界熟諳技

藝人士所已知。

[0064]圖2F為依據本發明之一個實施例在閘極電極214形成於閘極介電層213後類似圖2E之視圖250。閘極電極214可藉電晶體製造業界熟諳技藝人士已知的沈積及圖案化方法形成於閘極介電層213上。閘極電極214可包含含金屬材料諸如Pt/Au、Ti/Au、Ti/Pt/Au或其它材料，如前述。於一個實施例中，閘極電極214之厚度為約50 nm至約500 nm。於其它實施例中，閘極電極214可具有其它厚度。閘極電極215可為圖1顯示的閘極電極107。於一個實施例中，源極區及汲極區(圖中未顯示)係形成於鱗片207上位在閘極電極214的相對兩側上，如前文就圖1所述。

[0065]圖3A為依據本發明之另一個實施例提供非平面III-V電晶體之一晶圓300之剖面圖。如圖3A所示，鱗片304係形成於基體301上的緩衝層302上的底阻擋層303上。於一個實施例中，底阻擋層303具有一帶隙大於鱗片304的帶隙。如圖3A所示，鱗片304具有一頂面及相對側側壁。

[0066]基體301可為任一種基體，說明如前。緩衝層302係沈積以因應基體301與緩衝層302上方各層諸如底阻擋層303間的晶格不匹配，限制晶格異位及缺陷，如前文說明。

[0067]底阻擋層303係沈積於緩衝層302上，如圖3A所示。於一個實施例中，底阻擋層303包含InAlAs。於一個實施例中，底阻擋層303包含 $\text{In}_x\text{Al}_{1-x}\text{As}$ ， x 為約0.52至約0.70，但於其它實施例中，可使用不同組成。於一個實施例中，緩衝層303包括 $\text{In}_x\text{Al}_{1-x}\text{As}$ ， x 為約0.52。

[0068]於一個實施例中，底阻擋層303包括銻化物例如AlAsSb、AlGaAsSb、AlGaSb、銻例如InP、或其組合例如AlInSb。於其它實施例中，底阻擋層303可包含其它III-V材料。

[0069]底阻擋層303可藉如前文說明之任一種適當技術而沈積於緩衝層302上。底阻擋層303可沈積於緩衝層302上至約0.5微米至約3微米，及更特別約1微米厚度。於一個實施例中，底阻擋層303具有小於1微米及更特別小於500 nm之厚度。於一個實施例中，底阻擋層303之厚度約為100 nm，於其它實施例中，又具有其它厚度。於一個實施例中，鱗片層經選擇性蝕刻，同時底阻擋層303保持完好。於一個實施例中，蝕刻停止層(例如氮化物層)係沈積於底阻擋層303上。

[0070]於一個實施例中，如前文就圖2C及2D所示，形成鱗片304涉及將鱗片層暴露部分上下蝕刻至底阻擋層303。於一個實施例中，鱗片層的蝕刻造成底阻擋層303的暴露部分向下凹陷至距離鱗片底部313的距離312，同時如前文就圖2D所述，留下鱗片304下方的底阻擋層303部分306保持完好。於一個實施例中，距離312係於約1 nm至約30 nm之約略範圍。鱗片304之高度及寬度可為前述寬度及高度中之任一者。鱗片304可使用前述適當技術中之任一者製成。

[0071]圖3B為依據本發明之一個實施例，於隔離層305沈積於鱗片之底阻擋層303上後類似圖3A之視圖310。如圖3B所示，隔離層305覆蓋鱗片304之頂面及側壁面，及鱗片304下方底阻擋層303之部分306的側壁。於一個實施例中，

隔離層305係施用以提供比閘極介電層所提供的與底阻擋層303更佳的界面。於一個實施例中，隔離層305提供氧化物層。於一個實施例中，隔離層305包括低電容率(低-k)ILD層。典型地，低k係稱作為具有介電常數(電容率k)比二氧化矽的電容率更低的電介質。於一個實施例中，隔離層305為包含一或多種介電材料例如二氧化矽及電子裝置製造業界熟諳技藝人士已知的其它介電材料之淺溝槽隔離(STI)層。

[0072]於一個實施例中，隔離層305包含高k介電材料，例如矽化鉬(TaSiO_x)、氧化鋁(例如 Al_2O_3)、 La_2O_3 、 HfO_2 、 ZrO_2 、 TaO_5 、三元錯合物諸如 LaAl_xO_y 、 $\text{Hf}_x\text{Zr}_y\text{O}_z$ 或其它介電材料。隔離層305可使用電子裝置製造業界熟諳技藝人士已知之任一種技術而全面性沈積於鰭片304上，諸如但非限於化學氣相沈積(CVD)、物理氣相沈積(PVP)。

[0073]圖3C為依據本發明之一個實施例於隔離層305凹陷後類似圖3B之視圖320。如圖3C所示，隔離層305係向下凹陷至鰭片304與底阻擋層303間的界面307。隔離層305係位在阻擋層303上且係相鄰於鰭片304下方的阻擋層303部分306之側壁。

[0074]於一個實施例中，於例如藉化學機械研磨(「CMP」)而暴露鰭片304頂面之研磨後隔離層305凹陷。

[0075]隔離層305可藉選擇性蝕刻技術凹陷同時保持鰭片304完好。舉例言之，隔離層305可使用電子裝置製造業界熟諳技藝人士已知之選擇性蝕刻技術凹陷，諸如但非限於濕蝕刻及乾蝕刻，其化學對鰭片304具有高度選擇性。如

此表示如電子裝置製造業界熟諳技藝人士已知，化學主要蝕刻隔離層305而非鰭片304。

[0076]圖3D為依據本發明之一個實施例於閘極介電層309形成於鰭片304後類似圖3C之視圖330。如圖3D所示，閘極介電層309係位在鰭片304之頂面及相對的側壁面上，隔離層305覆蓋鰭片304下方阻擋層303之部分306的側壁。於一個實施例中，隔離層306係與閘極介電層309不同。於一個實施例中，隔離層305具有與阻擋層303之部分306的一界面314，該界面為實質上比介電層309的界面更佳。於一個實施例中，隔離層305係適用於提供比閘極介電層309實質上更低密度的與阻擋層303之界面。閘極介電層309可為前文就圖1所述之閘極介電層中之任一者。閘極介電層309可使用前述任一種適當沈積技術而沈積於鰭片309及隔離層305上。可使用適當圖案化及蝕刻技術中之任一者來將閘極介電層309圖案化，該等技術為電子裝置製造熟諳技藝人士眾所周知。

[0077]圖3E為依據本發明之一個實施例於閘極電極311形成於閘極介電層309及隔離層305上後類似圖3D之視圖340。

[0078]閘極電極311可藉電晶體製造業界的熟諳技藝人士已知之沈積及圖案化技術而製成於閘極介電層309上。如前述，閘極電極311可包含含金屬材料諸如Pt/Au、Ti/Au、Ti/Pt/Au、或其它材料。於一個實施例中，閘極電極214之厚度係為約50 nm至約500 nm。於其它實施例中，閘極電極

214可具有其它厚度。閘極電極311可為圖1描繪的閘極電極107。於一個實施例中，一源極區及一汲極區(圖中未顯示)係形成於鱗片304上在閘極電極311的相對兩側，如前文就圖1所述。

[0079]圖3F顯示提供非平面III-V電晶體之典型晶圓350之實例的剖面圖。如圖3F所示，矽酸鉍閘極電介質359覆蓋 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ 鱗片354及鱗片下方 $\text{In}_{0.52}\text{Al}_{0.48}$ 底阻擋層353的部分356。閘極電介質359與鱗片354下方的底阻擋層353部分356間之界面355具有界面阱。

[0080]回頭參考圖3D，隔離層305與阻擋層303間之界面314具有與圖3F描繪的閘極介電層359與底阻擋層353間之界面355實質上更低密度的界面阱。

[0081]回頭參考圖2E，阻擋層204與閘極介電層213間之界面241比圖3F描繪的閘極介電層359與底阻擋層353間之界面355具有實質上更低密度的界面阱。

[0082]圖4A為依據本發明之另一個實施例提供非平面III-V電晶體之晶圓400之剖面圖。如圖4A所示，鱗片405係形成於基體401上的緩衝層402上之底阻擋層403上之底阻擋層404上。隔離層407係沈積於鱗片405及底阻擋層404上。於一個實施例中，底阻擋層404及底阻擋層403各自具有一帶隙係大於鱗片405的帶隙。如圖4A所示，鱗片405具有一頂面及相對的側壁。

[0083]基體401可為前述任一種基體。緩衝層402係沈積以因應基體401與緩衝層402上方各層間之晶格不匹配而如

前文說明限制晶格之異位及缺陷。

[0084]如圖4A所示，底阻擋層403係沈積於緩衝層402上。於一個實施例中，底阻擋層403包含InAlAs，但其它III-V材料可用於其它實施例。於一個實施例中，底阻擋層403包括 $\text{In}_x\text{Al}_{1-x}\text{As}$ ， x 為約0.52至約0.70，但於其它實施例中可使用不同組成。於一個實施例中，阻擋層403包括 $\text{In}_x\text{Al}_{1-x}\text{As}$ ， x 為約0.52。

[0085]於一個實施例中，底阻擋層404係適用以具有比底阻擋層403之更佳的與閘極介電層之界面。於一個實施例中，底阻擋層404包括銻化物例如AlAsSb、AlGaAsSb、AlGaSb。於一個實施例中，底阻擋層404包括銲例如InP。於一個實施例中，底阻擋層404包括AlInSb。於一個實施例中，底阻擋層404例如InP係沈積於底阻擋層403，例如InAlAs上。於一個實施例中，底阻擋層404例如AlAsSb、AlGaAsSb、AlGaSb、或AlInSb係沈積於底阻擋層403，例如InAlAs上。於其它實施例中，底阻擋層404可包含適用於具有與閘極介電層比底阻擋層403更佳的界面之其它材料。

[0086]底阻擋層403可藉前述任一種適當技術而沈積於緩衝層402上。底阻擋層403可沈積於緩衝層402上自約0.5微米至約3微米，及更特別約1微米之厚度。於一個實施例中，底阻擋層403具有小於1微米及更特別小於500奈米之厚度。於一個實施例中，底阻擋層403之厚度約為100奈米，於其它實施例中可具有其它厚度。

[0087]底阻擋層404可藉分子束磊晶(MBE)、遷移加強

式磊晶(MEE)、金屬-有機化學氣相沈積(MOCVD)、原子層沈積(ALD)、化學束磊晶(CBE)、或熟諳電子裝置製造技藝界人士已知的其它適當技術製成沈積於底阻擋層403上。於一個實施例中，底阻擋層404具有約5 nm至約50 nm，及更特別30 nm至約40 nm之約略範圍。於一個實施例中，底阻擋層404具有約3 nm至約10 nm之約略範圍，於其它實施例中，可具有又其它厚度。

[0088]於一個實施例中，形成鰭片405涉及向下蝕刻鰭片層暴露部分至底阻擋層404，如前文說明。於一個實施例中，鰭片層經選擇性蝕刻，同時保持底阻擋層404的完好。於一個實施例中，蝕刻停止層(例如氮化物層)係沈積於底阻擋層404上。於一個實施例中，鰭片層造成底阻擋層404之暴露部分向下凹陷至距鰭片底部413的距離412，同時保持鰭片405下方底阻擋層404部分406完好，如前述。於一個實施例中，底阻擋層404夠厚以確保鰭片層的蝕刻不會造成底阻擋層403的蝕刻，如前文說明。於一個實施例中，距離412係於約1 nm至約30 nm之範圍。鰭片405之高度及寬度可為前述任一種高度及寬度。鰭片405可使用前述任一種適當技術製成。

[0089]如圖4A所示，隔離層407覆蓋鰭片405之頂面及側壁面，及鰭片405下方之底阻擋層404之部分406的側壁。於一個實施例中，隔離層407係適用以提供比較閘極介電層所提供者，與底阻擋層404之更佳界面。於一個實施例中，隔離層407包括氧化物層。於一個實施例中，隔離層407包

括低電容率(低k) ILD層。於一個實施例中，隔離層407為熟諳電子裝置製造業界人士已知包含一或多種介電材料例如二氧化矽及其它介電材料的淺溝槽隔離(STI)層。

[0090]於一個實施例中，隔離層407包含高k介電材料，例如矽酸鋇(TaSiO_x)、氧化鋁(例如 Al_2O_3)、 La_2O_3 、 HfO_2 、 ZrO_2 、 TaO_5 、三元錯合物例如 LaAl_xO_y 、 $\text{Hf}_x\text{Zr}_y\text{O}_z$ 、或其它介電材料。隔離層407可運用電子裝置製造業界熟諳技藝人士已知之任一種技術，諸如但非限於化學氣相沈積(CVD)、物理氣相沈積(PVP)而全面性沈積於鰭片304上。

[0091]圖4B為依據本發明之一個實施例於隔離層407凹陷後類似圖4A之視圖400。如圖4B所示，隔離層407向下凹陷至鰭片405與底阻擋層404間之界面408。隔離層407係設置於阻擋層303上且係相鄰於鰭片405下方之阻擋層404部分406之側壁。於一個實施例中，隔離層407係如前述例如藉化學機械研磨(「CMP」)而回研磨後凹陷。隔離層407可藉如前文描述的選擇性蝕刻技術凹陷。

[0092]圖4C為依據本發明之一個實施例於閘極介電層409形成於鰭片405上後類似圖4B之視圖420。如圖4B所示，閘極介電層409係設置於鰭片405頂面及相對的側壁上，及隔離層407覆蓋鰭片404下方阻擋層404部分406的側壁。於一個實施例中，隔離層407係與閘極介電層409相異。於一個實施例中，隔離層407具有與隔離層404部分406間之界面415，該界面係實質上優於介電層409可具有的界面。於一個實施例中，隔離層407係適用於提供比較閘極介電層

409所提供者更低密度之與阻擋層404的界面阱。閘極介電層409可為前述閘極介電層中之任一者。閘極介電層409可使用如前述熟諳技藝人士已知之任一種適當技術而形成於鰭片309及隔離層305上。

[0093]圖4D為依據本發明之一個實施例，在閘極電極411形成於閘極介電層409及隔離層407上後類似圖4C之視圖430。

[0094]閘極電極411可藉電晶體製造業界熟諳技藝人士已知之沈積及圖案化技術而形成於閘極介電層409上。閘極電極311可包含如前述含金屬材料諸如Pt/Au、Ti/Au、Ti/Pt/Au、或其它材料。於一個實施例中，閘極電極214之厚度係為約50 nm至約500 nm。於其它實施例中，閘極電極214可具有其它厚度。閘極電極411可為如圖1描繪之閘極電極107。於一個實施例中，如前述，源極區及汲極區(圖中未顯示)係形成於鰭片405上在閘極電極411的相對兩側。於一個實施例中，界面415具有比圖3F描繪者實質上比界面355更低密度的界面阱。

[0095]圖5為線圖500之實例顯示具有類似圖3F之結構的結構之III-V電晶體之電流(I) 501相對於閘極電壓(Vg) 502。曲線503係於典型處理器操作的汲極偏壓500 mV獲得。曲線504係於汲極偏壓50 mV獲得。曲線505為模擬曲線。如圖5所示，關閉態漏電流(於Vg小於0)隨著汲極偏壓的升高而增加。如圖5所示，針對汲極偏壓50 mV，由於閘極氧化物與鰭片下方InAlAs底阻擋層間之不良界面所導致

的關閉態漏電流(於 V_g 低於0)(鰭片下漏流)係至少比模擬漏電流更大約5倍至10倍。

[0096]圖6A為線圖600實例顯示針對40埃 Al_2O_3 -InAlAs界面於不同頻率的閘極電容601相對於閘極電壓602。圖6B為線圖實例顯示針對40埃 Al_2O_3 -InP界面於不同頻率的閘極電容611相對於閘極電壓612。對 Al_2O_3 -InAlAs界面從於100 kHz之曲線603至1 nm之曲線604的頻率分散為每十年27%，該數值係遠大於對 Al_2O_3 -InP界面從於100 kHz之曲線613至1 nm之曲線614的頻率分散為每十年7%。於至少若干實施例中，可能出現電容相對於電壓之較大頻率分散曲線指示有較高密度的界面阱，通過界面阱可能出現關閉態漏電流。如圖5所示， Al_2O_3 -InP界面具有比 Al_2O_3 -InAlAs界面所具有的界面阱密度至少更低一個次冪幅度的密度。

[0097]圖7例示說明依據一個實施例之計算裝置700。計算裝置700罩住一片板702。板702可包括多個組件，包括但非僅限於處理器704及至少一個通訊晶片706。處理器704係實體地及電氣地耦接至板702。於若干體現中，該至少一個通訊晶片也係實體地及電氣地耦接至板702。於進一步體現中，該至少一個通訊晶片706係為處理器704的一部分。

[0098]取決於其應用，計算裝置700可包括其它組件而其可以或可不實體地及電氣地耦接至板702。此等其它組件包括但非僅限於記憶體諸如依電性記憶體708(例如DRAM)、非依電性記憶體710(例如ROM)、快閃記憶體、圖形處理器712、數位信號處理器(圖中未顯示)、密碼處理器

(圖中未顯示)、晶片組714、天線716、顯示器諸如觸控螢幕顯示器718、顯示控制器例如觸控螢幕控制器720、電池722、音訊編解碼器(圖中未顯示)、視訊編解碼器(圖中未顯示)放大器例如功率放大器724、全球定位系統(GPS)裝置726、羅盤728、加速度計(圖中未顯示)、陀螺儀(圖中未顯示)、揚聲器1130、相機732、及大容量儲存裝置(諸如硬碟機、光碟(CD)、數位影音碟(DVD)等)(圖中未顯示)。

[0099]通訊晶片例如通訊晶片706許可無線通訊移轉資料來去於計算裝置700。「無線」一詞及其衍生詞可用以描述可透過非固體媒體的調變電磁輻射之使用而通訊資料的電路、裝置、系統、方法、技術、通訊頻道等。該詞並非暗示相聯結的裝置不含任何導線，但於若干實施例中可能不含。

[0100]通訊晶片706可體現多個無線標準或協定中之任一者，包括但非僅限於Wi-Fi (IEEE 802.11家族)、WiMAX (IEEE 802.16家族)、IEEE 802.20、長期演進(LTE)、Ev-DP、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、藍牙、其推衍協定，以及指定用作為3G、4G、5G及以上的任何其它無線協定。計算裝置700可包括複數個通訊晶片。例如通訊晶片706可專用於短距離無線通訊，諸如Wi-Fi及藍牙，而通訊晶片736可專用於長距離無線通訊，諸如GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO及其它。

[0101]於至少若干實施例中，計算裝置700之處理器704

包括依據此處描述的實施例具有改良TDDB面積比例的三閘極電晶體陣列的一積體電路晶粒。處理器之積體電路晶粒包括一或多個裝置諸如，如此處描述的電晶體或金屬互連體。「處理器」一詞可指處理來自暫存器及/或記憶體的電子資料以將該電子資料轉換成可儲存於暫存器及/或記憶體的其它資料之任何裝置或裝置部分。

[0102]通訊晶片1006也包括依據此處描述的實施例具有防止III-V電晶體隔離漏流的積體電路。於進一步體現中，罩在計算裝置1000內部的另一組件可含有一積體電路晶粒封裝體具有依據此處描述的實施例防止III-V電晶體隔離漏流的積體電路。

依據一個體現，該通訊晶片的積體電路晶粒包括如此處描述的一或多個裝置諸如電晶體及金屬互連體。於各個體現中，計算裝置700可為膝上型電腦、小筆電、筆記型電腦、超筆電、智慧型手機、平板、個人數位助理器(PDA)、超行動PC、行動電話、桌上型電腦、伺服器、列印器、掃描器、監視器、機上盒、娛樂控制單元、數位相機、可攜式音樂播放器、或數位視訊記錄器。於進一步體現中，計算裝置700可為處理資料的任何其它電子裝置。

[0103]此處描述的實施例提出一種具有在底阻擋層實質上低密度界面阱以減少隔離漏流的新穎界面之優點。如此處描述的新穎界面具有比技藝界現況至少低兩倍密度的界面阱，提供顯著減少於III-V電晶體的隔離漏流。

[0104]下列實施例係有關於額外實施例：

[0105]一種製作一電子裝置之方法，包含：於一基體上方沈積一第一阻擋層；於該第一阻擋層上沈積一第二阻擋層；於該第二阻擋層上形成一鱗片，其中該第一阻擋層與該第二阻擋層中之至少一者具有大於該鱗片之一帶隙的一帶隙，該鱗片具有一頂面及相對的側壁；及於該頂面及該等相對的側壁上沈積一閘極介電層。

[0106]一種製作一電子裝置之方法，包含：於一基體上方沈積一第一阻擋層；於該第一阻擋層上沈積一第二阻擋層；於該第二阻擋層上形成一鱗片，其中該第一阻擋層與該第二阻擋層中之至少一者具有大於該鱗片之一帶隙的一帶隙，該鱗片具有一頂面及相對的側壁；及於該頂面及該等相對的側壁上沈積一閘極介電層，其中該閘極介電層係相鄰該鱗片下方的該第二阻擋層。

[0107]一種製作一電子裝置之方法，包含：於一基體上方沈積一第一阻擋層；於該第一阻擋層上沈積一第二阻擋層；於該第二阻擋層上形成一鱗片，其中該第一阻擋層與該第二阻擋層中之至少一者具有大於該鱗片之一帶隙的一帶隙，該鱗片具有一頂面及相對的側壁；及於該頂面及該等相對的側壁上沈積一閘極介電層，其中形成該鱗片係包括於該第二阻擋層上沈積一鱗片層；將該鱗片層圖案化；及蝕刻該鱗片層。

[0108]一種製作一電子裝置之方法，包含：於一基體上方沈積一第一阻擋層；於該第一阻擋層上沈積一第二阻擋層；於該第二阻擋層上形成一鱗片，其中該第一阻擋層與

該第二阻擋層中之至少一者具有大於該鰭片之一帶隙的一帶隙，該鰭片具有一頂面及相對的側壁；於該頂面及該等相對的側壁上沈積一閘極介電層，於該第二阻擋層上沈積一隔離層，其中該隔離層係與該閘極介電層不同；及向下凹陷該隔離層至該鰭片與該第一阻擋層間之一界面。

[0109]一種製作一電子裝置之方法，包含：於一基體上方沈積一第一阻擋層；於該第一阻擋層上沈積一第二阻擋層；於該第二阻擋層上形成一鰭片，其中該第一阻擋層與該第二阻擋層中之至少一者具有大於該鰭片之一帶隙的一帶隙，該鰭片具有一頂面及相對的側壁；及於該頂面及該等相對的側壁上沈積一閘極介電層，其中該鰭片包括銻，及該第二阻擋層包括銻化物、銻、或其組合。

[0110]一種製作一電子裝置之方法，包含：於一基體上方之一第一阻擋層上方形成一鰭片，其中該第一阻擋層具有大於該鰭片之一帶隙的一帶隙，其中該鰭片具有一頂面及相對的側壁；於該第一阻擋層上沈積一隔離層；凹陷該隔離層；及於該頂面及該等相對的側壁上沈積一閘極介電層。

[0111]一種製作一電子裝置之方法，包含：於一基體上方之一第一阻擋層上方形成一鰭片，其中該第一阻擋層具有大於該鰭片之一帶隙的一帶隙，其中該鰭片具有一頂面及相對的側壁；於該第一阻擋層上沈積一隔離層；凹陷該隔離層；及於該頂面及該等相對的側壁上沈積一閘極介電層，其中該隔離層係向下凹陷至該鰭片與該第一阻擋層間之一界

面。

[0112]一種製作一電子裝置之方法，包含：於一基體上方之一第一阻擋層上方形成一鰭片，其中該第一阻擋層具有大於該鰭片之一帶隙的一帶隙，其中該鰭片具有一頂面及相對的側壁；於該第一阻擋層上沈積一隔離層；凹陷該隔離層；及於該頂面及該等相對的側壁上沈積一閘極介電層，其中該隔離層係與該閘極介電層不同。

[0113]一種製作一電子裝置之方法，包含：於一基體上方之一第一阻擋層上方形成一鰭片，其中該第一阻擋層具有大於該鰭片之一帶隙的一帶隙，其中該鰭片具有一頂面及相對的側壁；於該第一阻擋層上沈積一隔離層；凹陷該隔離層；及於該頂面及該等相對的側壁上沈積一閘極介電層，其中該隔離層係相鄰該鰭片下方的該第一阻擋層。

[0114]一種製作一電子裝置之方法，包含：於一基體上方之一第一阻擋層上方形成一鰭片，其中該第一阻擋層具有大於該鰭片之一帶隙的一帶隙，其中該鰭片具有一頂面及相對的側壁；於該第一阻擋層上沈積一隔離層；凹陷該隔離層；於該頂面及該等相對的側壁上沈積一閘極介電層；沈積一第二阻擋層於該第一阻擋層上，其中該鰭片係於該第二阻擋層上，及該隔離層係相鄰於該鰭片下方之該第二阻擋層。

[0115]一種電子裝置，包含：於一基體上方之一第一阻擋層；於該第一阻擋層上之一第二阻擋層；一鰭片具有於該第二阻擋層上之一頂面及相對的側壁，其中該第二阻擋層具有大於該鰭片之該帶隙的一帶隙；及於該頂面及該等

相對的側壁上之一閘極介電層。

[0116]一種電子裝置，包含：於一基體上方之一第一阻擋層；於該第一阻擋層上之一第二阻擋層；一鱗片具有於該第二阻擋層上之一頂面及相對的側壁，其中該第二阻擋層具有大於該鱗片之該帶隙的一帶隙；及於該頂面及該等相對的側壁上之一閘極介電層，其中該閘極介電質係相鄰於該鱗片下方之該第二阻擋層。

[0117]一種電子裝置，包含：於一基體上方之一第一阻擋層；於該第一阻擋層上之一第二阻擋層；一鱗片具有於該第二阻擋層上之一頂面及相對的側壁，其中該第二阻擋層具有大於該鱗片之該帶隙的一帶隙；及於該頂面及該等相對的側壁上之一閘極介電層，其中該鱗片係包括銻，及該第二阻擋層包括銻化物、銻、或其組合。

[0118]一種電子裝置，包含：於一基體上方之一第一阻擋層；於該第一阻擋層上之一第二阻擋層；一鱗片具有於該第二阻擋層上之一頂面及相對的側壁，其中該第二阻擋層具有大於該鱗片之該帶隙的一帶隙；及於該頂面及該等相對的側壁上之一閘極介電層，其中該第二阻擋層係具有1奈米至50奈米之厚度。

[0119]一種電子裝置，包含：於一基體上方之一第一阻擋層；於該第一阻擋層上之一第二阻擋層；一鱗片具有於該第二阻擋層上之一頂面及相對的側壁，其中該第二阻擋層具有大於該鱗片之該帶隙的一帶隙；於該頂面及該等相對的側壁上之一閘極介電層，及相鄰於該鱗片下方之該第

二阻擋層的一隔離層。

[0120]一種電子裝置，包含一鱗片具有於一基體上方的一第一阻擋層上方的一頂面及相對的側壁，該第一阻擋層具有大於該鱗片之該帶隙的一帶隙；於該第一層上之一隔離層；及於該頂面及該等相對的側壁上之一閘極介電層，其中該隔離層係與該閘極介電層不同。

[0121]一種電子裝置，包含一鱗片具有於一基體上方的一第一阻擋層上方的一頂面及相對的側壁，該第一阻擋層具有大於該鱗片之該帶隙的一帶隙；於該第一層上之一隔離層；及於該頂面及該等相對的側壁上之一閘極介電層，其中該隔離層係與該閘極介電層不同，其中該隔離層係相鄰於該鱗片下方的該第一阻擋層。

[0122]一種電子裝置，包含一鱗片具有於一基體上方的一第一阻擋層上方的一頂面及相對的側壁，該第一阻擋層具有大於該鱗片之該帶隙的一帶隙；於該第一層上之一隔離層；及於該頂面及該等相對的側壁上之一閘極介電層，其中該隔離層係與該閘極介電層不同，

[0123]於該鱗片與該第一阻擋層間之一第二阻擋層，該第二阻擋層具有大於該鱗片之該帶隙的一帶隙。

[0124]一種電子裝置，包含一鱗片具有於一基體上方的一第一阻擋層上方的一頂面及相對的側壁，該第一阻擋層具有大於該鱗片之該帶隙的一帶隙；於該第一層上之一隔離層；及於該頂面及該等相對的側壁上之一閘極介電層，其中該隔離層係與該閘極介電層不同，其中該鱗片係包括

銻，及該第二阻擋層包括銻化物、銻、或其組合。

[0125]一種電子裝置，包含一鱗片具有於一基體上方的一第一阻擋層上方的一頂面及相對的側壁，該第一阻擋層具有大於該鱗片之該帶隙的一帶隙；於該第一層上之一隔離層；及於該頂面及該等相對的側壁上之一閘極介電層，其中該隔離層係與該閘極介電層不同，其中該隔離層係具有1奈米至50奈米之厚度。

【符號說明】

100...電晶體

101、201、301、351、401...基體

102、203、204、303、353、403、404...底阻擋層

103、207、304、354、405...鱗片、半導體鱗片

104...源極區

105、213、309、359、409...閘極介電層

106...汲極區

107、214、311、411...閘極電極

108、308...頂面

109、110、115、116...側壁

111、202、302、352、402...緩衝層

112、211...高度

113、208...寬度

114...通道區

200、300、400...晶圓

205...鱗片層

206...特性件

209、312、412...距離
210、220、230、240、250、310、320、330、340、350、410、
420、430...視圖
212、306、356、406...底阻擋層之部分
241、307、314、355、408、415...界面
305、407...隔離層
313、413...鱗片底部
500、600、610...線圖
501...電流(I)
502、602、612...閘極電壓(V_g 、 V_G)
503、504、603、604、613、614...曲線
601、611...閘極電容
700...計算裝置
702...板、主機板
704...處理器
706、736...通訊晶片
708...依電性記憶體
710...非依電性記憶體
712...圖形處理器
714...晶片組
716...天線
718...觸控螢幕顯示器
720...觸控螢幕控制器
722...電池
724...放大器
726...全球定位系統(GPS)裝置

728...羅盤

730...揚聲器

732...相機

申請專利範圍

1. 一種用於製造一電子裝置之方法，該方法包含下列步驟：

於一基體上方沈積一第一阻擋層；

於該第一阻擋層上沈積一第二阻擋層；

於該第二阻擋層上形成一鰭片，其中該第一阻擋層與該第二阻擋層中之至少一者具有大於該鰭片之一帶隙的一帶隙，該鰭片具有一頂面及相對的側壁，該第二阻擋層包含與該鰭片的一界面、以及耦接至該界面的一側壁；及

於該鰭片的該頂面及該等相對的側壁上以及於該第二阻擋層的該側壁上沈積一閘極介電層。

2. 如請求項1之方法，其中該閘極介電質係相鄰於該鰭片下方之該第二阻擋層。

3. 如請求項1之方法，其中形成該鰭片之步驟包括

於該第二阻擋層上沈積一鰭片層；

將該鰭片層圖案化(patterning)；及

蝕刻該鰭片層。

4. 如請求項1之方法，其進一步包含下列步驟

於該第二阻擋層上沈積一隔離層，其中該隔離層係與該閘極介電層不同；及

使該隔離層向下凹陷至該鰭片與該第一阻擋層間之一界面。

5. 如請求項1之方法，其中該鱗片包括鈮，且該第二阻擋層包括銻化物、鈮、或其組合。
6. 一種用於製造一電子裝置之方法，該方法包含下列步驟：
 - 於一基體上方之一第一阻擋層上形成一鱗片，其中該第一阻擋層具有大於該鱗片之一帶隙的一帶隙，其中該鱗片具有一頂面及相對的側壁，該第一阻擋層包含與該鱗片之一界面、以及耦接至該界面之一側壁；
 - 於該第一阻擋層的該側壁上沈積一隔離層；
 - 使該隔離層凹陷；及
 - 於該頂面及該等相對的側壁上沈積一閘極介電層。
7. 如請求項6之方法，其中該隔離層係向下凹陷至該鱗片與該第一阻擋層間之一界面。
8. 如請求項6之方法，其中該隔離層與該閘極介電層不同。
9. 如請求項6之方法，其中該隔離層係相鄰於該鱗片下方之該第一阻擋層。
10. 如請求項6之方法，其進一步包含下列步驟
 - 於該第一阻擋層上沈積一第二阻擋層，其中該鱗片係於該第二阻擋層上，且該隔離層係相鄰於該鱗片下方之該第二阻擋層。
11. 一種電子裝置，其包含：
 - 於一基體上方之一第一阻擋層；
 - 於該第一阻擋層上之一第二阻擋層；
 - 一鱗片，其具有於該第二阻擋層上之一頂面及相對

的側壁，其中該第二阻擋層具有大於該鰭片之該帶隙的一帶隙，該第二阻擋層包含與該鰭片的一界面、以及耦接至該界面的一側壁；及

一閘極介電層，其係於該鰭片的該頂面及該等相對的側壁上以及於該第二阻擋層的該側壁上。

12. 如請求項11之電子裝置，其中該閘極介電質係相鄰於該鰭片下方之該第二阻擋層。

13. 如請求項11之電子裝置，其中該鰭片包括銻，且該第二阻擋層包括銻化物、銻、或其組合。

14. 如請求項11之電子裝置，其中該第二阻擋層具有1奈米至50奈米之厚度。

15. 如請求項11之電子裝置，其進一步包含

相鄰於該鰭片下方之該第二阻擋層的一隔離層。

16. 一種電子裝置，其包含：

於一基體上方的一第一阻擋層上之一鰭片，其具有一頂面及相對的側壁，該第一阻擋層具有大於該鰭片之該帶隙的一帶隙，該第一阻擋層包含與該鰭片的一界面、以及耦接至該界面的一側壁；

於該第一阻擋層的該側壁上之一隔離層；及

於該頂面及該等相對的側壁上之一閘極介電層，其中該隔離層與該閘極介電層不同。

17. 如請求項16之電子裝置，其中該隔離層係相鄰於該鰭片下方的該第一阻擋層。

18. 如請求項16之電子裝置，其進一步包含

於該鰭片與該第一阻擋層間之一第二阻擋層，該第二阻擋層具有大於該鰭片之該帶隙的一帶隙。

19. 如請求項16之電子裝置，其中該鰭片包括銮，且該第二阻擋層包括銻化物、銮、或其組合。

20. 如請求項16之電子裝置，其中該隔離層具有1奈米至50奈米之厚度。

21. 一種行動計算裝置，其包含

一記憶體，及耦接至該記憶體之一處理器，其中該處理器包括

一積體電路晶粒，其包含於一基體上方之一第一阻擋層；

於該第一阻擋層上之一第二阻擋層；

於該第二阻擋層上之具有一頂面及相對的側壁的一鰭片，該第二阻擋層包含與該鰭片的一界面、以及耦接至該界面的一側壁，其中該第二阻擋層具有大於該鰭片之該帶隙的一帶隙；及

一閘極介電層，其係於該鰭片的該頂面及該等相對的側壁上以及於該第二阻擋層的該側壁上。

22. 一種行動計算裝置，其包含

一記憶體，及耦接至該記憶體之一處理器，其中該處理器包括

於一基體上方的一第一阻擋層上之一鰭片，其具有一頂面及相對的側壁，該第一阻擋層具有大於該鰭片之該帶隙的一帶隙，該第一阻擋層包含與該鰭片的一界

面、以及耦接至該界面的一側壁；

於該第一阻擋層的該側壁上之一隔離層；及

於該頂面及該等相對的側壁上之一閘極介電層，其中該隔離層與該閘極介電層不同。

圖式

1/12

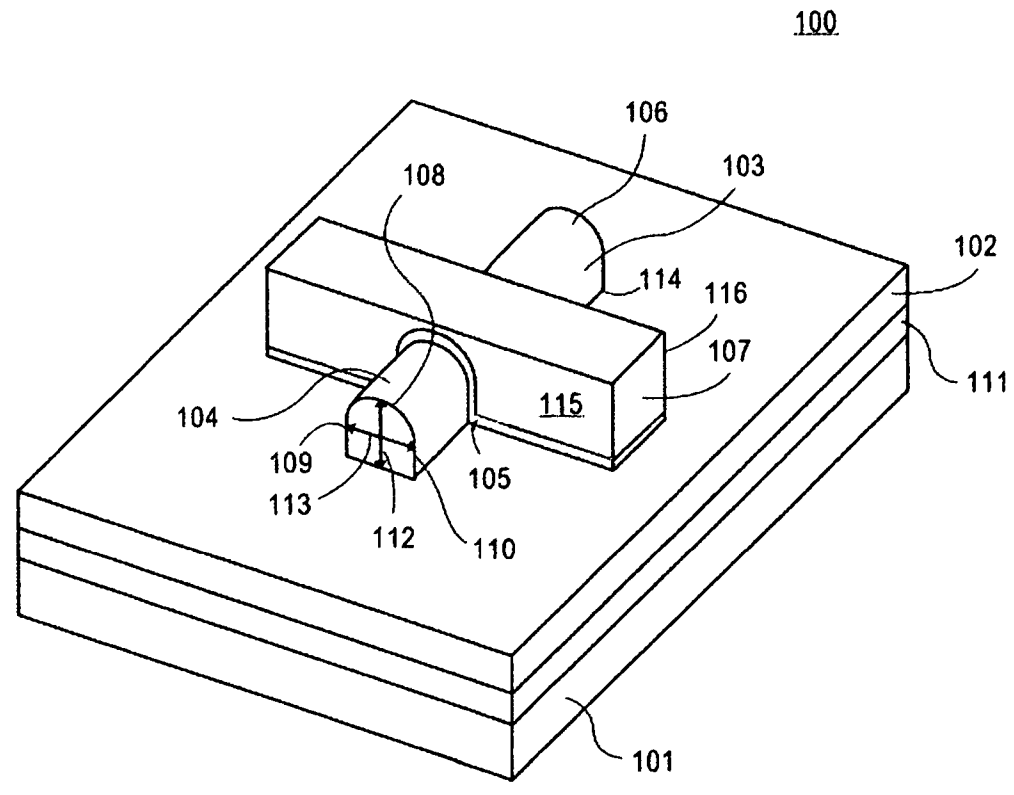


圖 1

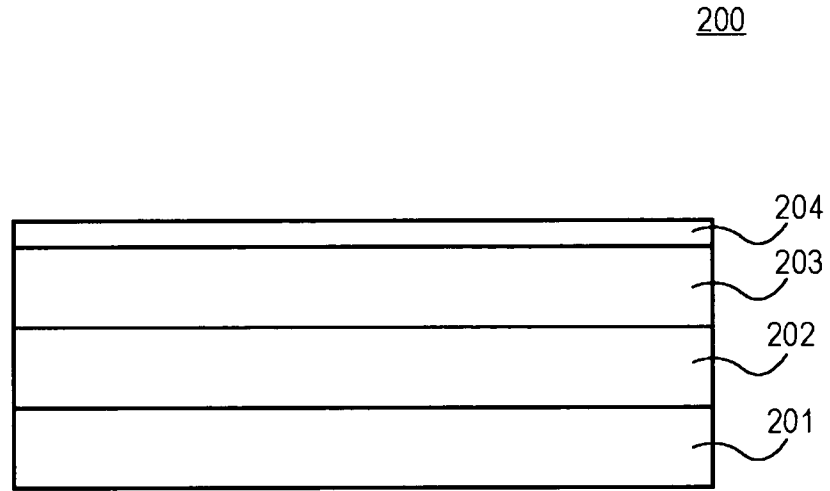


圖 2A

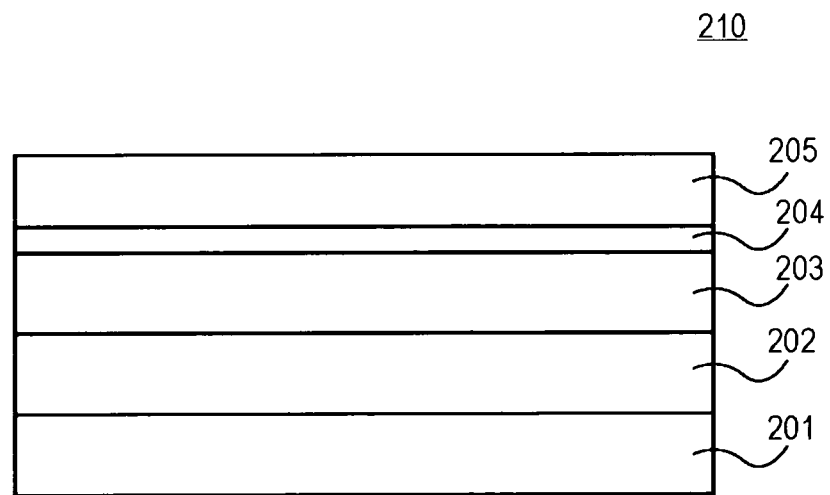


圖 2B

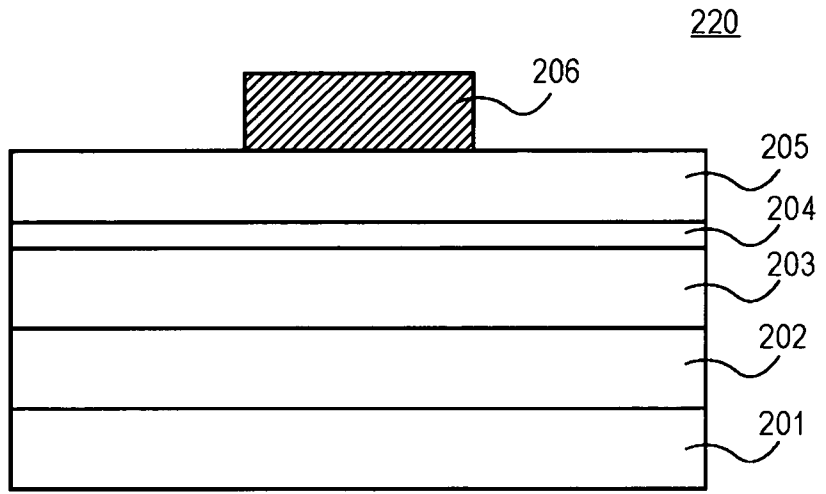


圖 2C

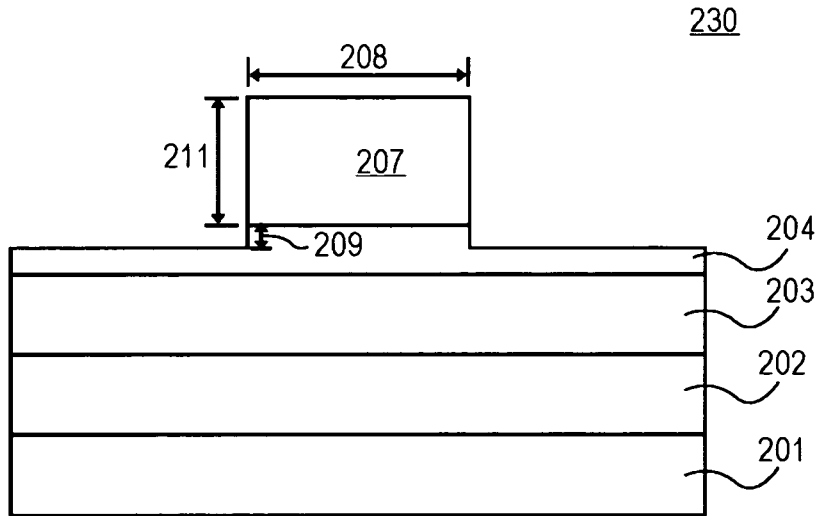


圖 2D

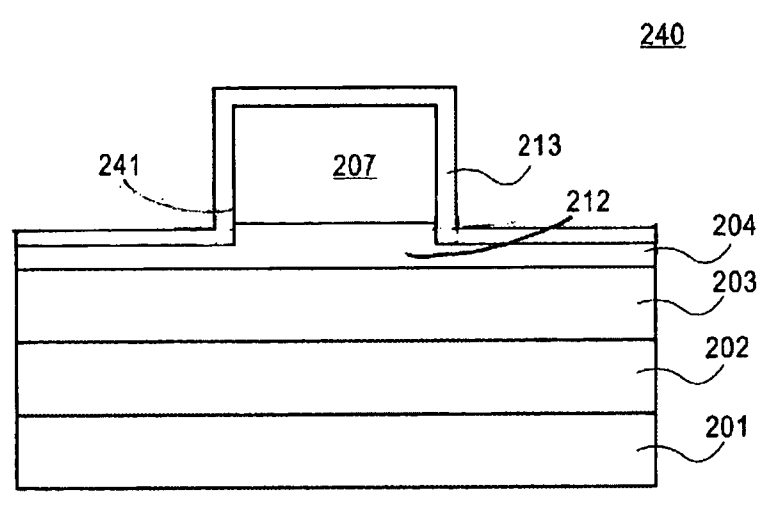


圖 2E

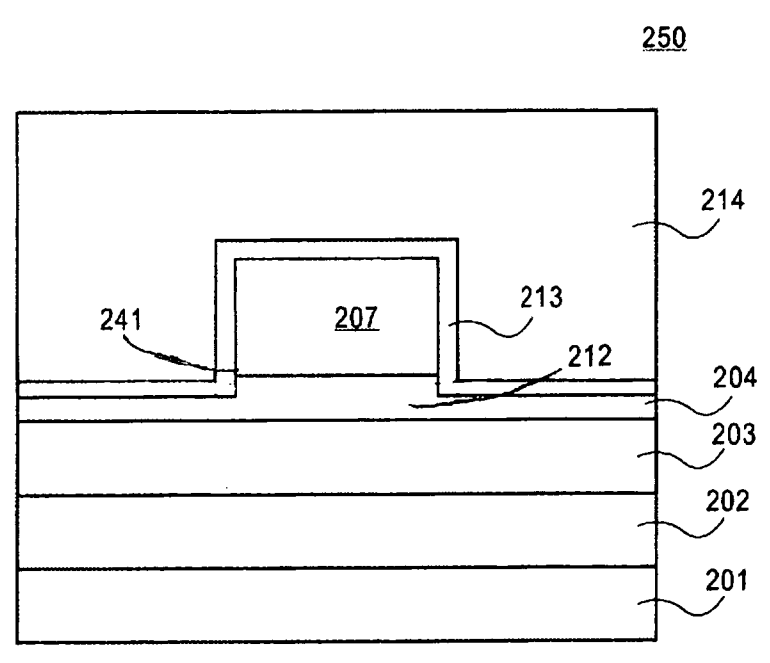


圖 2F

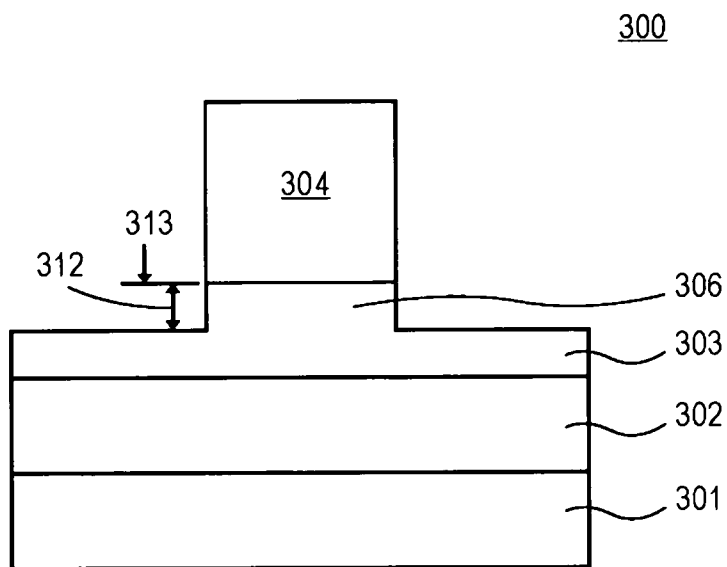


圖 3A

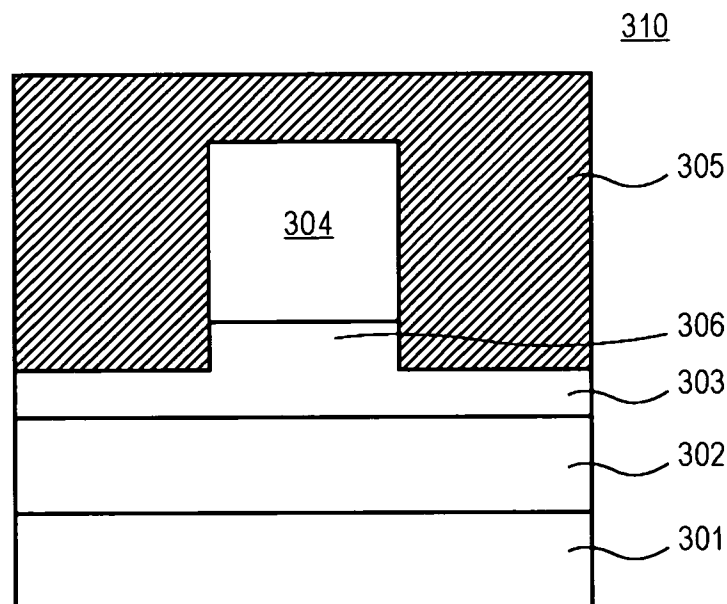


圖 3B

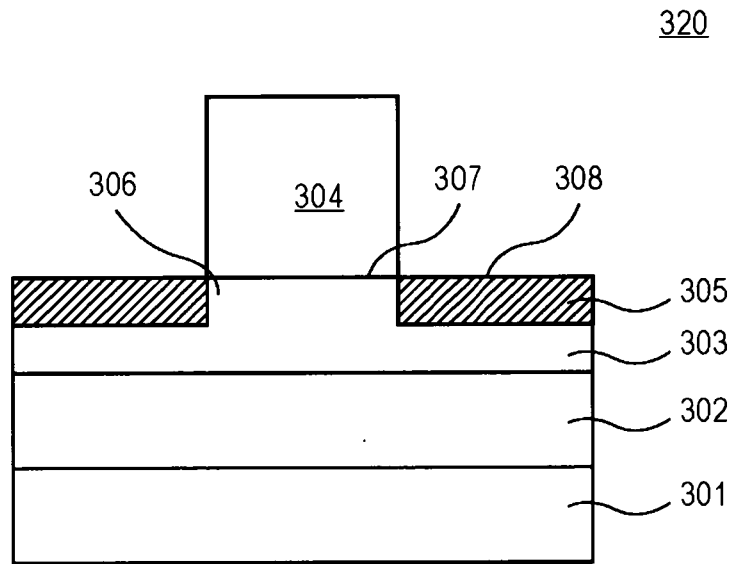


圖 3C

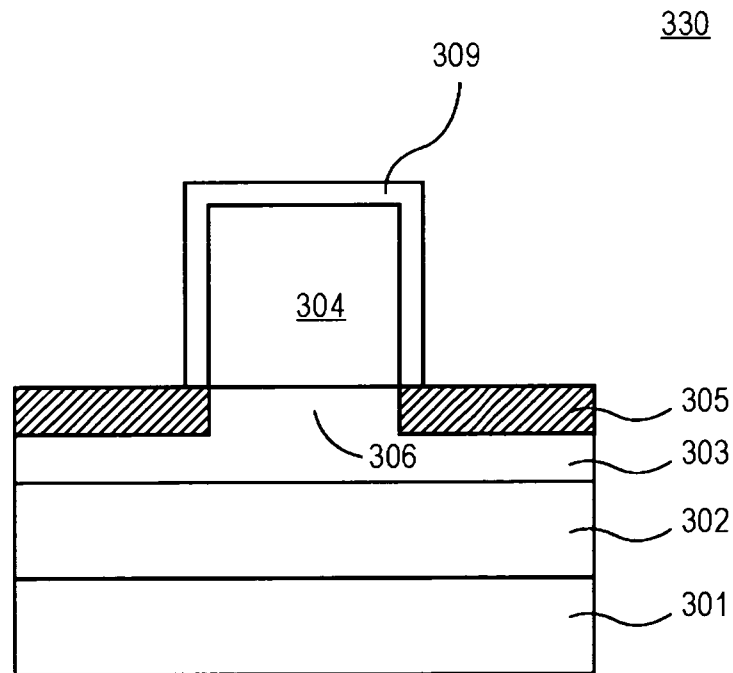


圖 3D

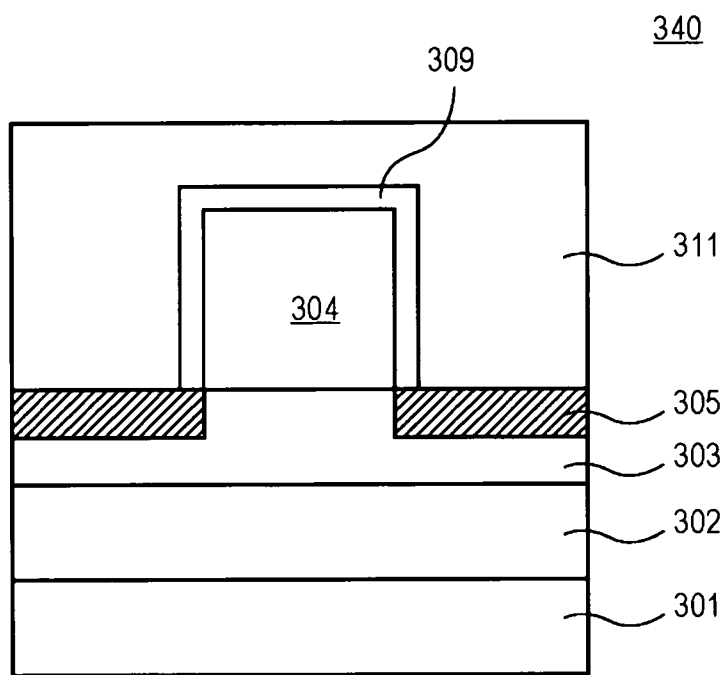


圖 3E

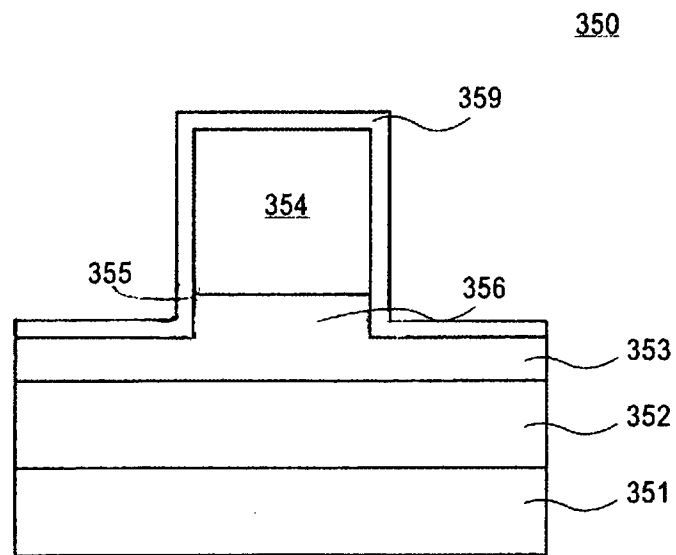


圖 3F

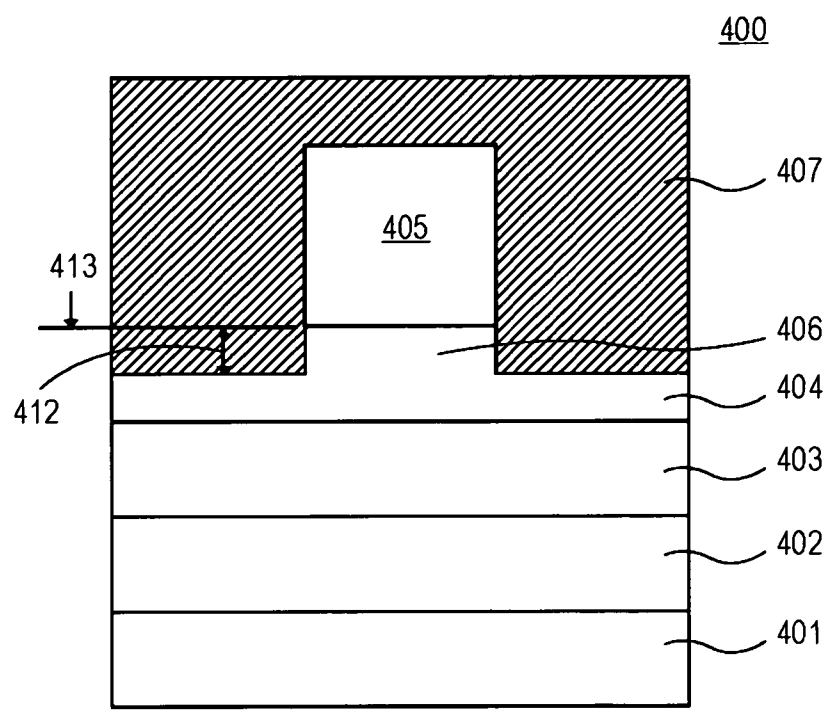


圖 4A

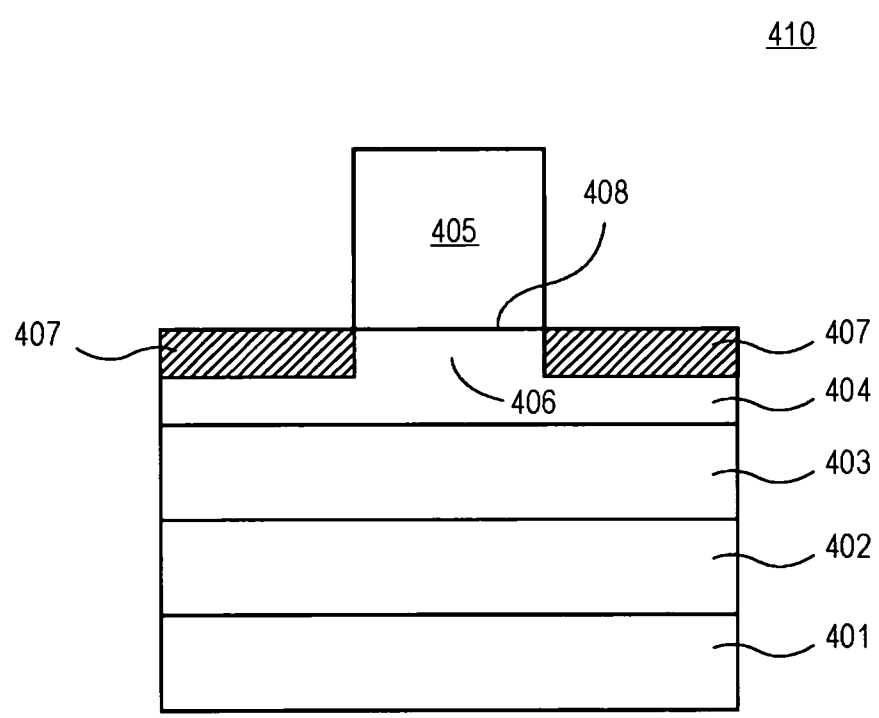


圖 4B

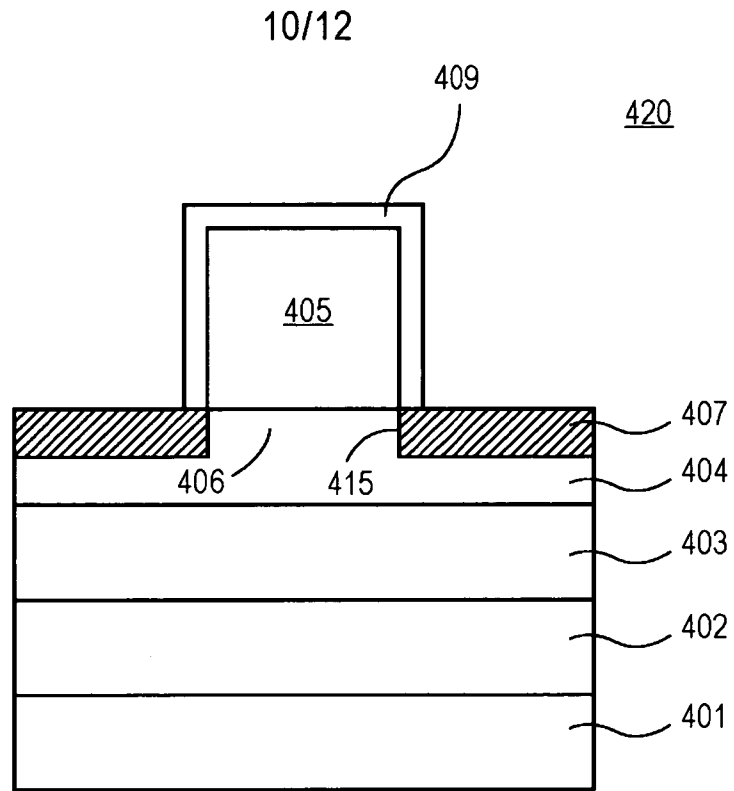


圖 4C

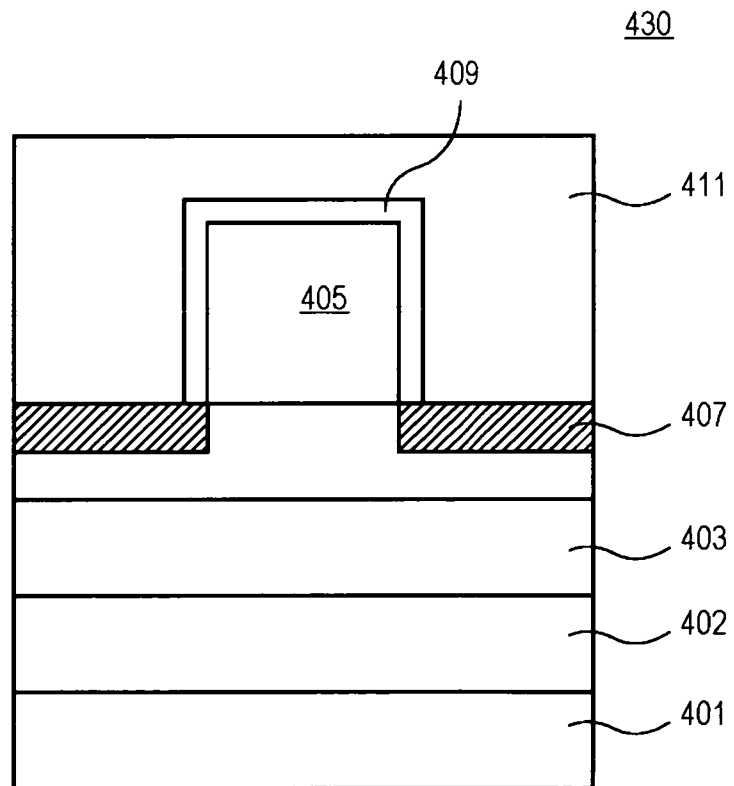


圖 4D

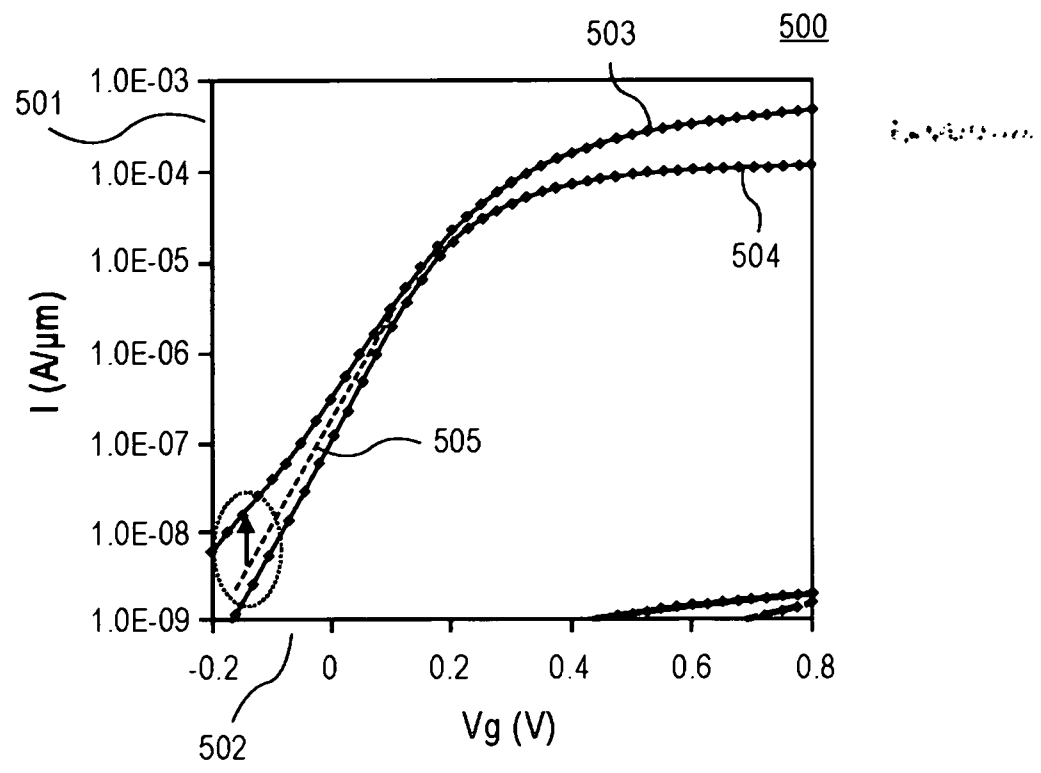


圖 5

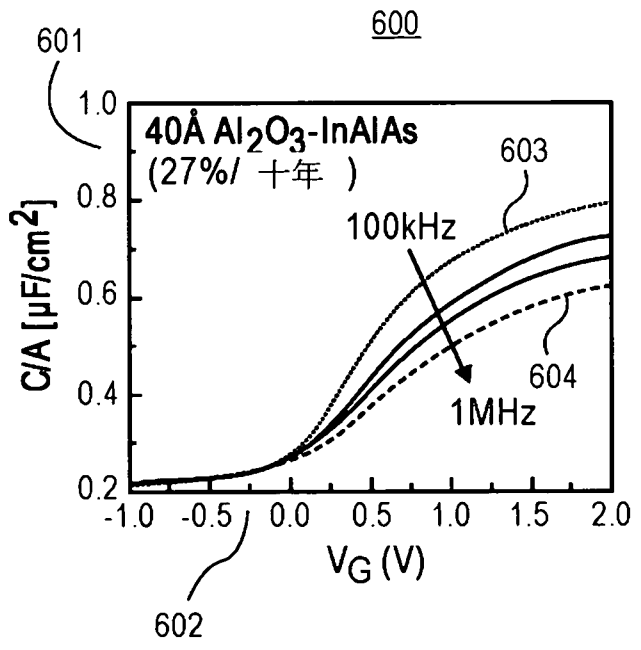


圖 6A

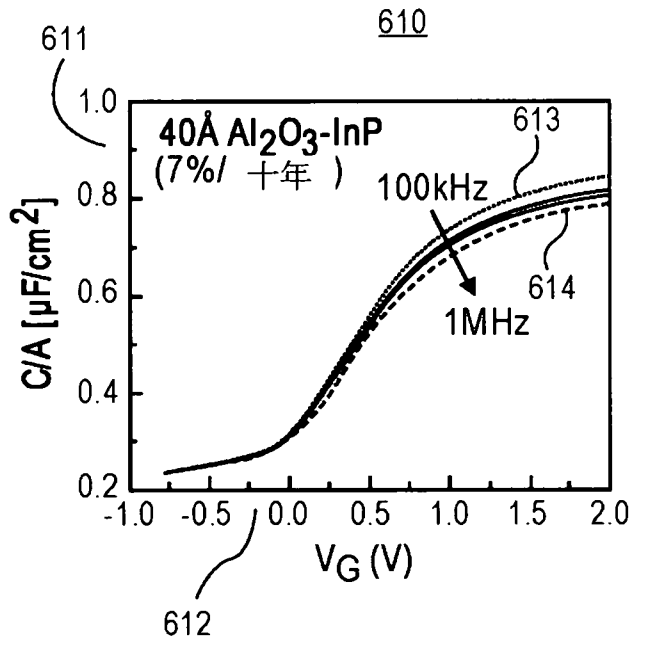


圖 6B

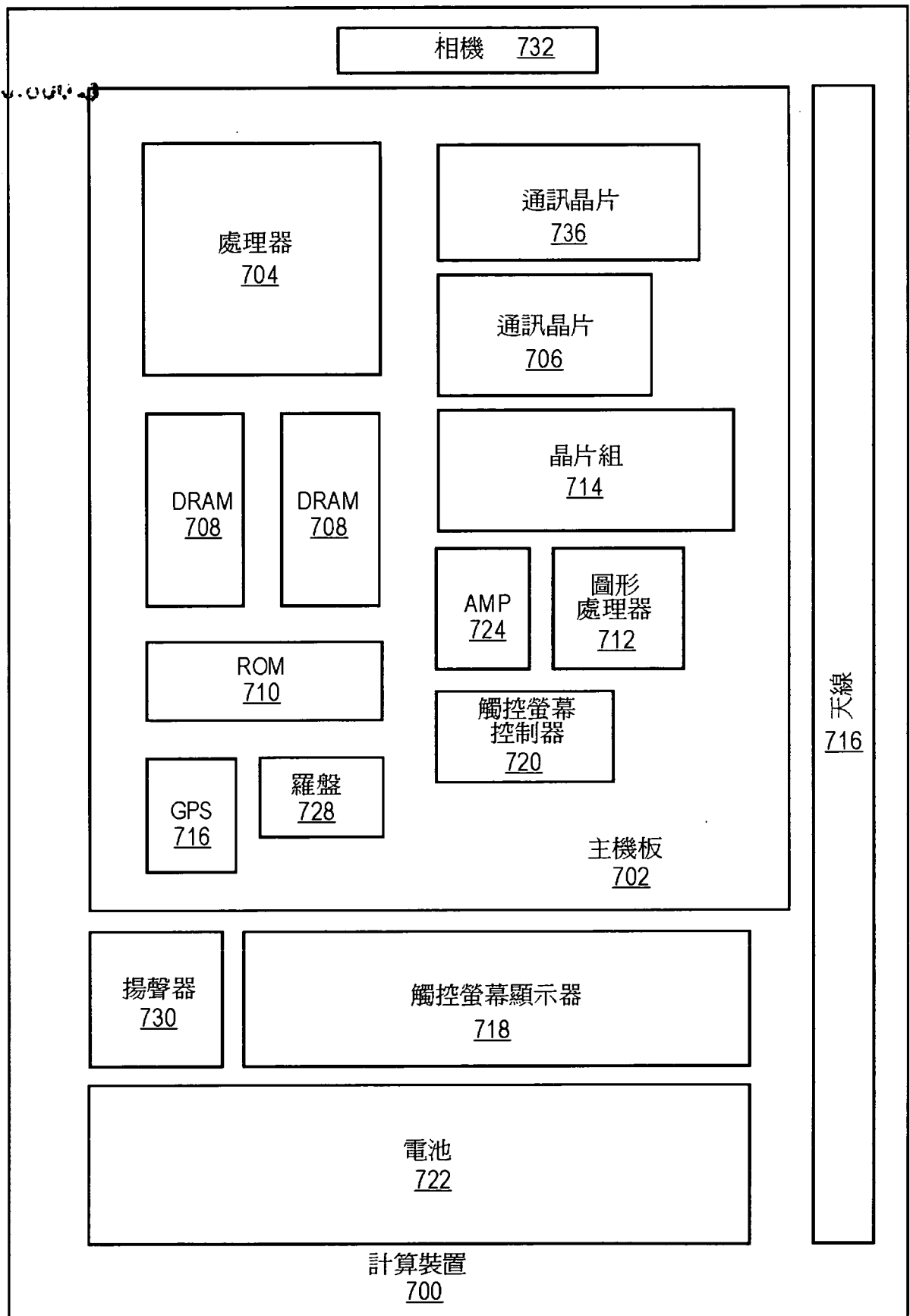


圖 7