



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년11월20일
(11) 등록번호 10-1799326
(24) 등록일자 2017년11월14일

(51) 국제특허분류(Int. Cl.)
H01L 23/48 (2006.01) H01L 23/31 (2006.01)
H01L 25/065 (2006.01)
(21) 출원번호 10-2011-0011927
(22) 출원일자 2011년02월10일
심사청구일자 2016년01월12일
(65) 공개번호 10-2012-0091867
(43) 공개일자 2012년08월20일
(56) 선행기술조사문헌
KR1020100109241 A*
KR1020090097721 A*
KR1020100111469 A*
KR1020100046760 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자 주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
김일환
경기도 화성시 동탄지성로 17, 풍성위버폴리스 B
동 1101호 (반송동)
임성준
경기도 용인시 수지구 진산로 90, 삼성5차아파트
519동 905호 (풍덕천동)
(74) 대리인
리앤목특허법인
(뒷면에 계속)

전체 청구항 수 : 총 8 항

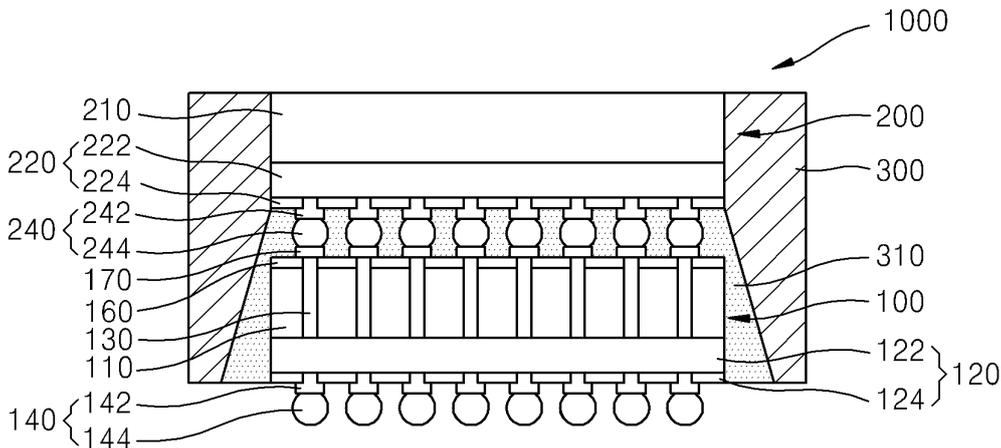
심사관 : 정구원

(54) 발명의 명칭 CoC 구조의 반도체 패키지 및 그 패키지 제조방법

(57) 요약

본 발명의 기술적 사상은 TSV를 이용하여 기계적 손상을 방지하고 신뢰성을 높일 수 있으며, 웨이퍼의 스크라이브 라인(S/L) 쪽에 제한받지 않는 CoC(Chip on Chip) 구조의 반도체 패키지 및 그 제조 방법을 제공한다. 그 반도체 패키지는 TSV(Through Silicon Via) 및 상기 TSV에 전기적으로 연결된 제1 연결 부재를 구비한 제1 칩; 상기 제1 칩 상에 적층되고, 상기 TSV에 전기적으로 연결된 제2 연결 부재를 구비한 제2 칩; 및 상기 제1 칩 및 제2 칩의 측면이 노출되지 않도록 밀봉하는 일체형(one body type)의 밀봉재;를 포함한다.

대표도 - 도1



(72) 발명자

장동현

경기도 용인시 수지구 진산로66번길 10, 삼성5차아파트 526동 1505호 (풍덕천동)

송호건

경기도 수원시 팔달구 권광로 246, 인계래미안아파트 106-701 (인계동)

명세서

청구범위

청구항 1

TSV(Through Silicon Via) 및 상기 TSV에 전기적으로 연결된 제1 연결 부재를 구비한 제1 칩;
 상기 제1 칩 상에 적층되고, 상기 TSV에 전기적으로 연결된 제2 연결 부재를 구비한 제2 칩; 및
 상기 제1 칩 및 제2 칩의 측면이 노출되지 않도록 밀봉하는 일체형(one body type)의 밀봉재;를 포함하고,
 상기 제2 칩은 TSV를 포함하지 않으며,
 상기 제1 칩은,
 제1 면 및 제2 면을 갖는 반도체 기판;
 상기 제1 면 상의 집적 회로층;
 상기 집적 회로층을 덮는 층간 절연층;
 상기 층간 절연층 상에 형성되고 상기 TSV에 연결된 다층 배선 패턴; 및
 상기 다층 배선 패턴을 덮는 하부 절연층;을 구비하고,
 상기 제1 연결 부재는 상기 하부 절연층 상에 형성되고, 상기 다층 배선 패턴에 전기적으로 연결되며,
 상기 밀봉재의 하면이 상기 하부 절연층의 하면과 동일 수평면을 갖도록 형성되어 상기 제1 연결 부재가 상기 수평면에서 돌출되며,
 상기 밀봉재는 상기 제2 칩의 상면이 노출되도록 형성된 것을 특징으로 하는 CoC(Chip on Chip) 구조의 반도체 패키지.

청구항 2

삭제

청구항 3

제1 항에 있어서,
 상기 제2 면 상에는 보호층이 형성되어 있고,
 상기 보호층은 상기 밀봉재로부터 노출되지 않는 것을 특징으로 하는 반도체 패키지.

청구항 4

제3 항에 있어서,
 상기 TSV는 상기 보호층, 반도체 기판 및 층간 절연층을 관통하여 상기 보호층 하면으로 노출되며,
 상기 반도체 패키지는 상기 보호층 상에 형성되고 상기 TSV에 연결되는 도전성 패드를 더 포함하고,
 상기 제2 연결 부재는 상기 도전성 패드와 연결되어 상기 TSV에 전기적으로 연결되는 것을 특징으로 하는 반도체 패키지.

청구항 5

제1 항에 있어서,
 상기 하부 절연층은 상부의 금속간 절연층 및 하부의 패시베이션층을 포함하는 것을 특징으로 하는 반도체 패키지.

청구항 6

삭제

청구항 7

제1 항에 있어서,

상기 제1 칩 및 제2 칩의 연결 부분을 채우는 언더필(Underfill)을 포함하는 것을 특징으로 하는 반도체 패키지.

청구항 8

제7 항에 있어서,

상기 언더필은 상기 연결 부분에서 확장하여 상기 제1 칩의 측면을 감싸는 것을 특징으로 하는 반도체 패키지.

청구항 9

제7 항에 있어서,

상기 언더필은 상기 밀봉재 측면으로 노출되는 것을 특징으로 하는 반도체 패키지.

청구항 10

제7 항에 있어서,

상기 언더필과 밀봉재는 동일 재질 또는 이종 재질로 형성된 것을 특징으로 하는 반도체 패키지.

발명의 설명

기술 분야

[0001] 본 발명의 기술적 사상은 반도체 패키지에 관한 것으로서, 특히 TSV를 이용한 CoC 구조의 반도체 패키지 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 일반적으로, 웨이퍼에 여러 가지 반도체 공정들을 수행하여 복수 개의 반도체 칩들을 형성한다. 그런 다음, 각 반도체 칩들을 인쇄회로기판(Printed Circuit Board: PCB)에 실장하기 위해서, 웨이퍼에 대해서 패키징 공정을 수행하여 반도체 패키지를 형성한다. 반도체 패키지는 반도체 칩, 반도체 칩이 실장되는 PCB, 반도체 칩과 PCB를 전기적으로 연결키는 본딩 와이어 또는 범프, 및 반도체 칩을 밀봉하는 밀봉재를 포함할 수 있다.

[0003] 근래 반도체 칩이 고집적화됨에 따라, 반도체 칩의 사이즈가 소형화되어 가고 있으며, 이에 대응하여, 반도체 패키지도 소형화되고 있다. 예컨대, 반도체 칩 정도의 사이즈를 갖는 칩 스케일 패키지(Chip Scale Package: CSP) 또는 웨이퍼 레벨 패키지(Wafer Level Package: WLP) 등을 들 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 기술적 사상이 해결하려는 과제는 TSV를 이용하여 기계적 손상을 방지하고 신뢰성을 높일 수 있으며, 웨이퍼의 스크라이브 라인(S/L) 폭에 제한받지 않는 CoC(Chip on Chip) 구조의 반도체 패키지 및 그 제조 방법을 제공하는 데에 있다.

[0005] 또한, 본 발명의 기술적 사상이 해결하려는 과제는 범프나 솔더 볼의 열 압착 방식의 결합을 사용하지 않고, TSV를 이용하여 적어도 4개의 칩을 적층할 수 있는 CoC 구조의 반도체 패키지 및 그 제조 방법을 제공하는 데에 있다.

과제의 해결 수단

[0006] 상기 과제를 해결하기 위하여 본 발명의 기술적 사상은 TSV(Through Silicon Via) 및 상기 TSV에 전기적으로 연

결된 제1 연결 부재를 구비한 제1 칩; 상기 제1 칩 상에 적층되고, 상기 TSV에 전기적으로 연결된 제2 연결 부재를 구비한 제2 칩; 및 상기 제1 칩 및 제2 칩의 측면이 노출되지 않도록 밀봉하는 일체형(one body type)의 밀봉재;를 포함하는 CoC(Chip on Chip) 구조의 반도체 패키지를 제공한다.

- [0007] 본 발명의 일 실시예에 있어서, 상기 제1 칩은, 제1 면 및 제2 면을 갖는 반도체 기관; 상기 제1 면 상의 집적 회로층; 상기 집적 회로층을 덮는 층간 절연층; 상기 층간 절연층 상에 형성되고 상기 TSV에 연결된 다층 배선 패턴; 및 상기 다층 배선 패턴을 덮는 하부 절연층;을 구비하고, 상기 제1 연결 부재는 상기 하부 절연층 상에 형성되고, 상기 다층 배선 패턴에 전기적으로 연결되며, 상기 밀봉재의 하면이 상기 하부 절연층의 하면과 동일 수평면을 갖도록 형성되어 상기 제1 연결 부재가 상기 수평면에서 돌출될 수 있다. 또한, 상기 제2 면 상에는 보호층이 형성되어 있고, 상기 보호층은 상기 밀봉재로부터 노출되지 않을 수 있다.
- [0008] 본 발명의 일 실시예에 있어서, 상기 반도체 패키지는 상기 제1 칩 및 제2 칩의 연결 부분을 채우는 언더필(Underfill)을 포함할 수 있다. 이러한 언더필은 상기 언더필은 상기 연결 부분에서 확장하여 상기 제1 칩의 측면을 감싸도록 형성될 수 있다. 또한, 상기 언더필은 상기 밀봉재 측면으로 노출되도록 형성될 수도 있다.
- [0009] 본 발명의 일 실시예에 있어서, 상기 반도체 패키지는 상기 제1 칩 및 제2 칩의 연결 부분을 채우고, 상기 제1 칩과 동일한 수평 단면의 크기를 갖는 접착 부재를 포함할 수 있다. 예컨대, 상기 접착 부재는 NCF(Non-Conductive Film), 또는 ACF(Anisotropic Conductive Film)로 형성될 수 있다.
- [0010] 본 발명의 일 실시예에 있어서, 상기 반도체 패키지는, 상기 제2 칩 상에 적층된 적어도 하나의 칩을 구비한 상부 칩부를 더 포함하며, 상기 밀봉재는 상기 상부 칩부의 각각의 칩의 측면이 노출되지 않도록 밀봉할 수 있다. 또한, 상기 제2 칩 및 상기 상부 칩부 각각의 칩에 TSV가 형성되어 있거나, 상기 상부 칩부가 2개 칩 이상을 구비한 경우, 상기 제2 칩 및 상기 상부 칩부 중 최상층의 칩을 제외한 각각의 칩에 TSV가 형성될 수 있다.
- [0011] 또한, 본 발명의 기술적 사상은 상기 과제를 해결하기 위하여, TSV 및 상기 TSV에 전기적으로 연결된 제1 연결 부재를 구비한 제1 칩; 상기 제1 칩 상에 적층되고, 상기 TSV에 전기적으로 연결된 제2 연결 부재를 구비한 제2 칩; 상기 제1 칩 및 제2 칩의 측면이 노출되지 않도록 밀봉하는 일체형의 제1 밀봉재; 및 상기 제1 칩 및 제2 칩이 상기 제1 연결 부재를 통해 실장되는 메인 칩;을 포함하는 반도체 패키지를 제공한다.
- [0012] 본 발명의 일 실시예에 있어서, 상기 제1 칩 및 제2 칩의 사이즈는 동일하며, 상기 메인 칩의 사이즈는 상기 제1 칩보다 크며, 상기 제1 밀봉재의 하면이 상기 메인 칩의 외곽 부분 상에 접합될 수 있다. 또한, 상기 제1 칩 및 제2 칩은 메모리 칩이고, 상기 메인 칩은 로직 칩일 수 있다.
- [0013] 본 발명의 일 실시예에 있어서, 상기 메인 칩 하면에는 제3 연결 부재가 형성되어 있고, 상기 반도체 패키지는 상기 제1 칩, 제2 칩 및 상기 메인 칩이 상기 제3 연결 부재를 통해 실장되는 보드 기관을 더 포함할 수 있다. 또한, 상기 제1 밀봉재 및 상기 메인 칩을 둘러싸는 제2 밀봉재를 더 포함할 수 있고, 상기 보드 기관과 상기 메인 칩의 연결 부분을 채우는 언더필을 포함할 수 있다.
- [0014] 더 나아가 본 발명의 기술적 사상은 상기 과제를 해결하기 위하여, TSV 및 상기 TSV에 전기적으로 연결된 제1 연결 부재를 구비한 제1 칩, 및 상기 제1 칩 상에 적층되고, 상기 TSV에 전기적으로 연결된 제2 연결 부재를 구비한 제2 칩을 포함한 적층 칩부; 상기 적층 칩부가 상기 제1 연결 부재를 통해 실장되는 인터포저(interposer); 및 상기 제1 칩 및 제2 칩의 측면이 노출되지 않도록 밀봉하는 일체형의 제1 밀봉재;를 포함하는 반도체 패키지를 제공한다.
- [0015] 본 발명의 일 실시예에 있어서, 상기 제1 칩 및 제2 칩의 사이즈는 동일하며, 상기 인터포저의 사이즈는 상기 제1 칩보다 클 수 있다. 또한, 상기 적층 칩부는 상기 인터포저에 적어도 2개 실장되며, 상기 제1 밀봉재는 상기 적층 칩부 각각의 상기 제1 칩 및 제2 칩의 측면이 노출되지 않도록 밀봉할 수 있다.
- [0016] 본 발명의 일 실시예에 있어서, 상기 인터포저 하면에는 제3 연결 부재가 형성되어 있고, 상기 반도체 패키지는 상기 제1 칩, 제2 칩 및 상기 인터포저가 상기 제3 연결 부재를 통해 실장되는 보드 기관을 더 포함할 수 있다.
- [0017] 한편, 상기 과제를 해결하기 위하여, 본 발명의 기술적 사상은 TSV가 각각 형성된 제1 칩들을 포함한 웨이퍼를 준비하는 단계; 상기 웨이퍼 내의 상기 제1 칩들 각각을 분리하는 단계; 상기 제1 칩들을 지지 캐리어(supporting carrier) 상에 배치 및 접착하는 단계; 상기 제1 칩들 각각에 제2 칩을 접착시켜 적층 칩들을 형성하는 단계; 상기 적층 칩들을 밀봉재로 밀봉하는 단계; 및 상기 적층 칩들 각각을 분리하는 단계;를 포함하는 반도체 패키지 제조방법을 제공한다.
- [0018] 본 발명의 일 실시예에 있어서, 상기 밀봉하는 단계에서, 상기 밀봉재가 상기 적층 칩들 각각의 상기 제1 및 제

2 칩의 측면이 노출되지 않도록 밀봉할 수 있다. 한편, 상기 웨이퍼를 준비하는 단계는, 제 1 면 및 제 2 면을 갖는 반도체 기관의 상기 제 1 면 상에 집적 회로층을 형성하는 단계; 상기 제1 면 상에 상기 집적 회로층을 덮는 층간 절연층을 형성하는 단계; 상기 층간 절연층을 통과하여 상기 반도체 기관 내부로 신장된 상기 TSV를 형성하는 단계; 상기 TSV와 연결된 다층 배선 패턴을 포함한 금속간 절연층을 상기 층간 절연층 상에 형성하는 단계; 상기 금속간 절연층 상에, 상기 다층 배선 패턴에 전기적으로 연결된 제1 연결 부재를 형성하는 단계; 상기 TSV를 상기 제 2면 상에 노출시키는 단계; 및 상기 제2 면 상에 보호층 및 상기 TSV에 연결되는 도전성 패드를 형성하는 단계;를 포함하고, 상기 배치 및 접착하는 단계에서, 상기 제1 칩의 상기 제1 연결 부재가 상기 지지 캐리어를 향하도록 접착될 수 있다.

[0019] 본 발명의 일 실시예에 있어서, 상기 웨이퍼를 준비하는 단계는, 상기 도전성 패드를 형성하는 단계 후에, 상기 보호층 및 도전성 패드 상에 NCF 또는 ACF를 접착시키는 단계를 더 포함하고, 상기 적층 칩을 형성하는 단계에서, 상기 NCF 또는 ACF를 통해 상기 제2 칩을 상기 제1 칩 상에 접착시킬 수 있다.

[0020] 본 발명의 일 실시예에 있어서, 상기 접착 부재를 형성하는 단계 전에, 상기 지지 캐리어 상에 얼라인 마크를 형성하는 단계를 포함할 수 있다. 상기 얼라인 마크는 건식 또는 습식 식각, 또는 레이저로 상기 지지 캐리어를 식각하여 트렌치를 형성하여 공정, 건식 또는 습식 식각, 또는 레이저로 상기 지지 캐리어를 식각하여 트렌치를 형성하고, 메탈 소재로 상기 트렌치 일부 또는 전부를 채우는 공정, 건식 또는 습식 식각, 또는 레이저로 상기 지지 캐리어를 식각하여 트렌치를 형성하고, 상기 지지 캐리어 전면에 메탈 소재 형성한 후 다마신 공정으로 평탄화하는 공정, 및 포토 공정으로 상기 지지 캐리어 상에 얼라인 마크를 위한 패턴 형성 후 상기 패턴을 메탈 소재로 채우는 공정 중 어느 하나의 공정으로 형성될 수 있다.

[0021] 본 발명의 일 실시예에 있어서, 상기 밀봉하는 단계 전에, 상기 제1 칩 및 제2 칩의 연결 부분을 언더필로 채우는 단계를 포함할 수 있다. 상기 언더필은 상기 연결 부분에서 확장하여 상기 제1 칩의 측면을 덮도록 형성될 수 있다.

[0022] 본 발명의 일 실시예에 있어서, 상기 상면을 노출시키는 단계 후에, 상기 지지 캐리어 및 접착 부재를 제거하는 단계; 상기 밀봉재 상면 상에 지지 기관을 접착하는 단계; 및 상기 적층 칩에 대한 EDS(Electrical Die Sort) 테스트를 수행하는 단계;를 포함할 수 있다. 또한, 상기 적층 칩들 각각을 분리하는 단계 후에, 상기 지지 기관을 제거하는 단계; 및 상기 적층 칩을 외부 장치에 실장시키는 단계;를 포함할 수 있다. 상기 외부 장치는 로직 칩이거나 인터포저일 수 있다.

[0023] 본 발명의 일 실시예에 있어서, 상기 적층 칩들을 형성하는 단계는, 상기 제2 칩을 접착시켜 적층한 후에, 상기 제2 칩 상에 적어도 하나의 칩을 접착하여 적층하는 것을 포함할 수 있다. 상기 제2 칩 및 상기 적어도 하나의 칩 각각에 TSV가 형성되어 있거나, 상기 적어도 하나의 칩이 2개 이상인 경우, 상기 제2 칩 및 상기 적어도 하나의 칩 중 최상층의 칩을 제외한 각각의 칩에 TSV가 형성될 수 있다. 또한, 상기 제2 칩 및 상기 적어도 하나의 칩 중 최상층의 칩을 제외한 각각의 칩의 상면에는 NCF 또는 ACF가 접착되어 있고, 상기 적어도 하나의 칩은 상기 NCF 또는 ACF를 통해 적층될 수 있다.

발명의 효과

[0024] 본 발명의 기술적 사상에 의한 CoC 구조의 반도체 패키지 및 그 패키지 제조방법은, 반도체 패키지 내의 칩들의 측면이 노출되지 않음으로써, 오염이나 파손 등을 통한 칩들의 기계적 손상을 방지할 수 있고 또한 신뢰성을 향상시킬 수 있다.

[0025] 또한, 본 발명의 기술적 사상에 의한 CoC 구조의 반도체 패키지 및 그 패키지 제조방법은 동일 칩들을 적층하는 경우에도 지지 캐리어를 이용하여 적층 칩 사이의 간격을 적절히 조절할 수 있으므로 웨이퍼의 스크라이브 라인의 폭에 의한 제한 문제를 해결할 수 있다.

[0026] 더 나아가, 본 발명의 기술적 사상에 의한 CoC 구조의 반도체 패키지 및 그 패키지 제조방법은 적층되는 칩들 간의 접착 소재를 변화시킴으로써, 칩 적층의 수를 증가시킬 수 있다.

도면의 간단한 설명

[0027] 도 1 내지 11은 본 발명의 일부 실시예들에 따른 CoC 구조의 반도체 패키지에 대한 단면도들이다.
 도 12a 및 12b는 본 발명의 일부 실시예들에 따른 CoC 구조의 반도체 패키지에 이용되는 TSV가 형성된 칩에 대한 단면도들이다.

도 13a 내지 13f 도 12a의 칩의 제조방법을 보여주는 단면도들이다.

도 14a 내지 14n은 본 발명의 일부 실시예에 따른 CoC 구조의 반도체 패키지 제조방법을 보여주는 단면도들이다.

도 15a 내지 15c는 본 발명의 일부 실시예에 따른 CoC 구조의 반도체 패키지 제조방법을 보여주는 단면도들이다.

도 16은 도 11의 반도체 패키지를 형성하기 위하여, 도 15a 내지 15c 중 도 15c에 대응되는 단계를 보여주는 단면도이다.

도 17 내지 19는 본 발명의 일부 실시예들에 따른 CoC 구조의 반도체 패키지에 대한 단면도들이다.

도 20 및 21은 본 발명의 일부 실시예들에 따른 CoC 구조의 반도체 패키지에 대한 단면도들이다.

도 22는 도 21의 반도체 패키지에서 점선의 타원(A) 표시된 인터포저 부분을 확대하여 보여주는 단면도이다.

도 23은 본 발명의 일부 실시예에 따른 CoC 구조의 반도체 패키지에 대한 단면도이다.

도 24는 본 발명의 일부 실시예에 따른 반도체 패키지를 포함하는 메모리 카드를 개략적으로 보여주는 블럭 구성도이다.

도 25는 본 발명의 일부 실시예에 따른 반도체 패키지를 포함하는 전자시스템을 개략적으로 보여주는 블럭 구성도이다.

도 26은 본 발명의 일부 실시예들에 따른 반도체 패키지가 응용될 수 있는 전자 장치를 보여주는 사시도이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- [0029] 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려 이들 실시예들은 본 개시를 더욱 충실하고 완전하게 하고, 당업자에게 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다. 또한, 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장된 것이다.
- [0030] 명세서 전체에 걸쳐서 막, 영역, 또는 기판 등과 같은 하나의 구성요소가 다른 구성요소 "상에", "연결되어", 또는 "커플링되어" 위치한다고 언급할 때는, 상기 하나의 구성요소가 직접적으로 다른 구성요소 "상에", "연결되어", 또는 "커플링되어" 접촉하거나, 그 사이에 개재되는 또 다른 구성요소들이 존재할 수 있다고 해석될 수 있다. 반면에, 하나의 구성요소가 다른 구성요소 "직접적으로 상에", "직접 연결되어", 또는 "직접 커플링되어" 위치한다고 언급할 때는, 그 사이에 개재되는 다른 구성요소들이 존재하지 않는다고 해석된다. 동일한 부호는 동일한 요소를 지칭한다. 본 명세서에서 사용된 바와 같이, 용어 "및/또는"은 해당 열거된 항목 중 어느 하나 및 하나 이상의 모든 조합을 포함한다.
- [0031] 본 명세서에서 제1, 제2 등의 용어가 다양한 부재, 부품, 영역, 층들 및/또는 부분들을 설명하기 위하여 사용되지만, 이들 부재, 부품, 영역, 층들 및/또는 부분들은 이들 용어에 의해 한정되어서는 안됨은 자명하다. 이들 용어는 하나의 부재, 부품, 영역, 층 또는 부분을 다른 영역, 층 또는 부분과 구별하기 위하여만 사용된다. 따라서, 이하 상술할 제 1 부재, 부품, 영역, 층 또는 부분은 본 발명의 가르침으로부터 벗어나지 않고서도 제 2 부재, 부품, 영역, 층 또는 부분을 지칭할 수 있다.
- [0032] 또한, "상의" 또는 "위의" 및 "하의" 또는 "아래의"와 같은 상대적인 용어들은 도면들에서 도해되는 것처럼 다른 요소들에 대한 어떤 요소들의 관계를 기술하기 위해 여기에서 사용될 수 있다. 상대적 용어들은 도면들에서 묘사되는 방향에 추가하여 소자의 다른 방향들을 포함하는 것을 의도한다고 이해될 수 있다. 예를 들어, 도면들에서 소자가 뒤집어 진다면(turned over), 다른 요소들의 상부의 면 상에 존재하는 것으로 묘사되는 요소들은 상기 다른 요소들의 하부의 면 상에 방향을 가지게 된다. 그러므로, 예로써 든 "상의"라는 용어는, 도면의 특정한 방향에 의존하여 "하의" 및 "상의" 방향 모두를 포함할 수 있다. 소자가 다른 방향으로 향한다면(다른 방향에 대하여 90도 회전), 본 명세서에 사용되는 상대적인 설명들은 이에 따라 해석될 수 있다.
- [0033] 본 명세서에서 사용된 용어는 특정 실시예를 설명하기 위하여 사용되며, 본 발명을 제한하기 위한 것이 아니다.

본 명세서에서 사용된 바와 같이, 단수 형태는 문맥상 다른 경우를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다. 또한, 본 명세서에서 사용되는 경우 "포함한다(comprise)" 및/또는 "포함하는(comprising)"은 언급한 형상들, 숫자, 단계, 동작, 부재, 요소 및/또는 이들 그룹의 존재를 특정하는 것이며, 하나 이상의 다른 형상, 숫자, 동작, 부재, 요소 및/또는 그룹들의 존재 또는 부가를 배제하는 것이 아니다.

- [0034] 이하, 본 발명의 실시예들은 본 발명의 이상적인 실시예들을 개략적으로 도시하는 도면들을 참조하여 설명한다. 도면들에 있어서, 예를 들면, 제조 기술 및/또는 공차(tolerance)에 따라, 도시된 형상의 변형들이 예상될 수 있다. 따라서, 본 발명의 실시예는 본 명세서에 도시된 영역의 특정 형상에 제한된 것으로 해석되어서는 아니 되며, 예를 들면 제조상 초래되는 형상의 변화를 포함하여야 한다.
- [0035] 도 1 내지 11은 본 발명의 일부 실시예들에 따른 CoC 구조의 반도체 패키지에 대한 단면도들이다.
- [0036] 도 1을 참조하면, 본 실시예에 따른 CoC 구조의 반도체 패키지(1000)는 제1 칩(100), 제2 칩(200), 언더필(310, underfill) 및 밀봉재(300)를 포함할 수 있다.
- [0037] 제1 칩(100)은 바디층(110), 하부 절연층(120), TSV(130, Through Silicon Via), 제1 연결 부재(140), 보호층(160) 및 상부 패드(170)를 포함할 수 있다.
- [0038] 바디층(110)은 실리콘 기판(미도시), 상기 실리콘 기판 상에 형성된 집적 회로층 및 상기 집적 회로층을 덮는 층간 절연층(미도시)을 포함할 수 있다. 바디층(110)에 대한 좀더 상세한 설명은 도 12a에 대한 설명부분에서 기술한다.
- [0039] 하부 절연층(120)은 바디층(110) 하부로 형성되고, 금속간 절연층(122, inter-metallic insulating layer) 및 패시베이션층(124)을 포함할 수 있다. 금속간 절연층(122) 내부에는 다층 배선 패턴(미도시)이 형성될 수 있다. 하부 절연층(120)에 대한 상세한 설명 역시, 도 12a에 대한 설명부분에서 기술한다.
- [0040] TSV(130)는 바디층(110)을 관통하여, 하부 절연층(120)의 다층 배선 패턴에 연결될 수 있다. 본 실시예에서, TSV(130)는 비아-미들(Via-middle) 구조로 형성되었지만, 이에 한하지 않고, 비아-퍼스트(Via-first) 또는 비아-라스트(Via-last) 구조로 형성될 수 있음은 물론이다. TSV(130)에 대한 좀더 상세한 설명은 도 12a 및 12b에 대한 설명 부분에서 기술한다.
- [0041] 제1 연결 부재(140)는 범프 패드(142) 및 범프(144)를 포함할 수 있다. 범프 패드(142)는 패시베이션층(124) 상에 도전성 물질로 형성되며, 하부 절연층(120) 내의 다층 배선 패턴과 전기적으로 연결될 수 있다. 그에 따라, 범프 패드(142)는 다층 배선 패턴을 통해 TSV(130)에 전기적으로 연결될 수 있다. 한편, 범프 패드(142) 상에는 UBM(Under Bump Metal)이 형성될 수 있다. 범프 패드(142)는 알루미늄(Al)이나 구리(Cu) 등으로 형성될 수 있고, 펄스 도금이나 직류 도금 방법을 통해 형성될 수 있다. 그러나 범프 패드(142)가 상기 재질이나 방법에 한정되는 것은 아니다.
- [0042] 범프(144)는 범프 패드(142) 상에 형성될 수 있다. 범프(144)는 도전성 재질 예컨대, 구리(Cu), 알루미늄(Al), 금(Au), 솔더 등으로 형성될 수 있다. 그러나 범프(144)의 재질이 그에 한정되는 것은 아니다. 한편, 범프(144)가 솔더로 형성되는 경우, 솔더 범프라고 부르기도 한다.
- [0043] 보호층(160)은 바디층(110) 상면으로 형성되고, 절연성 물질로 형성되어 상기 바디층(110)을 외부로부터 보호할 수 있다. 보호층(160)은 산화막 또는 질화막으로 형성될 수 있고, 또는 산화막과 질화막의 이중층으로 형성될 수 있다. 또한, 보호층(160)은 고밀도 플라즈마 화학기상 증착(HDP-CVD) 공정을 이용하여 산화막, 예컨대 실리콘 산화막(SiO₂)으로 형성할 수 있다.
- [0044] 상부 패드(170)는 보호층(160) 상에 형성되며, TSV(130)와 연결될 수 있다. 상부 패드(170)는 앞서 범프 패드(142)와 같이 알루미늄이나 구리 등으로 형성될 수 있다.
- [0045] 제2 칩(200)은 바디층(210), 하부 절연층(220), 및 제2 연결 부재(240)를 포함할 수 있다.
- [0046] 바디층(210)은 제1 칩(100)과 마찬가지로 실리콘 기판(미도시), 상기 실리콘 기판 상에 형성된 집적 회로층 및 상기 집적 회로층을 덮는 층간 절연층(미도시)을 포함할 수 있다. 한편, 바디층(210)의 상면은 외부로 노출될 수 있다. 여기서, 바디층(210)의 상면은 상기 집적 회로층이 형성되는 실리콘 기판의 제1 면에 대향하는 제2 면일 수 있다. 그에 따라, 실리콘 기판의 실리콘이 외부로 노출될 수 있다. 때에 따라, 실리콘 기판의 제2 면 상에는 제1 칩에서와 같은 보호층이 형성될 수도 있다.
- [0047] 하부 절연층(220)은 바디층(210) 하부로 형성되고, 금속간 절연층(222) 및 패시베이션층(224)을 포함할 수

있다. 금속간 절연층(222) 내부에는 다층 배선 패턴(미도시)이 형성될 수 있다.

- [0048] 제2 연결 부재(240)는 범프 패드(242) 및 범프(244)를 포함할 수 있다. 범프 패드(242)는 패시베이션층(224) 상에 도전성 물질로 형성되며, 하부 절연층(220) 내의 다층 배선 패턴과 전기적으로 연결될 수 있다. 한편, 범프 패드(242) 상에는 UBM(Under Bump Metal)이 형성될 수 있다. 범프 패드(242)는 앞서 제1 연결 부재(140)의 범프 패드(142)와 동일 재질 또는 다른 재질로 형성될 수 있고, 또한 형성 방법도 동일 또는 다르게 형성될 수 있다.
- [0049] 한편, 제2 연결 부재(240)는 제1 칩(100)의 상부 패드(170)에 연결될 수 있다. 그에 따라, 제2 연결 부재(240)를 통해 제2 칩(200)의 다층 배선 패턴이 제1 칩(100)의 TSV(130)에 전기적으로 연결될 수 있다.
- [0050] 범프(244)는 범프 패드(242) 상에 형성될 수 있다. 범프(244)는 도전성 재질로 형성되며, 제1 연결 부재(140)의 범프(144)와 같이, 구리(Cu), 알루미늄(Al), 금(Au), 솔더(solder) 등으로 형성될 수 있다. 그러나 범프(244)의 재질이 그에 한정되는 것은 아니다.
- [0051] 제2 칩(200)은 제1 칩(100)과 달리 바디층(210)을 관통하는 TSV가 형성되지 않을 수 있다. 그에 따라, 상부 패드도 형성되지 않을 수 있다.
- [0052] 언더필(310)은 제1 칩(100) 및 제2 칩(200)의 연결 부분, 즉 제1 칩의 상부 전극(170)과 제2 연결 부재(240)가 연결되는 부분을 채울 수 있다. 언더필(310)은 에폭시 수지와 같은 언더필 수지로 형성될 수 있고, 실리카 필러(filler)나 플럭스(flux) 등이 포함될 수 있다. 언더필(310)은 외곽으로 형성되는 밀봉재(300)와 다른 재질로 형성될 수 있지만 동일 재료로 형성될 수도 있다.
- [0053] 한편, 도식된 바와 같이, 언더필(310)은 제1 칩(100) 및 제2 칩(200)의 연결 부분뿐만 아니라, 상기 연결 부분에서 확장하여 제1 칩(100)을 둘러싸도록 형성될 수 있다. 그에 따라, 언더필(310)은 제1 칩(100)의 측면을 밀봉시킬 수 있다. 또한, 언더필(310)의 하면은 외곽에 형성되는 밀봉재(300)의 하면과 동일 수평면을 구성할 수 있다.
- [0054] 도 1에서, 언더필(310)은 하부 방향으로 넓어지는 형태를 가지지만, 언더필(310)의 형태는 이에 한정되지 않고 다양한 구조를 가질 수 있음은 물론이다. 예컨대, 언더필(310)은 상부와 하부가 동일 넓이를 갖는 형태로 형성될 수도 있다.
- [0055] 밀봉재(300)는 제1 칩(100) 및 제2 칩(200)을 밀봉하는 기능을 수행한다. 밀봉재(300)는 레진과 같은 폴리머로 형성될 수 있다. 예컨대, 밀봉재(300)는 EMC(Epoxy Molding Compound)로 형성될 수 있다. 한편, 언더필(310)의 존재로 인해 밀봉재(300)는 제2 칩(200) 및 언더필(310)의 측면을 밀봉할 수 있다.
- [0056] 밀봉재(300)의 상면은 제2 칩(200)의 상면과 동일 수평면을 구성할 수 있다. 그에 따라 제2 칩(200)의 상면은 외부로 노출될 수 있다. 참고로, 반도체 기판의 제1 면 상에 집적 회로층이 형성되는 경우, 상기 제2 칩(200)의 상면은 제1 면에 대향하는 반도체 기판의 제2 면일 수 있다.
- [0057] 전술한 바와 같이, 언더필(310)의 하면과 밀봉재(300)의 하면은 동일 수평면을 구성할 수 있다. 또한, 언더필(310)과 밀봉재(300)의 하면은 제1 칩(100)의 패시베이션층(124)의 하면과도 동일 수평면을 구성할 수 있다.
- [0058] 본 실시예에서, 제1 칩(100)의 제1 연결 부재(140)가 상기 패시베이션층(124)의 하면으로부터 돌출된 구조를 가지므로, 제1 연결 부재(140)는 패시베이션층(124), 언더필(310), 및 밀봉재(300)의 하면이 이루는 상기 동일 수평면으로부터 돌출하여 노출된 구조를 가질 수 있다. 또한, 본 실시예에서, 보호층(160)은 제1 칩(100)의 상면으로만 형성되고, 그에 따라, 보호층(160)은 언더필(310) 및 밀봉재(300)에 의해 밀봉되어 외부로 노출되지 않을 수 있다.
- [0059] 지금까지 설명한 바와 같이, 본 실시예의 CoC 구조의 반도체 패키지는 제1 칩 및 제2 칩의 측면이 언더필 또는 밀봉재에 의해 밀봉되어 외부로 노출되지 않는다. 그에 따라, 제1 칩 및 제2 칩 측면의 실리콘이 외부로 노출되지 않을 수 있다. 이와 같이 제1 칩 및 제2 칩 측면의 실리콘이 노출되지 않으므로써, 소자에 가해지는 물질적 손상이 방지될 수 있고, 또한 소자의 신뢰성이 향상될 수 있다.
- [0060] 도 2의 실시예에 따른 반도체 패키지(1000a)는 언더필 부분만을 제외하고 도 1의 반도체 패키지(1000)와 유사한 구조를 가질 수 있다. 그에 따라, 설명의 편의를 위해 도 1의 설명 부분에서 기술한 내용은 생략하거나 간략히 기술한다.

- [0061] 도 2를 참조하면, 본 실시예의 반도체 패키지(1000a)에서 제1 칩(100)과 제2 칩(200)의 연결 부분은 접착 부재(320)로 채워진다. 접착 부재(320)는 예컨대, NCF(Non-Conductive Film), ACF(Anisotropic Conductive Film), UV 필름, 순간 접착제, 열경화성 접착제, 레이저 경화형 접착제, 초음파 경화형 접착제, NCP(Non-Conductive Paste) 등으로 형성될 수 있다.
- [0062] NCF는 보통의 접착 필름으로서, 절연성을 갖는 필름이다. 이러한 NCF를 이용하면, 압착하는 방식으로 상부 칩을 하부 칩에 적층할 수 있다. 그에 따라, 종래, 열 및 압착을 통해 상부 칩을 상부 칩을 적층함으로써 발생하는 칩의 뒤틀림과 같은 워피지(warpage), 즉 휨 현상을 해결할 수 있어 다수의 층을 적층하는데 유리할 수 있다.
- [0063] 한편, ACF는 이방성 전도 필름으로, 절연 접착 필름 내에 도전성 입자가 분산되어 있는 구조를 가지며, 접속 시, 전극 방향, 즉 수직 방향으로만 통전이 되도록 하며, 전극과 전극 사이 방향, 즉 수평 방향으로로는 절연되는 이방성의 전기적 특성을 가질 수 있다. 이러한, ACF는 열과 압력을 가하여 접착제를 용융시키면, 도전입자는 대 치하는 전극 사이에 배열되어 도전성이 발생하는 반면, 인접하는 전극 사이에는 접착제가 충전되어 절연되게 된다.
- [0064] 접착 부재(320)는 전술한 재질에 한정되지 않고, 칩들을 견고하게 접착할 수 있고, 연결 부분의 범프와 패드들을 밀봉할 수 있는 다양한 다른 재질의 접착물질로 형성될 수 있음은 물론이다. 한편, 경우에 따라, 접착 부재(320)로서 언더필을 사용할 수도 있다.
- [0065] 본 실시예에서는 다층 칩들을 적층하기 위하여 접착 부재(320)로서, NCF를 사용할 수 있다. 또한, 본 실시예에서의 NCF의 접착 부재(320)의 수평 단면의 크기는 제1 칩의 수평 단면의 크기와 동일 할 수 있다. 이는 NCF의 접착 부재(320)가 웨이퍼 전면에 접착되고, 그러한 웨이퍼가 스크라이브 라인을 통해 절단되어 각각의 칩으로 분리되기 때문이다. NCF 접착 과정에 대해서는 도 15a 내지 15c 부분에서 좀더 상세히 기술한다.
- [0066] 한편, 본 실시예에서, 접착 부재(320)가 제1 칩(100) 및 제2 칩(200)의 연결 부분에만 형성됨으로써, 밀봉재(300a)는 제1 칩(100) 및 제2 칩(200)의 측면들에 직접 접촉하면서 제1 칩(100) 및 제2 칩(200)의 측면들을 밀봉할 수 있다.
- [0067] 도 2a의 실시예에 따른 반도체 패키지(1000b)는 언더필 부분만을 제외하고 도 2의 반도체 패키지(1000a)와 유사한 구조를 가질 수 있다. 그에 따라, 설명의 편의를 위해 도 1 및 도 2의 설명 부분에서 기술한 부분은 생략하거나 간략히 기술한다.
- [0068] 도 2a를 참조하면, 접착 부재(320a)는 제1 칩(100) 및 제2 칩(200)의 연결 부분에서 외곽으로 돌출된 형태로 형성될 수 있다. 좀더 구체적으로 접착 부재(320a)는 제1 칩(100) 또는 제2 칩(200)의 측면에서 돌출된 형태로 형성될 수 있다. 이는 제2 칩(200)의 제2 연결 부재(240)가 제1 칩(100) 상의 접착 부재(320a)에 밀착되는 중에, 횡방향 외곽으로 밀리면서 발생할 수 있다.
- [0069] 본 실시예에서, 접착 부재(320a)는 필름형태보다는 접착제형으로 형성될 수 있다. 또한, 본 실시예의 접착 부재(320a) 형태는 언더필로 제1 칩(100) 및 제2 칩(200)의 연결 부분을 채울 때 형성될 수 있다. 한편, 밀봉재(300a)는 제1 칩(100) 및 제2 칩(200)의 측면들에 직접 접촉하면서 제1 칩(100) 및 제2 칩(200)의 측면들을 밀봉할 수 있다.
- [0070] 도 3의 실시예에 따른 반도체 패키지(1000c)는 밀봉재 부분만을 제외하고 도 1의 반도체 패키지(1000)와 유사한 구조를 가질 수 있다. 그에 따라, 설명의 편의를 위해 도 1의 설명 부분에서 기술한 부분은 생략하거나 간략히 기술한다.
- [0071] 도 3을 참조하면, 본 실시예의 반도체 패키지에서 밀봉재(300b)는 제1 칩(100) 및 제2 칩(200)의 측면만이 아니고, 제2 칩(200)의 상면을 밀봉하도록 형성될 수 있다. 즉, 제1 칩(100) 및 제2 칩(200)의 하면 부분을 제외하고 밀봉재(300b)는 제1 칩(100) 및 제2 칩(200)의 측면들 및 상면을 감싸도록 형성될 수 있다.
- [0072] 이러한 구조는 도 14a 내지 14n의 반도체 패키지 제조공정들 중에서, 도 14h의 밀봉재 그라인딩 공정을 생략하거나, 또는 그라인딩 공정을 하더라도 그라인딩 두께를 작게 하여 제2 칩(200)의 상면이 노출되지 않은 경우에 제조될 수 있는 반도체 패키지 구조에 해당할 수 있다.

- [0073] 도 4의 실시예에 따른 반도체 패키지(1000d)는 밀봉재 부분만을 제외하고 도 2의 반도체 패키지(1000a)와 유사한 구조를 가질 수 있다. 또한, 밀봉재(300c) 구조는 도 3의 반도체 패키지(1000c)의 밀봉재(300b)와 유사하게 제2 칩(200)의 상면을 덮도록 형성될 수 있다. 그에 따라, 본 실시예에서의 반도체 패키지(1000d) 역시, 밀봉재(300c)는 제1 칩(100) 및 제2 칩(200)의 측면들 및 상면을 감싸도록 형성될 수 있다. 그 외 다른 부분에 대해서는 도 2 또는 도 3의 설명 부분에서 기술하였으므로 생략한다.
- [0074] 도 5의 실시예에 따른 반도체 패키지(1000e)는 언더필 및 밀봉재 부분만을 제외하고 도 1의 반도체 패키지(1000)와 유사한 구조를 가질 수 있다. 그에 따라, 설명의 편의를 위해 도 1의 설명 부분에서 기술한 부분은 생략하거나 간략히 기술한다.
- [0075] 도 5를 참조하면, 본 실시예의 반도체 패키지(1000e)에서, 언더필(310a)은 밀봉재(300d)의 측면으로 노출될 수 있다. 즉, 노출된 언더필(310a)의 측면은 밀봉재(300d)의 동일 수직면을 구성할 수 있다. 또한, 반도체 패키지(1000e) 하면으로는 언더필(310a)의 하면이 노출될 수 있고, 언더필(310a)의 하면은 제1 칩(100)의 패시베이션층(124)의 하면과 동일 수평면을 구성할 수 있다. 본 실시예에서 언더필(310a)은 도 1에서의 언더필(310)에 비해 하부 방향으로 넓어지는 정도가 더 클 수 있다.
- [0076] 한편, 밀봉재(300d)는 하부 측면 및 하면으로 노출되는 언더필(310a)의 존재로 인해, 제2 칩(200)의 측면 부분만을 감싸는 구조로 형성될 수 있다.
- [0077] 도 6의 실시예에 따른 반도체 패키지(1000f)는 언더필 및 밀봉재 부분만을 제외하고 전술한 반도체 패키지(1000 ~ 1000e)와 유사한 구조를 가질 수 있다. 그에 따라, 설명의 편의를 위해 도 1의 설명 부분에서 기술한 부분은 생략하거나 간략히 기술한다.
- [0078] 도 6을 참조하면, 본 실시예의 반도체 패키지(1000f)에서 언더필은 존재하지 않을 수 있다. 즉, 본 실시예에서는 밀봉재(300e)만을 이용하여 제1 칩(100) 및 제2 칩(200)을 밀봉할 수 있다. 그에 따라, 제1 칩(100)과 제2 칩(200)의 연결 부분도 밀봉재(300e)로 채워질 수 있다. 이와 같이, 언더필 없이 밀봉재(300e)로 칩들이 밀봉되는 구조는 MUF(Molded Underfill) 공정을 통해 형성될 수 있다.
- [0079] 도 7의 실시예에 따른 반도체 패키지(1000g)는 제2 칩과 밀봉재 부분을 제외하고 도 1의 반도체 패키지(1000)와 유사한 구조를 가질 수 있다. 그에 따라, 설명의 편의를 위해 도 1의 설명 부분에서 기술한 부분은 생략하거나 간략히 기술한다.
- [0080] 도 7을 참조하면, 본 실시예의 반도체 패키지(1000g)에서, 제2 칩(200a)은 제1 칩(100)과 유사하게 바디층(210), 하부 절연층(220), TSV(230), 제2 연결 부재(240), 보호층(260) 및 상부 패드(270)를 포함할 수 있다. 이러한 제2 칩(200a)은 도 1에서와 달리, 바디층(210)을 관통하는 TSV(230)을 구비할 수 있다. 또한, 바디층(210) 상면을 보호하는 보호층(260), 및 보호층(260) 상에 형성되고 TSV(230)에 연결된 상부 전극(270)을 구비할 수 있다.
- [0081] 한편, 밀봉재(300b)는 제2 칩(200a)의 상면을 감싸도록 형성될 수 있다. 즉, 밀봉재(300b)는 제2 칩(200a)의 상면 상에 형성된 보호층(260) 및 상부 전극(270)을 덮도록 형성될 수 있다.
- [0082] 도 8의 실시예에 따른 반도체 패키지(1000h)는 언더필 부분을 제외하고 도 7의 반도체 패키지(1000g)와 유사한 구조를 가질 수 있다. 본 실시예의 반도체 패키지(1000h)에서는 언더필 대신 도 2에서와 같은 접착 부재(320)가 제1 칩(100)과 제2 칩(200a)의 연결 부분에 형성될 수 있다. 접착 부재(320)에 대해서는 도 2에서 상세히 기술하였으므로 여기에서는 생략한다.
- [0083] 도 9의 실시예에 따른 반도체 패키지(1000i)는 전술한 반도체 패키지(1000 ~ 1000h)와 달리 2개의 칩이 아닌 4개의 칩이 적층된 구조를 가질 수 있다.

- [0084] 도 9를 참조하면, 본 실시예의 반도체 패키지(1000i)는 제1 칩(100), 제2 칩(200), 제3 칩(500), 제4 칩(600), 접착 부재(320) 및 밀봉재(300c)를 포함할 수 있다.
- [0085] 제3 칩(500) 및 제4 칩(600) 각각은 도 1에서 설명한 제1 칩과 동일한 구조를 가질 수 있다. 즉, 제3 칩(500)은 바디층(510), 하부 절연층(520), TSV(530), 연결 부재(540), 보호층(560) 및 상부 패드(570)를 포함할 수 있고, 제4 칩(600) 역시, 바디층(610), 하부 절연층(620), TSV(630), 연결 부재(640), 보호층(660) 및 상부 패드(670)를 포함할 수 있다. 제3 칩(500) 및 제4 칩(600)의 각 구성 부분들은 제1 칩(100)의 구성 부분들과 동일하고 도 1에서 이미 설명하였으므로 여기에서의 설명은 생략한다.
- [0086] 제2 내지 제4 칩(200, 500, 600) 각각은 도 2에서와 같이 접착 부재(320)를 통해 하부 칩 상으로 접착되어 적층될 수 있다. 즉, 제2 칩(200)이 접착 부재(320)를 통해 제1 칩(100) 상에 적층되고, 제3 칩(500)이 접착 부재(320)를 통해 제2 칩(200) 상에 적층되며, 제4 칩(600)이 접착 부재(320)를 통해 제3 칩(500) 상에 적층될 수 있다.
- [0087] 본 실시예에서 접착 부재(320)는 NCF로 형성될 수 있고, NCF는 제1 내지 제3 칩(100, 200, 500) 상면에 형성될 수 있다. 제4 칩(600) 상부에는 다른 칩들이 적층되지 않으므로 NCF가 형성될 필요가 없다. 본 실시예에서, 접착 부재(320)로서 NCF를 사용하였지만, 접착 부재(320)가 NCF에 한정되는 것은 아니다. 예컨대, 전술한 바와 같이 ACF, 순간 접착제, 열경화성 접착제, 레이저 경화형 접착제, 초음파 경화형 접착제, NCP이 접착 부재로서 사용될 수 있다. 또한, 경우에 따라, 언더필이 NCF 대신에 사용될 수도 있다.
- [0088] 또한, 제4 칩(600)이 TSV(630) 및 상부 패드(670)를 구비하므로, 본 실시예에서, 밀봉재(300c)는 제1 내지 제4 칩(100, 200, 500, 600) 각각의 측면들 및 제4 칩(600)의 상면을 감싸도록 형성될 수 있다. 즉, 밀봉재(300c)는 제1 칩(100)의 하면 부분을 제외하고, 제1 내지 제4 칩(100, 200, 500, 600)의 측면들 및 상면을 완전히 밀봉할 수 있다.
- [0089] 한편, 전술한 다른 실시예에서와 마찬가지로, 밀봉재(300c)의 하면은 제1 칩(100)의 패시베이션층(124)의 하면과 동일 수평면을 구성할 수 있다. 그에 따라, 제1 칩(100)의 제1 연결 부재(140)는 상기 수평면에서 돌출되어 외부로 노출될 수 있다. 또한, 제1 내지 제4 칩(100, 200, 500, 600) 각각의 보호층(160, 260, 560, 660)의 수평 단면의 크기는 대응되는 칩의 수평 단면의 크기와 같고, 그에 따라, 각각의 보호층(160, 260, 560, 660)은 밀봉재(300c)에 의해 밀봉되어 외부로 노출되지 않을 수 있다.
- [0090] 도 10의 실시예에 따른 반도체 패키지(1000j)는 제4 칩과 밀봉재 부분을 제외하고 도 9의 반도체 패키지(1000i)와 유사한 구조를 가질 수 있다. 그에 따라, 설명의 편의를 위해 도 9의 설명 부분에서 기술한 부분은 생략하거나 간략히 기술한다.
- [0091] 도 10을 참조하면, 본 실시예의 반도체 패키지(1000j)에서, 제4 칩(600a)에는 TSV가 형성되지 않을 수 있다. 그에 따라, 제4 칩(600a) 상면에는 상부 패드가 형성되지 않는다. 또한, 도시된 바와 같이 제4 칩(600a) 상면에 보호층이 형성되지 않을 수 있다. 참고로, 반도체 기관의 제1 면 상에는 집적 회로층이 형성될 수 있고, 제4 칩(600a)의 상면은 제1 면에 대항하는 반도체 기관의 제2 면일 수 있다.
- [0092] 한편, 밀봉재(300a)는 제1 내지 제4 칩(100, 200, 500, 600a)의 측면들만을 둘러싸도록 형성될 수 있다. 또한, 밀봉재(300a)의 상면은 제4 칩(600a)의 상면과 동일 수평면을 구성할 수 있다. 이러한 밀봉재(300a)의 구조를 가지고, 제4 칩(600a)의 상면, 예컨대 반도체 기관의 제2 면이 외부로 노출될 수 있다.
- [0093] 도 11의 실시예에 따른 반도체 패키지(1000k)는 적어도 3 개의 칩들이 적층된 구조를 개략적으로 보여준다.
- [0094] 도 11을 참조하면, 본 실시예의 반도체 패키지(1000k)는 N개의 칩들(100, 200, ..., Nth_chip), 접착 부재(320) 및 밀봉재(300a)를 포함할 수 있다. 여기서, N은 3 이상의 정수일 수 있다. 만약, N이 4인 경우에는 도 10의 반도체 패키지(1000j)와 동일할 수 있다.
- [0095] N개의 칩들(100, 200, ..., Nth_chip) 중 최상부의 칩(Nth_chip)을 제외한 각각의 칩들에는 칩들 간의 전기적 연결을 위한 TSV 및 상부 패드가 형성될 수 있다. 한편, 최상부의 칩(Nth_chip) 상부에는 다른 칩이 적층되지 않으므로, 최상부의 칩(Nth_chip)에는 TSV, 상부 패드 및 보호층이 형성되지 않을 수 있다.
- [0096] 접착 부재(320)는 각 칩들 사이를 채우며, NCF로 형성될 수 있다. 그러나 접착 부재(320)가 NCF에 한정되는 것

은 아니다. 한편, 제2 칩(200) 상면에 접촉 부재(320)만이 도시되어 있지만, 이는 칩 단위로 도면을 도시하기 위한 것이고, 실제로는 접촉 패드(320) 부분에서 제2 칩(200)의 상부 패드(270)와 그 위층의 칩의 연결 부재가 연결될 수 있다. 접촉 부재(320)는 최상부의 칩(Nth_chip) 상면에는 형성되지 않을 수 있다.

- [0097] 밀봉재(300a)는 도 10에서와 마찬가지로 N개의 칩들(100, 200, ..., Nth_chip) 각각의 측면들을 둘러싸도록 형성될 수 있다. 또한 밀봉재(300e)의 상면은 최상부의 칩(Nth_chip)의 상면과 동일 수평면을 구성할 수 있다.
- [0098] 도 12a 및 12b는 본 발명의 일부 실시예들에 따른 CoC 구조의 반도체 패키지에 이용되는 TSV가 형성된 칩들에 대한 단면도들이다.
- [0099] 도 12a를 참조하면, 본 실시예의 칩(100)은 바디층(110), 하부 절연층(120), TSV(130), 제1 연결 부재(140), 집적 회로층(150), 보호층(160), 상부 패드(170) 및 다층 배선 패턴(180)을 포함할 수 있다. 본 도면의 칩(100)은 도 1 내지 11의 반도체 패키지의 제1 칩에 해당하고, 제1 칩의 상하가 뒤집힌 형태로 도시되고 있다.
- [0100] 바디층(110)은 반도체 기판(102) 및 층간 절연층(104)을 포함할 수 있다. 반도체 기판(102)은 반도체 웨이퍼로 구성될 수 있고, 예컨대, IV족 물질 또는 III-V족 화합물을 포함할 수 있다. 한편, 반도체 기판(102)은 형성 방법적인 측면에서 실리콘 단결정 웨이퍼와 같은 단결정 웨이퍼로 형성될 수 있다. 그러나 반도체 기판(102)은 단결정 웨이퍼에 한정되지 않고, 에피(Epi) 또는 에피택셜(Epitaxial) 웨이퍼, 폴리시드(polished) 웨이퍼, 열처리된(Annealed) 웨이퍼, SOI(Silicon On Insulator) 웨이퍼 등 다양한 웨이퍼들이 기판으로서 이용될 수 있다. 여기서, 에피택셜 웨이퍼는 단결정 실리콘 기판 상에 결정성 물질을 성장시킨 웨이퍼를 말한다.
- [0101] 반도체 기판(102)은 제1 면(F1) 및 제2 면(F2)을 구비할 수 있고, 반도체 기판(102)의 제1 면(F1) 상에 집적 회로층(150)이 형성될 수 있다. 집적 회로층(150)이 형성되는 제1 면(F1)에 인접한 반도체 기판(102)의 상부 영역에는 불순물이 도핑된 도핑 영역들이 형성될 수 있다. 이에 반해 제2 면(F2)에 인접하는 반도체 기판(102)의 하부 영역은 도핑되지 않은 영역(undoped region)일 수 있다.
- [0102] 층간 절연층(104)은 반도체 기판(102)의 제1 면(F1) 상으로 집적 회로층(150)을 덮으면서 형성될 수 있다. 이러한 층간 절연층(104)은 집적 회로층(150) 내의 회로 소자들을 서로 이격시키는 기능을 수행할 수 있다. 또한, 층간 절연층(104)은 다층 배선 패턴(180)과 집적 회로층(150) 내의 회로 소자들을 이격 배치시키는 역할을 할 수 있다. 이러한, 층간 절연층(104)은 산화층, 질화층, 저유전율층 및 고유전율층에서 선택된 하나 또는 둘 이상의 적층 구조로 형성될 수 있다.
- [0103] 집적 회로층(150)은 반도체 기판(102)의 제1 면(F1) 상의 층간 절연층(104) 내에 형성될 수 있고, 다수의 회로 소자들을 포함할 수 있다. 집적 회로층(150)은 칩(100)의 종류에 따라서 회로 소자들, 예컨대 트랜지스터들 및/또는 커패시터들을 포함할 수 있다. 집적 회로층(150)의 구조에 따라서, 칩(100)은 메모리 소자 또는 로직 소자로 기능할 수 있다. 예를 들어, 메모리 소자는 디램(DRAM), 에스램(SRAM), 플래시(flash) 메모리, 이이퍼롬(EEPROM), 피램(PRAM), 엠램(MRAM), 알램(RRAM)을 포함할 수 있다. 이러한 반도체 소자의 구조는 통상적으로 알려져 있고, 본 발명의 범위를 제한하지 않는다. 여기서, 152는 집적 회로층(150) 내의 회로 소자들을 상부의 배선 패턴과 전기적으로 연결하는 메탈 콘택일 수 있다.
- [0104] 하부 절연층(120)은 금속간 절연층(122) 및 패시베이션층(124)을 포함할 수 있다. 금속간 절연층(122)은 다층 배선 패턴(180)을 덮도록 층간 절연층(104) 상에 제공될 수 있다. 금속간 절연층(122)은 배선 라인들(181, 183, 185)을 이격시키는 역할을 할 수 있다. 금속간 절연층(122)이 하나의 층으로 도시되었으나, 다층의 절연층들을 포함할 수 있다. 예를 들어, 금속간 절연층(122)은 배선 라인들(181, 185, 189)에 따라서 다층으로 제공될 수 있다.
- [0105] 패시베이션층(124)은 칩(100)의 상면을 보호하는 기능을 할 수 있다. 패시베이션층(124)은 산화막 또는 질화막으로 형성될 수 있고, 또는 산화막과 질화막의 이중층으로 형성될 수 있다. 또한, 패시베이션층(124)은 HDP-CVD 공정을 이용하여 산화막, 예컨대 실리콘 산화막(SiO₂)으로 형성할 수 있다.
- [0106] 다층 배선 패턴(180)은 층간 절연층(104) 상의 하부 절연층(120) 내에 형성될 수 있고, TSV(130)에 전기적으로 연결될 수 있다. 이러한 다층 배선 패턴(180)은 적어도 한층 이상의 배선 라인들, 및 배선 라인들 사이를 연결하는 수직 콘택들을 포함할 수 있다. 이러한 다층 배선 패턴(180)은 집적 회로층(150) 내의 회로 소자들을 적절하게 연결하여 소정의 회로를 구성하거나 또는 이러한 회로 소자들을 외부 제품과 연결하기 위해서 이용될 수 있다.

- [0107] 본 실시예에서는 3개 층의 배선 라인들, 예컨대, 제1 배선 라인(181), 제2 배선 라인(185) 및 제3 배선 라인(189)이 형성될 수 있고, 제1 배선 라인(181)과 제2 배선 라인(185)을 연결하는 제1 수직 플러그(183) 및 제2 배선 라인(185)과 제3 배선 라인(189)을 연결하는 제2 수직 플러그(187)가 형성될 수 있다. 여기서, 제1 배선 라인(181)과 제2 배선 라인(185)은 금속간 절연층(122) 내에 형성되고 제3 배선 라인(189)은 금속간 절연층(122) 상의 패시베이션층(124) 내에 형성될 수 있다. 또한, 제1 제1 및 제2 배선 라인(181, 185)은 구리로 형성될 수 있고, 제3 배선 라인(189)은 알루미늄으로 형성될 수 있다.
- [0108] 상기에서 3개 층의 배선 라인 및 배선 라인들의 재질에 대하여 기술하였지만, 본 실시예의 다층 배선 패턴이 그에 한정되는 것은 아니다. 즉, 다층 배선 패턴은 4개 이상 또는 3개 미만의 배선 라인들로 형성될 수도 있고, 그 재질도 구리나 알루미늄에 한정되지 않고 텅스텐과 같은 다른 금속으로 형성될 수 있다. 한편, 도 12a에서 도시된 배선 라인들(181, 185, 189)의 연결 관계는 예시적인 것으로, 본 실시예의 다층 배선 패턴이 그에 한정되는 것은 아니다.
- [0109] 한편, 다층 배선 패턴(180)의 배선 라인들(181, 185, 189) 및 수직 플러그들(183, 187)은 동일한 물질로 구성되거나 또는 서로 다른 물질로 구성될 수도 있다. 예를 들어, 다마신 구조에서 배선 라인들(181, 185, 189) 및 대응하는 수직 플러그들(183, 187)은 동일한 물질로 구성될 수 있다. 나아가, 배선 라인들(181, 185, 189) 및 수직 플러그들(183, 187)은 배선 금속 외에 적어도 하나의 장벽 금속(barrier metal)을 더 포함할 수도 있다. 하지만, 본 발명의 범위는 이러한 배선 라인들(181, 185, 189) 및 수직 플러그들(183, 187)의 특정 물질에 제한되지 않는다.
- [0110] TSV(130)는 층간 절연층(104) 및 반도체 기판(102)을 관통하여 형성되며, TSV(130)의 한 끝단은 반도체 기판(102)의 제2 면(F2)으로부터 노출될 수 있다. 또한, 본 실시예에서와 같이 상부 패드(170)와 연결이 용이하도록 반도체 기판(102)의 제2 면(F2)으로부터 돌출되어 노출될 수도 있다.
- [0111] TSV(130)는 적어도 하나의 금속을 포함할 수 있다. 예를 들어, 관통 전TSV(130)는 장벽 금속층(134) 및 배선 금속층(132)을 포함할 수 있다. 장벽 금속층(134)은 티타늄(Ti), 탄탈륨(Ta), 질화티타늄(TiN) 및 질화탄탈륨(TaN)에서 선택된 하나 또는 둘 이상의 적층 구조를 포함할 수 있다. 배선 금속층(132)은 알루미늄(Al), 금(Au), 베릴륨(Be), 비스무트(Bi), 코발트(Co), 구리(Cu), 하프늄(Hf), 인듐(In), 망간(Mn), 몰리브덴(Mo), 니켈(Ni), 납(Pb), 팔라듐(Pd), 백금(Pt), 로듐(Rh), 레늄(Re), 루테튬(Ru), 탄탈륨(Ta), 텔륨(Te), 티타늄(Ti), 텅스텐(W), 아연(Zn), 지르코늄(Zr) 중의 하나 또는 그 이상을 포함할 수 있다. 예컨대, 배선 금속층(132)은 텅스텐(W), 알루미늄(Al) 및 구리(Cu)에서 선택된 하나 또는 둘 이상의 적층 구조를 포함할 수 있다. 그러나, 이러한 TSV(130)의 재질이 그러한 특정 물질에 제한되는 것은 아니다.
- [0112] 한편, TSV(130) 및 반도체 기판(102) 사이에 스페이서 절연층(135)이 개재될 수 있다. 스페이서 절연층(135)은 반도체 기판(102) 또는 층간 절연층(104) 내에 회로 소자들과 TSV(130)이 직접 접촉되는 것을 막아줄 수 있다. 이러한 스페이서 절연층(135)은 적어도 TSV(130)의 바닥면에는 형성되지 않을 수 있다. 또한, 경우에 따라, 스페이서 절연층(135)은 제 2 면(F2) 위로 돌출된 TSV(130)의 양 측면 부분에도 형성되지 않을 수 있다.
- [0113] 제1 연결 부재(140)는 전술한 바와 같이 범프 패드(142)와 범프(144)를 포함할 수 있다. 이러한 제1 연결 부재(140)는 다층 배선 패턴(180), 예컨대 제3 배선 라인(189)에 연결되어, TSV(130)에 전기적으로 연결될 수 있다.
- [0114] 한편, 반도체 기판(102)의 제2 면(F2) 상에는 소자 보호를 위해 보호층(160)이 형성될 수 있다. 또한, 전술한 바와 같이 보호층(160) 상에는 TSV(130)에 연결되는 상부 패드(170)가 형성될 수 있다.
- [0115] 본 실시예에서의 TSV(130)는 비아-미들 구조로 형성될 수 있다. 참고로, TSV은 비아-퍼스트, 비아-미들 및 비아-라스트로 분류될 수 있다. 비아-퍼스트는 집적 회로층(150)이 형성되기 전에 TSV가 형성되는 구조를 지칭하며, 비아-미들은 집적 회로층 형성 후 다층 배선 패턴 형성되기 전에 TSV가 형성되는 구조를 지칭하고, 비아-라스트는 다층 배선 패턴이 형성된 후에 TSV가 형성되는 구조를 지칭한다.
- [0116] 본 실시예에서의 TSV(130)는 비아-미들은 집적 회로층 형성 후 다층 배선 패턴 형성되기 전에 TSV가 형성되는 비아-미들 구조로 형성되며, 이에 대해서는 도 13a 내지 13f의 칩의 제조과정에서 확인할 수 있다.
- [0117] 도 12b의 실시예에 따른 칩(100a)은 TSV 부분만을 제외하고 도 12a의 칩(100)과 유사한 구조를 가질 수 있다. 그에 따라, 설명의 편의를 위해 도 12a의 설명 부분에서 기술한 부분은 생략하거나 간략히 기술한다.
- [0118] 도 12b를 참조하면, 본 실시예의 칩(100a)에서, TSV(130a)는 비아-라스트 구조로 형성될 수 있다. 그에 따라,

TSV(130a)는 반도체 기관(102), 층간 절연층(104), 금속간 절연층(122), 및 패시베이션층(124)을 관통하여, 제1 연결 부재(140a)의 범프 패드(142a)에 바로 연결될 수 있다. TSV(130a)의 층상 구조나 측면의 스페이서 절연층(135a)은 도 12a에서 설명한 바와 같다.

- [0119] 도 13a 내지 13f 도 12a의 칩의 제조방법을 보여주는 단면도들로서, 도 12a에서 이미 설명한 부분들에 대해서는 생략하거나 간략하게 기술한다.
- [0120] 도 13a를 참조하면, 먼저, 반도체 기관(102)의 제1 면(F1) 상에 집적 회로층(150)을 형성하고, 반도체 기관(102)의 제1 면(F1) 상에 집적 회로층(150)을 덮는 층간 절연층(104)을 형성한다. 반도체 기관(102)과 층간 절연층(104)이 제1 칩(100)의 바디층(110)을 형성함은 전술한 바와 같다.
- [0121] 반도체 기관(102)은 단결정 웨이퍼로 형성될 수 있다. 집적 회로층(150)은 칩의 종류에 따라 다양한 회로 소자들, 예컨대, 트랜지스터들 및/또는 커패시터들을 포함할 수 있다.
- [0122] 층간 절연층(104)은 적절한 절연층 증착 방법, 예컨대 화학기상증착(CVD)을 이용하여 형성할 수 있다. 층간 절연층(104)은 집적 회로층(150)의 프로파일에 따라서 평탄하지 않게 형성될 수 있기 때문에, 증착 단계 후 평탄화될 수 있다. 평탄화는 화학적기계적연마(CMP) 또는 에치백(etch-back)을 이용하여 수행될 수 있다.
- [0123] 도 13b를 참조하면, 절연층(104)과 반도체 기관(102)에 트렌치를 형성하여, 스페이스 절연층(135)과 TSV(130)을 형성한다. 좀더 구체적으로 설명하면,
- [0124] 층간 절연층(104) 상에 레지스트 패턴(미도시)을 형성하고, 레지스트 패턴을 이용하여 식각 공정을 통해 층간 절연층(104) 및 반도체 기관(102)을 연속적으로 제거하여 트렌치를 형성한다. 트렌치 형성은 레이저 드릴링을 이용할 수도 있다.
- [0125] 반도체 기관(102)의 제2 면(F2)의 연마를 고려하여, 트렌치는 반도체 기관(102)을 관통하지 않도록 형성될 수 있다. 트렌치의 형상은 식각 조건 또는 드릴링 조건에 따라서 다양한 형상을 가질 수 있다. 예컨대, 비교적 균일한 원통 형상을 가질 수도 있고, 위에서 아래로 갈수록 그 폭이 점점 좁아지는 형상을 가질 수도 있다.
- [0126] 다음, 트렌치 내에 스페이서 절연층(135)을 형성한다. 예컨대, 스페이서 절연층(135)은 적절한 절연층, 예컨대 산화층, 질화층, 폴리머 또는 파릴렌(parylene)을 포함할 수 있고, 저온 증착법 예컨대 저온 화학기상증착(LTCVD), 폴리머 스프레이링(polymer spraying), 저온 물리기상증착(PVD) 방법을 이용하여 형성할 수 있다.
- [0127] 이어서, 스페이서 절연층(135) 상에 TSV(130)를 형성한다. 예컨대, TSV(130)는 트렌치 내의 스페이서 절연층(135) 상에 장벽 금속층(134)을 형성하고, 다시 장벽 금속층(134) 상에 배선 금속층(132)을 형성함으로써 구현할 수 있다. 장벽 금속층(134)은 Ti, Ta, TiN 및 TaN에서 선택된 하나 또는 둘 이상의 적층 구조를 포함할 수 있다. 배선 금속층(132)은 W, Al 및 Cu에서 선택된 하나 또는 둘 이상의 적층 구조를 포함할 수 있다. 장벽 금속층(134) 및 배선 금속층(132)은 화학기상 증착법(CVD), 플라즈마 강화 CVD(PECVD), 고밀도 플라즈마 CVD(HDP-CVD), 스퍼터링, 유기금속 화학기상 증착법(Metal Organic CVD: MOCVD), 또는 원자층 증착법(ALD)을 이용하여 형성할 수 있다. 한편, 배선 금속층(132)은 도금 방법을 이용하여 형성할 수 있고, 이 경우 씨드층(seed layer)을 먼저 형성한 후 도금층을 형성할 수 있다. 도금 방법으로 형성할 때, Cu가 이용될 수 있다.
- [0128] 트렌치 매립 후, 평탄화될 수 있다. 예컨대, 화학적기계적연마(CMP) 또는 에치백(etch-back)을 이용하여 스페이서 절연층(135) 및 TSV(130)이 트렌치 내부에만 남도록 평탄화될 수 있다. 한편, CMP에 의한 평탄화 후에 전열처리(preheat) 및 버퍼링 CMP 등이 수행될 수도 있다.
- [0129] 한편, TSV(130) 형성 전, 또는 형성 후에 메탈 콘택(152)이 형성될 수 있다.
- [0130] 도 13c를 참조하면, TSV(130)와 연결된 다층 배선 패턴(180), 금속간 절연층(122), 및 패시베이션층(124)을 형성할 수 있다. 예컨대, 다층 배선 패턴(180)은 배선 라인들(181, 185, 187) 및 수직 플러그들(185, 187)의 적층 구조를 형성하는 단계를 반복하여 형성할 수 있다. 금속간 절연층(122)은 다층 배선 패턴(180)의 적층 구조에 따라 다층 구조로 형성될 수 있다.
- [0131] 다층 배선 패턴(180)은 물질막 증착 및 패터닝에 의해서 형성되거나 또는 다마신 공정에 의해서 형성될 수도 있다. 예컨대, 다층 배선 패턴(180)이 알루미늄(Al) 및/또는 텅스텐(W)을 포함하는 경우 전자의 방법으로 형성될 수 있고, 구리(Cu)를 포함하는 경우 후자의 방법으로 형성될 수 있다.

- [0132] 도 13d를 참조하면, 패시베이션층(124) 상에 다층 배선 패턴(180), 예컨대, 제3 배선 라인(189)에 연결되는 제1 연결 부재(140)를 형성할 수 있다. 제1 연결 부재(140)는 패시베이션층(124)에 트렌치를 형성하고, 트렌치를 채우도록 범프 패드(142)를 형성한 후, 범프 패드(142) 상으로 범프(144)를 형성함으로써 완성할 수 있다.
- [0133] 도 13e를 참조하면, 제1 연결 부재(140)가 형성된 칩의 상면에 지지 기관(700)을 접착제(720)를 통해 접착하고, 지지 기관을 이용하여 반도체 기관(102)의 제2 면(F2)으로부터 반도체 기관의 소정 두께를 제거하여, 스페이서 절연층(135) 및 TSV(130)을 노출시킨다. 한편, 도시된 바와 같이 스페이서 절연층(135) 및 TSV(130)은 제2 면(F2)으로부터 돌출된 형태로 노출될 수 있다.
- [0134] 반도체 기관(102)의 제거는 그라인딩, 화학적기계적연마(CMP), 등방성 식각 및 이방성 식각의 하나 또는 둘 이상을 결합하여 수행할 수 있다. 예를 들어, CMP를 이용하여 제거될 반도체 기관(102)의 상당 부분을 제거하고, 이어서 등방성 식각, 예컨대 습식 식각으로 반도체 기관(102)을 스페이서 절연층(135) 및 TSV(130)의 바닥면 아래로 리세스시킬 수 있다.
- [0135] 도 13f를 참조하면, 반도체 기관(102)의 제2 면 상에 보호층(160)을 형성하고, 보호층(160) 상에 TSV(130)에 연결되는 상부 패드(170)를 형성한다. 상부 패드(170) 형성 후, 지지 기관(700)을 제거함으로써, 도 12a의 칩(100)과 동일한 비아-미들 구조의 TSV(130)을 구비한 칩을 완성할 수 있다.
- [0136] 도 14a 내지 14n은 본 발명의 일부 실시예에 따른 CoC 구조의 반도체 패키지 제조방법을 보여주는 단면도들로서, 칩의 구성요소들에 대한 참조번호는 도 1 내지 11의 반도체 패키지 내의 칩의 구성요소들에 대한 참조번호를 참조한다.
- [0137] 도 14a를 참조하면, TSV(130)이 각각 형성된 다수의 칩들을 포함한 기저 웨이퍼(10)를 준비한다. 기저 웨이퍼(10)는 지지 기관(800) 상에 접착 부재(820)를 통해 접착되어 준비될 수 있다.
- [0138] 지지 기관(800)은 실리콘, 게르마늄, 실리콘-게르마늄, 갈륨-비소(GaAs), 유리, 플라스틱, 세라믹 기관 등으로 형성될 수 있다. 접착 부재(820)는 NCF, ACF, 순간 접착제, 열경화성 접착제, 레이저 경화형 접착제, 초음파 경화형 접착제, NCP 등으로 형성될 수 있다. 한편, 도시된 바와 같이 기저 웨이퍼(10)는 제1 연결 부재(140)가 지지 기관(800)을 향하도록 접착될 수 있다.
- [0139] 한편, 기저 웨이퍼(10)의 준비는 도 12a 내지 12f를 통해 설명한 방법대로 웨이퍼 레벨에서 TSV를 구비한 다수의 칩들을 동시에 형성함으로써 이루어질 수 있다.
- [0140] 도 14b를 참조하면, 기저 웨이퍼(10)의 스크라이브 라인(S/L)을 따라 소잉(sawing)하여 각각의 칩들로 분리한다. 각각의 칩들은 도 1의 반도체 패키지 등의 제1 칩(100)에 해당할 수 있다. 그에 따라, 이하, 설명의 편의를 위해, 기저 웨이퍼로부터 분리된 칩들을 "제1 칩" 또는 "제1 칩들"이라고 지칭한다. 한편, S1은 소잉에 분리된 부분을 가리킨다.
- [0141] 소잉을 기저 웨이퍼(10) 부분에만 수행되고, 하부의 지지 기관(800)에는 수행되지 않는다. 도시된 바와 같이 접착 부재(820)는 소잉에 의해 소정 부분이 제거될 수 있다. 기저 웨이퍼(10)의 제1 칩들(100)이 분리된 후, 지지 기관(800)을 제거할 수 있다. 한편, 지지 기관(800) 제거 시에, 접착 부재(820)가 제1 칩들(100)로부터 제거될 수 있지만, 도시된 바와 같이 접착 부재(820)는 칩들(100)로부터 제거되지 않을 수도 있다.
- [0142] 도 14c를 참조하면, 지지 캐리어(900, supporting carrier)를 준비한다. 지지 캐리어(900) 상에는 접착 부재(920)가 형성될 수 있다. 지지 캐리어(900)는 실리콘, 게르마늄, 실리콘-게르마늄, 갈륨-비소(GaAs), 유리, 플라스틱, 세라믹 기관 등으로 형성될 수 있다. 본 실시예에서는 실리콘 기관 또는 유리 기관으로 형성될 수 있다. 접착 부재(920)는 NCF, ACF, UV 필름, 순간 접착제, 열경화성 접착제, 레이저 경화형 접착제, 초음파 경화형 접착제, NCP 등으로 형성될 수 있다.
- [0143] 이러한 지지 캐리어(900)는 반드시 도 14b의 기저 웨이퍼(10)의 칩 분리 공정 후에 준비될 필요는 없고, 기저 웨이퍼(10)의 준비 전에, 또는 기저 웨이퍼 준비 후 기저 웨이퍼(10)의 칩 분리 공정 전에 준비될 수도 있음은 물론이다.
- [0144] 한편, 접착 부재(920) 형성 전에, 지지 캐리어(900) 상에 얼라인 마크가 형성될 수 있다. 얼라인 마크는 차후에 칩들이 접착되는 위치를 표시하기 위한 마크이다.
- [0145] 이러한 얼라인 마크는 건식 또는 습식 식각, 또는 레이저로 상기 지지 캐리어를 식각하여 트렌치를 형성함으로써

써, 음각 형태로 형성할 수 있다. 또한, 건식 또는 습식 식각, 또는 레이저로 상기 지지 캐리어를 식각하여 트렌치를 형성하고, 메탈 소재로 상기 트렌치 일부 또는 전부를 채움으로써 형성할 수도 있다. 또 다른 방법으로, 건식 또는 습식 식각, 또는 레이저로 상기 지지 캐리어를 식각하여 트렌치를 형성하고, 상기 지지 캐리어 전면 에 메탈 소재 형성한 후 다마신 공정으로 평탄화함으로써 형성할 수도 있다. 한편, 포토 공정으로 상기 지지 캐리어 상에 얼라인 마크를 위한 패턴 형성 후 상기 패턴을 메탈 소재로 채움으로써, 양각 형태로 형성할 수도 있다.

- [0146] 도 14d를 참조하면, 분리된 제1 칩들(100) 각각을 지지 캐리어(900) 상에 접착 부재(920)를 이용하여 접착한다. 제1 칩들(100)은 제1 연결 부재(140)가 지지 캐리어(900)를 향하도록 접착될 수 있다. 한편, 제1 칩들(100)은 지지 캐리어(900) 상에 접착하기 전에 제1 칩들(100) 하면에 접착되어 있던 접착 부재(820)가 제거될 수 있다.
- [0147] 제1 칩들(100)은 지지 캐리어(900) 상에 소정 간격(d)을 가지고 배열되어 접착될 수 있는데, 소정 간격(d)은 최종적으로 형성되는 반도체 패키지의 사이즈를 고려하여 적절히 선택될 수 있다.
- [0148] 본 실시예에서 제1 칩들(100)은 임의의 간격을 가지고 지지 캐리어 상에 배치됨으로써, 종래 기저 캐리어의 스크라이브 라인의 폭에 의해 제한되었던 언더필 공정 및 소잉 공정의 어려움을 해결할 수 있고, 또한 반도체 패키지 완성 후, 칩 측면의 실리콘이 외부에 노출됨으로써 발생하는 오염, 파손, 계면 박리 등을 통한 물리적 손상을 방지할 수 있다. 결과적으로, 반도체 패키지 내의 칩들의 신뢰성을 확보할 수 있다.
- [0149] 도 14e를 참조하면, 제1 칩들(100) 각각의 상면으로 제2 칩(200)을 적층하여 적층 칩(1100)을 형성한다. 적층은 제2 칩(200)의 제2 연결 부재(240)를 제1 칩(100)의 상부 패드(170) 상에 열 압착 방법을 통해 접착함으로써 이루어질 수 있다. 한편, 제2 칩(200)의 적층은 도 15a 내지 15c에서 확인할 수 있듯이 접착 부재를 사용하여 이루어질 수도 있다.
- [0150] 제2 칩들(200) 역시 어느 하나의 기저 웨이퍼를 분리하여 획득할 수 있으며, 이러한 제2 칩들(200)에는 TSV가 형성되지 않을 수 있다. 그러나 도 7의 반도체 패키지 등에서도 같이 제2 칩들(200) 내에 TSV가 형성될 수도 있다. 그에 따라, 제2 칩들(200)은 제1 칩(100)과 동일한 기저 웨이퍼로부터 분리하여 획득한 칩일 수도 있다.
- [0151] 도 14f를 참조하면, 각 적층 칩(1100)의 제1 칩(100)과 제2 칩(200)의 연결 부분을 채우는 언더필(310)을 형성한다. 언더필(310)은 제1 칩(100)과 제2 칩(200)의 연결 부분만을 채울 수도 있지만, 도시된 바와 같이 제1 칩(100)과 제2 칩(200)의 연결 부분을 채우면서 제1 칩(100)의 측면을 감싸도록 형성될 수도 있다.
- [0152] 한편, 언더필(310)이 제1 칩을 둘러싸는 경우, 언더필(310)은 인접하는 다른 적층 칩의 제1 칩을 둘러싸는 언더필과 소정 간격을 가지도록 형성될 수 있다. 그러나 언더필(310)은 인접하는 언더필과 겹쳐지도록 형성될 수도 있다. 이와 같이 겹쳐지도록 형성되는 경우에, 반도체 패키지 완성 후에, 도 5와 같이 언더필이 측면으로 노출될 수 있다.
- [0153] 본 실시예에서 언더필(310)은 하부 방향으로 넓어지는 형태를 가지도록 형성되었지만, 이에 한정되지 않고 다양한 형태로 형성될 수 있음은 물론이다. 예컨대, 언더필(310)은 상부와 하부가 거의 동일한 사이즈로 형성될 수도 있다.
- [0154] 한편, MUF 공정을 이용하는 경우에는 본 단계의 언더필 공정은 생략될 수 있다.
- [0155] 도 14g를 참조하면, 지지 캐리어(900) 상에 접착된 적층 칩들(1100)을 밀봉하는 밀봉재(300b)를 형성한다. 밀봉재(300b)가 형성됨으로써, 지지 캐리어(900) 상의 적층 칩들(1100)과 밀봉재(300b)는 반도체 패키지 복합체(1200)를 구성할 수 있다. 밀봉재(300b)는 각 적층 칩들(1100)의 제1 및 제2 칩(100, 200)의 측면들 및 상면들을 밀봉할 수 있다.
- [0156] 도 14h를 참조하면, 밀봉재(300b) 상면을 그라인딩하여, 적층 칩들(1100) 각각의 제2 칩(200)의 상면을 노출시킬 수 있다. 제2 칩(200)에 TSV가 형성되지 않은 경우에, 제2 칩(200) 상면은, 집적 회로층이 형성되지 않는 반도체 기판의 제2 면일 수 있고, 그에 따라, 반도체 기판의 제2 면의 실리콘이 외부로 노출될 수 있다.
- [0157] 본 공정은 최종적인 반도체 패키지를 박형화하기 위하여 실시되는 공정으로 경우에 따라, 생략될 수도 있다. 또한, 그라인딩을 수행하는 경우에도 제2 칩(200)의 상면이 노출되지 않도록 그라인딩을 수행할 수도 있다.
- [0158] 도 14i 및 14j를 참조하면, 지지 캐리어(900)를 반도체 패키지 복합체(1200)로부터 분리하고, 접착 부재(920)를 반도체 패키지 복합체(1200)에서 제거함으로써, 적층 칩들(1100) 각각의 제1 칩(100)의 제1 연결 부재(140)가 외부로 노출될 수 있다. 한편, 밀봉재(300)의 하면과 제1 칩(100)의 하면은 동일 수평면을 구성할 수 있고, 그

에 따라 제1 칩(100)의 제1 연결 부재(140)는 수평면에서 돌출되는 구조로 노출될 수 있다.

- [0159] 한편, 본 실시예에서 지지 캐리어(900)와 접착 부재(920) 나누어 제거되었지만, 경우에 따라, 지지 캐리어(900)와 접착 부재(920)는 동시에 제거될 수도 있다. 예컨대, 지지 캐리어(900)는 투명한 재질, 예컨대 유리로 형성되고, 접착 부재(920)가 UV 필름으로 형성된 경우, UV 조사에 의해 지지 캐리어(900)와 접착 부재가 동시에 반도체 패키지 복합체(1200)에서 분리될 수 있다.
- [0160] 도 14k를 참조하면, 반도체 패키지 복합체(1200)의 제2 면, 즉 제1 칩(100)의 제1 연결 부재(140)가 노출되는 제1 면에 대항하는 제2 면에 지지 기판(950)을 접착 부재(952)를 통해 접착한다. 여기서, 지지 기판(950)은 실리콘, 게르마늄, 실리콘-게르마늄, 갈륨-비소(GaAs), 유리, 플라스틱, 세라믹 기판 등으로 형성될 수 있고, 접착 부재(952)는 NCF, ACF, UV 필름, 순간 접착제, 열경화성 접착제, 레이저 경화형 접착제, 초음파 경화형 접착제, NCP 등으로 형성될 수 있다. 본 실시예에서, 지지 기판(950)은 유리 기판으로 형성될 수 있고, 접착 부재는 UV 필름으로 형성될 수 있다.
- [0161] 도 14l을 참조하면, 지지 기판(950)을 이용하여, 적층 칩(1100) 각각에 대한 EDS(Electrical Die Sorting) 테스트를 수행한다. EDS 테스트는 프로브 카드(1500) 등을 이용하여 수행할 수 있다. 프로브 카드(1500)에는 몸체 부(1520) 및 단자 핀(1510)을 포함할 수 있다. 단자 핀(1510)은 예컨대 포고 핀들일 수 있다. 이러한 포고 핀들이 대응하는 제1 연결 부재(140)에 콘택되고 전기적 신호가 인가됨으로써 EDS 테스트가 수행될 수 있다.
- [0162] EDS 테스트를 통해 적층 칩(1100)의 양호 또는 불량 여부를 판단한다. 이와 같이 적층 칩(1100)의 EDS 테스트를 통해 양호 또는 불량 여부가 판단되고 불량에 속하는 적층 칩(1100) 또는 반도체 패키지(1000)는 폐기되게 된다. 따라서, 본 실시예의 반도체 패키지는 EDS 테스트를 통과한 칩들이 적층된 패키지이다. 그에 따라, 본 실시예의 반도체 패키지는 KGDS(Known Good Die Stack) 패키지로 부를 수 있다.
- [0163] 도 14m을 참조하면, EDS 테스트 후, 반도체 패키지 복합체(1200)를 소잉하여 각각의 반도체 패키지(1000)로 분리한다. 여기서, 소잉은 반도체 패키지 복합체(1200)에 대해서만 수행된다. 한편, 접착 부재(952)는 소잉에 의해 일부가 제거될 수도 있다. 여기서, S2는 소잉에 의해 분리된 부분을 지칭한다.
- [0164] 도 14n을 참조하면, 지지 기판(950) 및 접착 부재(952)를 제거함으로써, 각각의 반도체 패키지(1000)를 완성한다. 여기서, 지지 기판(950) 및 접착 부재(952)제거는 순차적으로 수행될 수도 있고, 전술한 바와 같이 동시에 수행될 수도 있다.
- [0165] 본 실시예의 반도체 제조 방법에 따르면, 기저 웨이퍼의 제1 칩들이 지지 캐리어 상에 충분한 간격을 가지고 배치 및 접착되고, 그 후 일련의 공정을 통해 반도체 패키지가 형성될 수 있다. 그에 따라, 제1 칩들 간의 충분한 간격에 기초하여도 14m의 반도체 패키지 분리 공정에서 충분한 소잉 폭을 가지고 반도체 패키지들을 분리할 수 있고, 또한 제1 칩들이 지지 캐리어에 소정 간격을 가지고 배치되고 차후에 그러한 간격을 밀봉재 또는 언더필이 채움으로써, 소잉 공정 후, 제1 및 제2 칩들의 측면이 외부로 노출되지 않을 수 있다.
- [0166] 결국, 본 실시예의 반도체 제조 방법에 따르면, 종래 기저 캐리어의 스크라이브 라인의 폭에 의해 제한되었던 언더필 공정 및 소잉 공정의 어려움을 해결할 수 있고, 또한 반도체 패키지 완성 후, 칩 측면의 실리콘이 외부에 노출됨으로써 발생하는 오염, 파손, 계면 박리 등의 물리적 손상을 방지할 수 있다. 결과적으로, 반도체 패키지 내의 칩들의 신뢰성을 확보할 수 있다.
- [0167] 도 15a 내지 15c는 본 발명의 일부 실시예에 따른 CoC 구조의 반도체 패키지 제조방법을 보여주는 단면도로서, 도 15a는 도 14a에 대응하며, 도 15b는 14d에 대응하며, 도 15c는 도 14e 및 도 14f에 대응될 수 있다.
- [0168] 도 15a를 참조하면, 기저 웨이퍼(10a)는 상면으로 보호층(160)과 상부 패드(170)를 덮는 접착 부재(320)를 포함할 수 있다. 접착 부재(320)는 NCF, 또는 ACF일 수 있고, 본 실시예에서는 NCF를 채용할 수 있다.
- [0169] 이러한 접착 부재(320)는 도 13f에서 보호층(160) 및 상부 패드(170) 형성 후, 지지 기판(700) 분리 전에, 기저 웨이퍼 전면으로 NCF를 접착함으로써 형성될 수 있다.
- [0170] 도 15b를 참조하면, 기저 웨이퍼(10a)를 소잉하여 제1 칩들(100)을 분리한 후, 제1 칩들(100) 각각을 지지 캐리어(900) 상에 접착 부재(920)를 통해 접착시킨다. 도시된 바와 같이 제1 칩들(100) 각각의 상부에는 접착 부재(320), 예컨대 NCF가 부착되어 있다.
- [0171] 도 15c를 참조하면, 제1 칩들(100) 각각의 상면으로 제2 칩(200)을 적층하여 적층 칩(1100a)을 형성한다. 제2

칩(200)의 적층은 제1 칩(100) 상면으로 접착 부재(320)의 존재로 인해, 제2 칩(200)의 제2 연결 부재(240)를 제1 칩(100)의 상부 패드(170)에 압착하여 이루어질 수 있다. 기존, 범프나 솔더에 의한 열 압착의 경우에, 열에 의한 칩들의 휨 문제가 발생하여, 다수의 칩을 적층하는 데에 한계가 있었다. 그러나 본 실시예와 같이, NCF를 이용하는 경우에 단순히 압착만을 이용하기 때문에 휨 발생을 억제되어 많은 수의 칩을 적층할 수 있다.

- [0172] 한편, NCF를 이용하는 경우에, NCF가 언더필과 같은 기능을 수행할 수 있으므로, 도 14f에서와 같은 별도의 언더필 공정을 수행할 필요가 없다.
- [0173] 도 16은 도 11의 반도체 패키지를 형성하기 위하여, 도 15a 내지 15c 중 도 15c에 대응되는 단계를 보여주는 단면도이다.
- [0174] 도 16을 참조하면, 본 실시예에서는 제1 칩들(100) 각각의 상부로 적어도 3개의 칩을 적층 한다. 여기서, 칩들 간의 적층 부분은 NCF와 같은 접착 부재(320)로 채워질 수 있다. 전술한 바와 같이, NCF를 이용하는 경우 4개 이상의 칩들의 적층도 용이하게 수행할 수 있고, 또한 휨 문제가 해결되어 그 신뢰성도 보장할 수 있다.
- [0175] 본 도면에서, 제2 칩(200) 상에 접착 부재(320)만 도시되어 있지만, 이는 도 11에서와 마찬가지로, 칩 단위로 도면을 도시하기 위한 것이고, 실제로는 접착 패드(320) 부분에서 제2 칩(200)의 상부 패드(270)와 그 위층의 칩의 연결 부재가 연결될 수 있다. 또한, 접착 부재(320)는 최상부의 칩(Nth_chip) 상면에는 형성되지 않을 수 있다.
- [0176] 도 17 내지 19는 본 발명의 일부 실시예들에 따른 CoC 구조의 반도체 패키지에 대한 단면도들이다.
- [0177] 도 17을 참조하면, 본 실시예의 반도체 패키지(10000)는 메인 칩(2000) 및 상부 반도체 패키지(1000)를 포함할 수 있다.
- [0178] 상부 반도체 패키지(1000)는 도 1의 반도체 패키지(1000)와 동일할 수 있다. 그에 따라, 상부 반도체 패키지(1000)의 각 구성부분에 대한 설명은 생략하거나 간략하게 기술한다.
- [0179] 메인 칩(2000)은 상부 반도체 패키지(1000) 내에 포함된 제1 및 제2 칩(100, 200) 보다는 사이즈가 더 클 수 있다. 예컨대, 메인 칩(2000)의 수평 단면의 사이즈는 상부 반도체 패키지(1000)의 전체 수평 단면 사이즈, 즉 밀봉재(300)를 포함한 수평 단면의 사이즈와 동일할 수 있다. 한편, 상부 반도체 패키지(1000)는 접착 부재(2400)를 통해 메인 칩(2000)에 실장될 수 있다. 그에 따라, 상부 반도체 패키지(1000)의 밀봉재(300) 및 언더필(310)의 하면은 메인 칩(2000)의 외곽 부분에 접착 부재(2400)를 통해 접착될 수 있다.
- [0180] 메인 칩(2000)은 메모리 칩과 유사하게, 바디층(2100), 하부 절연층(2200), 패시베이션층(2300), TSV(2500), 제3 연결 부재(2600), 보호층(2750) 및 상부 패드(2700)를 포함할 수 있다. 하부 절연층(2200) 및 패시베이션층(2300) 내의 집적 회로층, 다층 배선 패턴은 메인 칩의 종류에 따라 다르게 형성될 수 있다. 메인 칩(2000)은 로직 칩, 예컨대, 중앙처리장치(central processing unit, CPU), 컨트롤러(controller), 또는 주문형 반도체(application specific integrated circuit, ASIC) 등일 수 있다.
- [0181] 한편, TSV(2500) 및 그에 대응하는 상부 패드(2700)의 개수는 메인 칩(2000)으로 적층되는 상부 반도체 패키지(1000)의 제1 칩(100)의 제1 연결 부재(140)에 대응하는 개수로 형성될 수 있다. 경우에, 다른 개수 예컨대, 제1 연결 부재(140)보다 많은 개수의 TSV(2500)가 형성될 수 있다.
- [0182] 메인 칩(2000)의 하면에 형성되는 제3 연결 부재(2600)는 범프 패드(2610) 및 범프(2620)를 포함할 수 있고, 개수가 TSV(2500)보다 작을 수 있다. 그에 따라, 대응되는 제3 연결 부재(2600)가 없는 TSV(2500)의 경우는 다층 배선 패턴을 통해 하나의 제3 연결 부재(2600)에 합쳐 연결될 수 있다.
- [0183] 한편, 메인 칩(2000)에 형성된 제3 연결 부재(2600)는 상부 반도체 패키지(1000)의 제1 연결 부재(140)보다는 사이즈가 크다. 이는 메인 칩(2000)이 실장되는, 보드 기판(미도시)에 형성된 배선이 규격화되어 있거나 보드 기판의 물질적 특성(예를 들어, 플라스틱)을 이유로 하여 조밀화하기 어려운 한계가 있기 때문이다. 이런 이유로, 앞서 TSV(2500)의 모두가 제3 연결 부재(2600) 각각으로 대응되지 않을 수 있다.
- [0184] 도 18의 실시예에 따른 반도체 패키지(10000a)는 상부 반도체 패키지 부분을 제외하고 도 17의 반도체 패키지

(10000)와 유사한 구조를 가질 수 있다. 그에 따라, 설명의 편의를 위해 도 17의 설명 부분에서 기술한 부분은 생략하거나 간략히 기술한다.

- [0185] 도 18을 참조하면, 본 실시예에의 반도체 패키지(10000a)에서, 상부 반도체 패키지(1000a)는 도 2의 반도체 패키지(1000a)와 동일할 수 있다. 그에 따라, 상부 반도체 패키지(1000a)의 제1 칩(100)과 제2 칩(200)의 연결 부분은 접착 부재(320) 예컨대, NCF로 채워질 수 있다.
- [0186] 도 19의 실시예에 따른 반도체 패키지(10000b)는 상부 반도체 패키지와 메인 칩의 연결 부분을 제외하고 도 18의 반도체 패키지(10000)와 유사한 구조를 가질 수 있다. 그에 따라, 설명의 편의를 위해 도 18의 설명 부분에서 기술한 부분은 생략하거나 간략히 기술한다.
- [0187] 도 19를 참조하면, 본 실시예에의 반도체 패키지(10000b)에서, 상부 반도체 패키지(1000)와 메인 칩(2000)의 연결 부분은 언더필(2800)이 채워질 수 있다. 한편, 언더필을 이용하는 경우 상부 반도체 패키지(1000)는 메인 칩(2000)에 열 압착 방법, 예컨대, 제1 칩(100)의 제1 연결 부재(140)를 메인 칩(2000)의 상부 패드(2700)에 열 압착 방법으로 적층함으로써, 실장될 수 있다.
- [0188] 도 20 및 21은 본 발명의 일부 실시예들에 따른 CoC 구조의 반도체 패키지에 대한 단면도들이다.
- [0189] 도 20을 참조하면, 본 실시예의 반도체 패키지(20000)는 보드 기판(3000), 메인 칩(2000), 상부 반도체 패키지(1000), 언더필(4000) 및 제2 밀봉재(5000)를 포함할 수 있다.
- [0190] 상부 반도체 패키지(1000)와 메인 칩(2000)은 도 17에서 설명한 구조와 동일할 수 있다. 따라서, 상부 반도체 패키지(1000)와 메인 칩(2000)의 구성요소들에 대한 구체적인 설명은 생략한다. 상부 반도체 패키지(1000)와 메인 칩(2000)은 제3 연결 부재(2600)를 통해 보드 기판(3000)에 실장될 수 있다.
- [0191] 보드 기판(3000)은 바디층(3100), 상부 보호층(3200), 하부 보호층(3300), 상부 패드(3400) 및 제4 연결 부재(3500)를 포함할 수 있다. 바디층(3100)에는 다수의 배선 패턴이 형성될 수 있다. 상부 보호층(3200) 및 하부 보호층(3300)은 바디층(3100)을 보호하는 기능을 하는데, 예컨대, 솔더 레지스트일 수 있다. 이러한 보드 기판(3000)은 전술한 바와 같이 규격화되어 있고, 또한 그 사이즈 축소에 한계가 있다. 따라서, 보드 기판(3000)에 대해서는 더 이상의 설명은 생략한다.
- [0192] 제2 밀봉재(5000)는 상부 반도체 패키지(1000)와 메인 칩(2000)의 측면과 상면을 밀봉하고, 하면은 보드 기판(3000)의 외곽 부분에 접촉될 수 있다. 한편, 언더필(4000)은 메인 칩(2000)과 보드 기판(3000)의 연결부분을 채운다. 본 실시예에서 언더필(4000)이 메인 칩(2000)과 보드 기판(3000)의 연결부분에 형성되었으나, MUF 공정을 통해 제2 밀봉재(5000)가 형성되는 경우에 언더필(4000)은 생략될 수 있다.
- [0193] 도 21의 실시예에 따른 반도체 패키지(30000)는 메인 칩 부분을 제외하고 도 20의 반도체 패키지(20000)와 유사한 구조를 가질 수 있다. 그에 따라, 설명의 편의를 위해 도 20의 설명 부분에서 기술한 부분은 생략하거나 간략히 기술한다.
- [0194] 도 21을 참조하면, 본 실시예의 반도체 패키지(30000)는 메인 칩 대신에 인터포저(6000, interposer)를 포함할 수 있다. 그에 따라, 상부 반도체 패키지(1000)가 인터포저(6000)에 실장되고, 다시 인터포저(6000)가 보드 기판(3000)에 실장될 수 있다.
- [0195] 인터포저(6000)는 바디층(6100), TSV(6200), 상부 패드(6300), 상부 절연층(6400), 배선층(65000), 배선 패드(6600) 및 제3 연결 부재(6700)를 포함할 수 있다. 이러한 인터포저(6000)는 미세화되는 상부 반도체 패키지(1000)를 보드 기판(3000)에 실장할 수 있도록 하는 매개체 기능을 한다.
- [0196] 바디층(6100)은 단순히 지지 기판과 같은 부분으로서, 예컨대, 실리콘, 유리(glass), 세라믹(ceramic), 또는 플라스틱(plastic) 등으로 형성될 수 있다. TSV(6200)는 바디층(6100)을 관통하여 형성되며, 각 단부는 상부 패드(6300)와 제3 연결 부재(6700)에 연결될 수 있다. 제3 연결 부재(6700)는 범프 패드(6710) 및 범프(6720)를 포함할 수 있다.
- [0197] 상부 절연층(6400)은 바디층(6100) 및 상부 패드(6300) 상으로 형성되며, 절연물질, 예컨대 산화물 또는 질화물

로 형성될 수 있다.

- [0198] 배선층(6500)은 상부 절연층(6400) 내에 형성되며, 상부 패드(6300)를 배선 패드(6600)에 전기적으로 연결하는 기능을 한다. 배선층(6500)의 구조에 대해서는 도 22에서 좀더 상세히 기술한다.
- [0199] 배선 패드(6600)는 상부 절연층(6400) 상에 형성되며, 제1 칩의 제1 연결 부재(140)에 대응하는 개수로 형성될 수 있다. 한편, TSV(6200), 및 상부 패드(6300), 및 제3 연결 부재(6700)들 사이의 간격은 배선 패드(6600) 보다 클 수 있다. 이는 앞서 도 17의 메인 칩에 설명한 바와 같이 하부의 보드 기판(3000) 규격화되어 그에 맞추어 TSV(6200), 및 상부 패드(6300), 및 제3 연결 부재(6700)가 형성되기 때문이다. 상부 패드(6300)와 배선 패드(6600)의 간격 불균형은 배선층(6500)을 통해 해결될 수 있다.
- [0200] 도 22는 도 21의 반도체 패키지에서 점선의 타원(A) 표시된 인터포저 부분을 확대하여 보여주는 단면도이다.
- [0201] 도 22를 참조하면, 상부 절연층(6400)은 내부에 배선층(6500)을 포함할 수 있다. 상부 패드(6300)는 TSV(6200)와 전기적으로 및/또는 물리적으로 연결될 수 있다. 또한, 배선 패드(6600)는 제1 칩(100)의 제1 연결 부재(140)와 전기적으로 및/또는 물리적으로 연결될 수 있다. 배선층(6500)은 배선 패드(6600)와 상부 패드(6300)를 전기적으로 연결할 수 있다.
- [0202] 배선 패드(6600)는 상부 패드(6300)에 비하여 밀집되어 배치될 수 있다. 예컨대, 배선 패드(6600)의 간격(d1)은 상부 패드(6300)의 간격(d2)에 비하여 작을 수 있고, 또한 배선 패드(6600)의 간격(d1)은 TSV(6200)의 간격(d3)에 비하여 작을 수 있다. 이러한 경우에는 배선층(6500)은 재배선 패턴으로 기능할 수 있다.
- [0203] 또한, 배선 패드(6600)는 상부 패드(6300)에 비하여 작은 크기를 가질 수 있다. 배선 패드(6600)와 상부 패드(6300)는 도전성 물질을 포함할 수 있고, 예컨대, 알루미늄이나 구리 등으로 형성될 수 있다.
- [0204] TSV(6200)은 앞서 제1 칩 등에서 설명한 바와 같이 장벽 금속층(6220) 및 배선 금속층(6210)을 포함할 수 있다. 한편, TSV(6200)과 바디층(6100) 사이에는 스페이서 절연층(6230)이 개재될 수 있다.
- [0205] 도 23은 본 발명의 일부 실시예에 따른 CoC 구조의 반도체 패키지에 대한 단면도이다.
- [0206] 도 23을 참조하면, 본 실시예에의 반도체 패키지(40000)는 도 21과 유사하나 인터포저(6000) 상에 2개의 상부 반도체 패키지(1000)가 실장될 수 있다. 전술한 바와 같이 인터포저(6000)는 상부 반도체 패키지(1000)를 보드 기판(3000)에 실장할 수 있도록 매개체 기능을 한다.
- [0207] 본 실시예에서는 2개의 상부 반도체 패키지(1000)가 실장되었으나, 상부 반도체 패키지의 사이즈 축소에 따라 2개 이상의 상부 반도체 패키지(1000)가 인터포저(6000) 상으로 실장될 수 있다.
- [0208] 도 24는 본 발명의 일부 실시예에 따른 반도체 패키지를 포함하는 메모리 카드(7000)를 개략적으로 보여주는 블록 구성도이다.
- [0209] 도 24를 참조하면, 메모리 카드(7000) 내에서 제어기(7100)와 메모리(7200)는 전기적인 신호를 교환하도록 배치될 수 있다. 예를 들어, 제어기(7100)에서 명령을 내리면, 메모리(7200)는 데이터를 전송할 수 있다. 제어기(7100) 및/또는 메모리(7200)는 본 발명의 실시예들 중 어느 하나에 따른 반도체 패키지를 포함할 수 있다. 메모리(7200)는 메모리 어레이(미도시) 또는 메모리 어레이 뱅크(미도시)를 포함할 수 있다.
- [0210] 이러한 카드(7000)는 다양한 종류의 카드, 예를 들어 메모리 스틱 카드(memory stick card), 스마트 미디어 카드(smart media card; SM), 씨큐어 디지털 카드(secure digital; SD), 미니 씨큐어 디지털 카드(mini secure digital card; mini SD), 또는 멀티 미디어 카드(multi media card; MMC)와 같은 메모리 장치에 이용될 수 있다.
- [0211] 도 25는 본 발명의 일부 실시예에 따른 반도체 패키지를 포함하는 전자시스템(8000)을 개략적으로 보여주는 블록 구성도이다.
- [0212] 도 25를 참조하면, 전자시스템(8000)은 제어기(8100), 입/출력 장치(8200), 메모리(8300) 및 인터페이스(840

0)를 포함할 수 있다. 전자시스템(8000)은 모바일 시스템 또는 정보를 전송하거나 전송받는 시스템일 수 있다. 상기 모바일 시스템은 PDA, 휴대용 컴퓨터(portable computer), 웹 태블릿(web tablet), 무선 폰(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player) 또는 메모리 카드(memory card)일 수 있다.

[0213] 제어기(8100)는 프로그램을 실행하고, 전자시스템(8000)을 제어하는 역할을 할 수 있다. 제어기(8100)는, 예를 들어 마이크로프로세서(microprocessor), 디지털 신호 처리기(digital signal processor), 마이크로컨트롤러(microcontroller) 또는 이와 유사한 장치일 수 있다. 입/출력 장치(8200)는 전자시스템(8000)의 데이터를 입력 또는 출력하는데 이용될 수 있다.

[0214] 전자시스템(8000)은 입/출력 장치(8200)를 이용하여 외부 장치, 예컨대 개인용 컴퓨터 또는 네트워크에 연결되어, 외부 장치와 서로 데이터를 교환할 수 있다. 입/출력 장치(8200)는, 예를 들어 키패드(keypad), 키보드(keyboard) 또는 표시장치(display)일 수 있다. 메모리(8300)는 제어기(8100)의 동작을 위한 코드 및/또는 데이터를 저장하거나, 및/또는 제어기(8100)에서 처리된 데이터를 저장할 수 있다. 제어기(8100) 및 메모리(8300)는 본 발명의 실시예들 중 어느 하나에 따른 반도체 패키지를 포함할 수 있다. 인터페이스(8400)는 상기 시스템(8000)과 외부의 다른 장치 사이의 데이터 전송통로일 수 있다. 제어기(8100), 입/출력 장치(8200), 메모리(8300) 및 인터페이스(8400)는 버스(8500)를 통하여 서로 통신할 수 있다.

[0215] 예를 들어, 이러한 전자시스템(8000)은 모바일 폰(mobile phone), MP3 플레이어, 네비게이션(navigation), 휴대용 멀티미디어 재생기(portable multimedia player, PMP), 고상 디스크(solid state disk; SSD) 또는 가전제품(household appliances)에 이용될 수 있다.

[0216] 도 26은 본 발명의 일부 실시예들에 따른 반도체 패키지가 응용될 수 있는 전자 장치를 보여주는 사시도이다.

[0217] 도 26을 도 25의 전자 시스템(8000)이 모바일 폰(9000)에 적용되는 예를 보여주고 있다. 그밖에, 전자시스템(8000)은 휴대용 노트북, MP3 플레이어, 네비게이션(Navigation), 고상 디스크(Solid state disk; SSD), 자동차 또는 가전제품(Household appliances)에 적용될 수 있다.

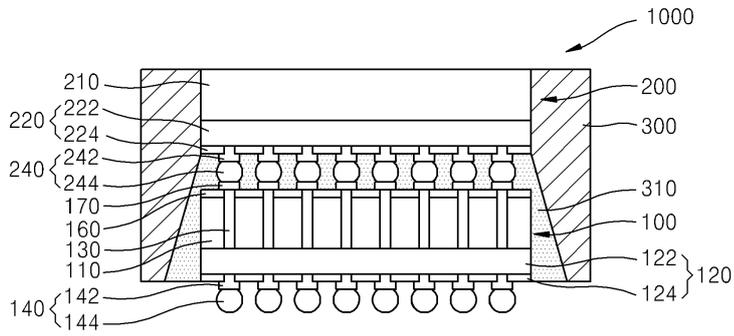
[0218] 지금까지, 본 발명을 도면에 도시된 실시예를 참고로 설명하였으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형, 치환 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

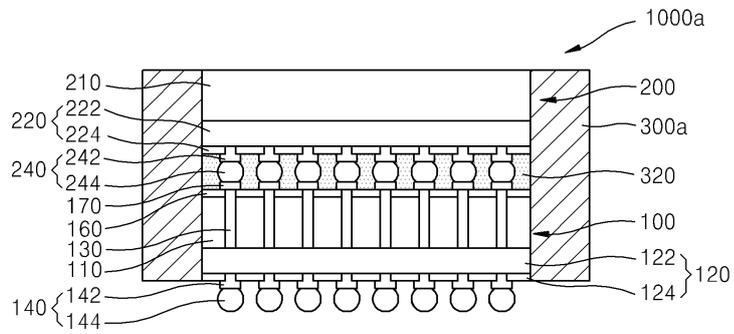
[0219] 10: 기저 웨이퍼, 100: 제1 칩, 110, 210, 2100: 바디층, 102: 반도체 기판, 104: 층간 절연층, 120, 220, 520, 620, 2200: 하부 절연층, 122, 222, 522, 622: 금속간 절연층, 124, 224, 524, 624, 2300: 패시메이션층, 130, 230, 530, 630: TSV, 132: 장벽 금속층, 134: 배선 금속층, 135: 스페이서 절연층, 140: 제1 연결 부재, 142, 242: 범프 패드, 144, 244: 범프, 150: 집적 회로층, 152: 메탈 콘택, 160: 보호층, 170, 270, 2700: 상부 패드, 180: 다층 배선 패턴, 200: 제2 칩, 240: 제2 연결 부재, 300: 밀봉재, 310: 언더필, 320: 접착 부재, 500: 제3 칩, 600: 제4 칩, 700, 800, 950: 지지 기판, 720, 820, 920, 952: 접착 부재, 900: 지지 캐리어, 1000 ~ 1000i, 1000s, 10000, 20000, 30000, 40000: 반도체 패키지, 1100: 적층 칩, 1200: 반도체 패키지 복합체 1500: 프로브 카드, 1510: 단자 핀, 1520: 몸체부, 2000: 메인 칩, 2600, 6700: 제3 연결 부재, 3000: 보드 기판, 3100: 바디층, 3200: 상부 보호층, 3300: 하부 보호층, 3400: 상부 패드, 3500: 제4 연결 부재, 6000: 인터포저, 6100: 바디층, 6200: TSV, 6300: 상부 패드, 6400: 상부 절연층, 6500: 배선층, 6600: 배선 패드

도면

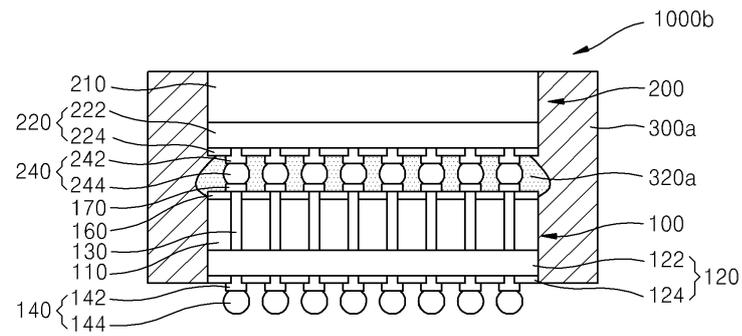
도면1



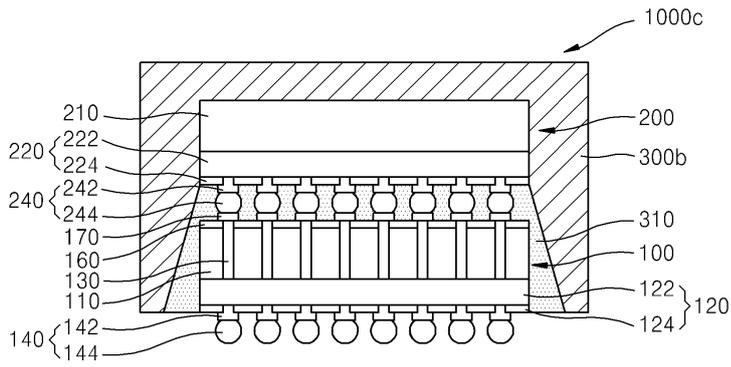
도면2



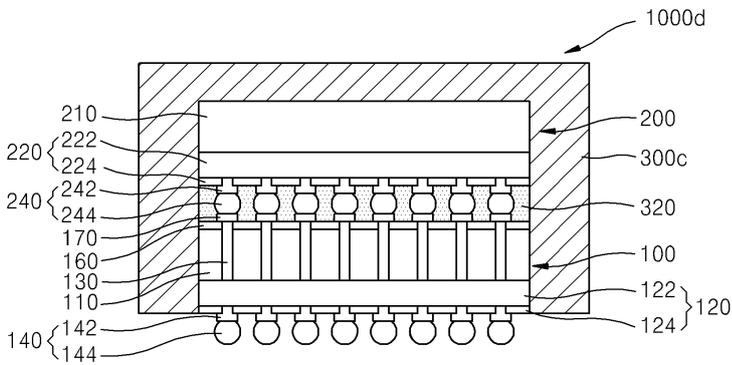
도면2a



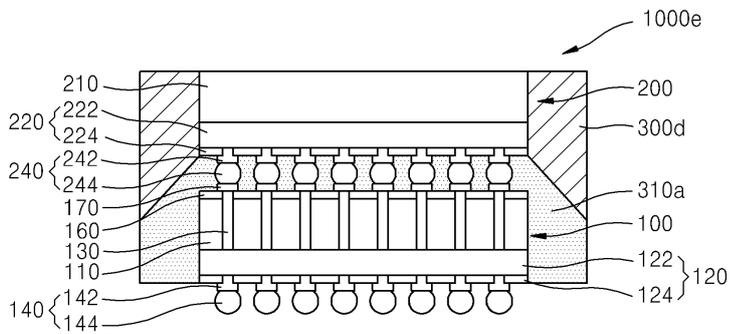
도면3



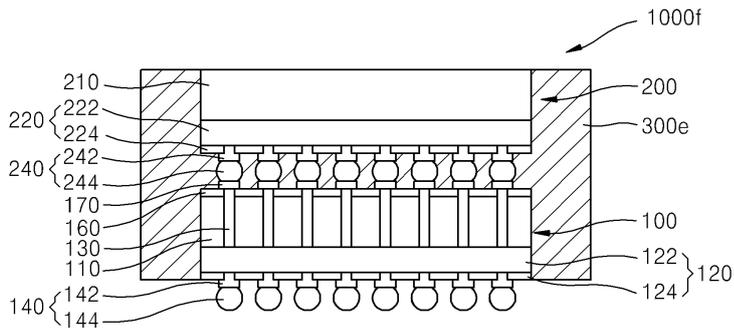
도면4



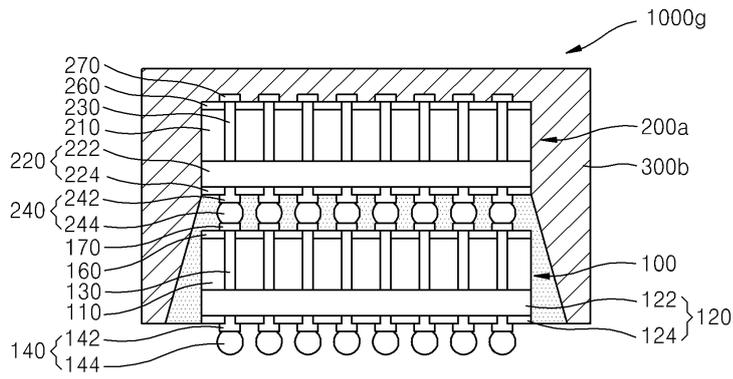
도면5



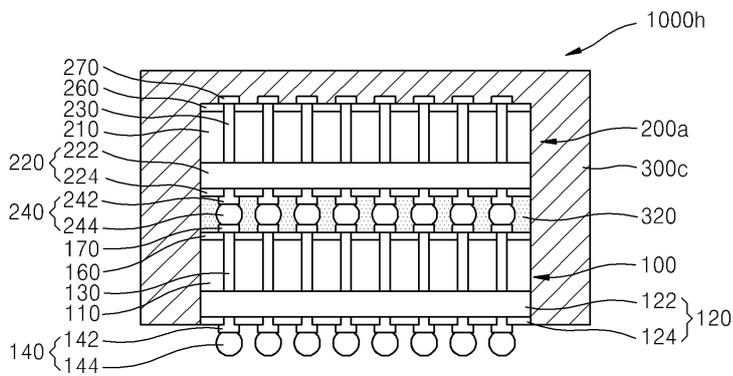
도면6



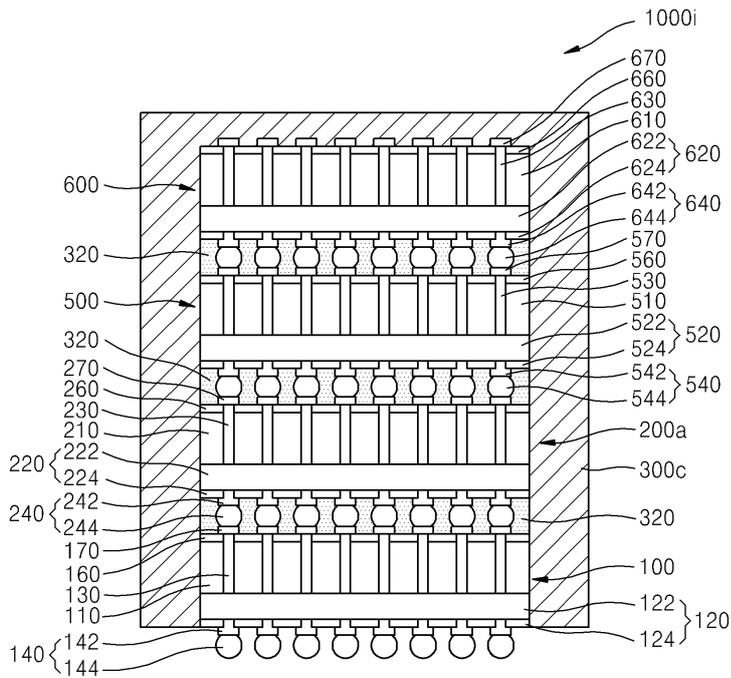
도면7



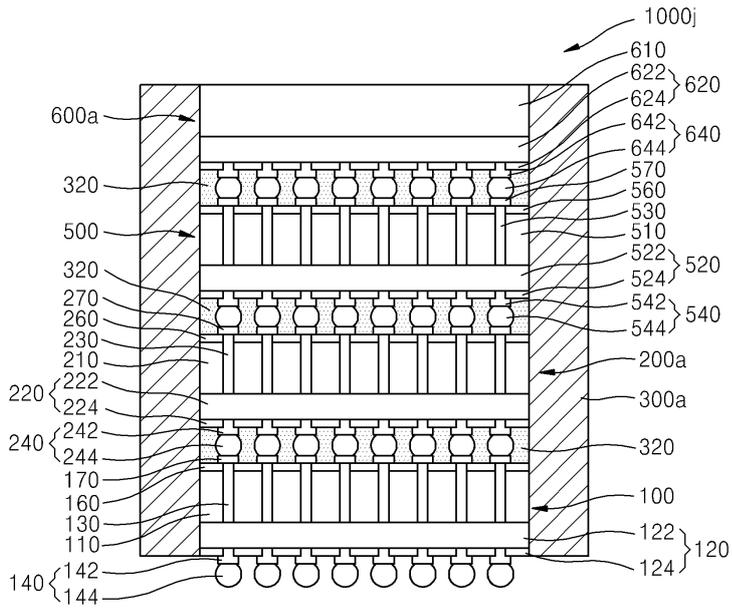
도면8



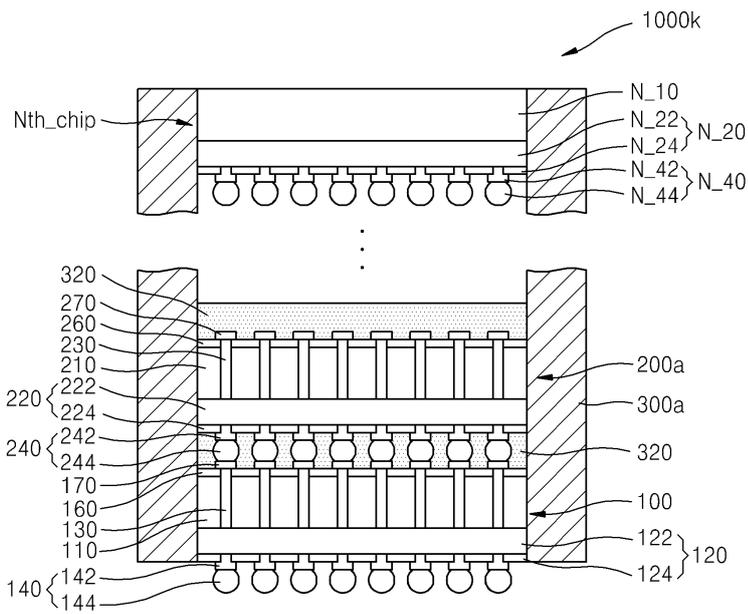
도면9



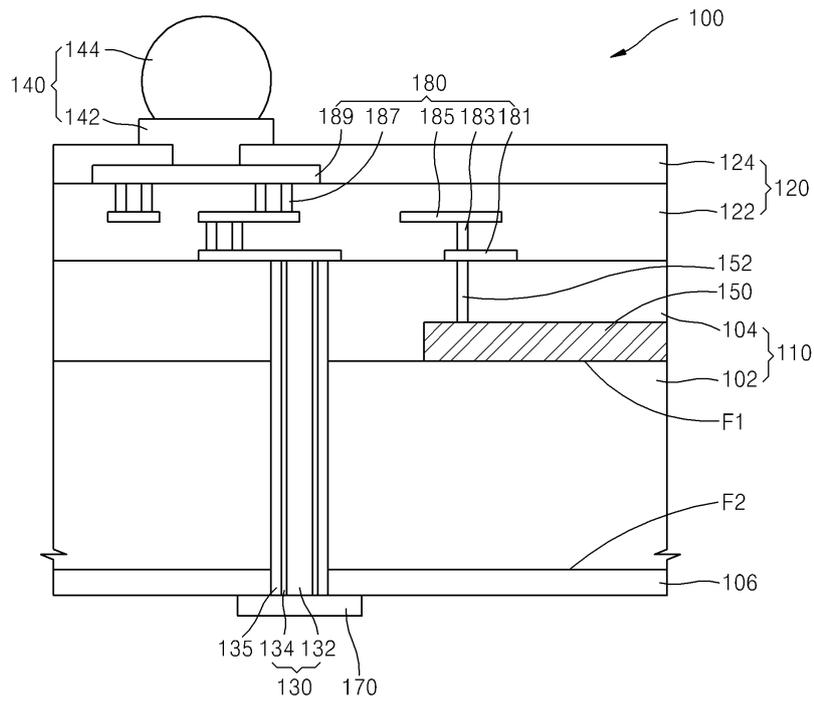
도면10



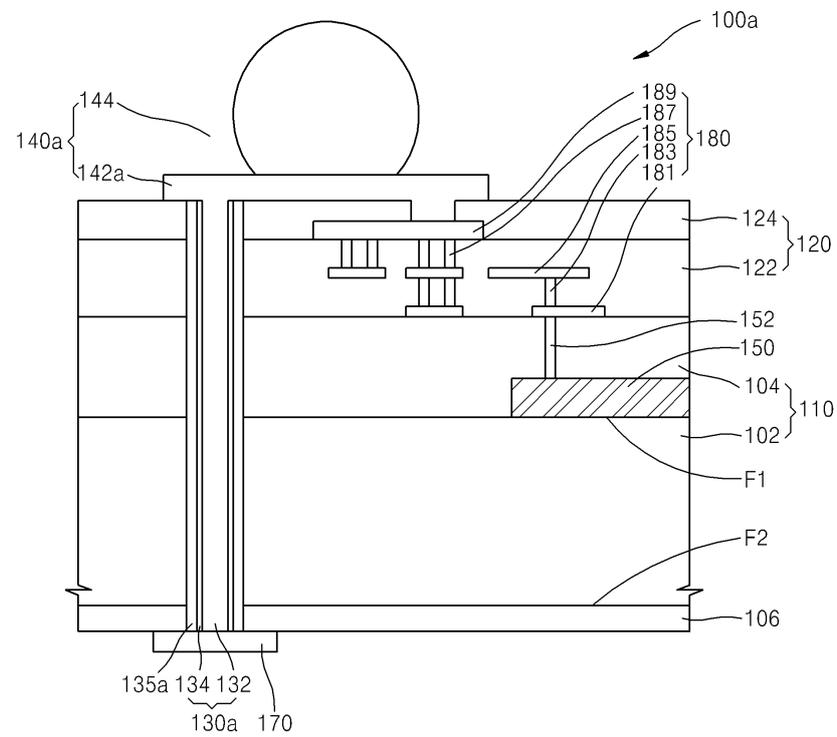
도면11



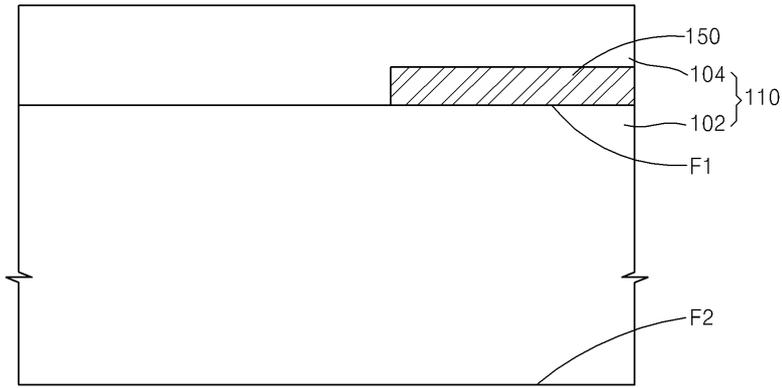
도면12a



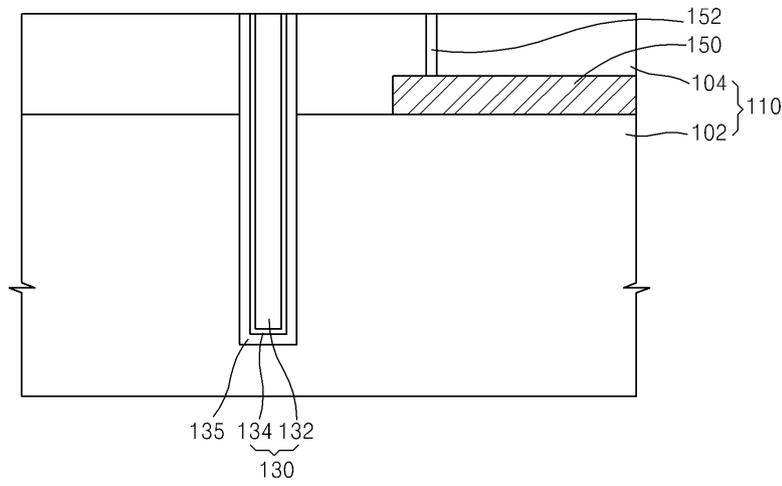
도면12b



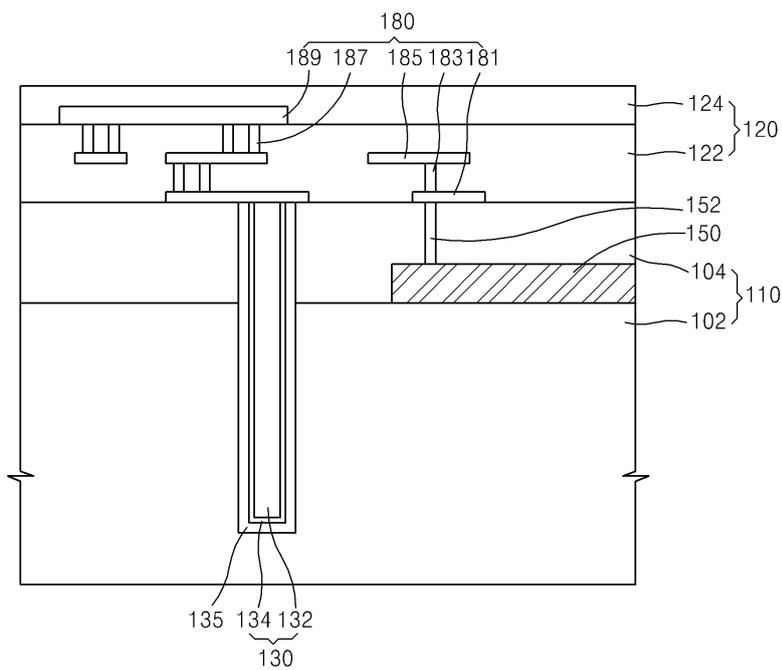
도면13a



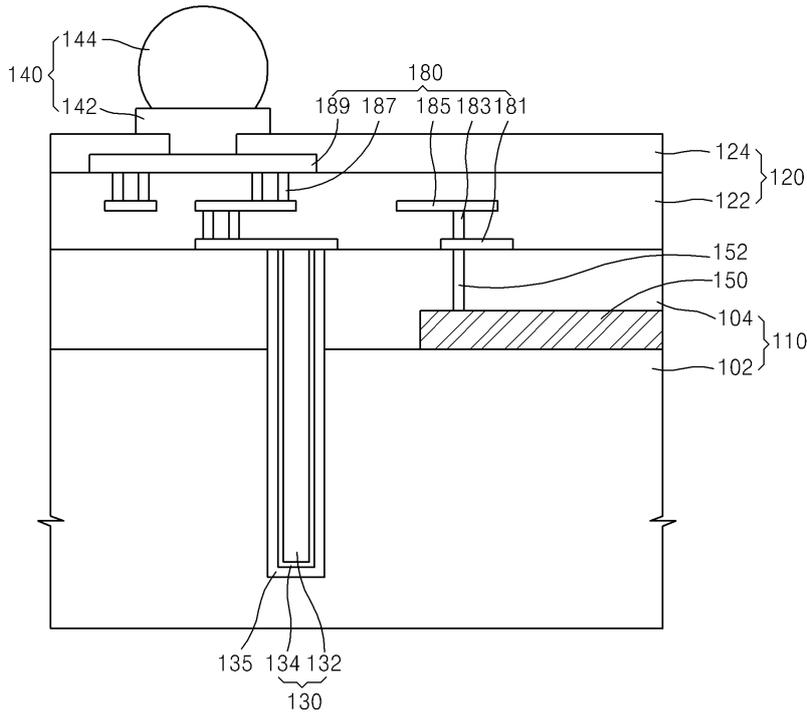
도면13b



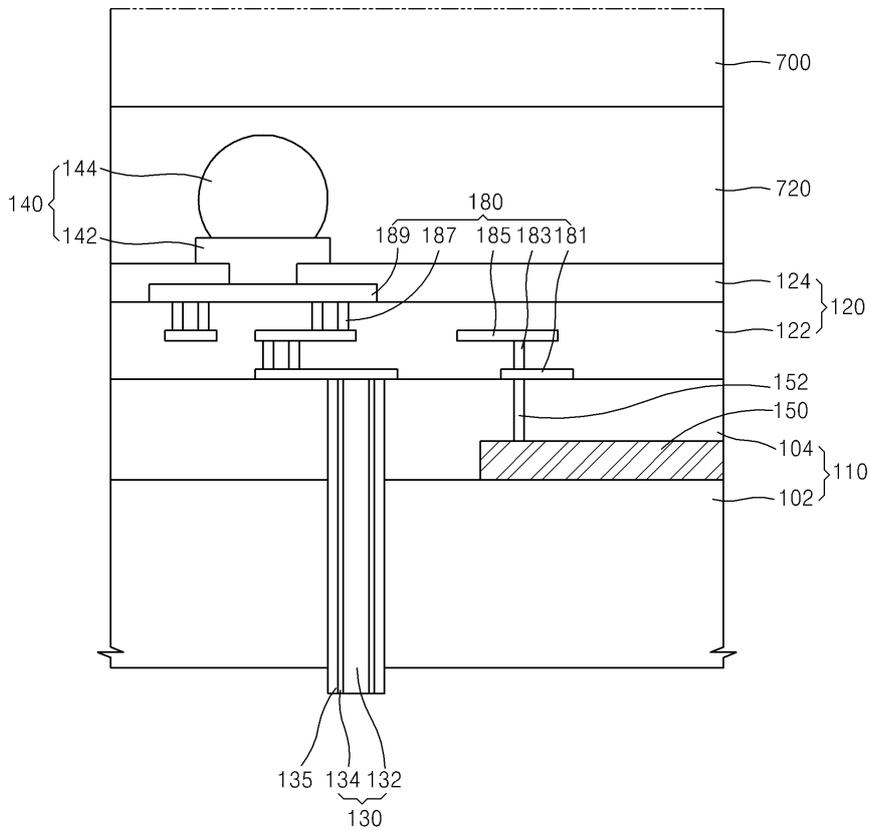
도면13c



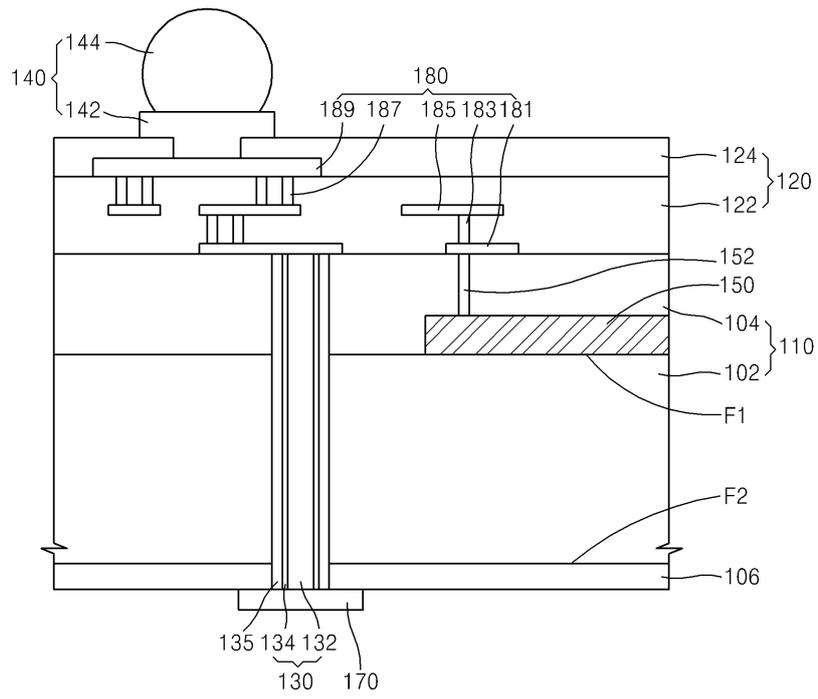
도면13d



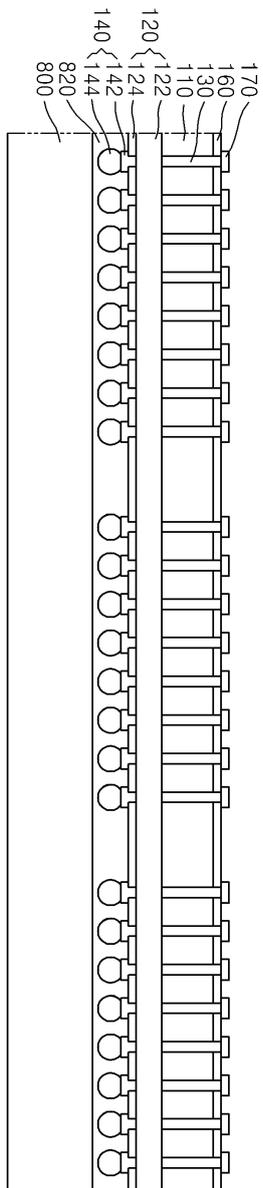
도면13e



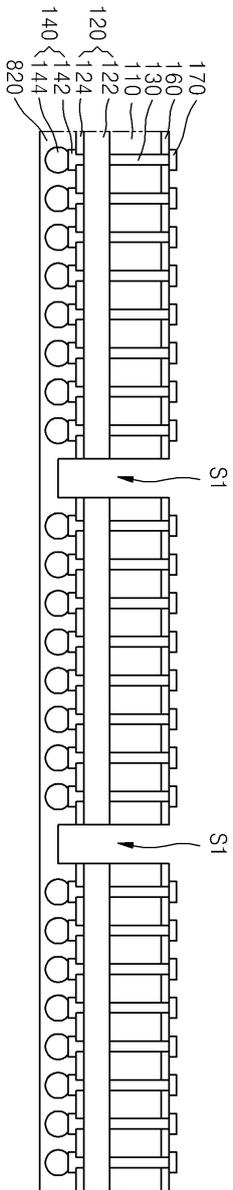
도면13f



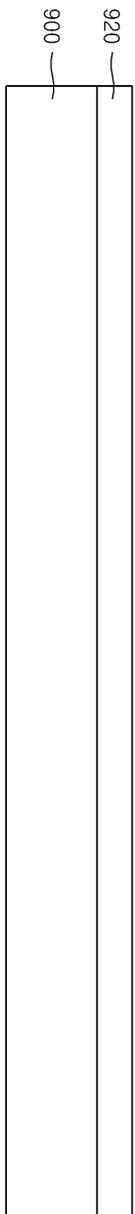
도면14a



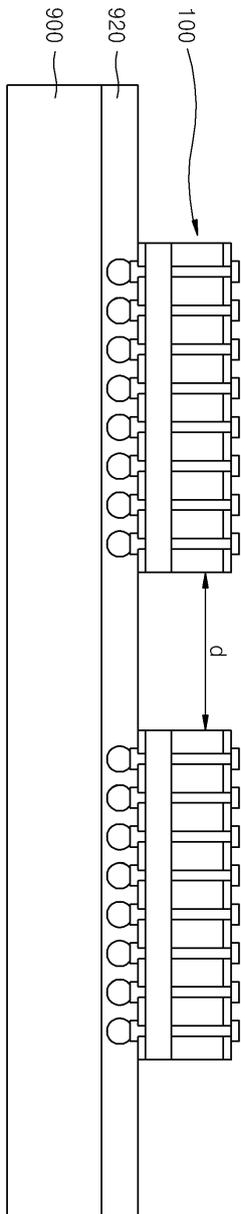
도면14b



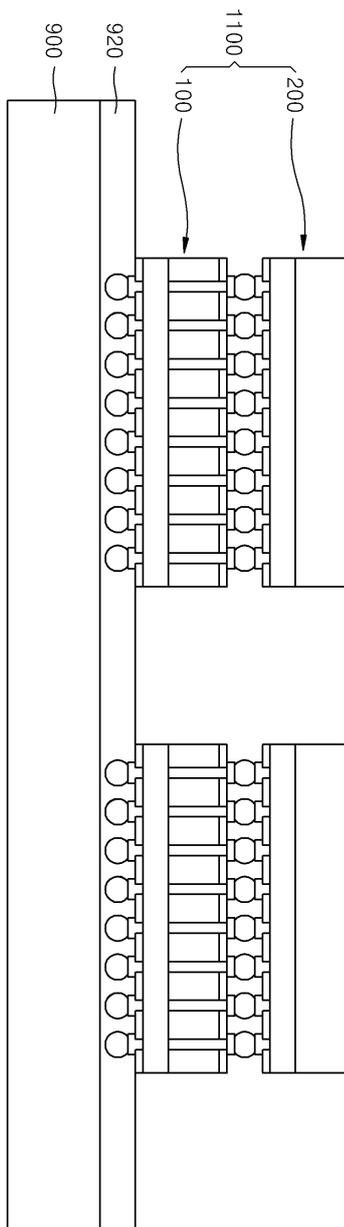
도면14c



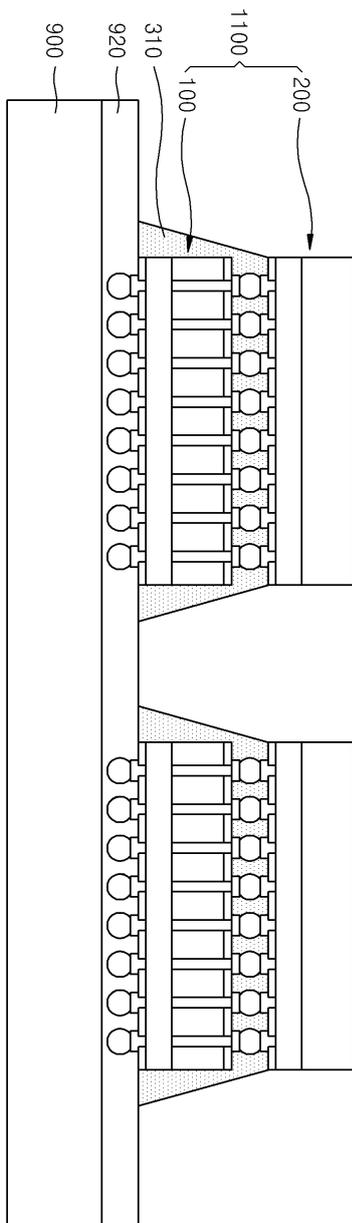
도면14d



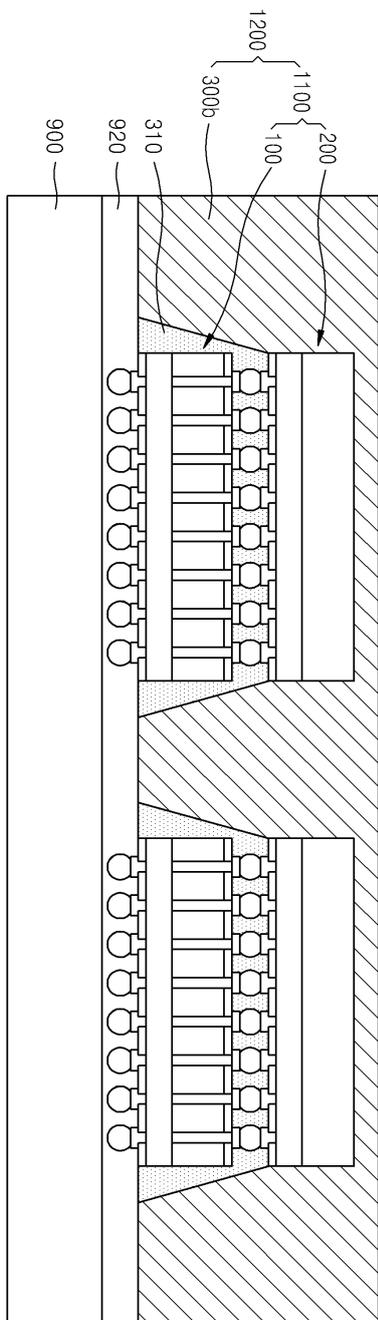
도면14e



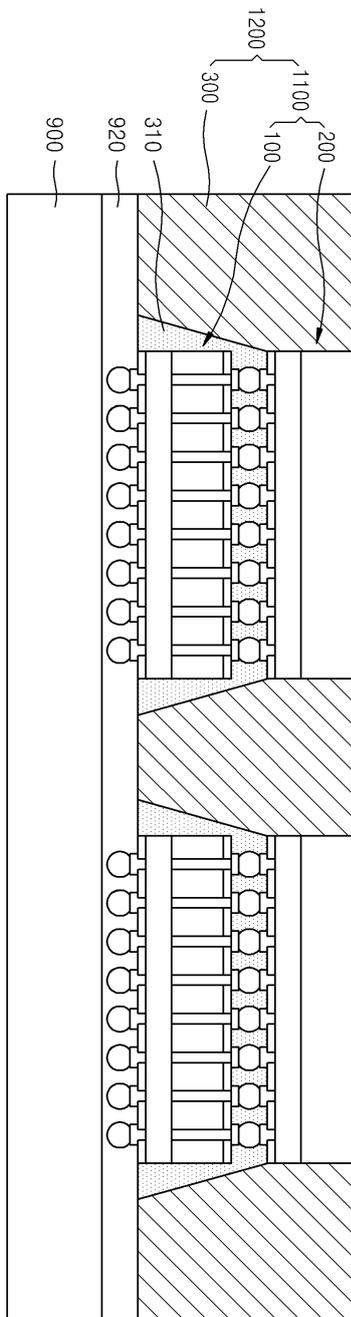
도면14f



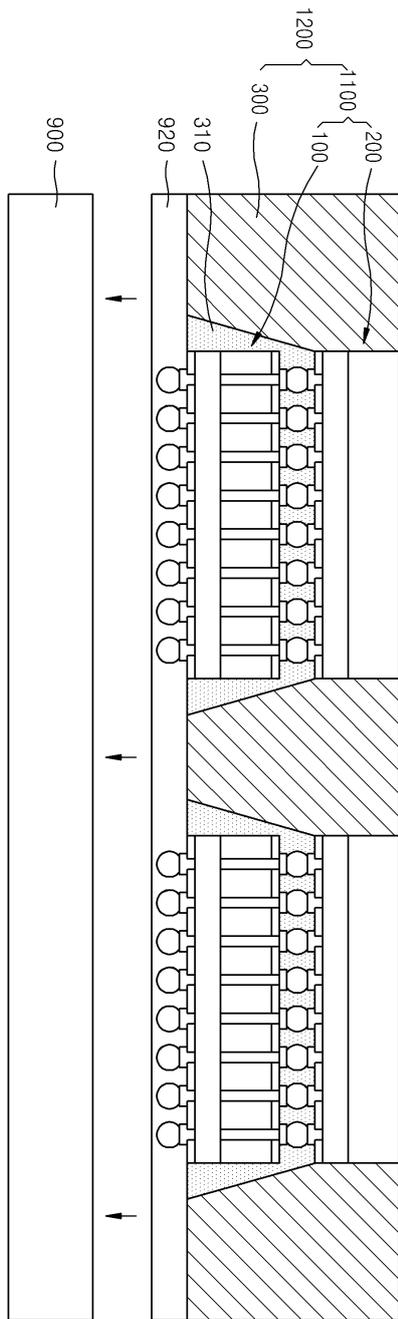
도면14g



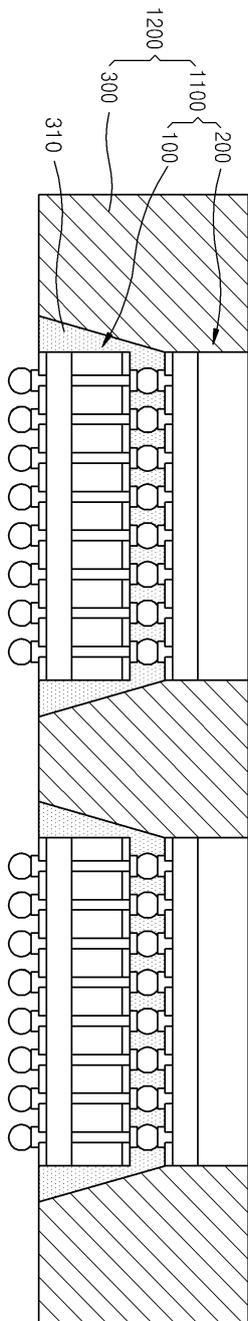
도면14h



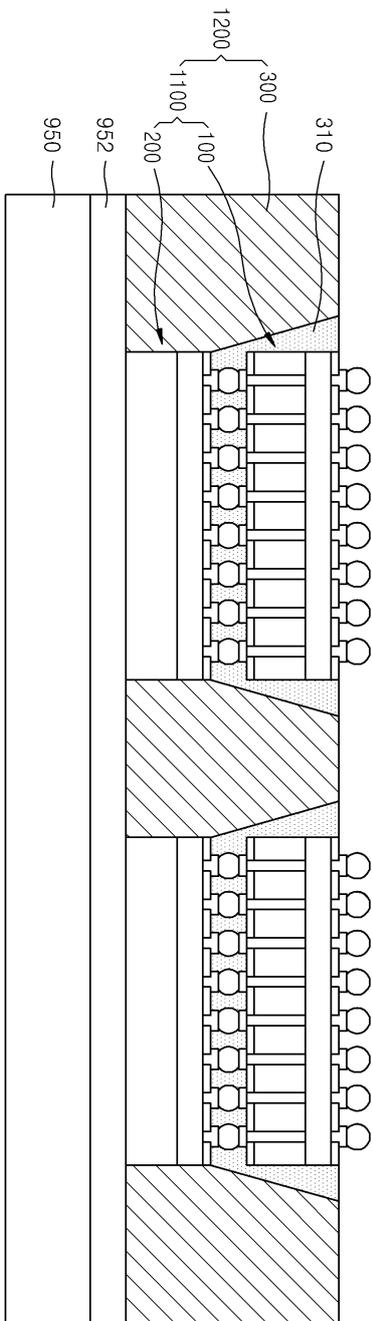
도면14i



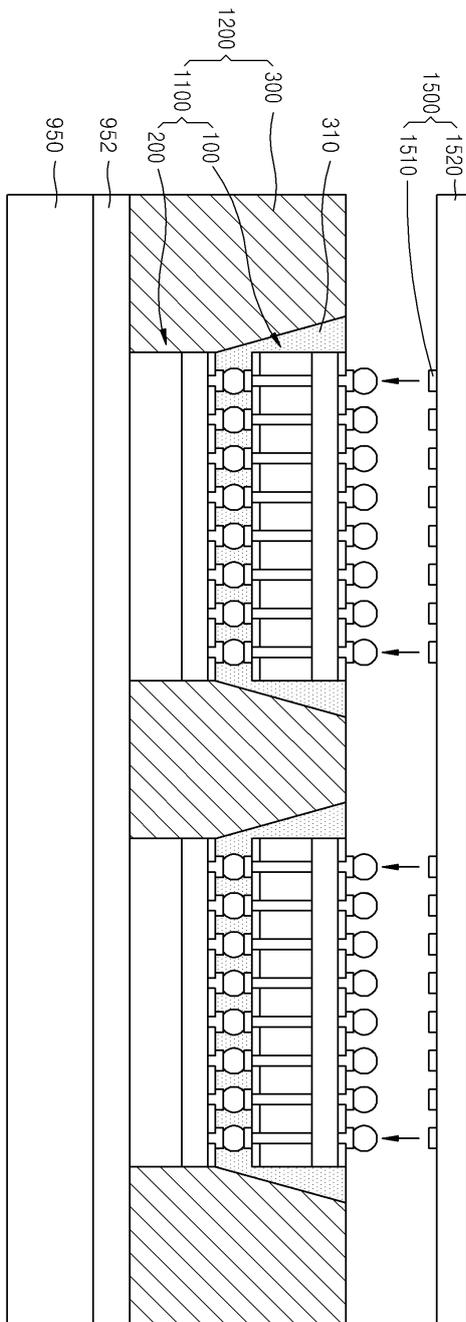
도면14j



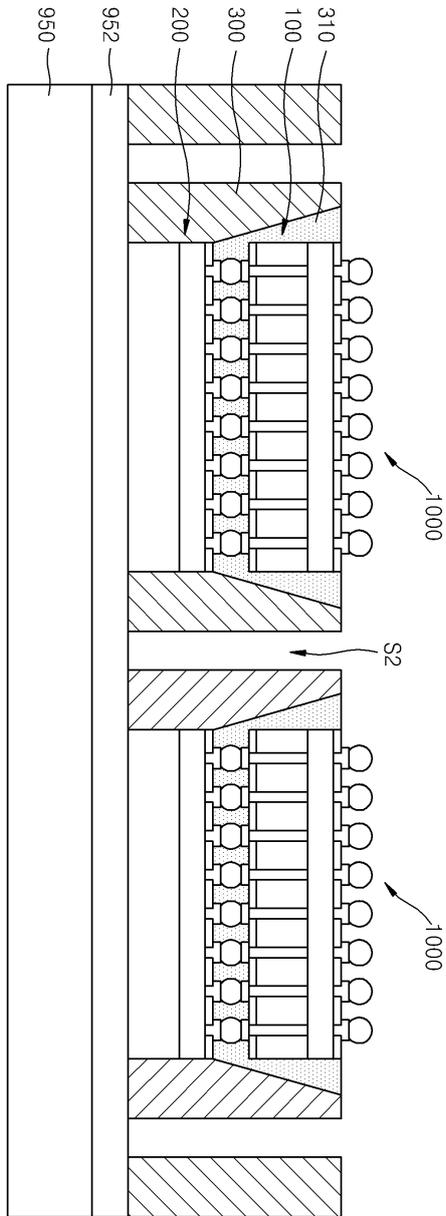
도면14k



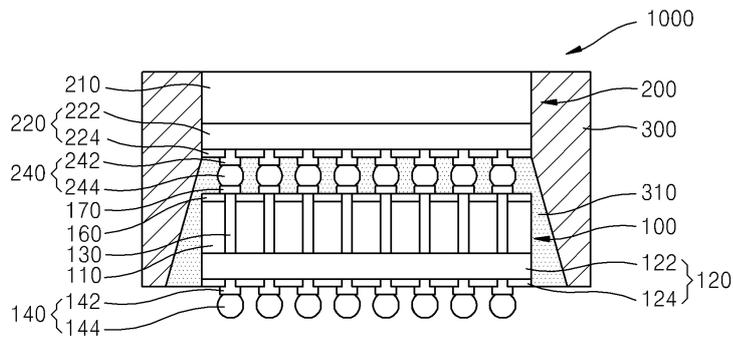
도면141



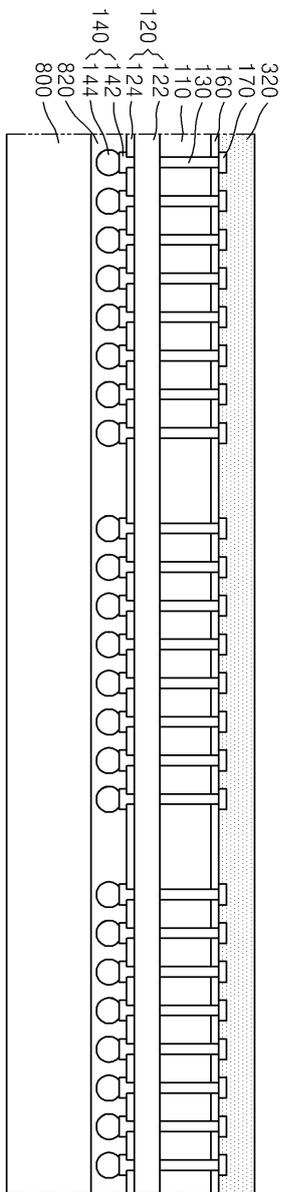
도면14m



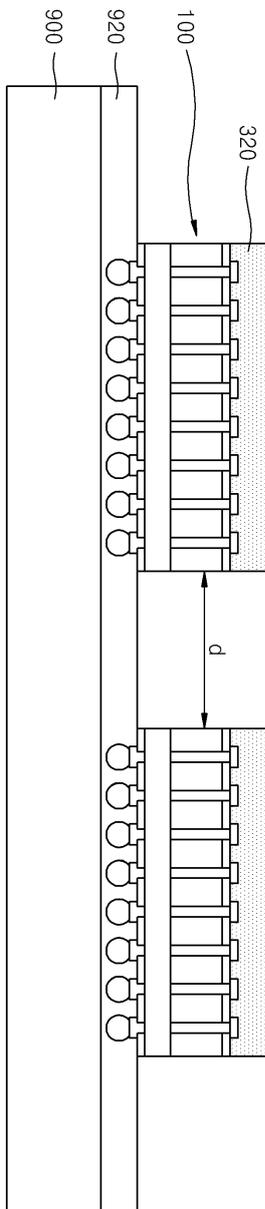
도면14n



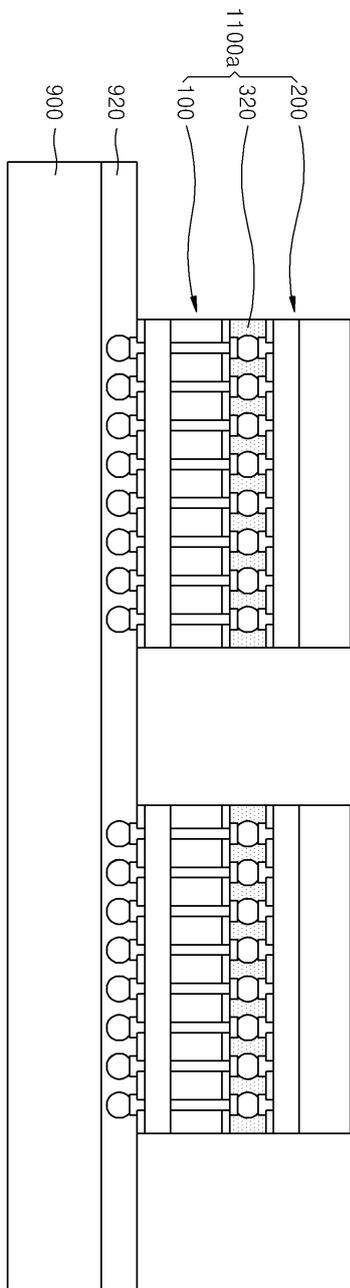
도면15a



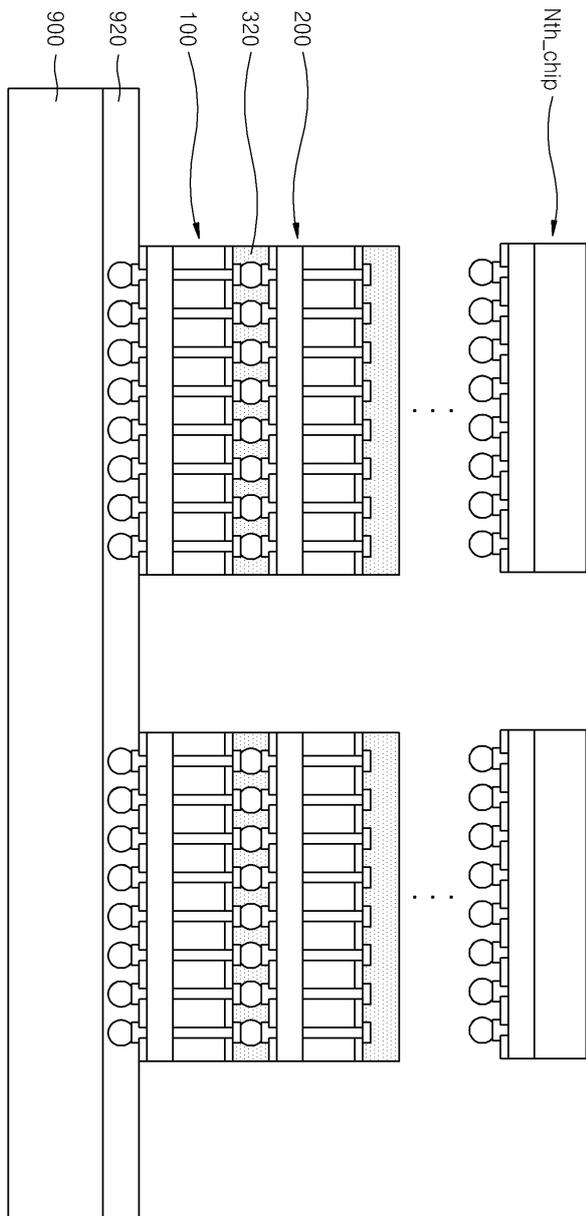
도면15b



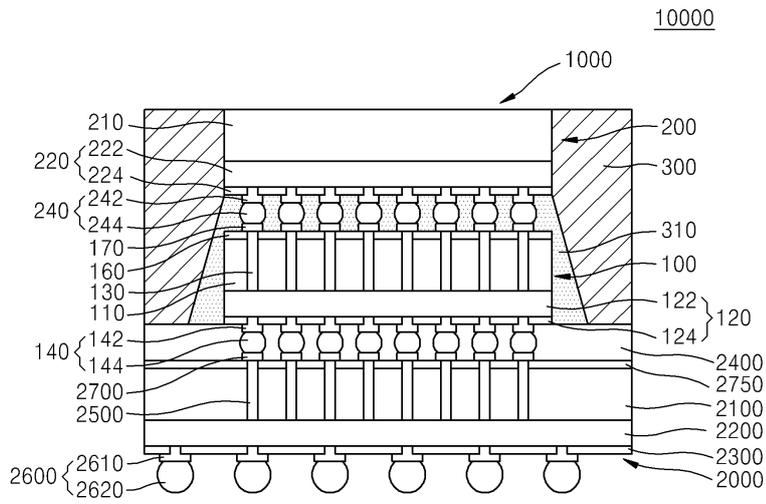
도면15c



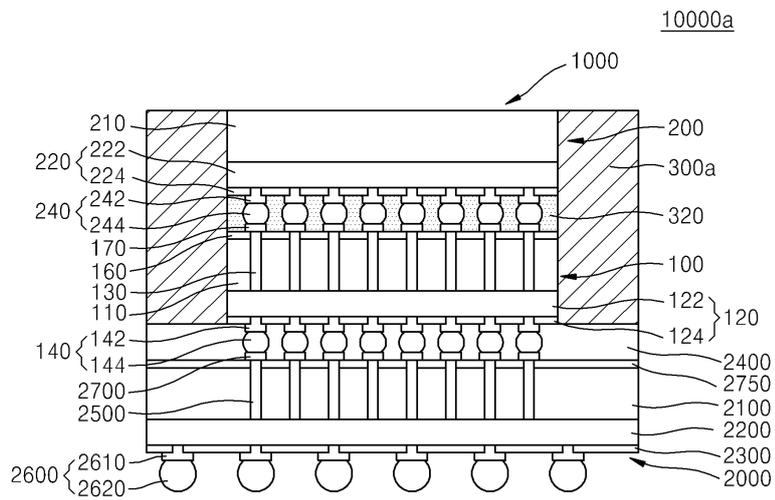
도면16



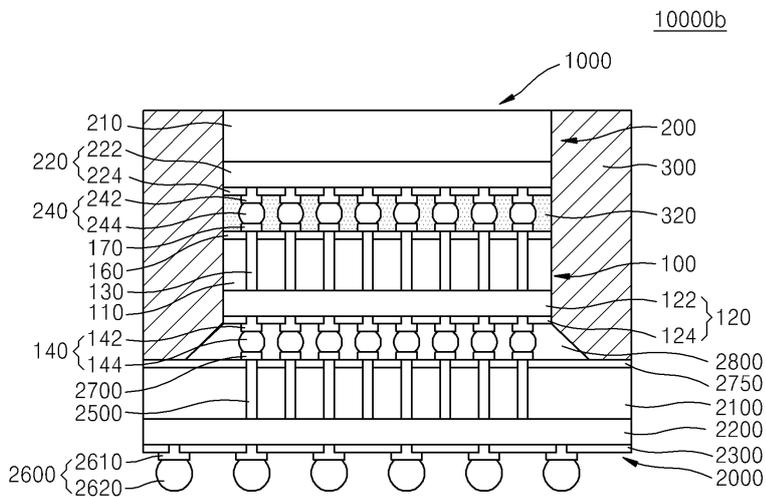
도면17



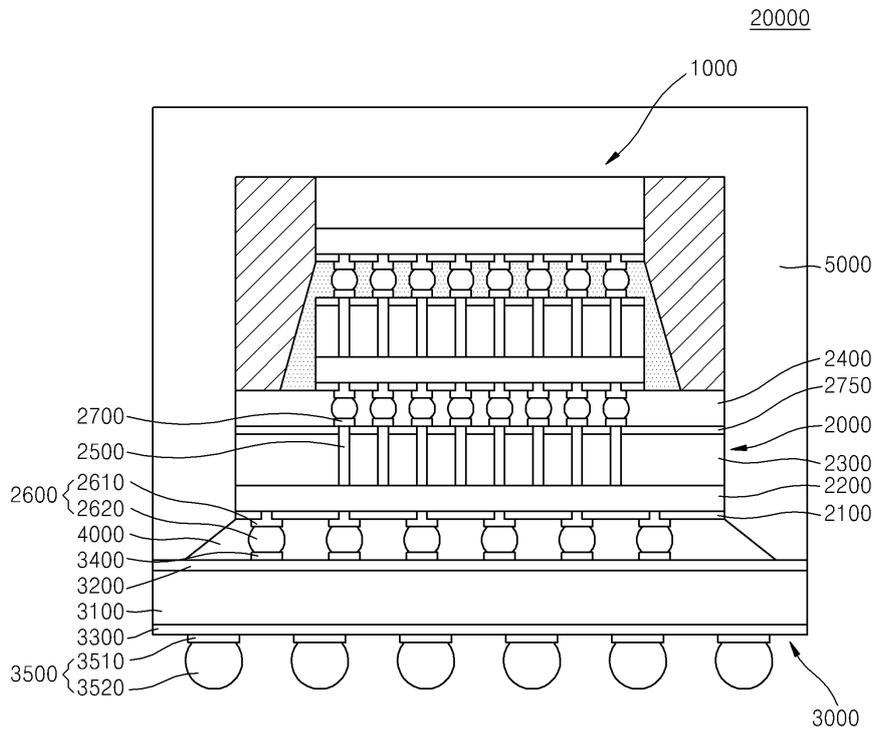
도면18



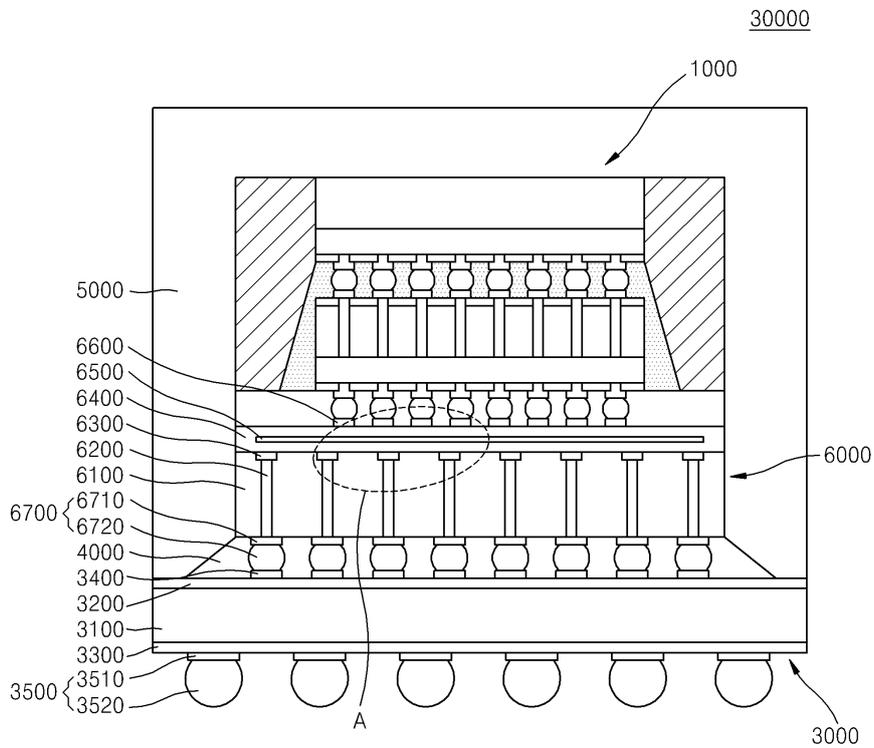
도면19



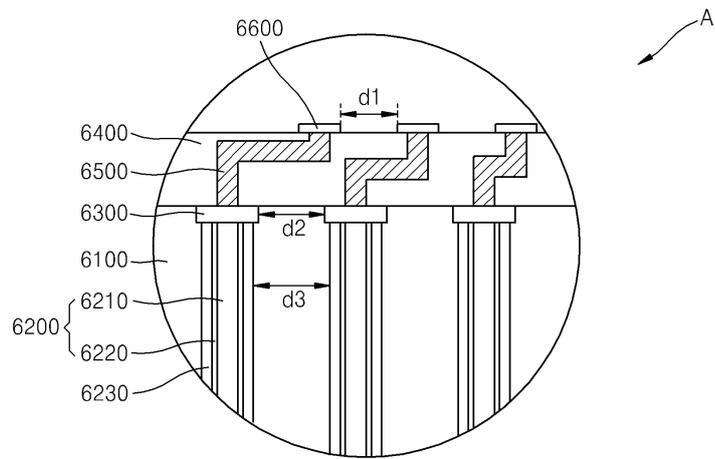
도면20



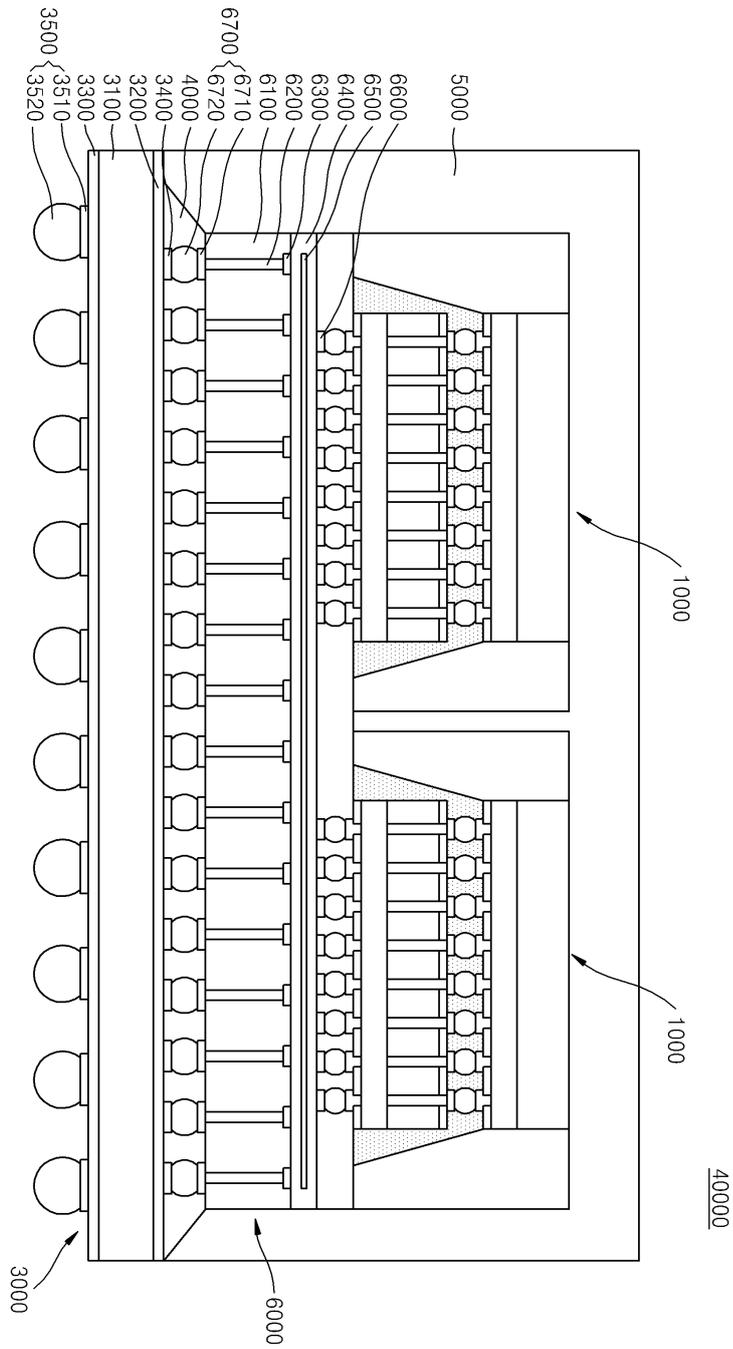
도면21



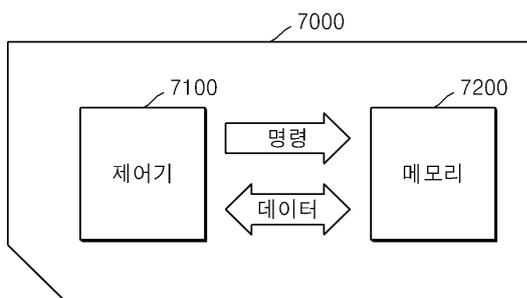
도면22



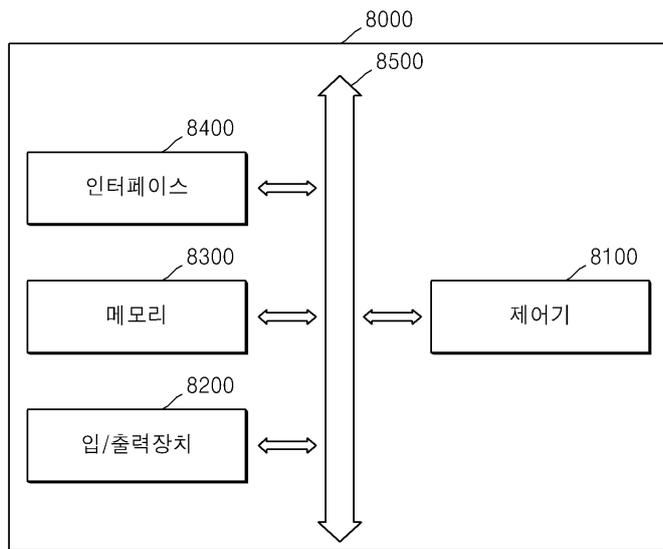
도면23



도면24



도면25



도면26

