



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년09월18일
(11) 등록번호 10-2579879
(24) 등록일자 2023년09월13일

(51) 국제특허분류(Int. Cl.)
G11C 16/34 (2006.01) G11C 16/04 (2006.01)
G11C 16/08 (2006.01) G11C 16/26 (2006.01)
(52) CPC특허분류
G11C 16/3418 (2013.01)
G11C 16/0483 (2013.01)
(21) 출원번호 10-2016-0151307
(22) 출원일자 2016년11월14일
심사청구일자 2021년10월19일
(65) 공개번호 10-2018-0054023
(43) 공개일자 2018년05월24일
(56) 선행기술조사문헌
KR1020140136691 A
(뒷면에 계속)

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
남상완
경기도 화성시 동탄문화센터로 39, 317동 1401호
(반송동, 동탄시범다운마을 포스코더샵)
변대석
경기도 성남시 분당구 수내로 181, 311동 1005호
(분당동, 셋별마을우방아파트)
윤치원
서울특별시 서초구 방배선행길 1, 102동 1003호
(방배동, 방배우성아파트)
(74) 대리인
리엔목특허법인

전체 청구항 수 : 총 10 항

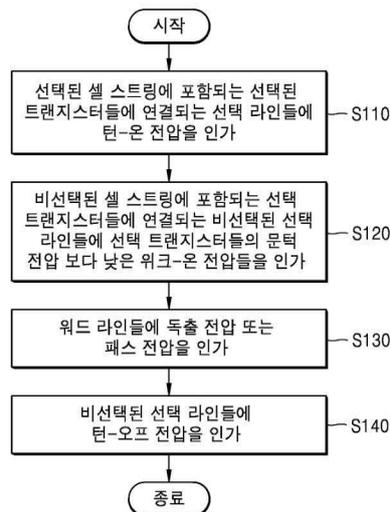
심사관 : 한선경

(54) 발명의 명칭 비휘발성 메모리 장치 및 그 독출 방법

(57) 요약

비휘발성 메모리 장치 및 비휘발성 메모리 장치의 동작 방법이 개시된다. 본 개시의 실시예에 따른, 하나의 비트 라인에 복수의 셀 스트링들이 연결되고, 상기 복수의 셀 스트링들 각각은, 선택 트랜지스터들, 및 복수의 메모리 셀들을 포함하는 비휘발성 메모리 장치의 독출 방법에 있어서, 상기 복수의 셀 스트링들 중 선택된 셀 스트링에 포함되는 선택 트랜지스터들에 연결되는 선택된 선택 라인들에 턴-온 전압을 인가하는 단계; 상기 복수의 셀 스트링들 중 비선택된 셀 스트링에 포함되는 선택 트랜지스터들에 연결된 비선택된 선택 라인들에 상기 선택 트랜지스터들의 문턱 전압보다 낮은 전압 레벨을 갖는 위크-온 전압들을 인가하는 단계; 및 상기 복수의 셀 스트링들의 상기 복수의 메모리 셀들에 연결된 워드 라인들에 패스 전압 또는 독출 전압을 인가하는 단계를 포함한다.

대표도 - 도6



(52) CPC특허분류

G11C 16/08 (2013.01)

G11C 16/26 (2013.01)

(56) 선행기술조사문헌

KR1020140089792 A

KR1020110001100 A

US20130088921 A1

US20130182505 A1

US20120039130 A1

US20160027513 A1

명세서

청구범위

청구항 1

하나의 비트라인에 복수의 셀 스트링들이 연결되고, 상기 복수의 셀 스트링들 각각은, 선택 트랜지스터들, 및 복수의 메모리 셀들을 포함하는 비휘발성 메모리 장치의 독출 방법에 있어서,

선택된 셀 스트링의 선택 트랜지스터들에 연결되는 선택된 선택 라인들에 턴-온 전압을 인가하는 단계;

비선택된 셀 스트링의 선택 트랜지스터들에 연결된 비선택된 선택 라인들에 상기 선택 트랜지스터들의 문턱 전압보다 낮은 전압 레벨을 갖는 위크-온 전압들을 인가하는 단계;

상기 복수의 메모리 셀들에 연결된 워드 라인들에 패스 전압 또는 독출 전압을 인가하는 단계; 및

상기 워드 라인들의 전압 레벨이 상기 패스 전압 또는 상기 독출 전압으로 셋업되는 제1 구간 이후, 상기 비선택된 선택 라인들에 턴-오프 전압을 인가하는 단계를 포함하는 비휘발성 메모리 장치의 독출 방법.

청구항 2

제1 항에 있어서, 상기 위크-온 전압들을 인가하는 단계는,

상기 제1 구간 동안, 상기 비선택된 선택 라인들에 상기 위크-온 전압들을 인가하는 것을 특징으로 하는 비휘발성 메모리 장치의 독출 방법.

청구항 3

제1 항에 있어서,

상기 제1 구간 동안, 상기 비선택된 셀 스트링의 채널 포텐셜이 서서히 증가하는 것을 특징으로 하는 비휘발성 메모리 장치의 독출 방법.

청구항 4

제1 항에 있어서,

상기 제1 구간 동안, 상기 비선택된 셀 스트링의 상기 선택 트랜지스터들은 약하게 턴-온 되는 것을 특징으로 하는 비휘발성 메모리 장치의 독출 방법.

청구항 5

제1 항에 있어서,

온도가 높아질수록 상기 위크-온 전압들의 전압 레벨이 낮게 설정되고, 온도가 낮아질수록 상기 위크-온 전압들의 전압 레벨이 높게 설정되는 것을 특징으로 하는 비휘발성 메모리 장치의 독출 방법.

청구항 6

제1 항에 있어서,

상기 비선택된 선택 라인들은, 스트링 선택 트랜지스터 및 접지 선택 트랜지스터에 각각 연결되는 비선택된 스트링 선택 라인 및 비선택된 접지 선택 라인을 포함하고,

상기 비선택된 스트링 선택 라인에는 상기 스트링 선택 트랜지스터의 문턱 전압보다 낮은 제1 위크-온 전압이 인가되고, 상기 비선택된 접지 선택 라인에는 상기 접지 선택 트랜지스터보다 문턱 전압이 낮은 제2 위크-온 전압이 인가되는 것을 특징으로 하는 비휘발성 메모리 장치의 독출 방법.

청구항 7

제6 항에 있어서,

상기 제1 워크-온 전압의 전압 레벨은 상기 제2 워크-온 전압의 전압 레벨보다 낮은 것을 특징으로 하는 비휘발성 메모리 장치의 독출 방법.

청구항 8

제6 항에 있어서,

상기 제1 워크-온 전압이 상기 비선택된 스트링 선택 라인에 인가되는 시간의 길이는 상기 제2 워크-온 전압이 상기 비선택된 접지 선택 라인에 인가되는 시간의 길이보다 짧은 것을 특징으로 하는 비휘발성 메모리 장치의 독출 방법.

청구항 9

제6 항에 있어서,

상기 워드 라인들 중 선택된 워드 라인이 상기 비선택된 접지 선택 라인에 인접한 경우, 상기 제2 워크-온 전압의 전압 레벨이 상기 제1 워크-온 전압의 전압 레벨보다 낮고,

상기 선택된 워드 라인이 상기 비선택된 스트링 선택 라인에 인접한 경우, 상기 제1 워크-온 전압의 전압 레벨이 상기 제2 워크-온 전압의 전압 레벨보다 낮은 것을 특징으로 하는 비휘발성 메모리 장치의 독출 방법.

청구항 10

제6 항에 있어서,

상기 워드 라인들 중 선택된 워드 라인이 상기 비선택된 접지 선택 라인에 인접한 경우, 상기 제2 워크-온 전압이 상기 비선택된 접지 선택 라인에 인가되는 시간의 길이는 상기 제1 워크-온 전압이 상기 비선택된 스트링 선택 라인에 인가되는 시간의 길이보다 짧고,

상기 선택된 워드 라인이 상기 비선택된 스트링 선택 라인에 인접한 경우, 상기 제1 워크-온 전압이 상기 비선택된 스트링 선택 라인에 인가되는 시간의 길이는 상기 제2 워크-온 전압이 상기 비선택된 접지 선택 라인에 인가되는 시간의 길이보다 짧은 것을 특징으로 하는 비휘발성 메모리 장치의 독출 방법.

발명의 설명

기술 분야

[0001] 본 개시의 기술적 사상은 메모리 장치에 관한 것으로서, 더욱 상세하게는, 비휘발성 메모리 장치 및 그 독출 방법에 관한 것이다.

배경 기술

[0002] 메모리 장치는 데이터를 저장하는데 사용되며, 휘발성 메모리 장치와 비휘발성 메모리 장치로 구분된다. 비휘발성 메모리 장치의 일 예로서, 플래쉬 메모리 장치는 휴대폰, 디지털 카메라, 휴대용 정보 단말기(PDA), 이동식 컴퓨터 장치, 고정식 컴퓨터 장치 및 기타 장치에서 사용될 수 있다.

발명의 내용

해결하려는 과제

[0003] 본 개시의 기술적 사상이 해결하려는 과제는 독출 디스터브(disturb)를 개선할 수 있는 비휘발성 메모리 장치 및 그 독출 방법을 제공하는 데에 있다.

과제의 해결 수단

[0004] 상기 기술적 과제를 달성하기 위한 본 개시의 기술적 사상에 따른, 하나의 비트라인에 복수의 셀 스트링들이 연결되고, 상기 복수의 셀 스트링들 각각은, 선택 트랜지스터들, 및 복수의 메모리 셀들을 포함하는 비휘발성 메모리 장치의 독출 방법에 있어서, 선택된 셀 스트링의 선택 트랜지스터들에 연결되는 선택된 선택 라인들에 턴-온 전압을 인가하는 단계; 비선택된 셀 스트링의 선택 트랜지스터들에 연결된 비선택된 선택 라인들에 상기 선택 트랜지스터들의 문턱 전압보다 낮은 전압 레벨을 갖는 워크-온 전압들을 인가하는 단계; 상기 복수의 메모리

셀들에 연결된 워드 라인들에 패스 전압 또는 독출 전압을 인가하는 단계 및 상기 워드 라인들의 전압 레벨이 상기 패스 전압 또는 상기 독출 전압으로 셋업되는 제1 구간 이후, 상기 비선택된 선택 라인들에 턴-오프 전압을 인가하는 단계를 포함한다.

[0005] 상기 기술적 과제를 달성하기 위한 본 개시의 기술적 사상에 따른, 비휘발성 메모리 장치는, 하나의 비트라인에 복수의 셀 스트링들이 연결되고, 상기 복수의 셀 스트링들 각각은, 선택 트랜지스터들, 및 복수의 메모리 셀들을 포함하는 메모리 셀 어레이; 및 상기 복수의 메모리 셀들에 대한 독출 동작시, 상기 복수의 셀 스트링들 중 비선택된 셀 스트링의 접지 선택 트랜지스터 및 스트링 선택 트랜지스터에 각각 연결되는 비선택된 접지 선택 라인 및 비선택된 스트링 선택 라인에 인가되는 프리 펄스가 워드 라인 전압 셋업 구간 동안 상기 접지 선택 트랜지스터 및 상기 스트링 선택 트랜지스터의 문턱 전압보다 낮은 워크-온 전압 레벨을 갖도록 제어하는 제어 로직을 포함한다.

발명의 효과

[0006] 본 개시의 기술적 사상에 따른 비휘발성 메모리 장치 및 그 독출 방법에 따르면, 메모리 셀 어레이에 대한 독출 동작 수행 시, 비선택된 스트링의 스트링 선택 라인 전압 또는 접지 선택 라인 전압을 스트링 선택 트랜지스터 또는 접지 선택 트랜지스터의 문턱 전압보다 낮게 제어함으로써, 비선택된 스트링의 채널 내 부스팅 포텐셜 레벨을 균등화 할 수 있으므로, 독출 디스터브를 개선할 수 있다.

도면의 간단한 설명

[0007] 도 1은 본 개시의 일 실시예에 따른 메모리 시스템을 개략적으로 나타내는 블록도이다.
 도 2는 도 1에 포함된 메모리 장치를 상세하게 나타내는 블록도이다.
 도 3은 도 2의 메모리 블록의 등가 회로를 예시적으로 나타내는 회로도이다.
 도 4는 도 2의 메모리 블록의 등가 회로를 예시적으로 나타내는 회로도이다.
 도 5는 도 2의 메모리 블록의 등가 회로를 예시적으로 나타내는 회로도이다.
 도 6은 본 개시의 실시예에 따른 메모리 장치의 동작 방법을 나타내는 흐름도이다.
 도 7은 하나의 비트 라인을 공유하는 복수의 셀 스트링들에 연결되는 워드 라인들 및 선택 라인들을 나타낸다.
 도 8은 도 6의 메모리 장치의 동작 방법에 따른 타이밍도이다.
 도 9는 메모리 장치의 동작 방법의 비교 예에 따른 타이밍도이다.
 도 10은 도 3의 메모리 블록의 사시도이다.
 도 11은 접지 선택 트랜지스터 및 스트링 선택 트랜지스터의 문턱 전압 산포를 나타낸다.
 도 12a 및 도 12b는 본 개시의 실시예에 따라 비선택된 선택 라인들에 인가되는 전압들의 파형을 나타내는 타이밍도이다.
 도 13은 도 3의 메모리 블록의 하나의 셀 스트링의 채널홀을 예시적으로 나타낸다.
 도 14a 및 도 14b는 본 개시의 실시예에 따라 비선택된 선택 라인들에 인가되는 전압들의 파형을 나타내는 타이밍도이다.
 도 15는 본 개시의 실시예에 따른, 메모리 장치의 동작 방법을 나타낸다.
 도 16a 및 도 16b는 본 개시의 실시예에 따라 비선택된 선택 라인들에 인가되는 전압들의 파형을 나타내는 타이밍도이다.
 도 17은 본 개시의 실시예에 따른, 메모리 장치의 동작 방법을 나타낸다.
 도 18a 내지 도 19b는 본 개시의 실시예에 따라 비선택된 선택 라인들에 인가되는 전압들의 파형을 나타내는 타이밍도이다.
 도 20은 본 개시의 실시예에 따른, 메모리 장치의 동작 방법을 나타낸다.
 도 21은 본 개시의 실시예에 따른 메모리 장치의 독출 방법에 따라 독출 바이어스 전압이 인가되는 경우, 비선

택된 셀 스트링의 채널 부스팅 포텐셜의 예를 보여준다.

도 22는 본 개시의 실시예에 따른 메모리 시스템을 개략적으로 나타내는 블록도이다.

도 23은 본 개시의 실시예에 따른 메모리 컨트롤러와 메모리 장치의 동작을 나타내는 흐름도이다.

도 24는 본 개시의 실시예들에 따른 메모리 장치를 SSD 시스템에 적용한 예를 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0008] 이하, 첨부한 도면을 참조하여 본 개시의 실시예들을 설명하기로 한다.
- [0009] 도 1은 본 개시의 일 실시예에 따른 메모리 시스템(10)을 개략적으로 나타내는 블록도이다.
- [0010] 도 1을 참조하면, 메모리 시스템(10)은 메모리 장치(100) 및 메모리 컨트롤러(200)를 포함할 수 있고, 메모리 장치(100)는 메모리 셀 어레이(110) 및 제어 로직(120)을 포함할 수 있다. 메모리 장치(100)는 비휘발성 메모리 장치일 수 있다.
- [0011] 메모리 셀 어레이(110)는 복수의 메모리 셀들을 포함할 수 있는데, 예를 들어, 복수의 메모리 셀들은 플래쉬 메모리 셀들일 수 있다. 이하에서는, 복수의 메모리 셀들이 낸드(NAND) 플래쉬 메모리 셀들인 경우를 예로 하여 본 개시의 실시예들을 상술하기로 한다. 그러나, 본 개시의 기술적 사상은 이에 한정되지 않고, 복수의 메모리 셀들은 다양한 종류의 비휘발성 메모리 셀들일 수 있다. 실시예에 있어서, 복수의 메모리 셀들은 RRAM(resistive RAM), PRAM(phase change RAM) 또는 MRAM(magnetic RAM)과 같은 저항형 메모리 셀들일 수 있다.
- [0012] 본 실시예에서, 메모리 셀 어레이(110)는 비트라인을 공유하는 복수의 셀 스트링을 포함할 수 있다. 복수의 셀 스트링 각각은 접지 선택 라인, 워드 라인들 및 스트링 선택 라인에 연결된 접지 선택 트랜지스터, 메모리 셀들 및 스트링 선택 트랜지스터를 포함할 수 있다. 메모리 셀 어레이(110)는 2차원(2D) 메모리 어레이일 수 있다. 또는 메모리 셀 어레이(110)는 3 차원(3D) 메모리 어레이일 수 있다.
- [0013] 상기 3차원(3D) 메모리 어레이는 실리콘 기판 위에 배치되는 활성 영역과, 메모리 셀들의 동작과 관련된 회로로서 상기 기판 상에 또는 상기 기판 내에 형성된 회로를 가지는 메모리 셀 어레이들의 적어도 하나의 물리적 레벨에 모놀리식으로 형성된다. 상기 용어 "모놀리식"은 상기 어레이를 구성하는 각 레벨의 층들이 상기 어레이 중 각 하부 레벨의 층들의 바로 위에 적층되어 있음을 의미한다.
- [0014] 본 개시의 기술적 사상에 의한 일 실시예에서, 상기 3D 메모리 어레이는 적어도 하나의 메모리 셀이 다른 메모리 셀의 위에 위치하도록 수직 방향으로 배치된 셀 스트링들을 포함한다. 상기 적어도 하나의 메모리 셀은 전하 트랩층을 포함할 수 있다. 미국 특허공개공보 제7,679,133호, 동 제8,553,466호, 동 제8,654,587호, 동 제8,559,235호, 및 미국 특허출원공개공보 제2011/0233648호는 3D 메모리 어레이가 복수 레벨로 구성되고 워드 라인들 및/또는 비트 라인들이 레벨들 간에 공유되어 있는 3D 메모리 어레이에 대한 적절한 구성들을 상술하는 것들로서, 본 명세서에 인용 형식으로 결합된다. 또한, 미국 특허출원공개공보 제2014-0334232호 및 미국특허공개공보 제8,488,381호는 본 명세서에 인용 형식으로 결합된다.
- [0015] 제어 로직(120)은 메모리 셀 어레이(110)에 포함된 메모리 셀들 중 선택된 메모리 셀에 대하여 메모리 컨트롤러(200)로부터의 독출 명령에 따른 독출 동작(또는 프로그램 후 검증 시의 독출 동작)을 수행하는 독출 구간의 적어도 일부에서, 비선택된 셀 스트링에 포함되는 선택 트랜지스터들에 연결되는 비선택된 선택 라인들에 인가되는 전압을 해당 선택 트랜지스터들의 문턱 전압보다 낮게 제어할 수 있다. 이와 같이, 해당 선택 트랜지스터들의 문턱 전압 보다 낮은 전압은 위크-온 전압(weak-on voltage)이라고 지칭될 수 있다. 이때, 선택 트랜지스터들은 접지 선택 트랜지스터 및/또는 스트링 선택 트랜지스터를 포함하고, 비선택된 선택 라인들은 비선택된 접지 선택 라인 및/또는 비선택된 스트링 선택 라인을 포함할 수 있다. 따라서, 비선택된 접지 선택 라인에 인가되는 접지 선택 전압은 접지 선택 트랜지스터의 문턱 전압보다 낮고, 비선택된 스트링 선택 라인에 인가되는 스트링 선택 전압은 스트링 선택 트랜지스터의 문턱 전압보다 낮다.
- [0016] 위크-온 전압들은 접지 전압보다 높고, 선택 트랜지스터들의 문턱 전압보다 낮은 전압으로서, 비선택된 셀 스트링에 포함되는 선택 트랜지스터들을 완전히 턴-온시키는 것이 아니라, 상기 선택 트랜지스터들에 누설 전류가 흐르도록 선택 트랜지스터들을 약하게 턴-온시킬 수 있는 전압이다. 제어 로직(120)은 독출 동작 수행 시, 선택된 셀 스트링과 비트 라인을 공유하는 비선택된 셀 스트링의 채널 부스팅 포텐셜이 채널의 전 구간에서 균일하도록 위크-온 전압들의 레벨 및 위크-온 전압들이 선택 라인들로 제공되는 시간을 조절할 수 있다.

- [0017] 메모리 컨트롤러(200)는 호스트(HOST)로부터의 읽기/쓰기 요청에 응답하여 메모리 장치(100)에 저장된 데이터를 독출하도록 또는 메모리 장치(100)에 데이터를 기입하도록 메모리 장치(100)를 제어할 수 있다. 구체적으로, 메모리 컨트롤러(200)는 메모리 장치(100)에 어드레스(ADDR), 커맨드(CMD) 및 제어 신호(CTRL)를 제공함으로써, 메모리 장치(100)에 대한 프로그램(또는 기입), 독출 및 소거 동작을 제어할 수 있다. 또한, 프로그램 동작을 위한 데이터(DATA)와 독출된 데이터(DATA)가 메모리 컨트롤러(200)와 메모리 장치(100) 사이에서 송수신될 수 있다.
- [0018] 도시되지는 않았으나, 메모리 컨트롤러(200)는 램(RAM), 프로세싱 유닛(processing unit), 호스트 인터페이스 및 메모리 인터페이스를 포함할 수 있다. 램은 프로세싱 유닛의 동작 메모리로서 이용될 수 있고, 프로세싱 유닛은 메모리 컨트롤러(200)의 동작을 제어할 수 있다. 호스트 인터페이스는 호스트 및 메모리 컨트롤러(200) 사이의 데이터 교환을 수행하기 위한 프로토콜(protocol)을 포함할 수 있다. 예를 들어, 메모리 컨트롤러(200)는 USB, MMC, PCI-E, ATA(Advanced Technology Attachment), Serial-ATA, Parallel-ATA, SCSI, ESDI, 그리고 IDE(Integrated Drive Electronics) 등과 같은 다양한 인터페이스 프로토콜들 중 적어도 하나를 통해 외부(HOST)와 통신하도록 구성될 수 있다.
- [0019] 도 2는 도 1에 포함된 메모리 장치(100)를 상세하게 나타내는 블록도이다.
- [0020] 도 2를 참조하면, 메모리 장치(100)는 메모리 셀 어레이(110), 제어 로직(120), 전압 생성부(130), 로우 디코더(140) 및 페이지 버퍼(150)를 포함할 수 있다. 도시되지는 않았으나, 메모리 장치(100)는 데이터 입출력 회로 또는 입출력 인터페이스를 더 포함할 수 있다.
- [0021] 메모리 셀 어레이(110)는 복수의 메모리 셀들을 포함하고, 워드 라인들(WL), 스트링 선택 라인들(SSL), 접지 선택 라인들(GSL) 및 비트 라인들(BL)에 연결될 수 있다. 구체적으로, 메모리 셀 어레이(110)는 워드 라인들(WL), 스트링 선택 라인들(SSL) 및 접지 선택 라인들(GSL)을 통해 로우 디코더(140)에 연결되고, 비트 라인들(BL)을 통해 페이지 버퍼(150)에 연결될 수 있다.
- [0022] 메모리 셀 어레이(110)는 복수의 메모리 블록들(BLK1 내지 BLKz)을 포함할 수 있다. 각 메모리 블록은 2차원 구조 또는 3차원 구조(또는 수직 구조)를 가질 수 있다. 메모리 블록들(BLK1 내지 BLKz)은 로우 디코더(140)에 의해 선택될 수 있다. 예를 들면, 로우 디코더(140)는 메모리 블록들(BLK1 내지 BLKz) 중 블록 어드레스에 대응하는 메모리 블록을 선택할 수 있다. 메모리 블록들(BLK1 내지 BLKz) 중 적어도 하나의 메모리 블록은 비트 라인을 공유하는 복수의 셀 스트링들을 포함할 수 있다.
- [0023] 메모리 셀 어레이(110)는 싱글 레벨 셀들을 포함하는 싱글 레벨 셀 블록, 멀티 레벨 셀들을 포함하는 멀티 레벨 셀 블록 및 트리플 레벨 셀들을 포함하는 트리플 레벨 셀 블록 중 적어도 하나를 포함할 수 있다. 다시 말해, 메모리 셀 어레이(110)에 포함된 복수의 메모리 블록들 중 일부는 싱글 레벨 셀 블록일 수 있고, 다른 메모리 블록들은 멀티 레벨 셀 블록 또는 트리플 레벨 셀 블록일 수 있다.
- [0024] 제어 로직(120)은 메모리 컨트롤러(200)로부터 수신한 커맨드(CMD), 어드레스(ADDR) 및 제어 신호(CTRL)를 기초로 하여, 메모리 셀 어레이(110)에 데이터를 기입하거나 메모리 셀 어레이(110)로부터 데이터를 독출하기 위한 각종 제어 신호를 출력할 수 있다. 이로써, 제어 로직(120)은 메모리 장치(100) 내의 각종 동작을 전반적으로 제어할 수 있다.
- [0025] 제어 로직(120)에서 출력된 각종 제어 신호는 전압 생성부(130), 로우 디코더(140) 및 페이지 버퍼(150)에 제공될 수 있다. 구체적으로, 제어 로직(120)은 전압 생성부(130)에 전압 제어 신호(CTRL_vol)를 제공할 수 있고, 로우 디코더(140)에 로우 어드레스(X-ADDR)를 제공할 수 있으며, 페이지 버퍼(150)에 칼럼 어드레스(Y-ADDR)를 제공할 수 있다. 그러나, 이에 한정되지 않고, 제어 로직(120)은 전압 생성부(130), 로우 디코더(140) 및 페이지 버퍼(150)에 다른 제어 신호들을 더 제공할 수 있다.
- [0026] 제어 로직(120)은 전압 제어부(121)를 포함할 수 있다. 전압 제어부(121)는 워드 라인들(WL)을 구동하기 위한 워드 라인 전압, 스트링 선택 라인들(SSL)을 구동하기 위한 스트링 선택 라인 전압, 및 접지 선택 라인들(GSL)을 구동하기 위한 접지 선택 라인 전압을 생성하기 위한 전압 제어 신호(CTRL_vol)를 생성할 수 있다. 전압 생성부(130)는 전압 제어 신호(CTRL_vol)에 따른 전압 제어부(121)의 제어 하에 스트링 선택 라인 전압, 접지 선택 라인 전압 및 워드 라인 전압 등의 다양한 전압들(VWL)을 생성할 수 있다.
- [0027] 본 실시예에서, 전압 제어부(121)는 독출 수행 시, 독출 구간의 적어도 일부에서 비선택된 선택 라인들에 선택 트랜지스터들의 문턱 전압들보다 낮은 워크-온 전압들이 인가되도록 전압 생성부(130)를 제어할 수 있다. 전압

제어부(121)는 또한, 독출 구간 중 셋업 구간(이하 독출 셋업 구간이라고 함) 동안 비선택된 선택 라인들에 워크-온 전압들이 인가되도록 전압 생성부(130)를 제어할 수 있다. 이때 독출 셋업 구간은, 비선택된 워드 라인에 패스 전압이 인가될 때, 비선택된 워드 라인의 전압이 패스 전압에 도달하기까지의 시간 구간을 의미할 수 있다.

[0028] 실시예에 있어서, 전압 제어부(121)는 선택 트랜지스터들의 문턱 전압, 선택 트랜지스터들의 사이즈, 온도, 어드레스(ADDR) 및 프로그램 패턴 중 적어도 하나에 기초하여 워크-온 전압들의 레벨 및 워크-온 전압들이 인가되는 시간을 조절할 수 있다.

[0029] 전압 생성부(130)는 전압 제어 신호(CTRL_vol)를 기초로 하여 메모리 셀 어레이(110)에 대한 프로그램, 독출 및 소거 동작을 수행하기 위한 다양한 종류의 전압들(VWL)을 생성할 수 있다. 구체적으로, 전압 생성부(130)는 워드 라인 전압, 예를 들어, 프로그램 전압(또는 기입 전압), 독출 전압, 프로그램 인히빗 전압, 독출 인히빗 전압, 소거 검증 전압 또는 프로그램 검증 전압 등을 생성할 수 있다. 또한, 전압 생성부(130)는 전압 제어 신호(CTRL_vol)를 기초로 하여 스트링 선택 라인 전압 및 접지 선택 라인 전압을 생성할 수 있다. 전압 생성부(130)는 턴-온 전압을 선택된 셀 스트링에 제공되는 스트링 선택 라인 전압 및 접지 선택 라인 전압으로서 생성하고, 워크-온 전압을 비선택된 셀 스트링에 제공되는 스트링 선택 전압 및 접지 선택 라인 전압으로서 생성할 수 있다.

[0030] 로우 디코더(140)는 제어 로직(120)으로부터 수신한 로우 어드레스(X-ADDR)에 응답하여 워드 라인들(WL) 중 일부 워드 라인을 선택할 수 있다. 구체적으로, 독출 동작 시에 로우 디코더(140)는 선택된 워드 라인에 독출 전압을 인가하고, 비 선택된 워드 라인에 독출 패스 전압을 인가할 수 있다. 또한, 프로그램 동작 시에 로우 디코더(140)는 선택된 워드 라인에 프로그램 전압을 인가하고, 비 선택된 워드 라인에 프로그램 패스 전압을 인가할 수 있다. 또한, 로우 디코더(140)는 제어 로직(120)으로부터 수신한 로우 어드레스(X-ADDR)에 응답하여 스트링 선택 라인들(SSL) 중 일부 스트링 선택 라인 또는 접지 선택 라인들(GSL) 중 일부 접지 선택 라인을 선택할 수 있다.

[0031] 본 실시예에서, 로우 디코더(140)는 독출 구간의 적어도 일부에서, 비선택된 스트링 선택 라인 및/또는 비선택된 접지 선택 라인에 워크-온 전압을 인가할 수 있다. 인가된 워크-온 전압에 의하여 비선택된 스트링 선택 라인에 연결된 스트링 선택 트랜지스터 및/또는 비선택된 접지 선택 라인에 연결된 접지 선택 트랜지스터가 약하게 턴-온될 수 있다. 약하게 턴-온된 스트링 선택 트랜지스터 및 접지 선택 트랜지스터를 통하여 비선택된 셀 스트링의 채널 내의 부스팅 전하가 비트 라인 또는 공통 소스 라인으로 천천히 방전될 수 있다. 이에 따라 비선택된 셀 스트링의 채널의 부스팅 포텐셜이 과도하게 증가하는 것이 방지될 수 있으며, 채널 내에서 부스팅 포텐셜이 균등해질 수 있다.

[0032] 페이지 버퍼(150)는 비트 라인들(BL)을 통해 메모리 셀 어레이(110)에 연결될 수 있고, 제어 로직(120)으로부터 수신한 칼럼 어드레스(Y-ADDR)에 응답하여 비트 라인들(BL) 중 일부 비트 라인을 선택할 수 있다. 구체적으로, 독출 동작 시에 페이지 버퍼(150)는 감지 증폭기(sense amplifier)로 동작하여 메모리 셀 어레이(110)에 저장된 데이터(DATA)를 감지할 수 있다. 한편, 프로그램 동작 시에 페이지 버퍼(150)는 기입 드라이버(write driver)로 동작하여 메모리 셀 어레이(110)에 저장하고자 하는 데이터(DATA)를 입력시킬 수 있다.

[0033] 전술한 바와 같이, 본 개시의 실시예에 따른 메모리 장치(100) 및 이의 독출 방법에 따르면, 독출 구간의 적어도 일부 구간, 예컨대 독출 셋업 구간에서, 비선택된 셀 스트링에 연결되는 비선택된 선택 라인들, 예컨대 비선택된 접지 선택 라인 및/또는 스트링 선택 라인에 워크-온 전압이 인가됨으로써, 비선택된 셀 스트링의 채널의 부스팅 포텐셜이 과도하게 증가하는 것이 방지될 수 있으며, 채널 내의 부스팅 포텐셜이 균등해질 수 있다. 이에 따라 과도한 채널 부스팅 또는 채널 내의 부스팅 포텐셜 차이에 기인한 핫 캐리어 인젝션(hot carrier injection; HCI) 및 FN 터널링이 방지되고, 독출 디스터브(read disturb)가 개선될 수 있다.

[0034] 도 3은 도 2의 메모리 블록의 등가 회로를 예시적으로 나타내는 회로도이다.

[0035] 도 3을 참조하면, 메모리 블록(BLK_a)은 수직 구조의 낸드 플래시 메모리일 수 있고, 도 2에 도시된 각 메모리 블록들(BLK₁ 내지 BLK_z) 중 적어도 하나는 도 3과 같이 구현될 수 있다. 메모리 블록(BLK_a)은 복수의 낸드 셀 스트링들(NS₁₁ 내지 NS₃₃), 복수의 워드 라인들(WL₁ 내지 WL₈), 복수의 비트 라인들(BL₁ 내지 BL₃), 복수의 접지 선택 라인들(GSL₁ 내지 GSL₃), 복수의 스트링 선택 라인들(SSL₁ 내지 SSL₃) 및 공통 소스 라인(CSL)을 포함할 수 있다. 여기서, 셀 스트링들의 개수, 워드 라인들의 개수, 비트 라인들의 개수, 접지 선택 라인의 개수 및 스트링 선택 라인들의 개수는 실시예에 따라 다양하게 변경될 수 있다.

- [0036] 제1 비트 라인(BL1)과 공통 소스 라인(CSL) 사이에 낸드 셀 스트링들(NS11, NS21, NS31)이 제공되고, 제2 비트 라인(BL2)과 공통 소스 라인(CSL) 사이에 낸드 셀 스트링들(NS12, NS22, NS32)이 제공되고 제3 비트 라인(BL3)과 공통 소스 라인(CSL) 사이에 낸드 셀 스트링들(NS13, NS23, NS33)이 제공된다. 각 낸드 셀 스트링(예를 들면, NS11)은 직렬로 연결된 스트링 선택 트랜지스터(SST), 복수의 메모리 셀들(MC1 내지 MC8) 및 접지 선택 트랜지스터(GST)를 포함할 수 있다. 실시예에 있어서, 스트링 선택 트랜지스터(SST)와 복수의 메모리 셀들(MC1 내지 MC8) 및 접지 선택 트랜지스터(GST)와 복수의 메모리 셀들(MC1 내지 MC8) 사이에는 더미 셀들이 배치될 수 있다. 이하, 편의상 낸드 셀 스트링을 셀 스트링이라고 지칭하기로 한다.
- [0037] 하나의 비트 라인에 공통으로 연결된 셀 스트링들은 하나의 칼럼을 구성한다. 예를 들어, 제1 비트 라인(BL1)에 공통으로 연결된 셀 스트링들(NS11, NS21, NS31)은 제1 칼럼에 대응되고, 제2 비트 라인(BL2)에 공통으로 연결된 셀 스트링들(NS12, NS22, NS32)은 제2 칼럼에 대응되며, 제3 비트 라인(BL3)에 공통으로 연결된 셀 스트링들(NS13, NS23, NS33)은 제3 칼럼에 대응될 수 있다. 하나의 칼럼에 포함되는 셀 스트링들은 하나의 비트 라인 및 워드 라인들을 공유할 수 있다. 예컨대 셀 스트링들(NS11, NS21, 및 NS31)은 제1 비트 라인(BL1) 및 워드 라인들(WL1 내지 WL8)을 공유할 수 있다.
- [0038] 스트링 선택 라인들(SSL1 내지 SSL3)은 서로 분리되어 있고, 스트링 선택 트랜지스터(SST)는 대응하는 스트링 선택 라인(SSL1 내지 SSL3)에 연결된다. 하나의 스트링 선택 라인에 연결되는 스트링들은 하나의 로우를 구성한다. 예를 들어, 제1 스트링 선택 라인(SSL1)에 연결된 스트링들(NS11, NS12, NS13)은 제1 로우에 대응되고, 제2 스트링 선택 라인(SSL2)에 연결된 스트링들(NS21, NS22, NS23)은 제2 로우에 대응되며, 제3 스트링 선택 라인(SSL3)에 연결된 스트링들(NS31, NS32, NS33)은 제3 로우에 대응될 수 있다.
- [0039] 접지 선택 라인들(GSL1 내지 GSL3)도 서로 분리되어 있고, 접지 선택 트랜지스터(GST)는 대응하는 접지 선택 라인(GSL1 내지 GSL3)에 연결된다. 스트링 선택 트랜지스터(SST)는 대응하는 비트 라인(BL1 내지 BL3)에 연결되고, 접지 선택 트랜지스터(GST)는 공통 소스 라인(CSL)에 연결된다.
- [0040] 복수의 메모리 셀들(MC1 내지 MC8)은 각각 대응하는 워드 라인(WL1 내지 WL8)에 연결된다. 기판(또는 접지 선택 트랜지스터들(GST))으로부터 동일한 높이에 위치한 메모리 셀들은 하나의 워드 라인에 공통으로 연결되어 있고, 서로 다른 높이에 위치한 메모리 셀들은 서로 다른 워드 라인들(WL1~WL8)에 각각 연결될 수 있다. 예를 들어 제1 메모리 셀들(MC1)은 제1 워드 라인(WL1)에 공통으로 연결되고, 제2 메모리 셀들(MC2)은 제2 워드 라인(WL2)에 공통으로 연결될 수 있다.
- [0041] 하나의 칼럼에 포함되는 셀 스트링들은 하나의 비트 라인 및 워드 라인들을 공유할 수 있다. 예를 들어, 셀 스트링들(NS11, NS21 및 NS31)은 제1 비트 라인(BL1) 및 워드 라인들(WL1 내지 WL8)을 공유할 수 있다. 또한, 하나의 로우에 포함되는 셀 스트링들은 스트링 선택 라인, 접지 선택 라인 및 워드 라인들을 공유할 수 있다. 예를 들어, 셀 스트링들(NS11, NS12 및 NS13)은 제1 스트링 선택 라인(SSL1), 제1 접지 선택 라인(GSL1) 및 워드 라인들(WL1 내지 WL8)을 공유할 수 있다. 이에 따라, 제1 워드 라인(WL1)에 연결되어 있고 셀 스트링(NS11, NS12, NS13)에 속해 있는 메모리 셀들로부터 데이터를 독출하는 경우에는, 제1 워드 라인(WL1)과 제1 스트링 선택 라인(SSL1) 및 제1 접지 선택 라인(GSL1)이 선택될 수 있다.
- [0042] 도 4는 도 2의 메모리 블록의 등가 회로를 예시적으로 나타내는 회로도이다.
- [0043] 도 4를 참조하면, 메모리 블록(BLKb)은 수평 구조의 낸드 플래쉬 메모리일 수 있고, 도 2에 도시된 각 메모리 블록들(BLK1 내지 BLKz) 중 적어도 하나는 도 4와 같이 구현될 수 있다. 메모리 블록(BLKb)은 복수의 셀 스트링들(NS11 내지 NS23), 복수의 워드 라인들(WL1 내지 WL8), 복수의 비트 라인들(BL1 내지 BLn), 복수의 접지 선택 라인들(GSL1 및 GSL2), 복수의 스트링 선택 라인들(SSL1 및 SSL2) 및 공통 소스 라인(CSL)을 포함할 수 있다. 여기서, 셀 스트링들의 개수, 워드 라인들의 개수, 비트 라인들의 개수, 접지 선택 라인의 개수 및 스트링 선택 라인들의 개수는 실시예에 따라 다양하게 변경될 수 있다.
- [0044] 복수의 셀 스트링들(NS11 내지 NS23) 각각의 구성 및 연결관계는 도 3에 도시된 셀 스트링들(NS11 내지 NS33)과 유사하다. 따라서, 구체적인 설명은 생략하기로 한다.
- [0045] 복수의 셀 스트링들은 워드 라인들(WL1 내지 WL8)을 공유할 수 있으며, 적어도 두 개의 셀 스트링들은 하나의 비트 라인을 공유할 수 있다. 하나의 비트 라인을 공유하는 셀 스트링들은 서로 다른 스트링 선택 라인 및 서로 다른 접지 선택 라인에 연결될 수 있다. 예컨대, 셀 스트링들(NS11 및 NS21)은 제1 비트 라인(BL1)을 공유할 수 있으며, 셀 스트링 NS11의 스트링 선택 트랜지스터(SST) 및 접지 선택 트랜지스터(GST)는 각각 제1 스트링 선택 라인(SSL1) 및 제1 접지 선택 라인(GSL1)에 연결되고, 셀 스트링 NS21의 스트링 선택 트랜지스터(SST) 및 접지

선택 트랜지스터(GST)는 제2 스트링 선택 라인(SSL2) 및 제2 접지 선택 라인(GSL2)에 연결될 수 있다. 이에 따라, 제1 워드 라인(WL1)에 연결되어 있고 셀 스트링(NS11, NS12 내지 NS1n)에 속해 있는 메모리 셀들로부터 데이터를 독출하는 경우에는, 제1 워드 라인(WL1)과 제1 스트링 선택 라인(SSL1) 및 제1 접지 선택 라인(GSL1)이 선택될 수 있다.

- [0046] 도 5는 도 2의 메모리 블록의 등가 회로를 예시적으로 나타내는 회로도이다.
- [0047] 도 5를 참조하면, 메모리 블록(BLKj)은 수직 구조의 낸드 플래시 메모리일 수 있고, 도 2에 도시된 각 메모리 블록들(BLK1 내지 BLKz) 중 적어도 하나는 도 3과 같이 구현될 수 있다.
- [0048] 도 5의 메모리 블록(BLKj)은 도 2의 메모리 블록(BLKa)와 유사하다. 다만, 복수의 낸드 셀 스트링들(NS11 내지 NS33) 각각은 제1 접지 선택 트랜지스터(GST1) 및 제2 접지 선택 트랜지스터(GST2)를 포함할 수 있다. 제1 접지 선택 트랜지스터(GST1)는 메모리 셀들(MC1 내지 MC8) 과 제2 접지 선택 트랜지스터(GST2) 사이에 연결될 수 있다. 제1 접지 선택 트랜지스터(GST1)는 제1 내지 제3 접지 선택 라인들(GSL1, GSL2, GSL3) 중 대응하는 하나에 연결될 수 있다. 제2 접지 선택 트랜지스터(GST2)는 제1 접지 선택 트랜지스터(GST1)와 공통 소스 라인(CSL) 사이에 연결될 수 있다. 제2 접지 선택 트랜지스터(GST2)는 공통 접지 선택 라인(CGSL)에 연결될 수 있다. 이에 따라, 복수의 셀 스트링들, 예컨대 제1 내지 제3 셀 스트링들(NS11, NS21 및 NS31)에 포함된 제1 접지 선택 트랜지스터(GST1)는 대응하는 접지 선택 라인들(GSL1, GSL2, GSL3)에 따라 개별적으로 동작하고, 제2 접지 선택 트랜지스터(GST)는 공통적으로 동작할 수 있다.
- [0049] 도 3 내지 5를 참조하여 메모리 블록의 등가회로를 예시적으로 설명하였다. 그러나, 이에 제한되는 것은 아니며, 비트 라인을 공유하는 복수의 셀 스트링을 포함하는 다양한 구조의 메모리 블록이 본 개시의 실시예에 따른 메모리 장치에 적용될 수 있다.
- [0050] 도 2 내지 도 5를 참조하면, 제어 로직(120)은, 복수의 낸드 셀 스트링들 중 선택된 셀 스트링들로부터 센싱 데이터를 센싱하기 위한 셋업 구간 동안 제1 워크-온 전압이 복수의 스트링 선택 라인들 중 비선택된 스트링 선택 라인들에 제공되고, 제2 워크-온 전압이 복수의 접지 선택 라인들 중 선택된 접지 선택 라인에 제공되도록 제어할 수 있다. 이때, 선택된 셀 스트링 및 비선택된 셀 스트링은 동일한 비트 라인에 연결될 수 있다. 예를 들어 제1 셀 스트링(NS11) 및 제2 셀 스트링(NS12)은 제1 비트 라인(BL1)에 연결될 수 있고, 제1 셀 스트링(NS11)은 선택된 셀 스트링이고, 제2 셀 스트링(NS12)은 비선택된 셀 스트링일 수 있다. 비선택된 스트링 선택 라인 및 비선택된 접지 선택 라인은 비선택된 셀 스트링의 스트링 선택 트랜지스터 및 접지 선택 트랜지스터에 각각 연결될 수 있다. 따라서, 제어 로직(120)은 스트링 선택 트랜지스터 및/또는 접지 선택 트랜지스터의 문턱 전압보다 낮은 레벨을 갖는 프리 펄스를 비선택된 스트링 선택 라인들 및 비선택된 접지 선택 라인들을 통해, 비선택된 셀 스트링의 스트링 선택 트랜지스터 및 접지 선택 트랜지스터에 제공할 수 있다. 도 6은 본 개시의 실시예에 따른 메모리 장치의 동작 방법을 나타내는 흐름도이다. 구체적으로 도 6은 메모리 장치의 독출 방법을 나타내며, 도 2의 메모리 장치(100)에서 시계열적으로 또는 병렬적으로 수행되는 단계들을 포함할 수 있다. 도 1 내지 도 5를 참조하여 상술된 내용은 본 실시예에도 적용될 수 있다.
- [0051] 도 6을 참조하면, S110 단계에서, 선택된 셀 스트링에 포함되는 선택 트랜지스터들에 연결되는 선택된 선택 라인들에 턴-온 전압이 인가된다. 선택 트랜지스터들은 접지 선택 트랜지스터 및 스트링 선택 트랜지스터를 포함하고, 선택 라인들은, 접지 선택 트랜지스터 및 스트링 선택 트랜지스터에 각각 연결되는 접지 선택 라인 및 스트링 선택 라인을 포함한다. 턴-온 전압은 접지 선택 트랜지스터 및 스트링 선택 트랜지스터를 완전히 턴-온 (fully turn-on) 시키는 전압으로서, 턴-온 전압은 접지 선택 트랜지스터 및 스트링 선택 트랜지스터의 문턱 전압보다 높거나 같을 수 있다. 선택된 접지 선택 라인에 인가되는 턴-온 전압의 레벨과 선택된 스트링 선택 라인에 인가되는 턴-온 전압의 레벨은 동일하거나 또는 상이할 수 있다.
- [0052] S120 단계에서, 비선택된 셀 스트링에 포함되는 선택 트랜지스터들에 연결되는 비선택된 선택 라인들에 선택 트랜지스터들의 문턱 전압보다 낮은 워크-온 전압들이 인가될 수 있다. 실시예에 있어서, 비선택된 스트링 선택 라인에 제1 워크-온 전압이 인가되고, 비선택된 접지 선택 라인에 제2 워크-온 전압이 인가될 수 있다. 제1 워크-온 전압의 레벨과 제2 워크-온 전압의 레벨은 동일하거나 또는 상이할 수 있다. 제1 워크-온 전압이 인가되는 시간 및 제2 워크-온 전압이 인가되는 시간은 동일하거나 또는 상이할 수 있다.
- [0053] S130 단계에서, 워드 라인들에 독출 전압 또는 패스 전압이 인가될 수 있다. 선택된 워드 라인에 독출 전압이 인가되고, 비선택된 워드 라인들에 패스 전압이 인가될 수 있다.
- [0054] S140 단계에서, 비선택된 선택 라인들에 턴-오프 전압이 인가될 수 있다. 턴-오프 전압은 선택 트랜지스터들,

다시 말해 접지 선택 트랜지스터 및 스트링 선택 트랜지스터를 완전히 턴-오프 시키는 전압이다. 예를 들어 턴-오프 전압은 접지 전압일 수 있다. S120 단계에서 비선택된 선택 라인들에 워크-온 전압이 인가되어 비선택된 셀 스트링에 포함된 선택 트랜지스터들이 약하게 턴-온 된 후 소정의 시간 후에 S140 단계에서 비선택된 선택 라인들에 턴-오프 전압이 인가되어 상기 선택 트랜지스터들이 턴-오프 될 수 있다. 턴-온 전압은 선택된 워드 라인에 연결된 메모리 셀들에 대한 센싱 동작이 수행되기 전 비선택된 선택 라인들에 인가될 수 있다.

[0055] 한편, 턴-온 전압은 독출 구간의 전 구간 동안 선택된 선택 라인들에 인가될 수 있고, 독출 전압 또는 패스 전압은 독출 구간의 전 구간 동안 워드 라인들에 인가될 수 있다. 워크-온 전압들은 독출 구간의 일부, 예컨대, 독출 셋업 구간, 또는 독출 셋업 구간 및 센싱 구간의 일부에 비선택된 선택 라인들에 인가될 수 있다. 따라서, S110 단계, S120 단계 및 S130 단계는 동시에 또는 병렬적으로 수행될 수 있다.

[0056] 이하, 도 7 및 도 8을 참조하여, 도 6의 메모리 장치의 동작 방법을 보다 상세하게 설명하기로 한다.

[0057] 도 7은 하나의 비트 라인을 공유하는 복수의 셀 스트링들에 연결되는 워드 라인들 및 선택 라인들을 나타낸다. 도 7은 예시적으로 도 3의 메모리 블록(BLKa)에서 셀 스트링들(NS11, NS21, NS31)에 연결되는 워드 라인들(WL1 내지 WL8), 스트링 선택 라인들(SSL1, SSL2, SSL3) 및 접지 선택 라인들(GSL1, GSL2, GSL3)을 나타낸다. 셀 스트링들(NS11, NS21, NS31)은 제1 비트 라인(BL1)에 연결된다. 도 3에서, 제5 워드 라인(WL5)에 연결되고, 제1 로우를 구성하는 셀 스트링들(NS11, NS12, NS13)에 포함된 메모리 셀들에 대하여 독출이 수행되는 경우를 가정하여 설명하기로 한다.

[0058] 도 7을 참조하면, 제1 스트링 선택 라인(SSL1)은 선택된 스트링 선택 라인(SSL_SEL)이고, 제2 스트링 선택 라인(SSL2) 및 제3 스트링 선택 라인(SSL3)은 비선택된 스트링 선택 라인(SSL_UN)이다. 제1 접지 선택 라인(GSL1)은 선택된 접지 선택 라인(GSL_SEL)이고, 제2 접지 선택 라인(GSL2) 및 제3 접지 선택 라인(GSL3)은 비선택된 접지 선택 라인(GSL_UN)이다. 제5 워드 라인(WL5)은 선택된 워드 라인(WL_SEL)이고, 제1 내지 제4 워드 라인(WL1 내지 WL4) 및 제6 내지 제8 워드 라인(WL6 내지 WL8)은 비선택된 워드 라인(WL_UN)이다.

[0059] 도 8은 도 6의 메모리 장치의 동작 방법에 따른 타이밍도이다.

[0060] 도 8의 복수의 그래프에서, 가로 축은 시간을 나타내고, 세로 축은 각각 비선택된 스트링 선택 라인(SSL_UN)의 전압 (Vss1_un), 비선택된 접지 선택 라인(GSL_UN)의 전압 (Vgs1_un), 선택된 스트링 선택 라인(SSL_SEL)의 전압 (Vss1_sel), 선택된 접지 선택 라인(GSL_SEL)의 전압 (Vgs1_sel), 비선택 워드 라인(WL_UN)의 전압 (Vw1_un), 선택된 워드 라인(WL_SEL)의 전압 (Vw1_sel), 상부 채널 포텐셜(Vch_up) 및 하부 채널 포텐셜 (Vch_low)을 나타낸다.

[0061] 도 7 및 도 8을 참조하면, t1 시점에 워드 라인들 및 선택 라인들 각각에 대하여 대응하는 전압이 인가될 수 있다. 선택된 스트링 선택 라인(SSL_SEL) 및 선택된 접지 선택 라인(GSL_SEL)에 턴-온 전압(Von)이 인가될 수 있다. 독출 셋업 구간(TPsetup)동안 비선택된 스트링 선택 라인(SSL_UN)에 제1 워크-온 전압(Vwo1)이 인가되고 비선택된 접지 선택 라인(GSL_UN)에 제2 워크-온 전압(Vwo2)이 인가될 수 있다. 선택된 워드 라인(WL_SEL)에는 독출 전압, 예컨대 제1 독출 전압(Vread1)이 인가되고, 비선택된 워드 라인(WL_UN)에는 패스 전압(Vpass)이 인가될 수 있다. 실시예에 있어서, 턴-온 전압(Von)은 패스 전압(Vpass)과 동일할 수 있다.

[0062] 한편, 제1 워크-온 전압(Vwo1)은 스트링 선택 트랜지스터(도 3의 SST)의 문턱 전압(Vth_sst; 이하 제1 문턱 전압이라고 함)보다 낮고, 접지 전압보다 높다. 제2 워크-온 전압(Vwo2)은 접지 선택 트랜지스터(도 3의 GST)의 문턱 전압(Vth_gst; 이하 제2 문턱 전압이라고 함)보다 낮고 접지 전압보다 높다. 예를 들어, 제1 워크-온 전압(Vwo1)은 제1 문턱 전압(Vth_sst)보다 대략 1V(Volt) 낮을 수 있다. 제2 워크-온 전압(Vwo2)은 제2 문턱 전압(Vth_gst)보다 대략 1V(volt) 낮을 수 있다. 그러나, 이에 제한되는 것은 아니며, 워크-온 전압들(Vwo1, Vwo2)과 문턱 전압들(Vth_sst, Vth_gst)의 차이는 다양하게 설정될 수 있다.

[0063] 제1 워크-온 전압(Vwo1) 및 제2 워크-온 전압(Vwo2)은 제1 문턱 전압(Vth_sst)의 레벨 및 제2 문턱 전압(Vth_gst)의 레벨에 따라 같거나 또는 상이할 수 있다. 또한 제1 워크-온 전압(Vwo1) 및 제2 워크-온 전압(Vwo2)은 미리 설정될 수 있으며, 온도, 어드레스 및 프로그램 패턴 등에 따라 가변될 수 있다.

[0064] t2 시점에, 선택된 스트링 선택 라인(SSL_SEL) 및 선택된 접지 선택 라인(GSL_SEL)의 전압 레벨이 턴-온 전압(Von)에 도달할 수 있다. 또한, 비선택된 워드 라인(WL_UN)의 전압(Vw1_un)의 레벨이 패스 전압(Vpass)에 도달할 수 있다. t1 시점부터 t2 시점까지의 시간 구간은 독출 셋업 구간(TPsetup)이다. 독출 셋업 구간(TPsetup)에 선택된 셀 스트링의 선택 라인들 및 워드 라인들의 전압이 원하는 레벨로 셋업될 수 있다. t2 시점 또는 t2 시점 이후에 비선택된 스트링 선택 라인(SSL_UN) 및 비선택된 접지 선택 라인(GSL_UN)에 턴-오프 전압(Voff)이 인

가될 수 있다. 예컨대 턴-오프 전압(Voff)은 접지 전압일 수 있다. 한편, 도 8에서, 동일한 시점(예컨대 t2 시점)에 비선택된 스트링 선택 라인(SSL_UN) 및 비선택된 접지 선택 라인(GSL_UN)에 턴-오프 전압(Voff)이 인가되는 것으로 도시되었으나, 이에 제한되는 것은 아니다. 예를 들어, t2 시점에 비선택된 스트링 선택 라인(SSL_UN)에 턴-오프 전압이 인가되고, t2 시점 이후에 비선택된 접지 선택 라인(GSL_UN)에 턴-오프 전압(Voff)이 인가될 수 있다.

[0065] t2 시점부터 t3 시점까지의 시간 구간은 센싱 구간(TPsense)이다. 센싱 구간(TPsense)에 선택된 워드 라인(WL_SEL)에 인가되는 독출 전압, 예컨대 제1 독출 전압(Vread1) 및 제2 독출 전압(Vread2)에 기초하여, 선택된 메모리 셀들이 센싱되고 데이터가 독출될 수 있다. 한편 도 8에서, 선택된 워드 라인(WL_SEL)에 제1 독출 전압(Vread1) 및 제2 독출 전압(Vread2)이 순차적으로 인가되는 것으로 도시되었으나, 본 개시의 기술적 사상은 이에 제한되는 것은 아니다. 예를 들어, 선택된 워드 라인(WL_SEL)에 연결된 메모리 셀이 싱글 레벨 셀인 경우, 하나의 독출 전압, 즉 제1 독출 전압(Vread1)이 인가될 수 있다. 선택된 워드 라인(WL_SEL)에 연결된 메모리 셀이 멀티 레벨 셀 또는 트리플 셀인 경우, 도 8에 도시된 바와 같이 데이터에 대응하는 저항 산포들을 구분하기 위한 복수의 독출 전압이 순차적으로 인가되고, 각 독출 전압에 대한 메모리 셀의 저항이 센싱될 수 있다.

[0066] 이와 같이, 본 개시의 실시예에 따르면, 독출 셋업 구간(TPsetup) 또는 독출 셋업 구간(TPsetup) 및 센싱 구간(TPsense)의 일부 구간 동안에 비선택된 스트링 선택 라인(SSL_UN) 및 비선택된 접지 선택 라인(GSL_UN)에 각각 제1 워크-온 전압(Vwo1) 및 제2 워크-온 전압(Vwo2)이 인가될 수 있다. 다시 말해, 비선택된 스트링 선택 라인(SSL_UN) 및 비선택된 접지 선택 라인(GSL_UN)에 제1 문턱 전압(Vth_sst) 및 제2 문턱 전압(Vth_gst)보다 낮은 레벨을 갖는 프리 펄스가 인가될 수 있다.

[0067] 비선택 셀 스트링의 채널 전압은 비선택된 워드 라인(WL_UN)에 인가되는 패스 전압(Vpass)에 의하여 부스팅될 수 있다. 본 개시의 실시예에 따르면, 소정의 구간, 예컨대 독출 셋업 구간(TPsetup) 동안 셀 스트링의 스트링 선택 트랜지스터(SST) 및 접지 선택 트랜지스터(GST)가 약하게 턴-온되고, 셀 스트링의 스트링 선택 트랜지스터(SST) 및 접지 선택 트랜지스터(GST)를 통해 누설 전류가 흐르게 되어, 비선택된 셀 스트링의 채널 포텐셜이 천천히 부스팅될 수 있다. 도 8에 도시된 바와 같이, 상부 채널 포텐셜(Vch_up) 및 하부 채널 포텐셜(Vch_low)이 독출 셋업 구간(TPsetup) 동안 천천히 증가된다. 이때, 상부 채널 포텐셜 (Vch_up)은 비선택된 셀 스트링의 채널 중 스트링 선택 트랜지스터(SST)에 인접한 채널 영역의 부스팅 포텐셜을 나타내고, 하부 채널 포텐셜 (Vch_low)은 비선택된 셀 스트링의 채널 중 접지 선택 트랜지스터(GST)에 인접한 채널 영역의 부스팅 포텐셜을 나타낸다. 도 7을 참조하면, 상부 채널 포텐셜 (Vch_up)은 제6 내지 제8 워드 라인(WL6 내지 WL8)에 대응하는 채널 영역의 부스팅 포텐셜을 나타내고, 하부 채널 포텐셜 (Vch_low)은 제1 내지 제4 워드 라인(WL1 내지 WL4)에 대응하는 채널 영역의 부스팅 포텐셜을 나타낸다. 상부 채널 포텐셜 (Vch_up) 및 하부 채널 포텐셜 (Vch_low)은 제1 채널 부스팅 레벨(Vchup) 및 제2 채널 부스팅 레벨(Vchlow)까지 증가할 수 있으며, 제1 채널 부스팅 레벨 (Vchup) 및 제2 채널 부스팅 레벨(Vchlow)은 동일하거나 또는 유사할 수 있다.

[0068] 한편, 도 7 및 도 8을 참조하여 설명한 내용은 도 5의 메모리 블록(BLKj)의 등가 회로에도 적용될 수 있다. 도 5를 참조하여 기술한 바와 같이, 제1 접지 선택 트랜지스터(GST1)는 대응하는 접지 선택 라인들(GSL1, GSL2, GSL3)을 통해 인가되는 전압에 따라 개별적으로 동작하고, 제2 접지 선택 트랜지스터(GST)는 공통 접지 선택 라인(CGSL)을 통해 인가되는 전압에 따라 공통적으로 동작할 수 있다.

[0069] 선택된 제1 셀 스트링(NS11)의 제1 접지 선택 트랜지스터(GST1)에 연결된 제1 접지 선택 라인(GSL1)은 선택된 접지 선택 라인(GSL_SEL)이고, 비선택된 제2 및 제3 셀 스트링(NS12, NS13)의 제1 접지 선택 트랜지스터(GST1)에 연결된 제2 및 제3 접지 선택 라인(GSL3)은 비선택된 접지 선택 라인(GSL_UN)이다. 한편, 제1 내지 제3 셀 스트링(NS11, NS12, NS13)의 제2 접지 선택 트랜지스터들(GST2)에 공통적으로 연결되는 공통 접지 선택 라인(CGSL)은 선택된 접지 선택 라인(GSL_SEL)이다.

[0070] 도 5 및 도 8을 참조하면, 독출 셋업 구간(TPsetup) 및 센싱 구간(TPsense) 동안, 선택된 접지 선택 라인(GSL_SEL), 예컨대 제1 접지 선택 라인(GSL1) 및 공통 접지 선택 라인(CGSL)에 턴-온 전압(Von)이 인가되고, 독출 셋업 구간(TPsetup) 또는 독출 셋업 구간(TPsetup) 및 센싱 구간(TPsense)의 일부 구간 동안에 비선택된 접지 선택 라인(GSL_UN), 예컨대 제2 및 제3 접지 선택 라인(GSL2, GSL3)에 제2 워크-온 전압(Vwo2)이 인가될 수 있다.

[0071] 따라서, 독출 셋업 구간(TPsetup) 및 센싱 구간(TPsense) 동안, 제1 내지 제3 셀 스트링(NS11, NS12, NS13)의 제2 접지 선택 트랜지스터(GST2)에 턴-온 전압(Von)이 인가되고, 또한, 제1 셀 스트링(NS11)의 제1 접지 선택 트랜지스터(GST1)에 턴-온 전압(Von)이 인가될 수 있다. 비선택된 제2 및 제3 셀 스트링(NS12, NS13)의 제1 접

지 선택 트랜지스터(GST2)에는 제2 워크-온 전압(Wwo2)이 인가될 수 있다. 제2 워크-온 전압(Wwo2)은 제1 워크-온 전압(Vwo1)과 동일하거나 또는 상이할 수 있다.

[0072] 도 9는 메모리 장치의 동작 방법의 비교 예에 따른 타이밍도이다.

[0073] 도 9를 참조하면, 비선택된 스트링 선택 라인 및 비선택된 접지 선택 라인에 독출 셋업 구간(IPsetup)의 일부 구간 동안, 문턱 전압들(Vth_sst, Vth_gst)보다 높은 레벨을 갖는 프리 펄스가 인가될 수 있다. 이에 따라, 비선택된 셀 스트링의 스트링 선택 트랜지스터(SST)는 제2 시점(T2') 내지 제5 시점(T5') 동안 턴-온되고 제5 시점(T5') 이후 턴-오프될 수 있다. 접지 선택 트랜지스터(GST)는 제3 시점(T3') 내지 제4 시점(T4') 동안 턴-온되고, 제4 시점(T4') 이후 턴-오프될 수 있다. 비선택된 셀 스트링의 스트링 선택 트랜지스터(SST) 및 접지 선택 트랜지스터(GST)가 턴-온 되면, 비선택된 셀 스트링의 채널의 부스팅 차지가 급격히 방전되고, 이에 따라 채널의 부스팅 포텐셜이 급격히 낮아질 수 있다. 비선택된 셀 스트링의 스트링 선택 트랜지스터(SST) 및 접지 선택 트랜지스터(GST)가 턴-오프되면, 비선택된 셀 스트링의 채널의 부스팅 포텐셜이 급격히 증가할 수 있다. 이와 같이, 채널의 부스팅 포텐셜이 급격히 변함에 따라 HCI가 발생할 수 있다. 또한, 스트링 선택 트랜지스터(SST) 및 접지 선택 트랜지스터(GST)의 문턱 전압 레벨, 선택된 워드 라인(WL_SEL)의 위치 및 프로그램 패턴 등에 의하여 상부 채널 포텐셜(Vch_up) 및 하부 채널 포텐셜(Vch_low)에 포텐셜 차이가 발생할 수 있다. 다시 말해 채널 내의 부스팅 포텐셜이 불균등해질 수 있다.

[0074] 그러나, 도 8을 참조하여 전술한 바와 같이, 본 개시의 실시예에 따르면, 독출 수행 시, 비선택된 선택 라인들에 선택 트랜지스터들의 문턱 전압보다 낮은 워크-온 전압, 다시 말해 선택 트랜지스터들을 약하게 턴-온 시키는 프리 펄스가 소정의 시간 동안 인가됨으로써, 비선택된 셀 스트링의 채널 포텐셜이 천천히 적정 레벨로 부스팅 되어 HCI가 발생하지 않으며, 채널 내의 부스팅 포텐셜이 균등해질 수 있다.

[0075] 도 10은 도 3의 메모리 블록의 사시도이다.

[0076] 도 10을 참조하면, 메모리 블록(BLKa)은 기관(SUB)에 대해 수직 방향으로 형성되어 있다. 도 10에서는, 메모리 블록(BLKa)이 2개의 선택 라인들(GSL, SSL), 8개의 워드 라인들(WL1 내지 WL8), 그리고 3개의 비트 라인들(BL1 내지 BL3)을 포함하는 것으로 도시되어 있으나, 실제로는 이것들보다 더 많거나 적을 수 있다.

[0077] 기관(SUB)은 제1 도전형(예를 들어, p 타입)을 가지며, 기관(SUB) 상에 제1 방향(예를 들어, Y 방향)을 따라 신장되고, 제2 도전형(예를 들어, n 타입)의 불순물들이 도핑된 공통 소스 라인(CSL)이 제공된다. 인접한 두 공통 소스 라인(CSL) 사이의 기관(SUB)의 영역 상에, 제1 방향을 따라 신장되는 복수의 절연막들(IL)이 제3 방향(예를 들어, Z 방향)을 따라 순차적으로 제공되며, 복수의 절연막들(IL)은 제3 방향을 따라 특정 거리만큼 이격된다. 예를 들어, 복수의 절연막들(IL)은 실리콘 산화물과 같은 절연 물질을 포함할 수 있다.

[0078] 인접한 두 공통 소스 라인들(CSL) 사이의 기관(SUB)의 영역 상에, 제1 방향을 따라 순차적으로 배치되며, 제3 방향을 따라 복수의 절연막들(IL)을 관통하는 복수의 필라들(pillars)(P)이 제공된다. 예를 들어, 복수의 필라들(P)은 복수의 절연막들(IL)을 관통하여 기관(SUB)과 접촉할 것이다. 구체적으로, 각 필라(P)의 표면층(surface layer)(S)은 제1 도전 타입을 갖는 실리콘 물질을 포함할 수 있고, 채널 영역으로 기능할 수 있다. 한편, 각 필라(P)의 내부층(I)은 실리콘 산화물과 같은 절연 물질 또는 에어 갭(air gap)을 포함할 수 있다.

[0079] 인접한 두 공통 소스 라인들(CSL) 사이의 영역에서, 절연막들(IL), 필라들(P) 및 기관(SUB)의 노출된 표면을 따라 전하 저장층(charge storage layer, CS)이 제공된다. 전하 저장층(CS)은 게이트 절연층(또는 '터널링 절연층'이라고 지칭함), 전하 트랩층 및 블로킹 절연층을 포함할 수 있다. 예를 들어, 전하 저장층(CS)은 ONO(oxide-nitride-oxide) 구조를 가질 수 있다. 또한, 인접한 두 공통 소스 라인들(CSL) 사이의 영역에서, 전하 저장층(CS)의 노출된 표면 상에, 선택 라인들(GSL, SSL) 및 워드 라인들(WL1 내지 WL8)과 같은 게이트 전극(GE)이 제공된다.

[0080] 복수의 필라들(P) 상에는 드레인들 또는 드레인 컨택들(DR)이 각각 제공된다. 예를 들어, 드레인들 또는 드레인 컨택들(DR)은 제2 도전형을 갖는 불순물들이 도핑된 실리콘 물질을 포함할 수 있다. 드레인 컨택들(DR) 상에, 제2 방향(예를 들어, X 방향)으로 신장되고 제1 방향을 따라 특정 거리만큼 이격되어 배치된 비트 라인들(BL1 내지 BL3)이 제공된다.

[0081] 한편, 도 10에 도시된 메모리 블록(BLKa)에 포함되는 접지 선택 트랜지스터(GST) 및 스트링 선택 트랜지스터(SST)의 문턱 전압은, 도 11에 도시된 바와 같이 서로 상이할 수 있다.

[0082] 도 11은 접지 선택 트랜지스터(GST) 및 스트링 선택 트랜지스터(SST)의 문턱 전압 산포를 나타낸다. 도 11을 참

조하면, 스트링 선택 트랜지스터(SST)의 문턱 전압 산포(dV_{sst})는 접지 선택 트랜지스터(GST)의 문턱 전압 산포(dV_{gst})보다 좁을 수 있다.

- [0083] 스트링 선택 트랜지스터(SST)의 문턱 전압 산포(dV_{sst})와 접지 선택 트랜지스터(GST)의 문턱 전압 산포(dV_{gst})의 차이는 스트링 선택 라인(SSL)에 연결된 스트링 선택 트랜지스터(SST) 및 접지 선택 라인(GSL)에 연결된 접지 선택 트랜지스터(GST)는 구조적인 차이에 기인할 수 있다. 도 10을 참조하면, 접지 선택 트랜지스터(GST)는 기관(SUB)과 맞닿아 있어, 비트 라인(BL)에 인접한 스트링 선택 트랜지스터(SST)와 문턱 전압 산포가 다를 수 있다. 또한, 스트링 선택 트랜지스터(SST)는 비트 라인(BL)의 선택/비선택 레벨에 의해 선택적으로 프로그램되어, 문턱 전압의 산포(dV_{sst})가 좁게 형성될 수 있지만, 접지 선택 트랜지스터(GST)는 공통 소스 라인(CSL)에 공통적으로 연결되어 있어, 선택적인 프로그램이 아닌 원-샷 프로그램에 의하여 문턱 전압의 산포가 형성되므로, 문턱 전압의 산포(dV_{gst})가 넓게 형성될 수 있다.
- [0084] 이로 인해, 도 10에 도시된 바와 같이, 접지 선택 트랜지스터(GST)의 문턱 전압 산포(dV_{gst})가 상대적으로 넓고, 스트링 선택 트랜지스터(SST)의 문턱 전압 산포(dV_{sst})가 상대적으로 좁을 수 있다. 또한, 접지 선택 트랜지스터(GST)의 문턱 전압의 중심 레벨(V_{gst})은 스트링 선택 트랜지스터(SST)의 문턱 전압의 중심 레벨(V_{sst})보다 높을 수 있다.
- [0085] 이와 같이, 공정 및 구조상의 이유로 인하여 스트링 선택 트랜지스터(SST)의 문턱 전압, 다시 말해, 제1 문턱 전압(V_{th_sst})과 접지 선택 트랜지스터(GST)의 문턱 전압, 다시 말해, 제2 문턱 전압(V_{th_gst})은 상이할 수 있다.
- [0086] 한편, 도 5를 참조하면, 제1 접지 선택 트랜지스터(GST1)는 비트 라인(BL)의 선택/비선택 레벨에 의해 선택적으로 프로그램되어, 문턱 전압의 산포가 도 11의 접지 선택 트랜지스터(GST)의 문턱 전압의 산포(dV_{gst})보다 좁게 형성될 수 있다. 실시예에 있어서, 제1 접지 선택 트랜지스터(GST1)의 문턱 전압 산포는, 도 11의 스트링 선택 트랜지스터(SST)의 문턱 전압의 산포(dV_{sst})와 유사할 수 있다.
- [0087] 제2 접지 선택 트랜지스터(GST2)는 공통적으로 공통 소스 라인(CSL)에 연결되고, 원-샷 프로그램에 의하여 문턱 전압의 산포가 형성되므로, 도 11의 접지 선택 트랜지스터(GST)의 문턱 전압의 산포(dV_{gst})와 유사할 수 있다.
- [0088] 도 12a 및 도 12b는 본 개시의 실시예에 따라 비선택된 선택 라인들에 인가되는 전압들의 파형을 나타내는 타이밍도이다.
- [0089] 도 10 및 도 11을 참조하여 전술한 바와 같이, 스트링 선택 트랜지스터(SST)의 문턱 전압, 즉 제1 문턱 전압(V_{th_sst})의 레벨은 접지 선택 트랜지스터(GST)의 문턱 전압, 즉 제2 문턱 전압(V_{th_gst})의 레벨과 다를 수 있다. 문턱 전압의 차이를 보상하기 위하여, 도 12a에 도시된 바와 같이, 제1 워크-온 전압(V_{wo1}) 및 제2 워크-온 전압(V_{wo2})의 레벨이 다르게 설정될 수 있다. 다시 말해, 문턱 전압의 레벨에 따라, 비선택된 스트링 선택 라인(SSL_UN)에 인가되는 프리 펄스의 레벨과 비선택된 접지 선택 라인(GSL_UN)에 인가되는 프리 펄스의 레벨이 다를 수 있다.
- [0090] 도 12a를 참조하면, 워크-온 전압들(V_{wo1} , V_{wo2})은 제1 구간(TP1)에 비선택된 선택 라인들, 즉 비선택 스트링 선택 라인(SSL_UN) 및 비선택 접지 선택 라인(GSL_UN)에 인가될 수 있다. 제1 구간(TP1)은 독출 셋업 구간(TPsetup)과 동일하거나 또는 독출 셋업 구간보다 길 수 있다. 제2 구간(TP2)에 비선택된 선택 라인들에는 턴-오프 전압(V_{off})이 인가될 수 있다.
- [0091] 도 12a에서 제1 문턱 전압(V_{th_sst})은 제2 문턱 전압(V_{th_gst})보다 낮다. 워크-온 전압들(V_{wo1} , V_{wo2})의 레벨은 대응하는 문턱 전압의 레벨에 따라 설정되거나 조절될 수 있다. 따라서, 제1 워크-온 전압(V_{wo1})의 레벨은 제2 워크-온 전압(V_{wo2})의 레벨보다 낮을 수 있다. 도 12a에 도시된 바와 달리, 제1 문턱 전압(V_{th_sst})이 제2 문턱 전압(V_{th_gst})보다 높으면, 제1 워크-온 전압(V_{wo1})의 레벨은 제2 워크-온 전압(V_{wo2})의 레벨보다 높을 수 있다.
- [0092] 또한, 문턱 전압의 차이를 보상하기 위하여, 도 12b에 도시된 바와 같이, 제1 워크-온 전압(V_{wo1}) 및 제2 워크-온 전압(V_{wo2})이 인가되는 시간이 다르게 설정될 수 있다. 다시 말해, 문턱 전압의 레벨에 따라, 비선택된 스트링 선택 라인(SSL_UN)에 인가되는 프리 펄스의 폭과 비선택된 접지 선택 라인(GSL_UN)에 인가되는 프리 펄스의 폭이 다를 수 있다.
- [0093] 도 12b에서, 제1 워크-온 전압(V_{wo1})은 제1 구간(TP1) 동안 비선택 스트링 선택 라인(SSL_UN)에 인가되고, 제2 워크-온 전압(V_{wo2})은 제3 구간(TP3) 동안 비선택 접지 선택 라인(GSL_UN)에 인가될 수 있다. 도 12b에 도시된

바와 같이, 제1 문턱 전압(V_{th_sst})이 제2 문턱 전압(V_{th_gst})보다 낮으면, 제3 구간(TP3)의 길이는 제1 구간(TP1)의 길이보다 길 수 있다. 이때, 제1 워크-온 전압(V_{wo1})의 레벨은 제2 워크-온 전압(V_{wo2})의 레벨과 동일할 수 있다. 그러나, 이에 제한되는 것은 아니며, 제1 워크-온 전압(V_{wo1})의 레벨 및 인가되는 시간은 제2 워크-온 전압(V_{wo2})의 레벨 및 인가되는 시간과 다를 수 있다. 도 12a에 도시된 바와 달리, 제1 문턱 전압(V_{th_sst})이 제2 문턱 전압(V_{th_gst})보다 높으면, 제1 구간(TP1)의 길이가 제3 구간(TP3)의 길이보다 길 수 있다.

[0094] 한편, 도 12a 및 도 12b를 참조하여 설명한 내용은 도 5의 메모리 블록(BLKj)의 등가 회로에도 적용될 수 있다. 도 5 및 8을 참조하여 기술한 바와 같이, 도 5의 메모리 블록(BLKj)에서 선택된 셀 스트링의 제1 접지 선택 트랜지스터(GST1)에 연결된 접지 선택 라인 및 복수의 셀 스트링들에 연결된 제2 접지 선택 트랜지스터들(GST2)에 공통적으로 연결되는 공통 접지 선택 라인(CGSL)은 선택된 접지 선택 라인(GSL_SEL)이고, 비선택된 셀 스트링의 제1 접지 선택 트랜지스터(GST1)에 연결된 접지 선택 라인은 비선택된 접지 선택 라인(GSL_UN)이다.

[0095] 도 5 및 도 12A를 참조하면, 제1 구간(TP1) 동안 비선택된 접지 선택 라인(GSL_UN)에 제2 워크-온 전압(V_{wo2})이 인가되고, 비선택된 스트링 선택 라인(SSL_UN)에 제1 워크-온 전압(V_{wo1})이 인가될 수 있으며, 제1 문턱 전압(V_{th_sst})이 제2 문턱 전압(V_{th_gst}), 다시 말해 제1 접지 선택 트랜지스터(GST1)의 문턱 전압 보다 낮으면, 제1 워크-온 전압(V_{wo1})의 레벨은 제2 워크-온 전압(V_{wo2})의 레벨보다 낮을 수 있다. 이와 반대로, 제1 문턱 전압(V_{th_sst})이 제2 문턱 전압(V_{th_gst})보다 높으면, 제1 워크-온 전압(V_{wo1})의 레벨은 제2 워크-온 전압(V_{wo2})의 레벨보다 높을 수 있다.

[0096] 또한, 도 5 및 도 12B를 참조하면, 제1 접지 선택 트랜지스터(GST1)의 문턱 전압, 다시 말해 제1 문턱 전압(V_{th_sst})이 제2 문턱 전압(V_{th_gst})보다 낮으면, 제3 구간(TP3)의 길이는 제1 구간(TP1)의 길이보다 길 수 있다. 반대로 제1 문턱 전압(V_{th_sst})이 제2 문턱 전압(V_{th_gst})보다 높으면, 제1 구간(TP1)의 길이가 제3 구간(TP3)의 길이보다 길 수 있다.

[0097] 그러나, 이에 제한되는 것은 아니며, 실시예에 있어서, 제1 워크-온 전압(V_{wo1})의 레벨은 제2 워크-온 전압(V_{wo2})의 레벨과 같을 수도 있다. 또한, 제1 구간(TP1)의 길이는 제3 구간(TP3)의 길이와 같을 수 있다. 기술한 바와 같이, 도 5의 메모리 블록(BLKj)의 등가 회로에서, 제1 접지 선택 트랜지스터(GST1)의 문턱 전압 산포는 스트링 선택 트랜지스터(SST)의 문턱 전압 산포와 유사할 수 있다. 따라서, 제1 문턱 전압(V_{th_sst})이 제2 문턱 전압(V_{th_gst})과 유사할 수 있는바, 제1 워크-온 전압(V_{wo1})의 레벨은 제2 워크-온 전압(V_{wo2})의 레벨과 같고, 제1 구간(TP1)의 길이는 제3 구간(TP3)의 길이와 같을 수 있다. 다시 말해, 비선택된 스트링 선택 라인(SSL_UN) 및 비선택된 접지 선택 라인(GSL_UN)에 인가되는 프리 펄스의 폭 및 레벨이 동일할 수 있다. 도 13은 도 3의 메모리 블록의 셀 스트링의 채널 홀을 예시적으로 나타낸다.

[0098] 필라들(도 9의 P)은 선택 라인들(GSL2, SSL2) 및 워드 라인들(WL1 내지 WL8)이 적층되어 형성되는 몰드를 에칭(ditching)하여 형성되는 채널 홀(CH)에 형성될 수 있다.

[0099] 도 13을 참조하면, 채널 홀(CH)의 직경은 기판(SUB)에 인접할수록 감소할 수 있다. 이에 따라, 스트링 선택 트랜지스터(SST)의 채널 홀 사이즈(D2)는 접지 선택 트랜지스터(GST) 근방의 채널 홀 사이즈(D1)보다 클 수 있다. 이는 상기 몰드의 상부로부터 기판(SUB) 방향으로 에칭(ditching)하여 채널 홀(CH)을 형성하기 때문이다. 스트링 선택 트랜지스터(SST)에 대응하는 위치에서의 채널 홀(CH) 사이즈(D2)가 접지 선택 트랜지스터(GST)에 대응하는 위치에서의 채널 홀(CH) 사이즈(D1)보다 크므로, 스트링 선택 트랜지스터(SST)의 채널 폭은 접지 선택 트랜지스터(GST)의 채널 폭보다 클 수 있다. 다시 말해 스트링 선택 트랜지스터(SST)의 사이즈가 접지 선택 트랜지스터(GST)의 사이즈보다 클 수 있다. 이에 따라, 스트링 선택 트랜지스터(SST) 및 접지 선택 트랜지스터(GST)가 약하게 턴-온 되었을 때, 스트링 선택 트랜지스터(SST)의 저항이 접지 선택 트랜지스터(GST)의 저항보다 작을 수 있다. 다시 말해 스트링 선택 트랜지스터(SST)를 통하여 흐르는 전류량이 접지 선택 트랜지스터(GST)를 통하여 흐르는 전류량보다 많을 수 있다.

[0100] 도 14a 및 도 14b는 본 개시의 실시예에 따라 비선택된 선택 라인들에 인가되는 전압들의 파형을 나타내는 타이밍도이다.

[0101] 기술한 스트링 선택 트랜지스터(SST)의 저항과 접지 선택 트랜지스터(GST)의 저항 차이를 보상하여 비선택된 셀 스트링의 채널 부스팅 포텐셜을 균일하게 하기 위하여, 도 14a 및 도 14b에 도시된 바와 같이, 제1 워크-온 전압(V_{wo1}) 및 제2 워크-온 전압(V_{wo2})의 레벨이 다르게 설정될 수 있다. 제1 문턱 전압(V_{th_sst})과 제2문턱 전압(V_{th_gst})이 동일하다고 가정할 때, 제1 워크-온 전압(V_{wo1})의 레벨이 제2 워크-온 전압(V_{wo2})의 레벨보다 낮을 수 있다.

- [0102] 스트링 선택 트랜지스터(SST)의 저항과 접지 선택 트랜지스터(GST)의 저항 차이를 보상하기 위하여, 도 14b에 도시된 바와 같이 제1 워크-온 전압(Vwo1) 및 제2 워크-온 전압(Vwo2)이 인가되는 시간이 다르게 설정될 수 있다. 제1 워크-온 전압(Vwo1)은 제1 구간(TP1) 동안 비선택 스트링 선택 라인(SSL_UN)에 인가되고, 제2 워크-온 전압(Vwo2)은 제3 구간(TP3) 동안 비선택 접지 선택 라인(GSL_UN)에 인가될 수 있다. 제3 구간(TP3)의 길이는 제1 구간(TP1)의 길이보다 길 수 있다.
- [0103] 한편, 전술한 바와 같이, 도 5의 메모리 블록(BLKj)에서 선택된 셀 스트링의 제1 접지 선택 트랜지스터(GST1)에 연결된 접지 선택 라인 및 복수의 셀 스트링들에 연결된 제2 접지 선택 트랜지스터들(GST2)에 공통적으로 연결되는 공통 접지 선택 라인(CGSL)은 선택된 접지 선택 라인(GSL_SEL)이고, 비선택된 셀 스트링의 제1 접지 선택 트랜지스터(GST1)에 연결된 접지 선택 라인은 비선택된 접지 선택 라인(GSL_UN)이다. 따라서, 도 14a 및 도 14b를 참조하여 설명한 내용은 도 5의 메모리 블록(BLKj)의 등가 회로에도 적용될 수 있다.
- [0104] 도 15는 본 개시의 실시예에 따른, 메모리 장치(도 1의 100)의 동작 방법을 나타낸다. 구체적으로 도 15는 메모리 장치의 독출 방법을 나타내며, 도 2의 메모리 장치(100)에서 시계열적으로 수행되는 단계들을 포함할 수 있다. 도 1 내지 도 14를 참조하여 상술된 내용은 본 실시예에도 적용될 수 있다.
- [0105] 도 15를 참조하면, S210 단계에서, 메모리 장치(100)는 선택 트랜지스터들의 문턱 전압에 기초하여 비선택된 선택 라인에 인가될 워크-온 전압의 레벨 및 인가되는 시간을 설정할 수 있다. 예컨대, S210 단계는 전압 제어부(도 2의 121)에서 수행될 수 있다.
- [0106] 선택 트랜지스터들의 문턱 전압의 레벨은 메모리 장치(도 1의 100)의 테스트 단계에서 검출되어 메모리 장치(100)에 저장될 수 있다. 예를 들어 문턱 전압의 레벨은 메모리 장치(100)에 내장된 레지스터 등에 저장될 수 있다. 또는 문턱 전압의 레벨은 메모리 컨트롤러(도 1의 200)에 저장될 수 있다.
- [0107] 실시예에 있어서, 메모리 블록 단위로 문턱 전압들의 레벨이 저장될 수 있다. 예컨대, 복수의 메모리 블록들(도 2의 BLK1 내지 BLKz) 각각에 대하여 선택 트랜지스터들의 문턱 전압이 검출되고, 검출된 문턱 전압이 저장될 수 있다. 그러나 이에 제한되는 것은 아니며, 메모리 블록보다 더 큰 단위 또는 작은 단위로 문턱 전압들의 레벨이 저장될 수 있다.
- [0108] 메모리 장치(100)는 스트링 선택 트랜지스터의 문턱 전압에 기초하여 비선택된 스트링 선택 라인에 인가될 제1 워크-온 전압의 레벨 및 인가되는 시간을 설정할 수 있다. 접지 선택 트랜지스터의 문턱 전압에 기초하여 비선택된 접지 선택 라인에 인가될 제2 워크-온 전압의 레벨 및 인가되는 시간이 설정될 수 있다. 전술한 바와 같이, 제1 워크-온 전압은 스트링 선택 트랜지스터의 문턱 전압보다 낮고 제2 워크-온 전압은 접지 선택 트랜지스터의 문턱 전압보다 낮게 설정된다.
- [0109] 실시예에 있어서, 접지 선택 트랜지스터의 문턱 전압이 스트링 선택 트랜지스터의 문턱 전압보다 높다면, 제2 워크-온 전압의 레벨이 제1 워크-온 전압의 레벨보다 높게 설정될 수 있다. 또는 제2 워크-온 전압이 인가되는 시간이 제1 워크-온 전압이 인가되는 시간보다 길게 설정될 수 있다.
- [0110] 실시예에 있어서, 복수의 메모리 블록들(도 2의 BLK1 내지 BLKz) 중 제1 메모리 블록(BLK1)은 싱글 레벨 셀을 포함하고, 제2 메모리 블록(BLK2)은 멀티 레벨 셀을 포함하는 경우, 제2 메모리 블록(BLK2)에 포함되는 선택 트랜지스터들의 문턱 전압이 제1 메모리 블록(BLK1)에 포함되는 선택 트랜지스터들의 문턱 전압보다 높을 수 있다. 제2 메모리 블록(BLK2)에 제공되는 워크-온 전압들의 레벨이 제1 메모리 블록(BLK1)에 제공되는 워크-온 전압들의 레벨보다 높게 설정될 수 있다. 또는, 제2 메모리 블록(BLK2)에 제공되는 워크-온 전압들이 인가되는 시간이 제1 메모리 블록(BLK1)에 제공되는 워크-온 전압들의 인가되는 시간보다 길게 설정될 수 있다.
- [0111] S220 단계에서, 메모리 장치(100)는 독출 커맨드 및 어드레스를 수신하고, S230 단계에서, 메모리 장치(100)는 메모리 셀 어레이(110) 중 어드레스에 대응하는 영역의 선택 라인들 및 워드 라인들에 독출 바이어스 전압을 인가한다. 예를 들어, 복수의 메모리 블록들(도 2의 BLK1 내지 BLKz) 중 어드레스에 대응하는 메모리 블록 또는 메모리 블록 내의 서브 블록의 선택 라인들 및 워드 라인들에 독출 바이어스 전압을 인가할 수 있다. 이때, 독출 바이어스 전압은 데이터가 정상적으로 독출될 수 있도록, 비선택된 선택 라인들, 선택된 선택 라인들, 선택된 워드 라인 및 비선택된 워드 라인들에 인가되는 전압들을 통칭한다. 이때, S210 단계에서 설정된 워크-온 전압들이 설정된 인가시간 동안 비선택된 선택 라인들에 인가될 수 있다.
- [0112] S240 단계에서, 메모리 장치(100)는 어드레스에 해당하는 메모리 셀들로부터 데이터를 독출한다. 메모리 장치(100)는 독출 셋업 구간 이후에 상기 메모리 셀들을 센싱함으로써, 데이터를 독출할 수 있다.

- [0113] 도 16a 및 도 16b는 본 개시의 실시예에 따라 비선택된 선택 라인들에 인가되는 전압들의 파형을 나타내는 타이밍도이다. 도 16a 및 도 16b는 온도에 따라 설정되는 워크-온 전압들의 레벨 및 인가되는 시간을 나타낸다.
- [0114] 도 16a 및 도 16b를 참조하면, 온도가 높을 때 스트링 선택 트랜지스터(SST)의 문턱 전압(V_{th_ssta})은 온도가 낮을 때의 스트링 선택 트랜지스터(SST)의 문턱 전압(V_{th_sstb})보다 낮을 수 있다. 온도가 높을 때 접지 선택 트랜지스터(GST)의 문턱 전압(V_{th_gsta})은 온도가 낮을 때의 접지 선택 트랜지스터(GST)의 문턱 전압(V_{th_gstb})보다 낮을 수 있다. 또한, 따라서, 도 15a에 도시된 바와 같이, 온도가 높을 때 제1 워크-온 전압(V_{wo1a})의 레벨은 온도가 낮을 때의 제1 워크-온 전압(V_{wo1b})보다 낮게 설정될 수 있다. 또는, 온도가 높을 때 제2 워크-온 전압(V_{wo2a})의 레벨은 온도가 낮을 때의 제2 워크-온 전압(V_{wo2b})보다 낮게 설정될 수 있다. 다시 말해, 비선택된 스트링 선택 라인(SSL_UN) 및/또는 비선택된 접지 선택 라인(GSL_UN)에 인가되는 프리 펄스의 레벨은 온도에 따라 조절될 수 있으며, 높은 온도일수록 프리 펄스의 레벨이 낮게 설정되고 낮은 온도일수록 프리 펄스의 레벨이 높게 설정될 수 있다.
- [0115] 또는, 도 16b에 도시된 바와 같이, 온도가 높을 때 제1 워크-온 전압(V_{wo1}) 및/또는 제2 워크-온 전압(V_{wo2})이 인가되는 제1 구간(TP1)은 온도가 낮을 때 제1 워크-온 전압(V_{wo1}) 및/또는 제2 워크-온 전압(V_{wo2})이 인가되는 제3 구간(TP3)보다 짧을 수 있다. 다시 말해, 비선택된 스트링 선택 라인(SSL_UN) 및/또는 비선택된 접지 선택 라인(GSL_UN)에 인가되는 프리 펄스의 폭은 온도에 따라 조절될 수 있으며, 높은 온도일수록 프리 펄스의 폭이 좁게 설정되고 낮은 온도일수록 프리 펄스의 폭이 넓게 설정될 수 있다.
- [0116] 한편, 도 16B의 제1 구간(TP1)은 독출 셋업 구간(도 8의 TPsetup)과 동일하거나 독출 셋업 구간보다 길다. 온도가 높을 때 및 온도가 낮을 때, 제1 워크-온 전압(V_{wo1})의 레벨이 동일하며, 또는 제2 워크-온 전압(V_{wo2})의 레벨이 동일할 수 있다. 그러나, 이에 제한되는 것은 아니며, 제1 워크-온 전압(V_{wo1}) 및 제2 워크-온 전압(V_{wo2}) 각각의 레벨 및 인가되는 시간은 온도에 따라 다르게 설정될 수 있다.
- [0117] 한편, 전술한 바와 같이, 도 5의 메모리 블록(BLKj)에서 선택된 셀 스트링의 제1 접지 선택 트랜지스터(GST1)에 연결된 접지 선택 라인 및 복수의 셀 스트링들에 연결된 제2 접지 선택 트랜지스터들(GST2)에 공통적으로 연결되는 공통 접지 선택 라인(CGSL)은 선택된 접지 선택 라인(GSL_SEL)이고, 비선택된 셀 스트링의 제1 접지 선택 트랜지스터(GST1)에 연결된 접지 선택 라인은 비선택된 접지 선택 라인(GSL_UN)이다. 따라서, 도 16a 및 도 16b를 참조하여 설명한 내용은 도 5의 메모리 블록(BLKj)의 등가 회로에도 적용될 수 있다.
- [0118] 도 17은 본 개시의 실시예에 따른, 메모리 장치(도 1의 100)의 동작 방법을 나타낸다. 구체적으로 도 17은 메모리 장치의 독출 방법을 나타내며, 도 2의 메모리 장치(100)에서 시계열적으로 수행되는 단계들을 포함할 수 있다. 도 1 내지 도 16b를 참조하여 상술된 내용은 본 실시예에도 적용될 수 있다.
- [0119] 도 17을 참조하면, S310 단계에서, 메모리 장치(100)는 선택 트랜지스터들의 문턱 전압에 기초하여 비선택된 선택 라인에 인가될 워크-온 전압의 레벨 및 인가되는 시간을 설정한다. S310 단계는 도 15의 S210 단계와 동일한 바 중복되는 설명은 생략하기로 한다.
- [0120] S320 단계에서, 메모리 장치(100)는 독출 커맨드 및 어드레스를 수신하고, S330 단계에서, 메모리 장치(100)는 온도 정보를 획득한다. 실시예에 있어서, 온도 정보는 메모리 장치(도 1의 100)의 내부에 구비되는 온도 감지기(Temperature detector)로부터 제공될 수 있다. 다른 실시예에 있어서, 온도 정보는 메모리 컨트롤러(도 1의 200)로부터 제공될 수 있다.
- [0121] S340 단계에서, 메모리 장치(100)는 온도 정보에 기초하여 워크-온 전압들의 레벨 또는 인가되는 시간을 조정한다. 예컨대, S310 단계에서 메모리 장치(100)는 설정된 기준 온도를 기초로 워크-온 전압들의 디폴트 레벨 또는 인가되는 디폴트 시간을 설정할 수 있으며, S340 단계에서, 메모리 장치(100)는 상기 디폴트 레벨 또는 디폴트 시간, 및 온도 정보를 기초로 온도 변화에 따른 워크-온 전압들의 레벨 또는 인가되는 시간을 설정할 수 있다. 예컨대, 메모리 장치(100)는 독출 커맨드가 수신되었을 때의 온도가 기준 온도보다 높은 경우, 워크-온 전압들의 레벨을 디폴트 레벨보다 낮추거나, 또는 워크-온 전압들이 인가되는 시간을 디폴트 시간보다 줄일 수 있다. 이때, 메모리 장치(100)는 온도 변화의 양에 대응하여 미리 설정된 오프셋 레벨들을 디폴트 레벨 또는 디폴트 시간에 반영함으로써, 온도에 따른 워크-온 전압들의 레벨 또는 인가되는 시간을 설정할 수 있다.
- [0122] 메모리 장치(100)는 S350 단계에서, 선택 라인들 및 워드 라인들에 독출 바이어스 전압을 인가하고, S360 단계에서, 어드레스에 해당하는 메모리 셀들로부터 데이터를 독출한다. S350 단계 및 S360 단계는 도 15의 S230 단계 및 S240 단계와 동일한 바 중복되는 설명은 생략하기로 한다.

- [0123] 도 18a 내지 도 19b는 본 개시의 실시예에 따라 비선택된 선택 라인들에 인가되는 전압들의 과형을 나타내는 타이밍도이다. 도 18a 및 도 18b는 선택된 워드라인의 위치에 따라 설정되는 워크-온 전압들의 레벨을 나타내고 도 19a 및 도 19b는 선택된 워드라인의 위치에 따라 설정되는 워크-온 전압들이 인가되는 시간을 나타낸다. 스트링 선택 트랜지스터(SST)의 문턱 전압(V_{th_sst})과 접지 선택 트랜지스터(GST)의 문턱 전압(V_{th_gst})은 실질적으로 동일한 것으로 가정하기로 한다.
- [0124] 도 18a 및 18b를 참조하면, 선택된 워드 라인의 위치에 따라 비선택된 스트링 선택 라인(SSL_UN)에 인가되는 제1 워크-온 전압(V_{wo1})의 레벨과 비선택된 접지 선택 라인(GSL_UN)에 인가되는 제2 워크-온 전압(V_{wo2})의 레벨이 다르게 설정될 수 있다. 다시 말해, 선택된 워드 라인의 위치에 따라, 비선택된 스트링 선택 라인(SSL_UN)에 인가되는 프리 펄스의 레벨과 비선택된 접지 선택 라인(GSL_UN)에 인가되는 프리 펄스의 레벨이 다를 수 있다.
- [0125] 선택된 워드 라인(WL_SEL)이 스트링 선택 라인(SSL)보다 접지 선택 라인(GSL)에 인접한 경우, 도 18a에 도시된 바와 같이, 비선택된 스트링 선택 라인(SSL_UN)에 인가되는 제1 워크-온 전압(V_{wo1})의 레벨은 비선택된 접지 선택 라인(GSL_UN)에 인가되는 제2 워크-온 전압(V_{wo2})의 레벨보다 높게 설정될 수 있다.
- [0126] 선택된 워드 라인(WL_SEL)이 스트링 선택 라인(SSL)보다 접지 선택 라인(GSL)에 인접한 경우, 비선택된 셀 스트링의 채널의 상부 영역(예컨대, 스트링 선택 라인과 선택된 워드 라인 사이의 영역)에서 제거되어야 할 부스팅 차지가 채널의 하부 영역(예컨대, 접지 선택 라인과 선택된 워드 라인 사이의 영역)에서 제거되어야 할 부스팅 차지보다 많을 수 있다. 따라서, 제1 워크-온 전압(V_{wo1})의 레벨을 제2 워크-온 전압(V_{wo2})의 레벨보다 높게 설정하고, 스트링 선택 트랜지스터(SST)의 누설 전류량을 상대적으로 증가시킴으로써, 채널의 상부 영역에서 상대적으로 많은 양의 부스팅 차지가 비트 라인(BL)으로 빠져나가도록 할 수 있다. 이에 따라 채널 영역 상의 부스팅 포텐셜의 불균형을 방지할 수 있다.
- [0127] 선택된 워드 라인(WL_SEL)이 접지 선택 라인(GSL)보다 스트링 선택 라인(SSL)에 인접한 경우, 도 18b에 도시된 바와 같이, 제2 워크-온 전압(V_{wo2})의 레벨이 제1 워크-온 전압(V_{wo1})의 레벨보다 높게 설정될 수 있다.
- [0128] 선택된 워드 라인(WL_SEL)이 접지 선택 라인(GSL)보다 스트링 선택 라인(SSL)에 인접한 경우, 비선택된 셀 스트링의 채널의 하부 영역에서 제거되어야 할 부스팅 차지가 채널의 상부 영역에서 제거되어야 할 부스팅 차지보다 많을 수 있다. 따라서, 제2 워크-온 전압(V_{wo2})의 레벨을 제1 워크-온 전압(V_{wo1})의 레벨보다 높게 설정하고, 접지 선택 트랜지스터(GST)의 누설 전류량을 상대적으로 증가시킴으로써, 채널의 하부 영역에서 상대적으로 많은 양의 부스팅 차지가 공통 소스 라인(CSL)로 빠져나가도록 할 수 있다.
- [0129] 도 19a 및 19b를 참조하면, 선택된 워드 라인의 위치에 따라 제1 워크-온 전압(V_{wo1})이 인가되는 시간의 길이와 제2 워크-온 전압(V_{wo2})이 인가되는 시간의 길이가 다르게 설정될 수 있다. 다시 말해, 선택된 워드 라인의 위치에 따라, 비선택된 스트링 선택 라인(SSL_UN)에 인가되는 프리 펄스의 폭과 비선택된 접지 선택 라인(GSL_UN)에 인가되는 프리 펄스의 폭이 다를 수 있다.
- [0130] 선택된 워드 라인(WL_SEL)이 스트링 선택 라인(SSL)보다 접지 선택 라인(GSL)에 인접한 경우 도 19a에 도시된 바와 같이, 제1 워크-온 전압(V_{wo1})이 인가되는 제1 구간(TP1)이 제2 워크-온 전압(V_{wo2})이 인가되는 제3구간(TP3)보다 길게 설정될 수 있다. 또한, 선택된 워드 라인(WL_SEL)이 접지 선택 라인(GSL)보다 스트링 선택 라인(SSL)에 인접한 경우, 도 18b에 도시된 바와 같이, 제1 워크-온 전압(V_{wo1})이 인가되는 제1 구간(TP1)이 제2 워크-온 전압(V_{wo2})이 인가되는 제3 구간(TP3)보다 짧게 설정될 수 있다. 이로써, 선택된 워드 라인의 위치에 따라 발생될 수 있는 채널 영역 상의 부스팅 포텐셜의 불균형이 방지될 수 있다.
- [0131] 한편, 프로그램 후 검증 시 독출이 수행되는 경우, 선택된 워드 라인(WL_SEL)의 위치에 따라 프로그램 패턴이 결정된다. 따라서, 워드 라인(WL_SEL)의 위치에 따라 워크-온 전압들의 레벨 또는 인가되는 시간 설정 시, 프로그램 패턴을 고려할 수 있다.
- [0132] 검증 시, 선택된 워드 라인(WL_SEL)보다 상위 레벨의 메모리 셀들은 소거 상태이고, 하위 레벨의 메모리 셀들은 프로그램 상태일 수 있다. 이에 따라, 채널의 상부 영역에서의 채널 부스팅 포텐셜이 채널의 하부 영역에서의 채널 부스팅 포텐셜보다 높아질 수 있다. 따라서, 프로그램 패턴을 고려하여, 검증 시 선택된 워드 라인(WL_SEL)이 스트링 선택 라인(SSL)보다 접지 선택 라인(GSL)에 인접한 경우, 제2 워크-온 전압(V_{wo2})의 레벨이 도 18a에 도시된 제2 워크-온 전압(V_{wo2})의 레벨보다 높게 설정되고, 제1 워크-온 전압(V_{wo1})의 레벨은 도 18a에 도시된 제1 워크-온 전압(V_{wo1})의 레벨보다 낮게 설정될 수 있다. 반대로, 검증 시, 선택된 워드 라인(WL_SEL)이 접지 선택 라인(GSL)보다 스트링 선택 라인(SSL)에 인접한 경우, 제2 워크-온 전압(V_{wo2})의 레벨은 도 18b에 도시된 제2 워크-온 전압(V_{wo2})의 레벨보다 낮게 설정되고, 제1 워크-온 전압(V_{wo1})의 레벨은 도 18b에 도시된

제1 워크-온 전압(Vwo1)레벨보다 높게 설정될 수 있다.

- [0133] 또한, 검증 시 선택된 워드 라인(WL_SEL)이 스트링 선택 라인(SSL)보다 접지 선택 라인(GSL)에 인접한 경우, 제1 워크-온 전압(Vwo2)이 인가되는 제1 구간(TP1)이 도 19a에 도시된 제1 구간(TP1)보다 길게 설정되고, 제2 워크-온 전압(Vwo2)이 인가되는 제3 구간(TP3)이 도 19a에 도시된 제3 구간(TP3)보다 짧게 설정될 수 있다. 선택된 워드 라인(WL_SEL)이 접지 선택 라인(GSL)보다 스트링 선택 라인(SSL)에 인접한 경우, 제1 워크-온 전압(Vwo2)이 인가되는 제1 구간(TP1)이 도 19b에 도시된 제1 구간(TP1)보다 길게 설정되고, 제2 워크-온 전압(Vwo2)이 인가되는 제3 구간(TP3)이 도 19b에 도시된 제3 구간(TP3)보다 짧게 설정될 수 있다.
- [0134] 한편, 전술한 바와 같이, 도 5의 메모리 블록(BLKj)에서 선택된 셀 스트링의 제1 접지 선택 트랜지스터(GST1)에 연결된 접지 선택 라인 및 복수의 셀 스트링들에 연결된 제2 접지 선택 트랜지스터들(GST2)에 공통적으로 연결되는 공통 접지 선택 라인(CGSL)은 선택된 접지 선택 라인(GSL_SEL)이고, 비선택된 셀 스트링의 제1 접지 선택 트랜지스터(GST1)에 연결된 접지 선택 라인은 비선택된 접지 선택 라인(GSL_UN)이다. 따라서, 도 18a 내지 도 19b를 참조하여 설명한 내용은 도 5의 메모리 블록(BLKj)의 등가 회로에도 적용될 수 있다.
- [0135] 도 20은 본 개시의 실시예에 따른, 메모리 장치(도 1의 100)의 동작 방법을 나타낸다. 구체적으로 도 20은 메모리 장치의 독출 방법을 나타내며, 도 2의 메모리 장치(100)에서 시계열적으로 수행되는 단계들을 포함할 수 있다. 도 1 내지 도 19b를 참조하여 상술된 내용은 본 실시예에도 적용될 수 있다.
- [0136] 도 20을 참조하면, S410 단계에서, 메모리 장치(100)는 선택 트랜지스터들의 문턱 전압에 기초하여 비선택된 선택 라인에 인가될 워크-온 전압들의 레벨 및 인가되는 시간을 설정한다. S410 단계는 도 15의 S210 단계와 동일한 바 중복되는 설명은 생략하기로 한다.
- [0137] S420 단계에서, 메모리 장치(100)는 독출 커맨드 및 어드레스를 수신한다.
- [0138] S430 단계에서, 메모리 장치(100)는 선택 워드 라인의 위치에 기초하여 워크-온 전압들의 레벨 또는 인가되는 시간을 조정한다.
- [0139] 도 18a 내지 도 19b를 참조하여 설명한 바와 같이, 선택된 워드 라인의 위치를 기초로 워크-온 전압들의 레벨 또는 인가되는 시간을 설정할 수 있다.
- [0140] 실시예에 있어서, 메모리 장치(100)는 S410 단계에서 선택된 워드 라인의 기준 위치에 기초하여 워크-온 전압들의 레벨 또는 인가되는 시간의 디폴트 레벨을 설정할 수 있으며, S430 단계에서 상기 디폴트 레벨 및 선택된 워드 라인의 위치를 기초로 워드 라인의 위치에 따른 워크-온 전압들의 레벨 또는 인가되는 시간을 설정할 수 있다. 예컨대, 메모리 장치(100)는 선택된 워드 라인의 위치가 기준 위치보다 스트링 선택 라인에 인접한지 또는 접지 선택 라인에 인접한지 여부에 따라 선택된 워드 라인의 위치를 기초로 워크-온 전압들의 레벨 또는 인가되는 시간을 조정할 수 있다. 메모리 장치(100)는 선택된 워드 라인의 위치에 대응하여 미리 설정된 오프셋 레벨들을 디폴트 레벨에 반영함으로써, 선택된 워드 라인에 따라 워크-온 전압들의 레벨 또는 인가되는 시간을 조정할 수 있다.
- [0141] 메모리 장치(100)는 S440 단계에서, 선택 라인들 및 워드 라인들에 독출 바이어스 전압을 인가하고, S450 단계에서, 어드레스에 해당하는 메모리 셀들로부터 데이터를 독출한다. S440 단계 및 S450 단계는 도 15의 S230 단계 및 S240 단계와 동일한 바 중복되는 설명은 생략하기로 한다.
- [0142] 한편, 메모리 장치(100)는 검증 시 독출 동작을 수행할 수 있으며, 이 경우, S420 단계는 생략될 수 있다. 메모리 장치(100)는 S430 단계에서, 선택된 워드 라인의 위치에 기초하여 워크-온 전압들의 레벨 또는 인가되는 시간을 조정할 때, 전술한 바와 같이, 선택된 워드 라인의 위치에 따른 프로그램 패턴을 반영할 수 있다.
- [0143] 도 21은 본 개시의 실시예에 따른 독출 방법에 따라 독출 바이어스 전압이 인가되는 경우, 비선택된 셀 스트링의 채널 부스팅 포텐셜의 예를 보여준다.
- [0144] 도 21의 그래프에서, 가로 축은 채널의 포텐셜을 나타내고 세로 축은 채널의 높이(또는 선택 라인들 및 워드 라인들에 대응하는 채널 영역의 위치)를 나타낸다. 도 21의 그래프에서, 실선으로 표시된 제1 라인(L1)은 도 1 내지 도 20을 참조하여 설명한 본 개시의 실시예에 따른 독출 방법에 따라 비선택된 선택 라인들에 워크-온 전압이 인가되는 경우, 비선택된 셀 스트링의 채널 부스팅 포텐셜을 나타내고, 점선으로 표시된 제2 라인(L2)은 비교예로서, 다른 독출 방법에 따른, 비선택된 셀 스트링의 채널 부스팅 포텐셜을 나타낸다. 제2 라인(L2)을 참조하면, 선택된 워드 라인(WL_SEL)을 기준으로 채널 영역의 상부의 부스팅 포텐셜이 채널 영역의 하부의 부스팅 포텐셜보다 높아, 채널 내의 부스팅 포텐셜에 불균형이 발생할 수 있다. 이에 따라 제1 지점(P1) 및 제2 지점

(P2)에서 HCI에 따른 원치 않은 프로그램이 수행되어, 독출 디스터브가 발생할 수 있다. 그러나, 본 개시의 실시예에 따라 비선택된 선택 라인들에 워크-온 전압이 인가되는 경우, 비선택 셀 스트링의 스트링 선택 트랜지스터 및 접지 선택 트랜지스터가 약하게 턴-온되어 누설 전류가 흐르고, 워크-온 전압의 레벨 또는 인가되는 시간에 따라 누설 전류량이 조절됨으로써, 채널의 부스팅 포텐셜이 적정 레벨까지 증가하고, 채널 내에서 부스팅 포텐셜이 균일할 수 있다. 따라서 독출 디스터브가 감소되고, 독출 동작의 신뢰성이 향상될 수 있다.

- [0145] 도 22는 본 개시의 실시예에 따른 메모리 시스템을 개략적으로 나타내는 블록도이다.
- [0146] 도 22를 참조하면, 메모리 시스템(20)은 메모리 장치(100a) 및 메모리 컨트롤러(200a)를 포함할 수 있고, 메모리 장치(100a)는 메모리 셀 어레이(110) 및 제어 로직(120)을 포함할 수 있다. 본 실시예에 따른 메모리 장치(100a)는 도 1의 메모리 장치(100)와 실질적으로 유사하게 구현될 수 있다. 따라서, 도 1 내지 도 21을 참조하여 상술된 내용은 본 실시예에도 적용될 수 있고, 중복된 설명은 생략하기로 한다.
- [0147] 메모리 컨트롤러(200a)는 전압 제어부(210)를 포함할 수 있고, 전압 제어부(210)는 메모리 셀 어레이(110)에 인가되는 바이어스 전압들, 예컨대 워드 라인들(WL)을 구동하기 위한 워드 라인 전압, 스트링 선택 라인들(SSL)을 구동하기 위한 스트링 선택 라인 전압, 및 접지 선택 라인들(GSL)을 구동하기 위한 접지 선택 라인 전압을 생성하기 위한 전압 제어 신호를 생성할 수 있다.
- [0148] 본 실시예에서, 전압 제어부(210)는 메모리 셀 어레이(110)에 대한 독출 동작을 수행하는 독출 구간의 적어도 일부에서, 비선택된 선택 라인들에 선택 트랜지스터들의 문턱 전압 레벨보다 낮은 워크-온 전압들이 인가되도록 스트링 선택 라인 전압 및 접지 선택 라인 전압을 제어하는 전압 제어 신호를 생성할 수 있다. 메모리 컨트롤러(200a)는 전압 제어 신호를 커맨드(CMD), 어드레스(ADDR), 데이터(DATA) 또는 제어 신호(CTRL)를 통해 메모리 장치(100a)에 전송할 수 있다.
- [0149] 일 실시예에서, 전압 제어부(210)는 선택 트랜지스터들의 문턱 전압 레벨, 선택 트랜지스터들의 사이즈, 온도, 독출이 수행되는 워드 라인의 위치(또는 어드레스(ADDR)) 및 프로그램 패턴 중 적어도 하나에 기초하여 워크-온 전압들의 레벨 또는 인가되는 시간이 변경되도록 하는 전압 제어 신호를 생성할 수 있다.
- [0150] 도 23은 본 개시의 실시예에 따른 메모리 컨트롤러와 메모리 장치의 동작을 나타내는 흐름도이다.
- [0151] 도 23을 참조하면, S510 단계에서, 메모리 컨트롤러(200a)는 독출 커맨드를 생성할 수 있다. S520 단계에서, 메모리 컨트롤러(200a)는 전압 제어 신호를 생성한다. 구체적으로, 메모리 컨트롤러(200a)는 독출 구간의 적어도 일부에서, 비선택된 선택 라인들에 선택 트랜지스터들의 문턱 전압 레벨보다 낮은 워크-온 전압들이 인가되도록 스트링 선택 라인 전압 및 접지 선택 라인 전압을 제어하는 전압 제어 신호를 생성할 수 있다.
- [0152] S530 단계에서, 메모리 컨트롤러(200a)는 커맨드, 어드레스, 데이터 또는 제어 신호를 메모리 장치(100a)에 전송한다. 결정된 전압 제어 신호는 커맨드, 어드레스, 데이터 또는 제어 신호를 통해 메모리 장치(100a)에 전송될 수 있다.
- [0153] S540 단계에서, 메모리 장치(100a)는 수신한 제어 신호에 따라, 독출 바이어스 전압을 생성한다. 독출 바이어스 전압은 워드 라인 전압, 스트링 선택 라인 전압들, 접지 선택 라인 전압들 일 수 있다. 이때, 메모리 장치(100a)는 제어 신호에 따라, 비선택된 선택 라인들에 제공되는 워크-온 전압들을 생성할 수 있다. 메모리 장치(100a)는 제어 신호에 따라, 워크-온 전압들의 레벨 또는 워크-온 전압들이 인가되는 시간을 조정할 수 있다.
- [0154] S550 단계에서, 메모리 장치(100a)는 생성된 독출 바이어스 전압을 이용하여 메모리 셀 어레이(110)에 대한 독출 동작을 수행한다.
- [0155] 도 24는 본 개시의 실시예들에 따른 메모리 장치를 SSD 시스템(3000)에 적용한 예를 나타내는 블록도이다.
- [0156] 도 24를 참조하면, SSD 시스템(1000)은 호스트(1100) 및 SSD(1200)를 포함할 수 있다. SSD(1200)는 신호 커넥터(signal connector)를 통해 호스트(1100)와 신호를 주고 받으며, 전원 커넥터(power connector)를 통해 전원을 입력 받는다. SSD(1200)는 SSD 컨트롤러(1210), 보조 전원 장치(1220) 및 복수의 메모리 장치들(1230, 1240, 1250)을 포함할 수 있다. 이때, SSD(1200)는 도 1 내지 도 22에 도시된 실시예들을 이용하여 구현될 수 있다.
- [0157] 구체적으로, 도 2의 메모리 장치(100)가 플래시 메모리 장치들(1230 내지 1250) 중 적어도 하나에 적용될 수 있다. 이에 따라 플래시 메모리 장치들(1230 내지 1250) 중 적어도 하나는 독출 수행 시, 독출 구간의 적어도 일부, 예컨대 독출 셋업 구간에서 비선택된 선택 라인들에 선택 트랜지스터들의 문턱 전압들보다 낮은 워크-온 전

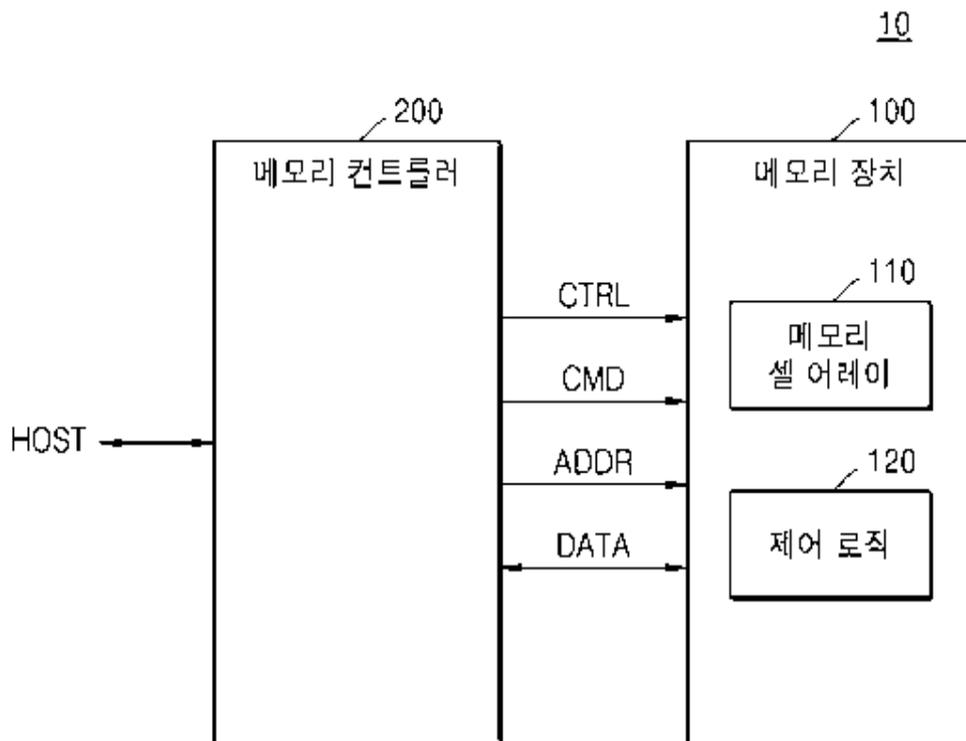
압들을 인가할 수 있다. 또한, 선택 트랜지스터들의 문턱 전압, 선택 트랜지스터들의 사이즈, 온도, 선택된 워드라인의 위치 및 프로그램 패턴 중 적어도 하나에 기초하여 워크-온 전압들의 레벨 및 워크-온 전압들이 인가되는 시간을 조절할 수 있다. 이에 따라 비선택된 셀 스트링의 채널의 부스팅 포텐셜이 과도하게 증가하는 것이 방지되고, 채널 내에서 부스팅 포텐셜이 균등해져, 독출 디스터브를 방지할 수 있다. 따라서, SSD(1200)의 독출 신뢰성이 향상될 수 있다.

[0158] 본 개시의 실시예에 따른 메모리 장치는 SSD(1200) 뿐만 아니라, 메모리 카드 시스템, 컴퓨팅 시스템, UFS 등에 탑재되거나 적용될 수 있다. 또한 본 개시의 실시예에 따른 메모리 장치의 동작 방법은 비휘발성 메모리가 탑재되는 다양한 종류의 전자 시스템에 적용될 수 있다.

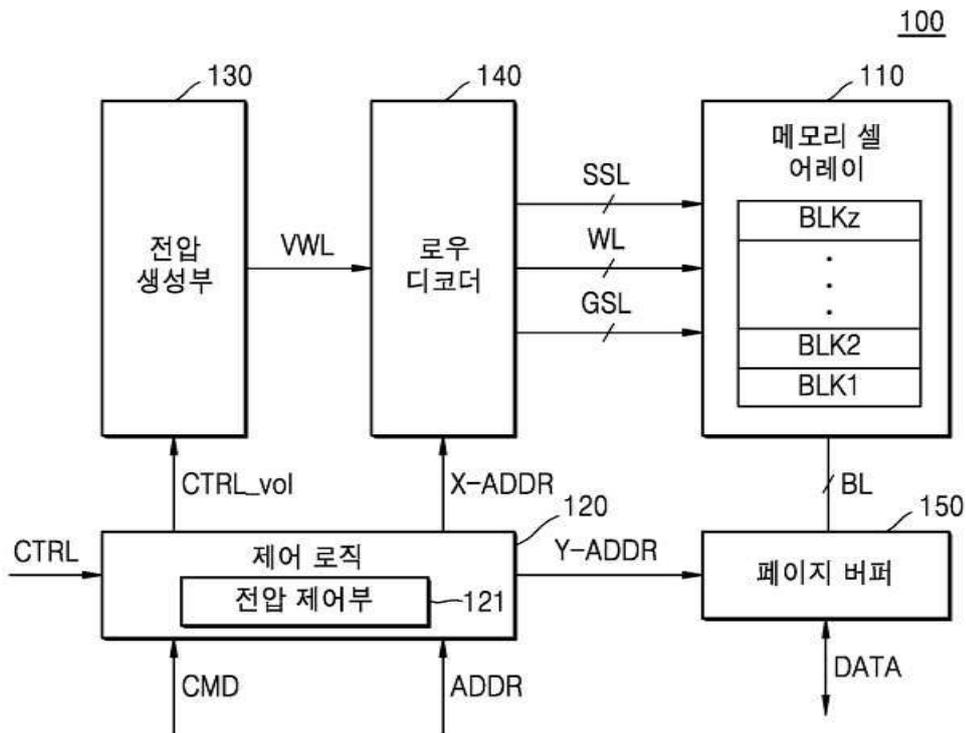
[0159] 이상, 도면들을 참조하여, 본 개시의 다양한 실시예를 설명하였다. 한편, 본 개시의 상세한 설명에서는 구체적인 실시예에 관하여 설명하였으나, 본 개시의 범위에서 벗어나지 않는 한도 내에서 여러 가지로 변형될 수 있다. 그러므로 본 개시의 범위는 상술한 실시예에 국한되어 정해져서는 안되며 후술하는 특허 청구범위뿐만 아니라 이 개시의 특허청구범위와 균등한 것들에 의해 정해질 수 있다.

도면

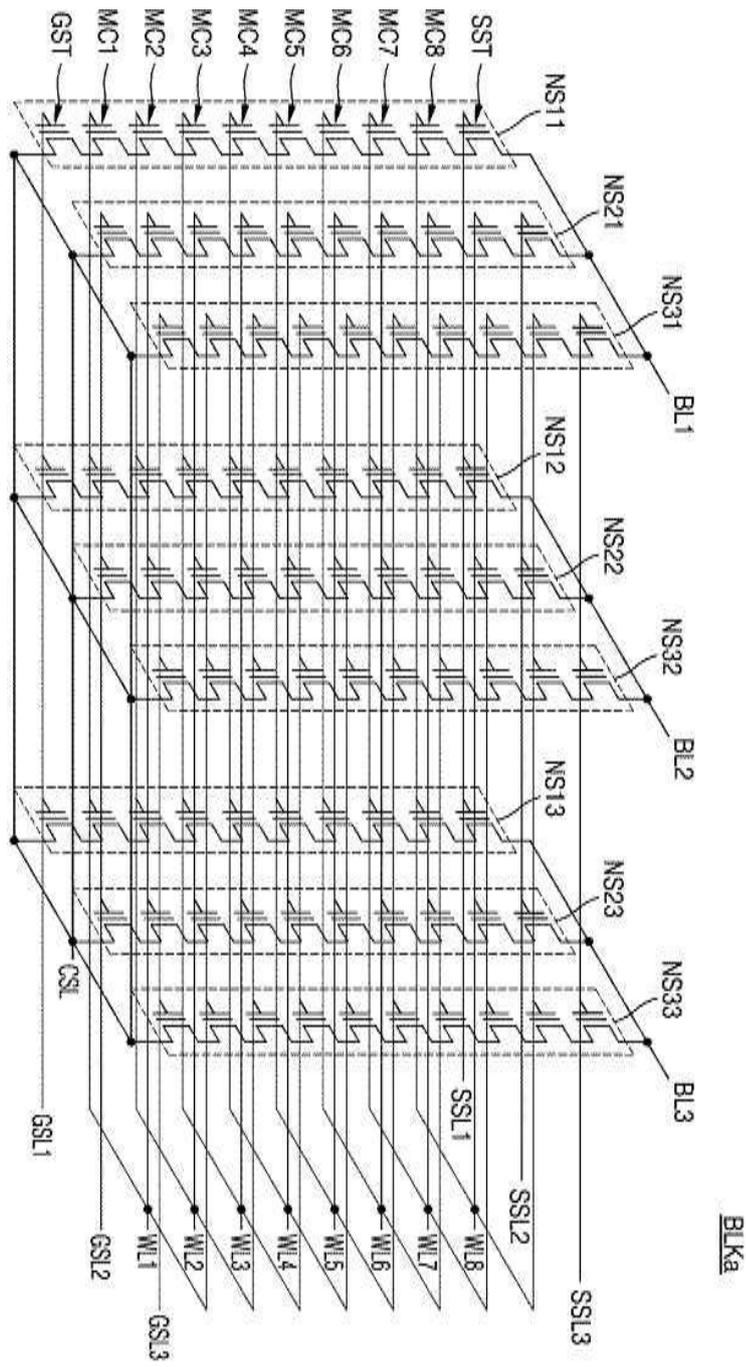
도면1



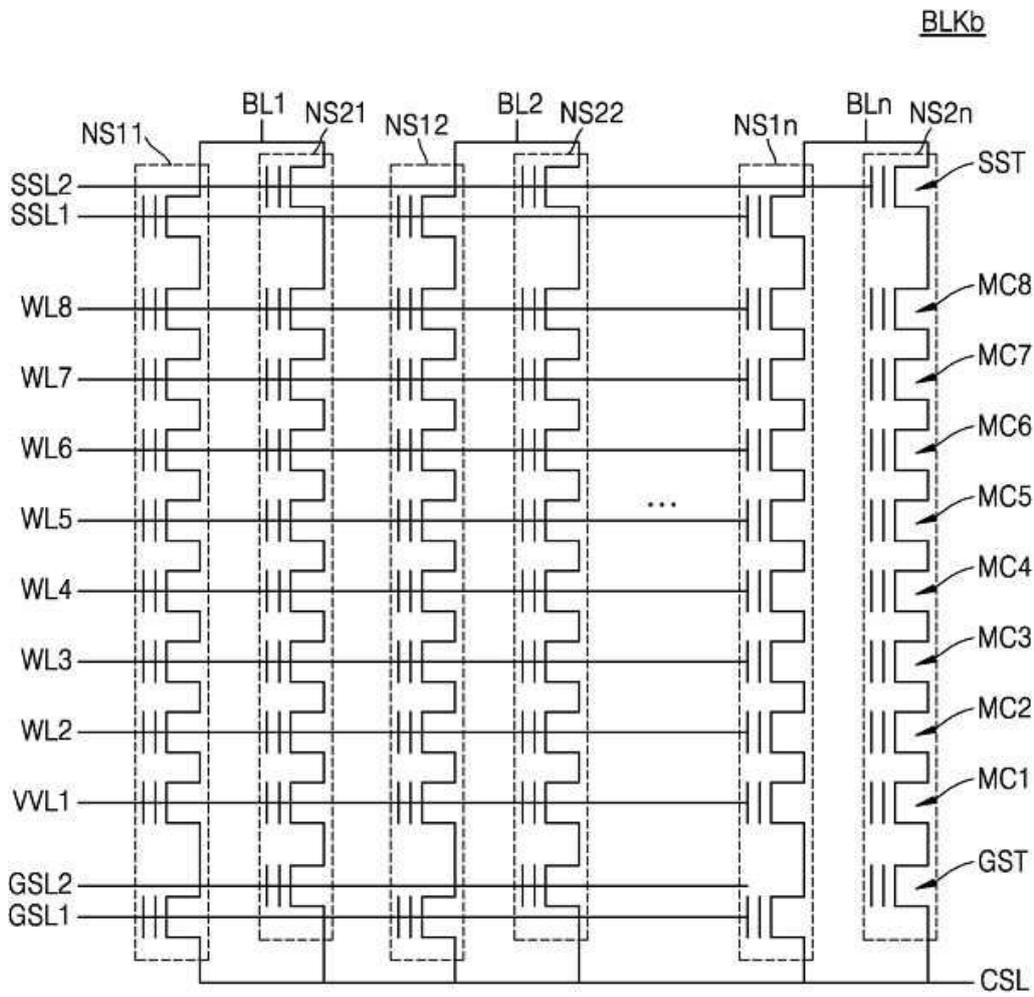
도면2



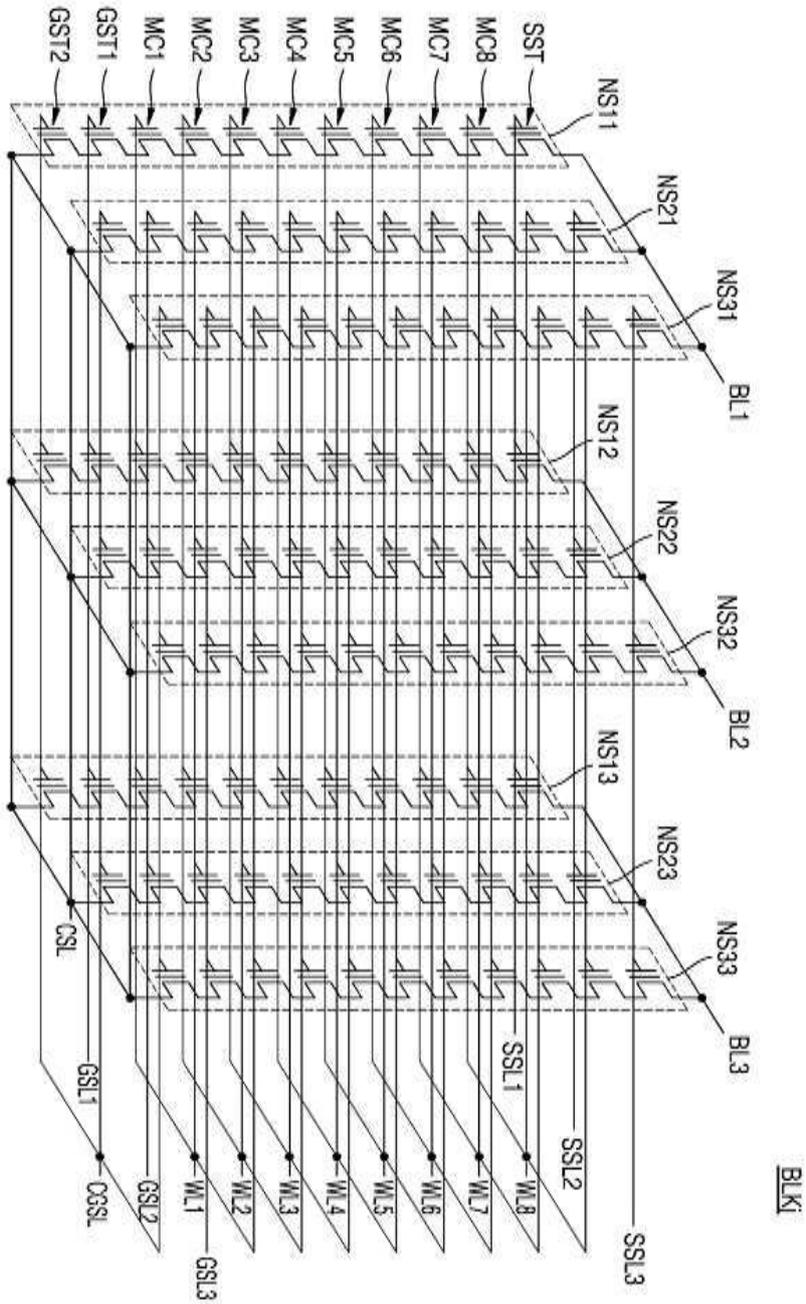
도면3



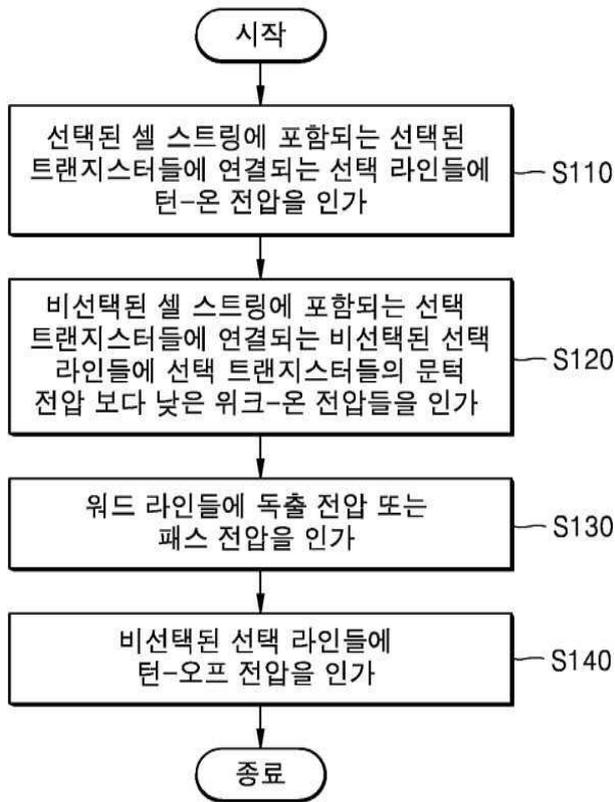
도면4



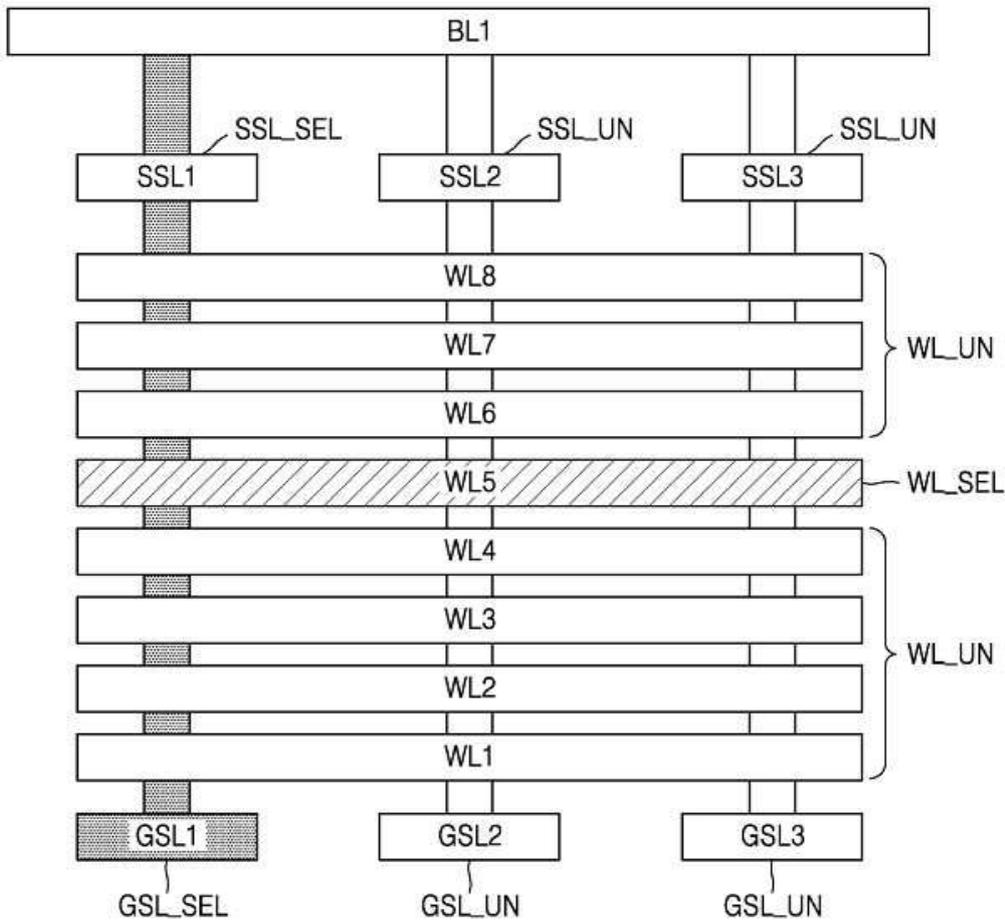
도면5



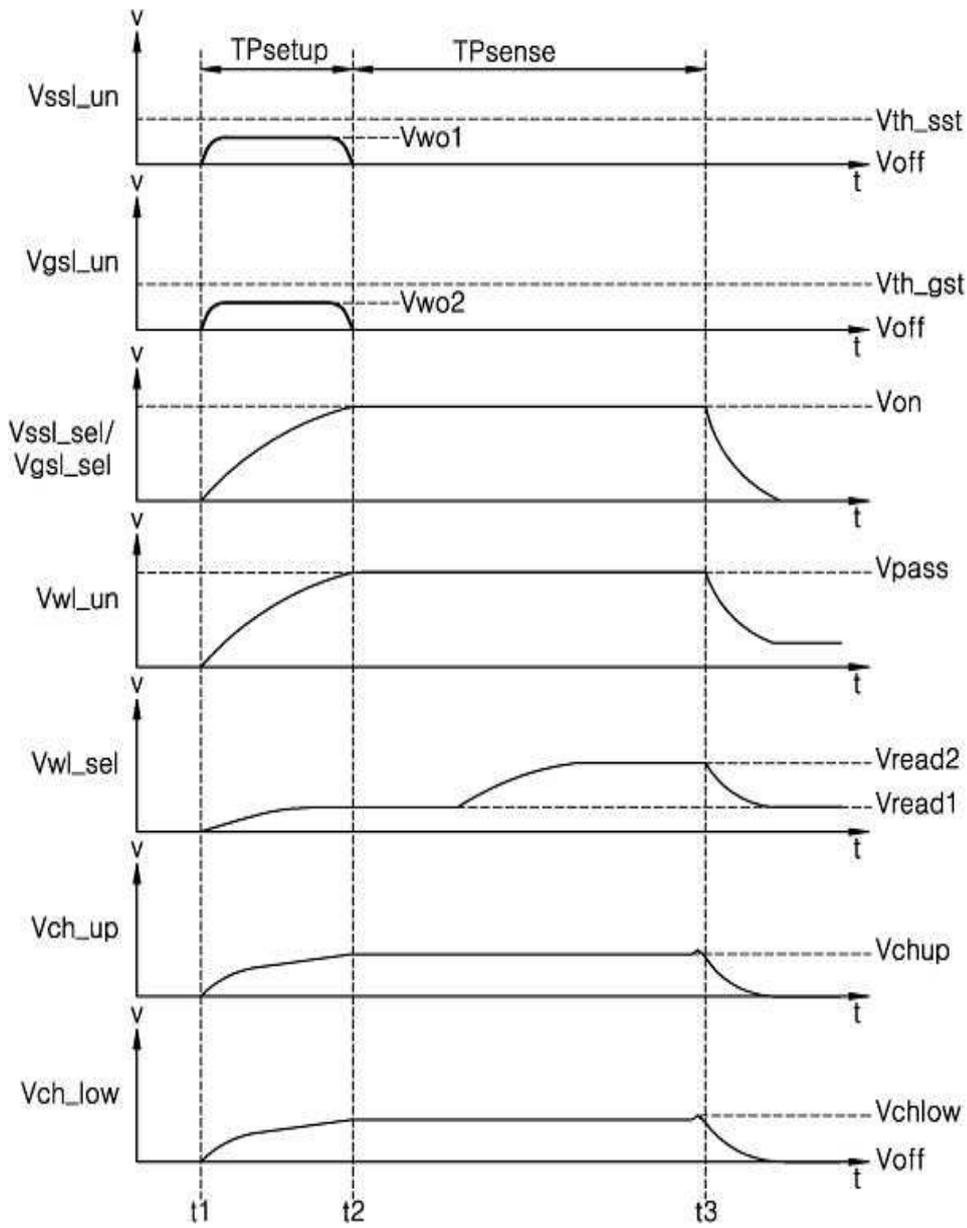
도면6



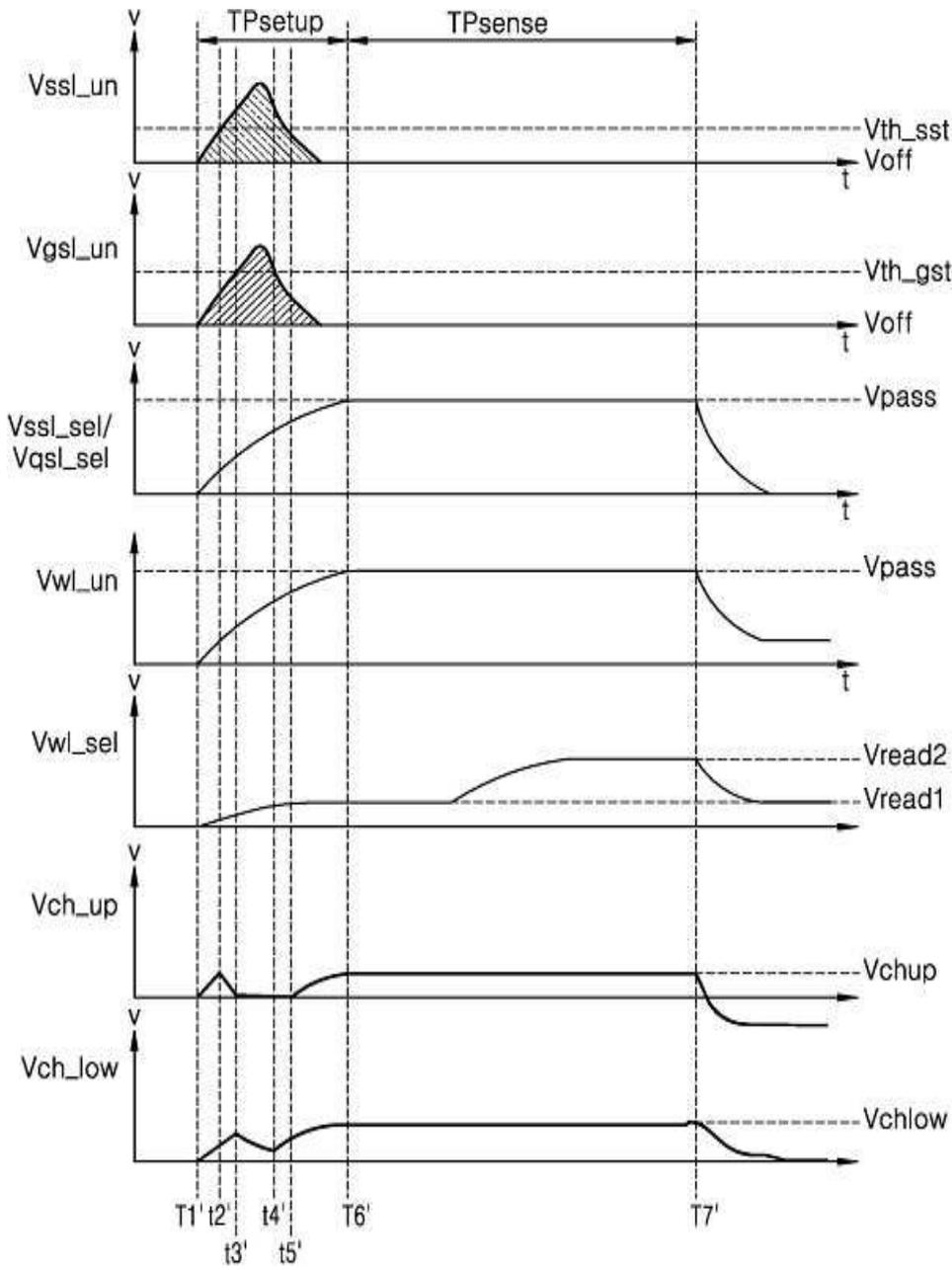
도면7



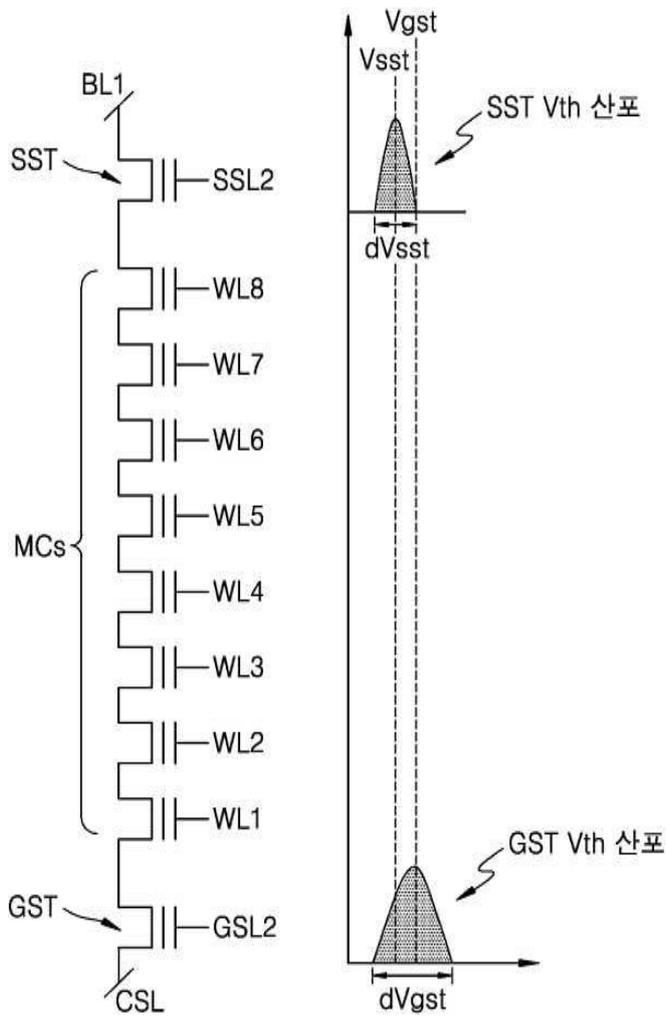
도면8



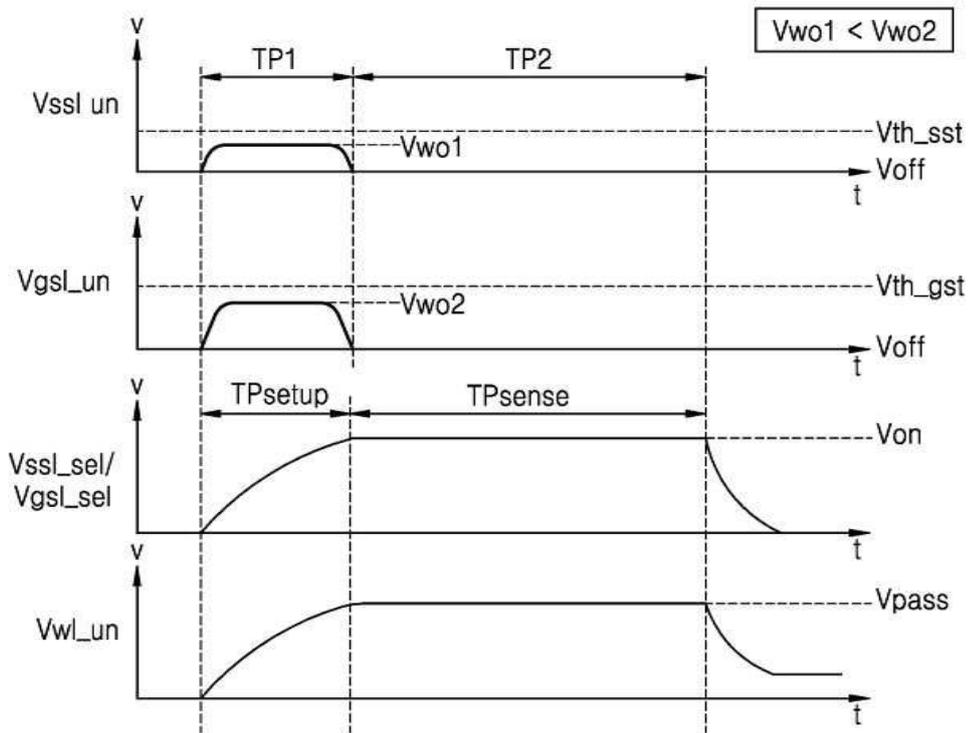
도면9



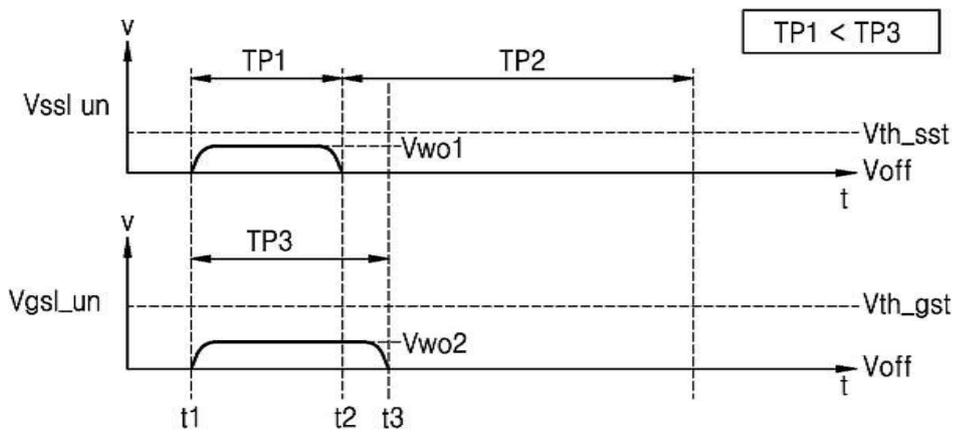
도면11



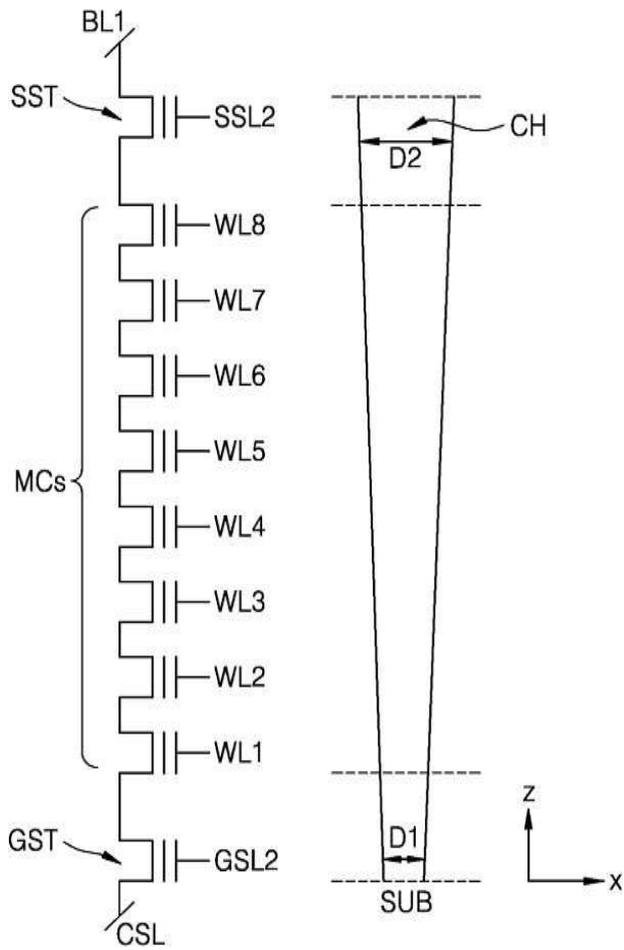
도면12a



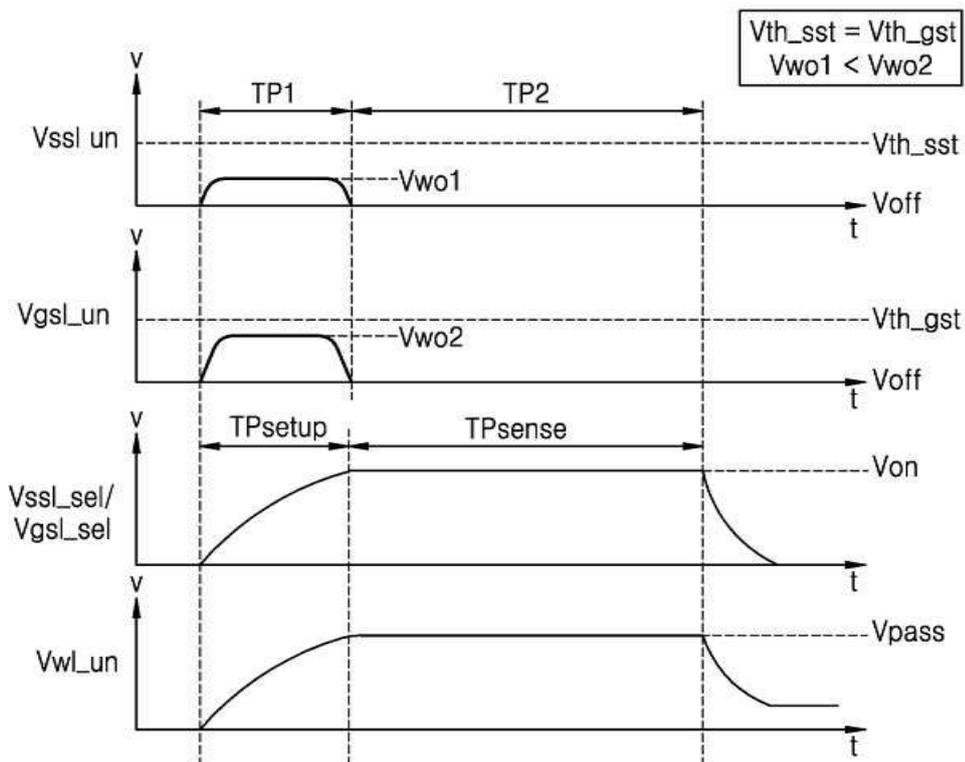
도면12b



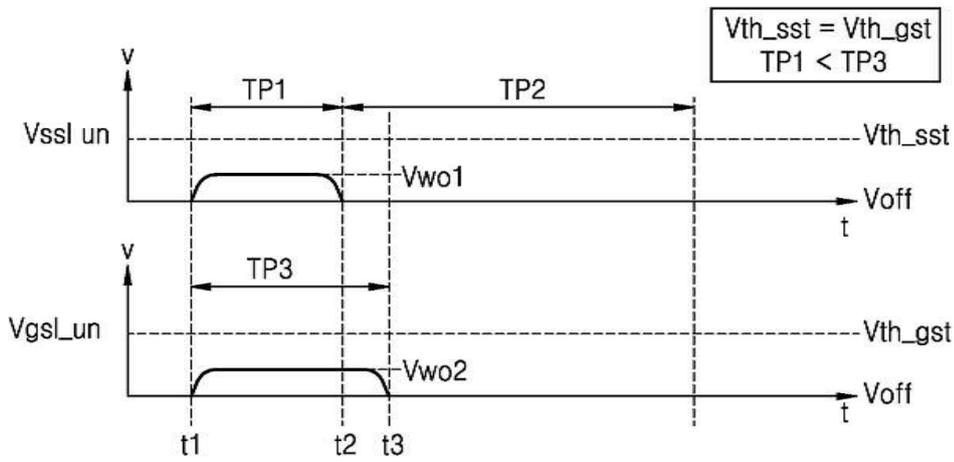
도면13



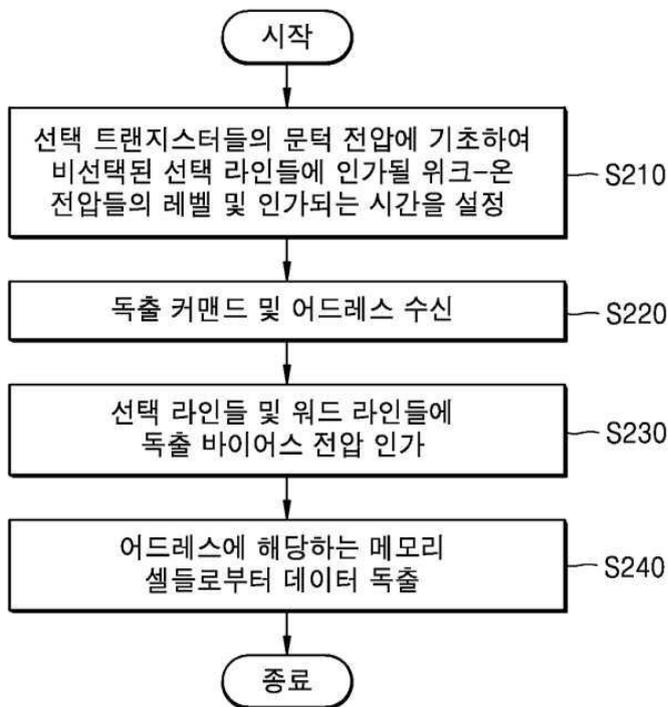
도면14a



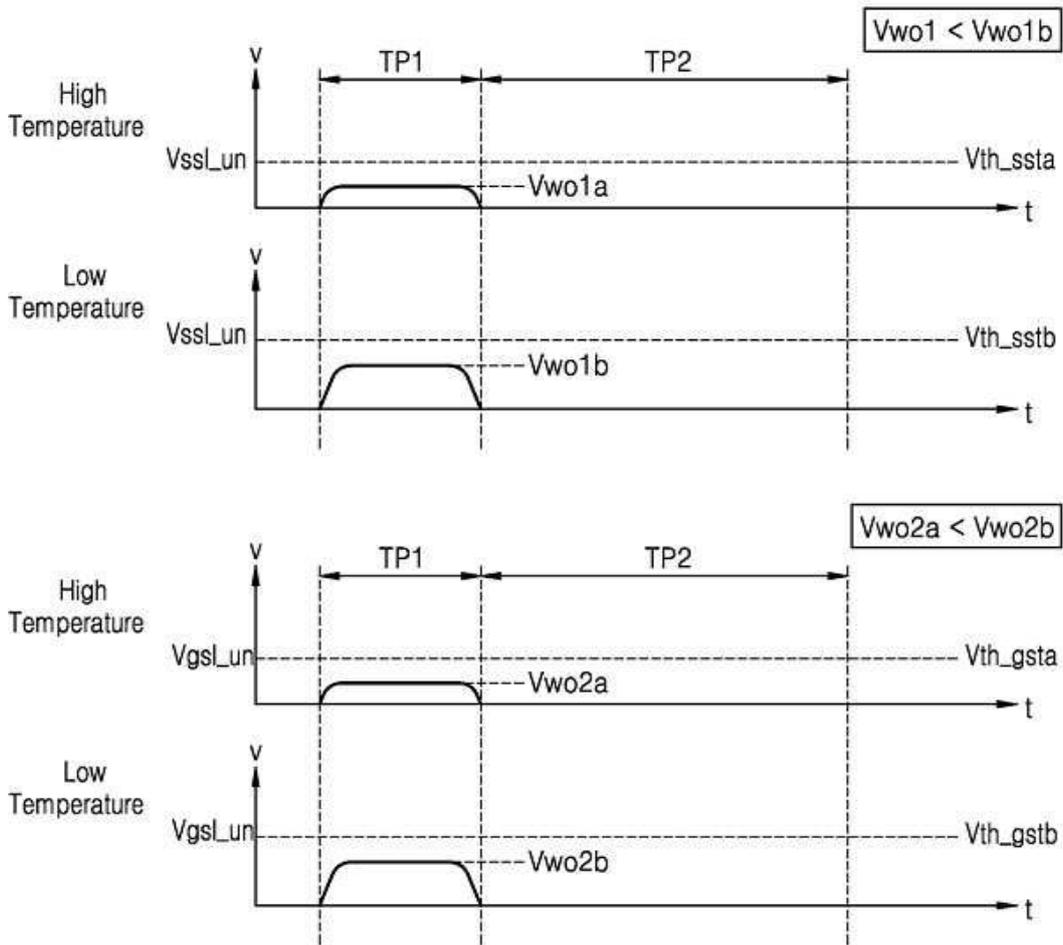
도면14b



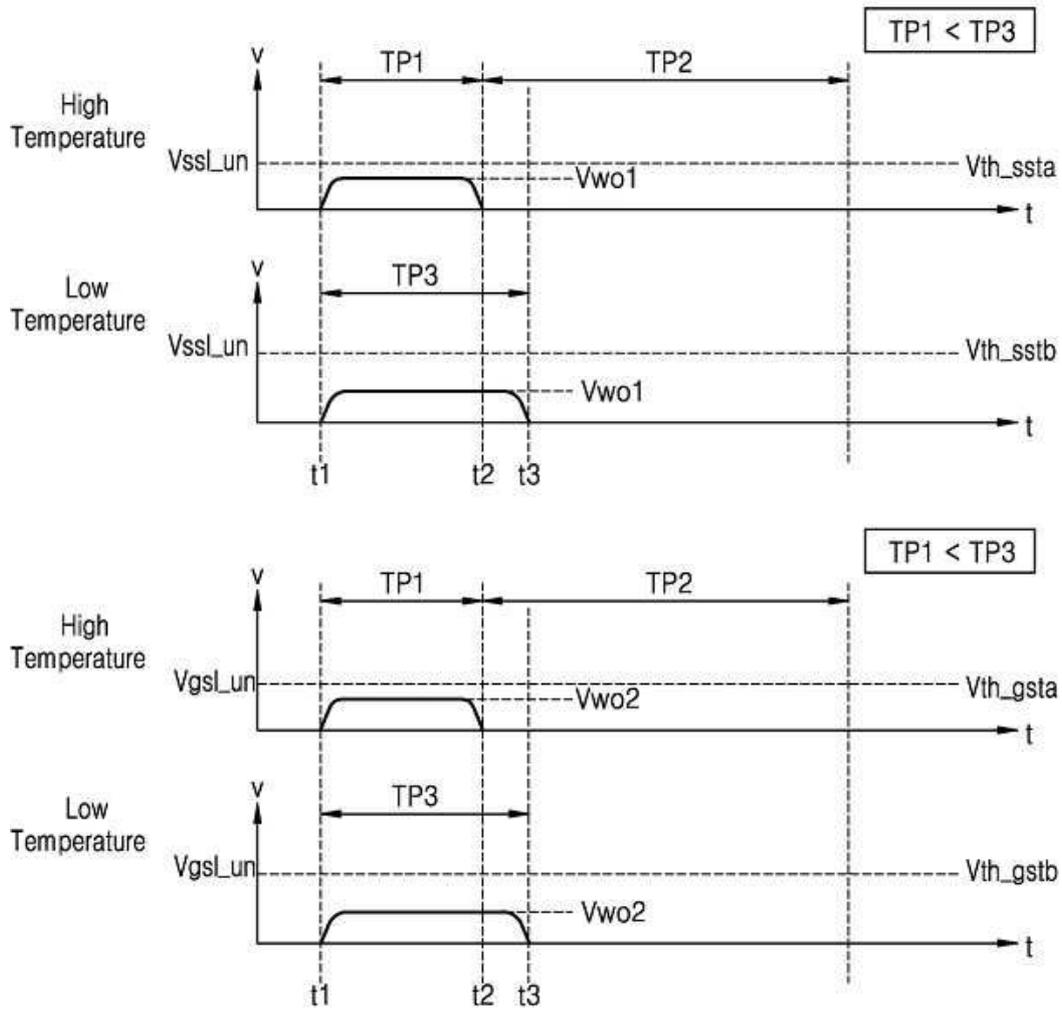
도면15



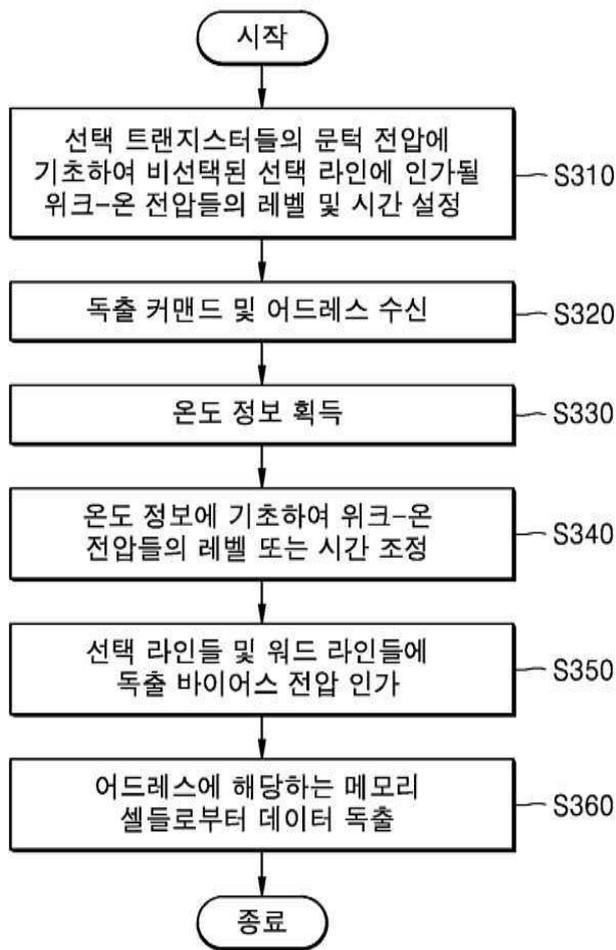
도면16a



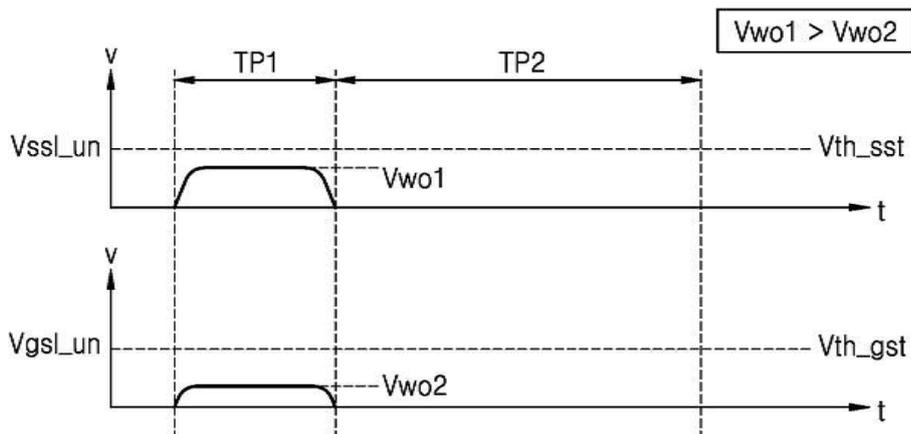
도면16b



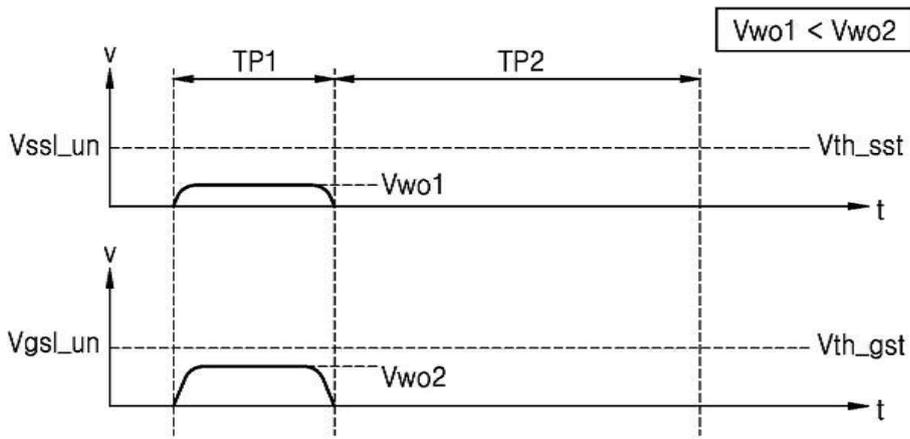
도면17



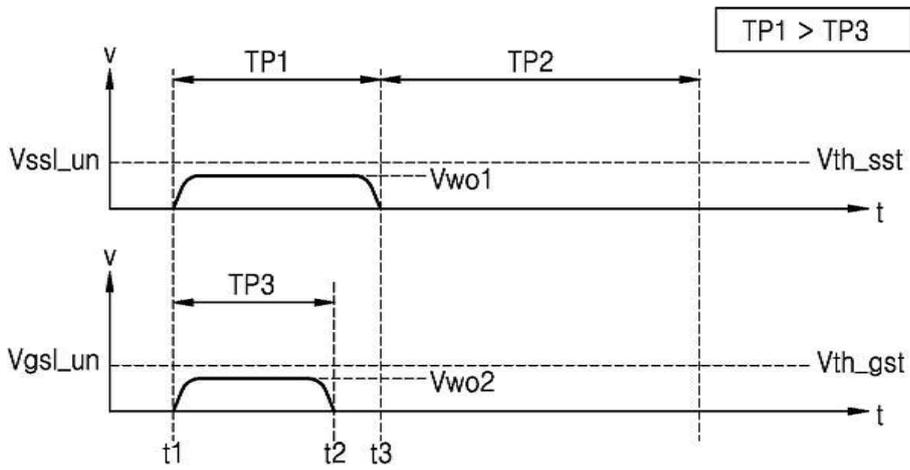
도면18a



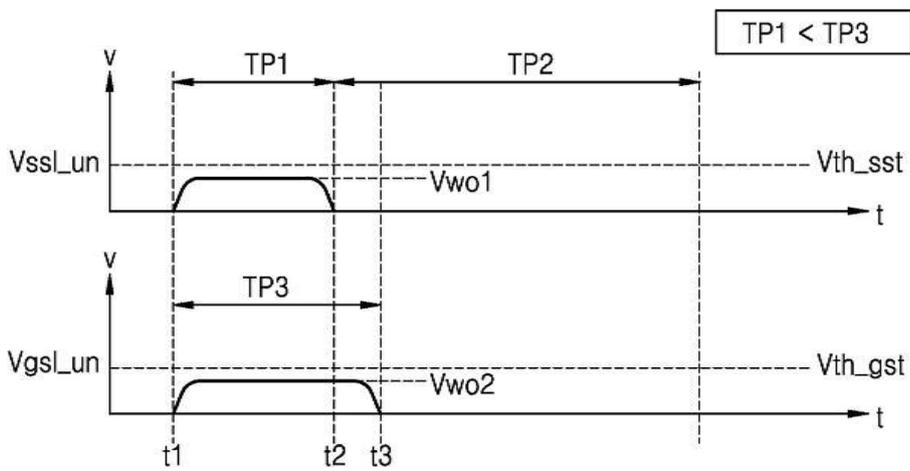
도면18b



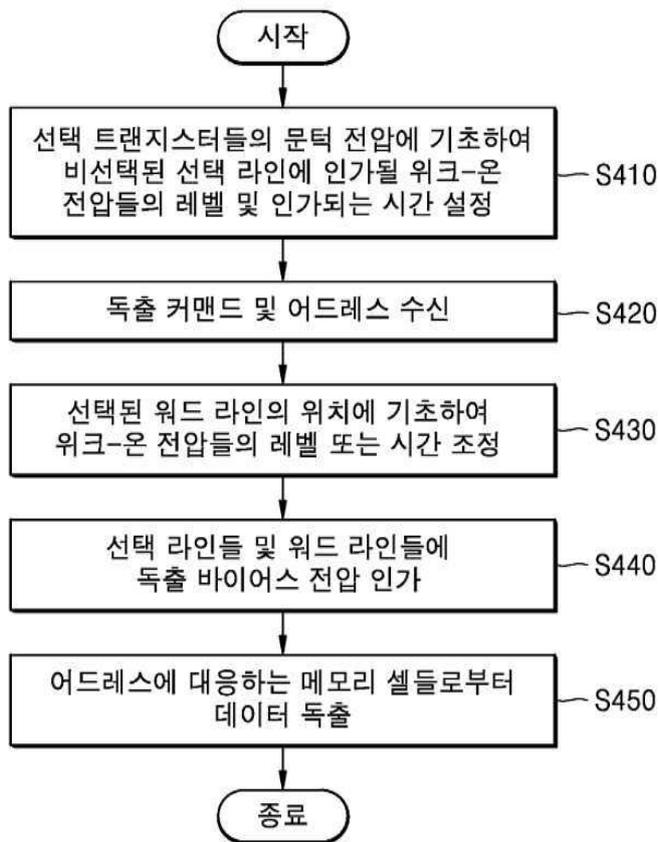
도면19a



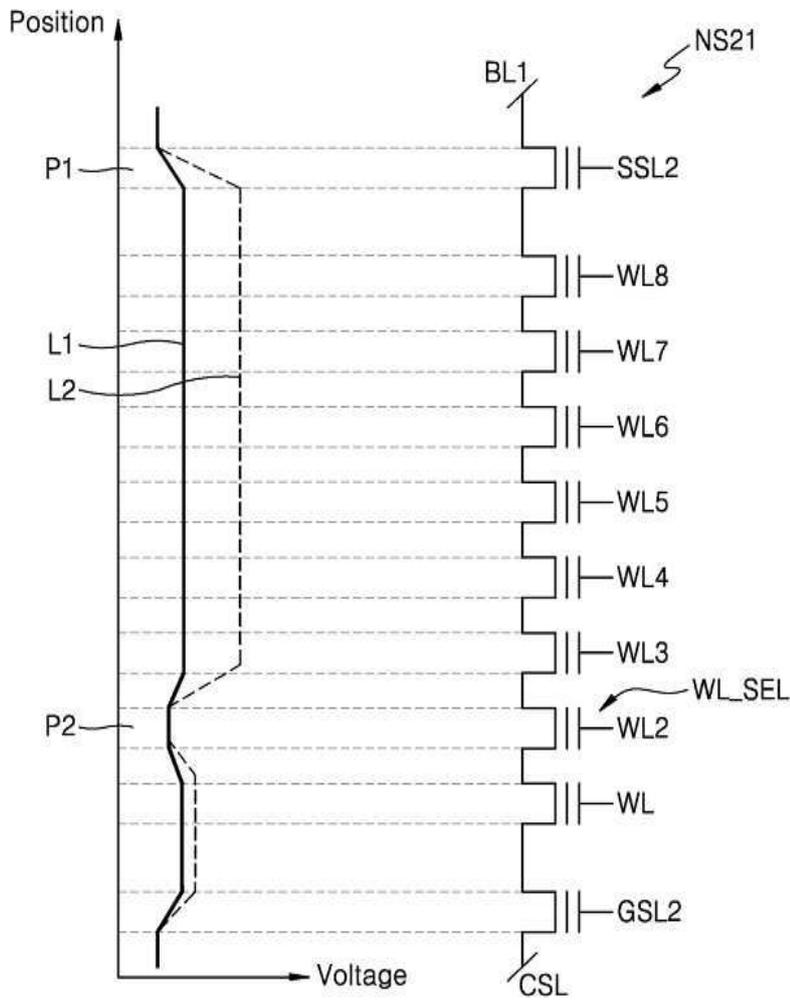
도면19b



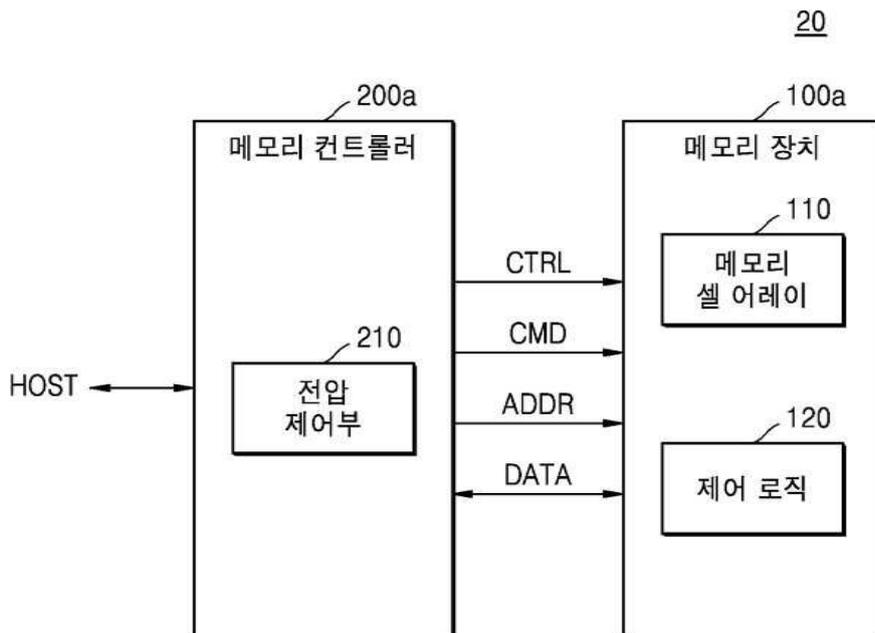
도면20



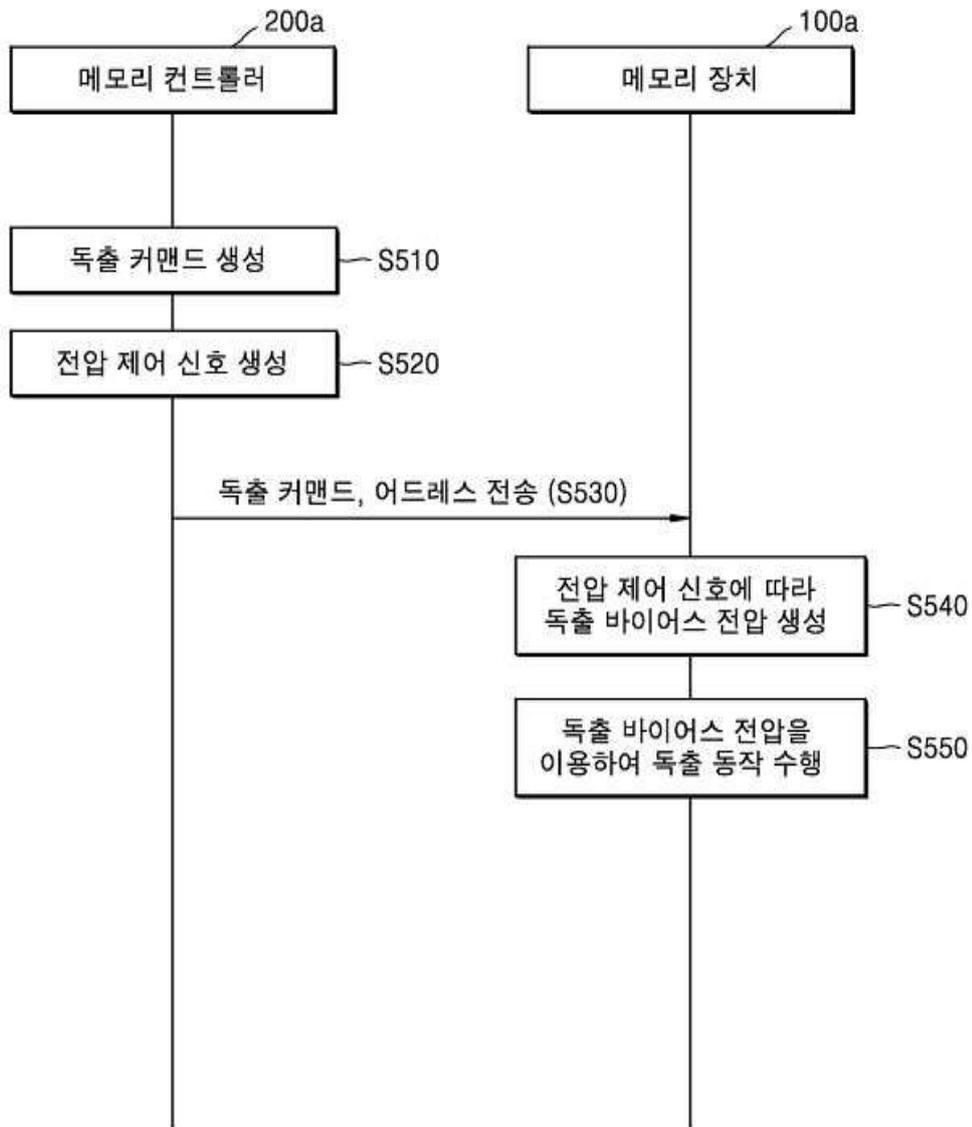
도면21



도면22



도면23



도면24

