



(12) 发明专利申请

(10) 申请公布号 CN 118118010 A

(43) 申请公布日 2024. 05. 31

(21) 申请号 202410236899.0

(22) 申请日 2024.03.01

(71) 申请人 南京金阵微电子科技有限公司

地址 210000 江苏省南京市中国(江苏)自由贸易试验区南京片区研创园团结路99号孵鹰大厦2251室

(72) 发明人 阮召崧 吴磊

(74) 专利代理机构 上海光华专利事务所(普通合伙) 31219

专利代理师 徐秀秀

(51) Int. Cl.

H03K 21/40 (2006.01)

H03K 21/00 (2006.01)

H03K 5/24 (2006.01)

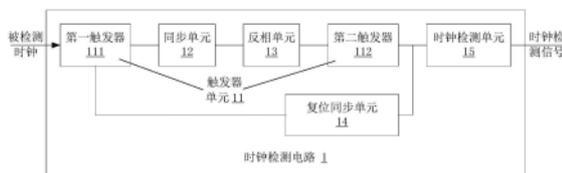
权利要求书1页 说明书9页 附图3页

(54) 发明名称

时钟检测电路、检测方法、芯片及通信系统

(57) 摘要

本申请提供一种时钟检测电路、检测方法、芯片及通信系统,所述电路包括:触发器单元,包括第一触发器和第二触发器;被检测时钟输入至所述第一触发器;同步单元,输出所述第一触发器的同步信号;反相单元,输出与所述同步信号对应的反相信号,所述反相信号由所述第二触发器接收后输出中间检测信号;复位同步单元,将所述第二触发器输出的中间检测信号复位之后传输至所述第一触发器的复位输入端;时钟检测单元,对所述第二触发器输出的中间检测信号检测之后输出时钟检测信号。本申请通过纯数字电路搭建,提供了一种时钟检测电路,节省了电路资源。



1. 一种时钟检测电路,其特征在于,所述电路包括:
 - 触发器单元,包括第一触发器和第二触发器;被检测时钟输入至所述第一触发器;
 - 同步单元,与所述第一触发器的输出端连接,输出所述第一触发器的同步信号;
 - 反相单元,分别与所述同步单元的输出端、所述第二触发器的输入端连接,输出与所述同步信号对应的反相信号,所述反相信号由所述第二触发器接收后输出中间检测信号;
 - 复位同步单元,分别与所述第一触发器的复位输入端、所述第二触发器的输出端连接,将所述第二触发器输出的中间检测信号复位之后传输至所述第一触发器的复位输入端;
 - 时钟检测单元,与所述第二触发器的输出端连接,对所述第二触发器输出的中间检测信号检测之后输出时钟检测信号。
2. 根据权利要求1所述的电路,其特征在于,所述第一触发器为D触发器;
 - 所述被检测时钟输入至所述D触发器的时钟端,所述D触发器的输入端与高电平连接。
3. 根据权利要求1所述的电路,其特征在于,所述时钟检测信号包括时钟丢失信号;
 - 所述时钟检测单元包括丢失周期计数器和丢失阈值比较器,所述丢失周期计数器与所述丢失阈值比较器连接;
 - 响应于所述中间检测信号为高电平,所述丢失周期计数器输入所述高电平,输出丢失计数结果至所述丢失阈值比较器,所述丢失阈值比较器输出所述时钟丢失信号。
4. 根据权利要求1所述的电路,其特征在于,所述时钟检测信号包括时钟恢复信号;
 - 所述时钟检测单元包括恢复周期计数器和恢复阈值比较器,所述恢复周期计数器与所述恢复阈值比较器连接;
 - 响应于所述中间检测信号为恢复时钟上升沿,所述恢复周期计数器输入所述恢复时钟上升沿,输出恢复计数结果至所述恢复阈值比较器,所述恢复阈值比较器输出所述时钟丢失信号。
5. 根据权利要求1所述的电路,其特征在于,所述电路还包括第一参数设计单元;
 - 所述第一参数设计单元用于确定多个被检测时钟中的一个输入至所述第一触发器。
6. 根据权利要求1所述的电路,其特征在于:
 - 所述第二触发器至少包括一个触发器,各个触发器级联之后输出所述中间检测信号。
7. 根据权利要求6所述的电路,其特征在于,所述电路还包括第二参数设计单元;
 - 所述第二参数设计单元用于确定多个第二触发器中的至少一个进行级联之后输出所述中间检测信号。
8. 一种时钟检测方法,其特征在于,所述方法包括:
 - 将被检测时钟输入至第一触发器;
 - 输出所述第一触发器的同步信号;
 - 输出与所述同步信号对应的反相信号,所述反相信号由第二触发器接收后输出中间检测信号;
 - 将所述第二触发器输出的中间检测信号复位之后传输至所述第一触发器的输入;
 - 对所述第二触发器输出的中间检测信号检测之后输出时钟检测信号。
9. 一种芯片,其特征在于,所述芯片包括:权利要求1至7任一项所述的电路。
10. 一种通信系统,其特征在于,所述通信系统包括:权利要求1至7任一项所述的电路;所述通信系统利用被检测时钟进行通信,所述被检测时钟通过所述电路进行时钟检测。

时钟检测电路、检测方法、芯片及通信系统

技术领域

[0001] 本申请属于信号处理的技术领域,涉及一种检测电路,特别是涉及一种时钟检测电路、检测方法、芯片及通信系统。

背景技术

[0002] 时钟信号在各个应用领域例如通信系统中至关重要,且对时钟的可靠性要求十分严格。为了信号传输稳定,不允许出现时钟信号脉冲连续丢失的现象。当时钟信号丢失或异常时,芯片不能正常工作,因此设计专门的时钟检测电路是十分有必要的。

[0003] 传统的时钟信号丢失检测的方法,一种是把时钟信号送到芯片外面例如示波器进行观测;或者是在预设周期内测试时钟平均频率,这种方法可能不会立即检测出输入时钟丢失错误;另一种是通过参考时钟边沿提取电路,提取参考时钟边沿后控制对基本定时单元的电容放电,通过施密特触发器输出电容的电压信息,再经过计数器处理得到最终的状态信息。这种虽不依赖额外的参考时钟,但是电路相对复杂,不易集成。

发明内容

[0004] 本申请提供一种时钟检测电路、检测方法、芯片及通信系统,用于解决传统时钟检测方式检测不及时及检测电路复杂的问题。

[0005] 第一方面,本申请提供一种时钟检测电路,所述电路包括:触发器单元,包括第一触发器和第二触发器;被检测时钟输入至所述第一触发器;同步单元,与所述第一触发器的输出端连接,输出所述第一触发器的同步信号;反相单元,分别与所述同步单元的输出端、所述第二触发器的输入端连接,输出与所述同步信号对应的反相信号,所述反相信号由所述第二触发器接收后输出中间检测信号;复位同步单元,分别与所述第一触发器的复位输入端、所述第二触发器的输出端连接,将所述第二触发器输出的中间检测信号复位之后传输至所述第一触发器的复位输入端;时钟检测单元,与所述第二触发器的输出端连接,对所述第二触发器输出的中间检测信号检测之后输出时钟检测信号。

[0006] 在第一方面的一种实现方式中,所述第一触发器为D触发器;所述被检测时钟输入至所述D触发器的时钟端,所述D触发器的输入端与高电平连接。

[0007] 在第一方面的一种实现方式中,所述时钟检测信号包括时钟丢失信号;所述时钟检测单元包括丢失周期计数器和丢失阈值比较器,所述丢失周期计数器与所述丢失阈值比较器连接;响应于所述中间检测信号为高电平,所述丢失周期计数器输入所述高电平,输出丢失计数结果至所述丢失阈值比较器,所述丢失阈值比较器输出所述时钟丢失信号。

[0008] 在第一方面的一种实现方式中,所述时钟检测信号包括时钟恢复信号;所述时钟检测单元包括恢复周期计数器和恢复阈值比较器,所述恢复周期计数器与所述恢复阈值比较器连接;响应于所述中间检测信号为恢复时钟上升沿,所述恢复周期计数器输入所述恢复时钟上升沿,输出恢复计数结果至所述恢复阈值比较器,所述恢复阈值比较器输出所述时钟丢失信号。

[0009] 在第一方面的一种实现方式中,所述电路还包括第一参数设计单元;所述第一参数设计单元用于确定多个被检测时钟中的一个输入至所述第一触发器。

[0010] 在第一方面的一种实现方式中,所述第二触发器至少包括一个触发器,各个触发器级联之后输出所述中间检测信号。

[0011] 在第一方面的一种实现方式中,所述电路还包括第二参数设计单元;所述第二参数设计单元用于确定多个第二触发器中的至少一个进行级联之后输出所述中间检测信号。

[0012] 第二方面,本申请提供一种时钟检测方法,所述方法包括:将被检测时钟输入至第一触发器;输出所述第一触发器的同步信号;输出与所述同步信号对应的反相信号,所述反相信号由第二触发器接收后输出中间检测信号;将所述第二触发器输出的中间检测信号复位之后传输至所述第一触发器的输入;对所述第二触发器输出的中间检测信号检测之后输出时钟检测信号。

[0013] 第三方面,本申请提供一种芯片,所述芯片包括:所述的电路。

[0014] 第四方面,本申请提供一种通信系统,所述通信系统包括:所述的电路;所述通信系统利用被检测时钟进行通信,所述被检测时钟通过所述电路进行时钟检测。

[0015] 如上所述,本申请所述的时钟检测电路、检测方法、芯片及通信系统,具有以下有益效果:

[0016] 本申请提供了一种纯数字电路搭建、成本低、响应快且容易集成的时钟检测方法,通过参数设计还可以实现对多个时钟进行检测,节省了电路资源。本申请集成简单,可集成在一片PLD(Programmable Logic Device,可编程逻辑器件)中实现,提高了时钟检测的可靠性。

附图说明

[0017] 图1显示为本申请实施例所述的时钟检测电路的电路示意图。

[0018] 图2显示为本申请实施例所述的时钟检测电路的电路原理图。

[0019] 图3显示为本申请实施例所述的时钟检测电路的时钟检测示意图。

[0020] 图4显示为本申请实施例所述的时钟检测电路的时钟检测时序图。

[0021] 图5显示为本申请实施例所述的时钟检测方法的原理流程图。

[0022] 图6显示为本申请实施例所述的芯片的结构示意图。

[0023] 图7显示为本申请实施例所述的通信系统的结构示意图。

[0024] 元件标号说明

[0025]	1	时钟检测电路
[0026]	11	触发器单元
[0027]	111	第一触发器
[0028]	112	第二触发器
[0029]	12	同步单元
[0030]	13	反相单元
[0031]	14	复位同步单元
[0032]	15	时钟检测单元
[0033]	151	丢失周期计数器

[0034]	152	丢失阈值比较器
[0035]	153	恢复周期计数器
[0036]	154	恢复阈值比较器
[0037]	S51 ~ S55	步骤

具体实施方式

[0038] 以下通过特定的具体实例说明本申请的实施方式,本领域技术人员可由本说明书所揭露的内容轻易地了解本申请的其他优点与功效。本申请还可以通过另外不同的具体实施方式加以实施或应用,本说明书中的各项细节也可以基于不同观点与应用,在没有背离本申请的精神下进行各种修饰或改变。需说明的是,在不冲突的情况下,以下实施例及实施例中的特征可以相互组合。

[0039] 需要说明的是,以下实施例中所提供的图示仅以示意方式说明本申请的基本构想,遂图示中仅显示与本申请中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制,其实际实施时各组件的型态、数量及比例可为一种随意的改变,且其组件布局型态也可能更为复杂。

[0040] 下面将结合本申请实施例中的附图,对本申请实施例中的技术方案进行详细描述。

[0041] 请参阅图1,显示为本申请实施例所述的时钟检测电路的电路示意图。如图1所示,本实施例提供一种时钟检测电路1,具体包括:触发器单元11、同步单元12、反相单元13、复位同步单元14和时钟检测单元15。

[0042] 所述触发器单元11包括第一触发器111和第二触发器112;被检测时钟输入至所述第一触发器111。

[0043] 所述同步单元12与所述第一触发器111的输出端连接,输出所述第一触发器111的同步信号。

[0044] 所述反相单元13分别与所述同步单元12的输出端、所述第二触发器112的输入端连接,输出与所述同步信号对应的反相信号,所述反相信号由所述第二触发器112接收后输出中间检测信号。

[0045] 所述复位同步单元14分别与所述第一触发器111的复位输入端、所述第二触发器112的输出端连接,将所述第二触发器112输出的中间检测信号复位之后传输至所述第一触发器111的复位输入端。

[0046] 所述时钟检测单元15与所述第二触发器112的输出端连接,对所述第二触发器112输出的中间检测信号检测之后输出时钟检测信号。

[0047] 请参阅图2,显示为本申请实施例所述的时钟检测电路的电路原理图。如图2所示,所述第一触发器111和所述第二触发器112均为带复位输入端的D触发器,将第一触发器111所用的D触发器作为第一D触发器,将第二触发器112所用的D触发器作为第二D触发器。

[0048] 结合图2,所述被检测时钟输入至第一D触发器的时钟端,所述D触发器的输入端D端与高电平1' b1连接。

[0049] 所述同步单元12与所述第一D触发器111的输出端Q端连接,所述同步单元12输出所述第一D触发器111的同步信号。

[0050] 所述反相单元13分别与所述同步单元12的输出端、所述第二D触发器112的输入端D端连接,输出与所述同步信号对应的反相信号,所述反相信号由所述第二触发器112的D端接收后由Q端输出中间检测信号。

[0051] 所述复位同步单元14分别与所述第一D触发器111的复位输入端CLR、所述第二D触发器112的输出端Q端连接,将所述第二D触发器112输出的中间检测信号复位之后传输至所述第一D触发器111的复位输入端CLR。

[0052] 所述时钟检测单元15与所述第二D触发器112的输出端Q端连接,在使能信号enable的作用下,对所述第二D触发器112输出的中间检测信号检测之后输出时钟检测信号,例如时钟丢失信号clk_loss。

[0053] 具体地,所述同步单元包括同步器,所述反相单元包括反相器,所述复位同步单元包括复位同步器。

[0054] 需要说明的是,所述第一触发器和所述第二触发器为D触发器仅为本申请的一种实施方式,其他的具有数据输入端、时钟输入端、复位输入端及数据输出端且能实现本申请时钟检测原理的电子部件均在本申请保护的范围内。

[0055] 请参阅图3,显示为本申请实施例所述的时钟检测电路的时钟检测示意图。如图3所示,所述时钟检测单元15在时钟不同状态下输出的时钟检测信号不同,时钟丢失时输出的时钟检测信号为时钟丢失信号;时钟丢失后又恢复则输出的时钟检测信号为时钟恢复信号。

[0056] 于一实施例中,所述时钟检测信号包括时钟丢失信号。

[0057] 如图3所示,所述时钟检测单元15包括丢失周期计数器151和丢失阈值比较器152,所述丢失周期计数器151与所述丢失阈值比较器152连接。

[0058] 响应于所述中间检测信号为高电平,所述丢失周期计数器151输入所述高电平,输出丢失计数结果至所述丢失阈值比较器152,所述丢失阈值比较器152输出所述时钟丢失信号。

[0059] 于另一实施例中,所述时钟检测信号包括时钟恢复信号。

[0060] 如图3所示,所述时钟检测单元包括恢复周期计数器153和恢复阈值比较器154,所述恢复周期计数器153与所述恢复阈值比较器154连接。

[0061] 响应于所述中间检测信号为恢复时钟上升沿,所述恢复周期计数器153输入所述恢复时钟上升沿,输出恢复计数结果至所述恢复阈值比较器154,所述恢复阈值比较器154输出所述时钟丢失信号。

[0062] 于一实施例中,所述电路还包括第一参数设计单元;

[0063] 所述第一参数设计单元用于确定多个被检测时钟中的一个输入至所述第一触发器。

[0064] 具体地,通过例化多次或者使用mux来选择被检测时钟,由此,本申请通过mux来选择被检测时钟,复用同一套时钟检测逻辑,以节省电路资源。于实际应用中,多个被检测时钟可以根据与参考时钟不同的倍数关系来确定。

[0065] 于一实施例中,所述第二触发器至少包括一个触发器,各个触发器级联之后输出所述中间检测信号。如图2所示,各个第二D触发器级联,最前面的第二D触发器的输入端D端与反相单元13连接,最后面的第二D触发器的输出端Q端与时钟检测单元15连接,中间的第

二D触发器均是前一个的Q端输出与后一个的D端输入连接。所有的第二D触发器的时钟端与内部可靠时钟相连,CLR复位端与可靠复位相连。其中,可靠时钟是指晶振时钟,或者确定不会丢失的时钟,可靠复位是指可靠时钟下产生的复位。

[0066] 于一实施例中,所述电路还包括第二参数设计单元。

[0067] 所述第二参数设计单元用于确定多个第二触发器中的至少一个进行级联之后输出所述中间检测信号。

[0068] 具体地,所述第二参数单元可以通过包含开关通断器件的选择电路实现,通过开关的打开与关闭将某个或某些第二触发器短路或者接入,从而确定哪个或哪些第二触发器接入时钟检测电路中。

[0069] 本申请由于第一参数设计单元的参数化设计,可以实现对不同时钟的检测;通过第二参数设计单元的参数化设计,使得D触发器组的个数实现了参数可控,由此,本申请能确保时钟丢失的可靠性和稳定性检测。

[0070] 结合图2和图3,本实施例中时钟检测电路的工作原理如下:

[0071] 如图2所示,将高电平接到所述第一D触发器D端,当被检测时钟丢失,第一D触发器Q端因为丢失时钟,输出0。经过一级同步器,将同步后的信号再反相变成1,接到第二D触发器的D端,经过若干D触发器从最后一级第二D触发器Q端输出1,一端经过复位同步器接到第一D触发器的复位端CLR,一端接到时钟检测单元。由于第一D触发器没有时钟,Q端输出一直为0,因此最后一级D触发器Q端一直是高电平;在时钟检测单元,会通过丢失周期计数器记录高电平的存在时间,当达到设置到的丢失阈值,例如预设丢失阈值为5个周期,则会输出时钟丢失信号。于实际应用中,丢失阈值的设置主要考虑被检测时钟与参考时钟的频率大小关系以及时钟被认为丢失的准则;对于准则,为了避免时钟只是闪断,一般被检测时钟至少要拉低5-6个周期以上,才认为是丢失;并根据两者的倍数关系来设置最终的阈值。

[0072] 当被检测时钟恢复,第一D触发器Q端输出1,经过同步器和反相器之后,输出0接到第二D触发器组,最后一级第二D触发器输出0,一端经过复位同步器之后接到第一级D触发器的复位端CLR,由于复位低电平有效,第一级D触发器输出0,经过同步器和反相器之后,输出1;因此在时钟检测单元,看到的信号是0、1跳变;时钟检测单元会通过恢复周期计数器记录0到1的跳变次数,当达到恢复阈值,会撤销时钟丢失信号,即变为时钟恢复信号。于实际应用中,恢复阈值的设置和丢失阈值一样,需要考虑被检测时钟是真的恢复还是跳了一瞬间,因此被检测时钟至少要维持4-5个周期以上,才认为是恢复。

[0073] 请参阅图4,显示为本申请实施例所述的时钟检测电路的时钟检测时序图。如图4所示,dut_clk表示被检测时钟,ref_clk表示参考时钟,clk_loss表示时钟丢失信号,ifm_en表示时钟检测单元使能信号,dout表示最后一个第二D触发器的输出信号。由此可见,clk_loss高电平时段即为时钟丢失信号的输出时段。

[0074] 请参阅图5,显示为本申请实施例所述的时钟检测方法的原理流程图。如图5所示,本实施例提供一种时钟检测方法,应用于一时钟检测电路中,所述时钟检测电路包括:触发器单元,包括第一触发器和第二触发器;被检测时钟输入至所述第一触发器;同步单元,与所述第一触发器的输出端连接,输出所述第一触发器的同步信号;反相单元,分别与所述同步单元的输出端、所述第二触发器的输入端连接,输出与所述同步信号对应的反相信号,所述反相信号由所述第二触发器接收后输出中间检测信号;复位同步单元,分别与所述第一

触发器的复位输入端、所述第二触发器的输出端连接,将所述第二触发器输出的中间检测信号复位之后传输至所述第一触发器的复位输入端;时钟检测单元,与所述第二触发器的输出端连接,对所述第二触发器输出的中间检测信号检测之后输出时钟检测信号。所述时钟检测方法具体包括步骤S51至步骤S55:

[0075] S51,将被检测时钟输入至第一触发器。

[0076] 于一实施例中,所述第一触发器为D触发器;所述被检测时钟输入至所述D触发器的时钟端,所述D触发器的输入端与高电平连接。

[0077] 于一实施例中,所述电路还包括第一参数设计单元;所述第一参数设计单元用于确定多个被检测时钟中的一个输入至所述第一触发器。

[0078] S52,输出所述第一触发器的同步信号。

[0079] S53,输出与所述同步信号对应的反相信号,所述反相信号由第二触发器接收后输出中间检测信号。

[0080] 于一实施例中,所述第二触发器至少包括一个触发器,各个触发器级联之后输出所述中间检测信号。

[0081] 于一实施例中,所述电路还包括第二参数设计单元;所述第二参数设计单元用于确定多个第二触发器中的至少一个进行级联之后输出所述中间检测信号。

[0082] S54,将所述第二触发器输出的中间检测信号复位之后传输至所述第一触发器的输入。

[0083] S55,对所述第二触发器输出的中间检测信号检测之后输出时钟检测信号。

[0084] 于一实施例中,所述时钟检测信号包括时钟丢失信号;所述时钟检测单元包括丢失周期计数器和丢失阈值比较器,所述丢失周期计数器与所述丢失阈值比较器连接;响应于所述中间检测信号为高电平,所述丢失周期计数器输入所述高电平,输出丢失计数结果至所述丢失阈值比较器,所述丢失阈值比较器输出所述时钟丢失信号。

[0085] 于一实施例中,所述时钟检测信号包括时钟恢复信号;所述时钟检测单元包括恢复周期计数器和恢复阈值比较器,所述恢复周期计数器与所述恢复阈值比较器连接;响应于所述中间检测信号为恢复时钟上升沿,所述恢复周期计数器输入所述恢复时钟上升沿,输出恢复计数结果至所述恢复阈值比较器,所述恢复阈值比较器输出所述时钟丢失信号。

[0086] 本申请实施例所述的时钟检测方法的保护范围不限于本实施例列举的步骤执行顺序,凡是根据本申请的原理所做的现有技术的步骤增减、步骤替换所实现的方案都包括在本申请的保护范围内。

[0087] 本申请实施例提供的时钟检测电路可以实现本申请所述的时钟检测方法,但本申请所述的时钟检测方法的实现装置包括但不限于本实施例列举的时钟检测电路的结构,凡是根据本申请的原理所做的现有技术的结构变形和替换,都包括在本申请的保护范围内。

[0088] 在本申请所提供的几个实施例中,应该理解到,所揭露的电路装置或方法,可以通过其它的方式实现。例如,以上所描述的电路实施例仅是示意性的,例如,模块/单元的划分,仅仅为一种逻辑功能划分,实际实现时可以有另外的划分方式,例如多个模块或单元可以结合或者可以集成到另一个系统,或一些特征可以忽略,或不执行。另一点,所显示或讨论的相互之间的耦合或直接耦合或通信连接可以是通过一些接口,装置或模块或单元的间接耦合或通信连接,可以是电性,机械或其它的形式。

[0089] 作为分离部件说明的模块/单元可以是或者也可以不是物理上分开的,作为模块/单元显示的部件可以是或者也可以不是物理模块,即可以位于一个地方,或者也可以分布到多个网络单元上。可以根据实际的需要选择其中的部分或者全部模块/单元来实现本申请实施例的目的。例如,在本申请各个实施例中的各功能模块/单元可以集成在一个处理模块中,也可以是各个模块/单元单独物理存在,也可以两个或两个以上模块/单元集成在一个模块/单元中。

[0090] 本领域普通技术人员应该还可以进一步意识到,结合本文中公开的实施例描述的各示例的单元及算法步骤,能够以电子硬件、计算机软件或者二者的结合来实现,为了清楚地说明硬件和软件的可互换性,在上述说明中已经按照功能一般性地描述了各示例的组成及步骤。这些功能究竟以硬件还是软件方式来执行,取决于技术方案的特定应用和设计约束条件。专业技术人员可以对每个特定的应用来使用不同方法来实现所描述的功能,但是这种实现不应认为超出本申请的范围。

[0091] 请参阅图6,显示为本申请实施例所述的芯片的结构示意图。如图6所示,本实施例提供一种芯片,所述芯片包括:上述的时钟检测电路。

[0092] 所述时钟检测电路包括:触发器单元,包括第一触发器和第二触发器;被检测时钟输入至所述第一触发器;同步单元,与所述第一触发器的输出端连接,输出所述第一触发器的同步信号;反相单元,分别与所述同步单元的输出端、所述第二触发器的输入端连接,输出与所述同步信号对应的反相信号,所述反相信号由所述第二触发器接收后输出中间检测信号;复位同步单元,分别与所述第一触发器的复位输入端、所述第二触发器的输出端连接,将所述第二触发器输出的中间检测信号复位之后传输至所述第一触发器的复位输入端;时钟检测单元,与所述第二触发器的输出端连接,对所述第二触发器输出的中间检测信号检测之后输出时钟检测信号。

[0093] 于一实施例中,所述第一触发器为D触发器;所述被检测时钟输入至所述D触发器的时钟端,所述D触发器的输入端与高电平连接。

[0094] 于一实施例中,所述时钟检测信号包括时钟丢失信号;所述时钟检测单元包括丢失周期计数器和丢失阈值比较器,所述丢失周期计数器与所述丢失阈值比较器连接;响应于所述中间检测信号为高电平,所述丢失周期计数器输入所述高电平,输出丢失计数结果至所述丢失阈值比较器,所述丢失阈值比较器输出所述时钟丢失信号。

[0095] 于一实施例中,所述时钟检测信号包括时钟恢复信号;所述时钟检测单元包括恢复周期计数器和恢复阈值比较器,所述恢复周期计数器与所述恢复阈值比较器连接;响应于所述中间检测信号为恢复时钟上升沿,所述恢复周期计数器输入所述恢复时钟上升沿,输出恢复计数结果至所述恢复阈值比较器,所述恢复阈值比较器输出所述时钟丢失信号。

[0096] 于一实施例中,所述电路还包括第一参数设计单元;所述第一参数设计单元用于确定多个被检测时钟中的一个输入至所述第一触发器。

[0097] 于一实施例中,所述第二触发器至少包括一个触发器,各个触发器级联之后输出所述中间检测信号。

[0098] 于一实施例中,所述电路还包括第二参数设计单元;所述第二参数设计单元用于确定多个第二触发器中的至少一个进行级联之后输出所述中间检测信号。

[0099] 请参阅图7,显示为本申请实施例所述的通信系统的结构示意图。如图7所示,本实

施例提供一种通信系统,所述通信系统包括:上述的时钟检测电路;所述通信系统利用被检测时钟进行通信,所述被检测时钟通过所述电路进行时钟检测。

[0100] 所述时钟检测电路包括:触发器单元,包括第一触发器和第二触发器;被检测时钟输入至所述第一触发器;同步单元,与所述第一触发器的输出端连接,输出所述第一触发器的同步信号;反相单元,分别与所述同步单元的输出端、所述第二触发器的输入端连接,输出与所述同步信号对应的反相信号,所述反相信号由所述第二触发器接收后输出中间检测信号;复位同步单元,分别与所述第一触发器的复位输入端、所述第二触发器的输出端连接,将所述第二触发器输出的中间检测信号复位之后传输至所述第一触发器的复位输入端;时钟检测单元,与所述第二触发器的输出端连接,对所述第二触发器输出的中间检测信号检测之后输出时钟检测信号。

[0101] 于一实施例中,所述第一触发器为D触发器;所述被检测时钟输入至所述D触发器的时钟端,所述D触发器的输入端与高电平连接。

[0102] 于一实施例中,所述时钟检测信号包括时钟丢失信号;所述时钟检测单元包括丢失周期计数器和丢失阈值比较器,所述丢失周期计数器与所述丢失阈值比较器连接;响应于所述中间检测信号为高电平,所述丢失周期计数器输入所述高电平,输出丢失计数结果至所述丢失阈值比较器,所述丢失阈值比较器输出所述时钟丢失信号。

[0103] 于一实施例中,所述时钟检测信号包括时钟恢复信号;所述时钟检测单元包括恢复周期计数器和恢复阈值比较器,所述恢复周期计数器与所述恢复阈值比较器连接;响应于所述中间检测信号为恢复时钟上升沿,所述恢复周期计数器输入所述恢复时钟上升沿,输出恢复计数结果至所述恢复阈值比较器,所述恢复阈值比较器输出所述时钟丢失信号。

[0104] 于一实施例中,所述电路还包括第一参数设计单元;所述第一参数设计单元用于确定多个被检测时钟中的一个输入至所述第一触发器。

[0105] 于一实施例中,所述第二触发器至少包括一个触发器,各个触发器级联之后输出所述中间检测信号。

[0106] 于一实施例中,所述电路还包括第二参数设计单元;所述第二参数设计单元用于确定多个第二触发器中的至少一个进行级联之后输出所述中间检测信号。

[0107] 本申请中所述通信系统在不同应用场景的原理及实现效果如下:

[0108] 场景一,将PHY(Physical,端口物理层,是一个对OSI模型物理层的共同简称)、MAC(Media Access Control Address,媒体存取控制地址,又名物理地址)和Switch交换机接入时钟检测电路,时钟正常的情况下报文正常收发;若将PHY的时钟配置关闭,报文无法正常收发,同时输出时钟丢失信号。因此在该场景下,本申请可以快速排除故障非源于Switch和MAC,能迅速确定是物理PHY的问题。

[0109] 场景二,通过配置总线去访问芯片内部寄存器,接入时钟检测电路,无论读写,芯片没有任何反应,但该配置时钟的时钟丢失信号被输出。在该场景下,通过本申请能确定总线读写失败非逻辑通路问题,而是配置时钟的问题。

[0110] 上述各个附图对应的流程或结构的描述各有侧重,某个流程或结构中没有详述的部分,可以参见其他流程或结构的相关描述。

[0111] 上述实施例仅例示性说明本申请的原理及其功效,而非用于限制本申请。任何熟悉此技术的人士皆可在不违背本申请的精神及范畴下,对上述实施例进行修饰或改变。因

此,举凡所属技术领域中具有通常知识者在未脱离本申请所揭示的精神与技术思想下所完成的一切等效修饰或改变,仍应由本申请的权利要求所涵盖。

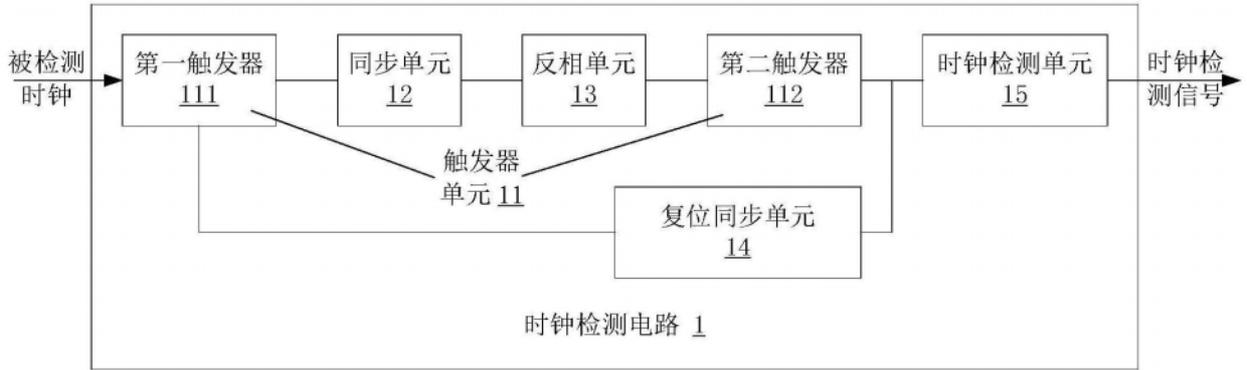


图1

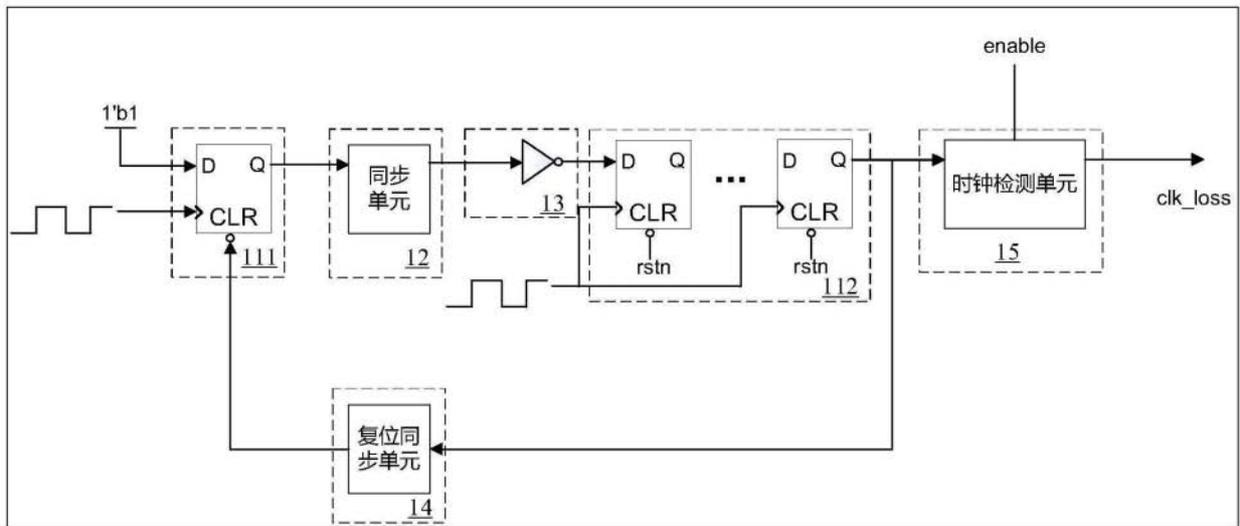


图2

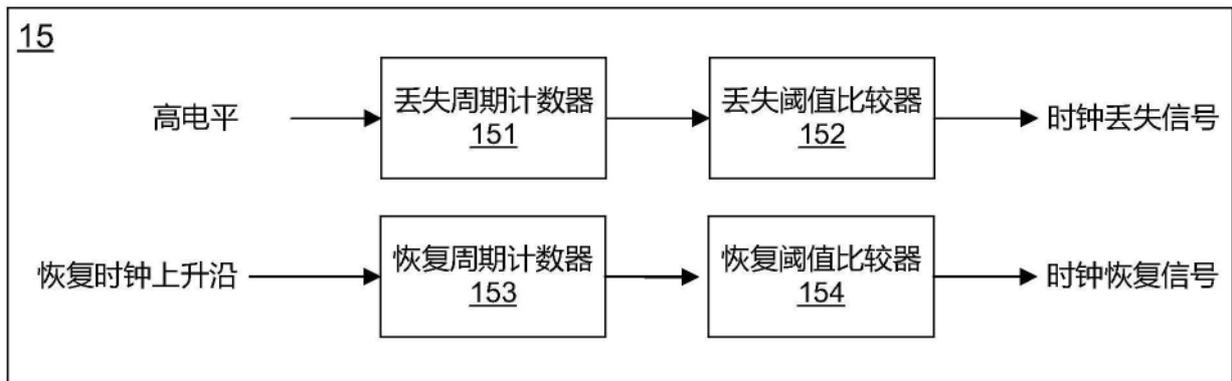


图3

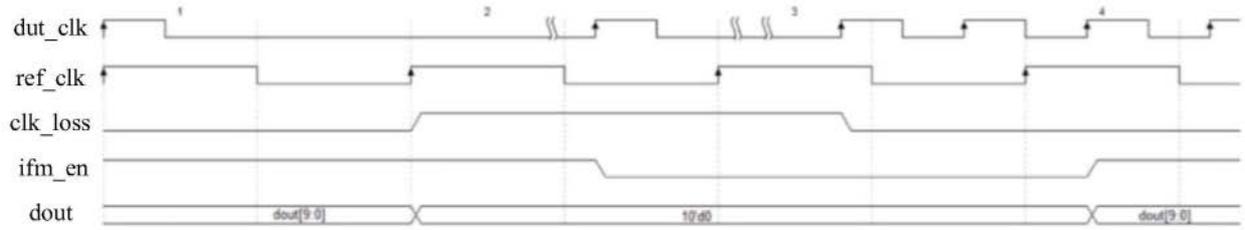


图4

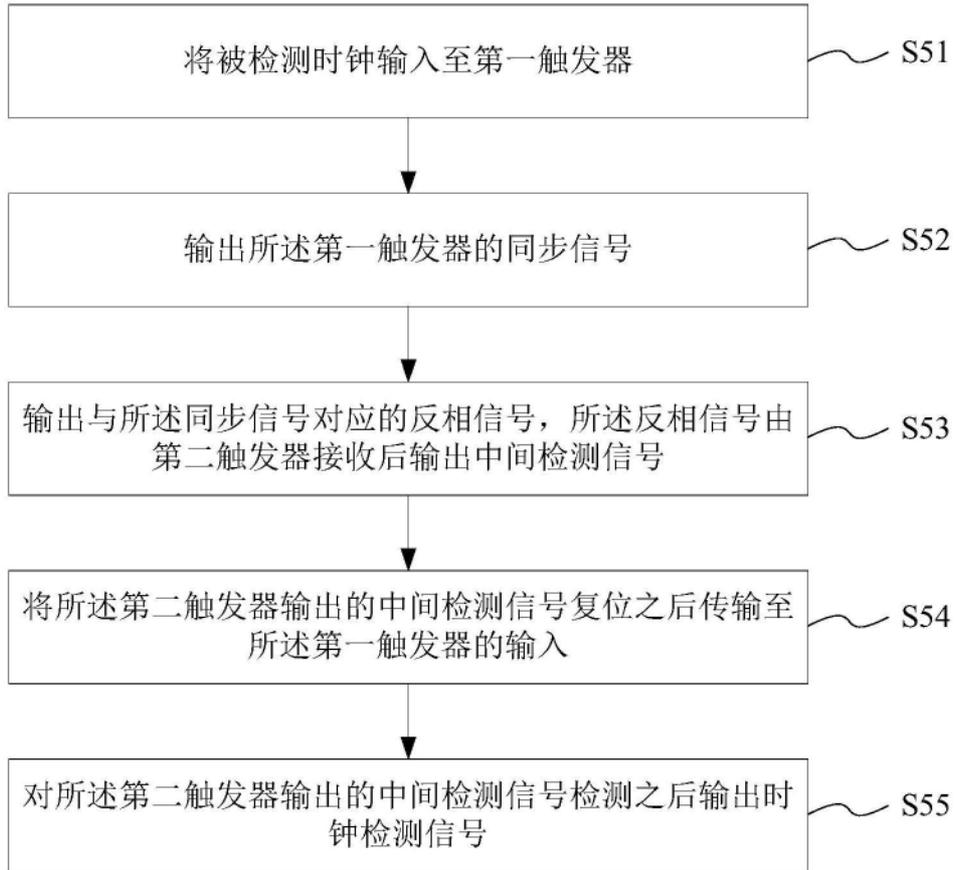


图5

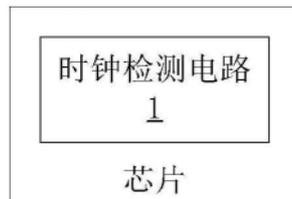


图6

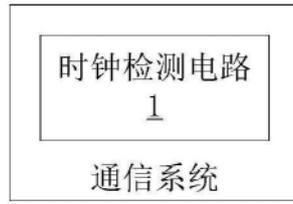


图7