

(19) 대한민국특허청(KR)
(12) 특허공보(B1)(51) Int. Cl.⁵
H01L 27/06(45) 공고일자 1993년08월25일
(11) 공고번호 특1993-0008018

(21) 출원번호	특1991-0010768	(65) 공개번호	특1993-0001409
(22) 출원일자	1991년06월27일	(43) 공개일자	1993년01월16일
(71) 출원인	삼성전자주식회사 김광호		
(72) 발명자	경기도 수원시 권선구 매탄동 416번지 김명성 서울특별시 양천구 신월 1동 230번지 7호 김종국 경기도 부천시 중구 원종동 삼신아파트 1동 512호 김현수 경기도 부천시 중구 원종동 138번지 16호		
(74) 대리인	조용식, 홍기천		

심사관 : 정현영 (책
자공보 제3383호)

(54) 바이씨모스장치 및 그 제조방법

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

바이씨모스장치 및 그 제조방법

[도면의 간단한 설명]

제 1 도는 이 발명에 따른 바이씨모스장치의 단면도.

제 2 (a)~(h) 도는 제 1 도의 제조공정도이다.

[발명의 상세한 설명]

이 발명은 바이폴라 트랜지스터(Bipolar Transistor)와 씨모스트랜지스터(CMOS Transistor)를 동일한 칩상에 형성한 바이씨모스(BiCMOS)장치 및 그 제조방법에 관한 것으로, 특히 씨모스트랜지스터의 게이트가 이종의 다결정성실리콘이고 바이폴라 트랜지스터들을 자기 정합(Self-alignment)시킴으로 고성능 및 고집적화를 이룰수 있는 바이씨모스장치 및 그 제조방법에 관한 것이다.

최근, 반도체 집적회로들은 고속동작 및 경박단소화 추세에 있으므로 서로 다른 기능 또는 구동전압을 가지는 반도체소자들을 동일한 칩(Chip)상에 형성하여 다양한 기능을 가지는 반도체장치들이 개발되고 있다. 그중 집적도가 높고 소비전력이 적은 씨모스트랜지스터와 동작 속도가 빠르고 고부하 구동능력이 큰 바이폴라 트랜지스터를 동일한 칩상에 형성한 바이씨모스장치가 있다. 바이씨모스장치는 시모스트랜지스터를 내부로직회로로, 바이폴라 트랜지스터를 주변회로로 이용하여 저소비전력, 고집적도 및 고속동작등의 특성을 가지므로 이용도가 점차로 증대되고 있다.

종래의 BiCMOS장치는 1990년에 발행된 IEEE BCTM Conference Digest P78~P81에 게시된 것으로 종형의 PNP 바이폴라 트랜지스터는 베이스(Base)의 폭이 좁으므로 구동능력이 우수하며, 동작속도를 빠르게 하기 위해 에피층(Epi layer)을 얇게 형성하므로 동작전압이 낮다.

그러나, NPN 및 PNP 바이폴라 트랜지스터의 베이스영역에 에미터(Emitter) 영역을 비자기정합(Nonself-alignment) 방법에 의해 형성하므로 집적도가 낮아지는 문제점이 있었다.

또한, 종래의 다른 BiCMOS장치는 1990년에 발행된 IEEE BCTM Conference Digest P82~P85에 게시된 것으로 전류이득이 높으나 NPN 및 PNP 바이폴라 트랜지스터가 횡방향으로 동작하므로 전류제어능력과 동작속도가 늦는 문제점이 있었다. 따라서, 이 발명의 목적은 초고속 동작 및 고집적의 특성을 가지는 바이씨모스장치를 제공함에 있다.

이 발명의 다른 목적은 상기와 같은 바이씨모스장치의 제조방법을 제공함에 있다.

상기의 목적을 달성하기 위하여 이 발명은 제 1 도전형의 반도체기판의 제 1 부분에 형성된 제 1 도전형의 제 2 및 제 6 영역과, 상기 제 6 영역에 채널영역으로 이격된 제 2 도전형의 소오스 및 드레인영역과, 상기 채널영역의 상부에 게이트산화막을 개재시켜 형성되며 제 1 및 제 2 다결정실리곤층과 제 1 금속실리사이드층이 적층된 구조로 이루어진 게이트와, 상기 소오스 및 드레인 영역의 상부에 형성된 금속전극으로 이루어진 제 1 모스트랜지스터 ; 상기 제 1 도전형의 반도체기판의 제 2 부분에 형성된 제 2 도전형의 제 3 및 제 7 영역의 상부에 상기 제 2 도전형 모스트랜지스터와 소오스 및 드레인의 도전형만 다르고 동일한 구조로 이루어진 제 2 모스트랜지스터 ; 상기 반도체기판의 제 3 부분에 형성된 제 1 도전형의 제 4 및 제 8 영역과, 상기 제 7 영역의 소정부분에 형성된 필드산화막과, 상기 필드산화막의 일측에 상기 제 4 영역과 연결되도록 형성된 제 1 도전형의 콜렉터영역과, 상기 필드산화막의 타측에 형성된 제 2 도전형의 진성베이스영역과, 상기 진성 베이스 영역의 양측에 형성된 제 2 도전형의 외부 베이스영역과, 상기 외부 베이스영역사이에 형성된 제 1 도전형의 에미터영역과, 상기 외부 베이스영역의 상부에 제 2 다결정실리곤층과 제 1 금속실리사이드층으로 형성된 베이스전극과, 상기 에미터영역 및 콜렉터 영역의 상부에 제 3 다결정실리곤층 및 제 2 금속실리사이드층을 각각 형성된 에미터전극 및 콜렉터전극과, 상기 에미터 및 베이스 및 콜렉터전극의 상부에 형성된 금속전극으로 이루어진 종형의 제 1 바이폴라 트랜지스터 ; 상기 반도체기판의 제 4 부분에 형성된 제 2 도전형의 제 5 및 제 9 영역에 형성되는 각각의 영역이 상기 종형의 제 1 바이폴라 트랜지스터 각각의 영역과 반대의 도전형이고, 제 2 다결정실리곤층과 제 1 금속실리사이드층이 적층되어 각각 형성된 에미터 및 콜렉터전극과, 제 3 다결정실리곤층과 제 2 금속실리사이드층으로 형성된 베이스전극과, 상기 에미터전극 콜렉터전극 및 베이스전극의 상부에 형성된 금속전극으로 이루어진 제 2 바이폴라 트랜지스터 ;를 구비함을 특징으로 한다.

상기의 다른 목적을 달성하기 위하여 이 발명은, 제 1 도전형의 반도체기판에 제 1 도전형인 제 2 및 제 4 영역과 제 2 도전형인 제 3 및 제 5 영역을 형성하는 제 1 공정과, 상기 반도체기판에 에피택셜층을 형성하는 제 2 공정과, 상기 에피택셜층에 제 1 도전형인 제 6 및 제 8 영역과 제 2 도전형인 제 7 및 제 9 영역을 형성하는 제 3 공정과, 상기 제 6, 제 7, 제 8 및 제 9 영역사이에 필드산화막 및 채널스토퍼를 형성함과 동시에 제 8 및 제 9 영역의 소정부분에 필드산화막을 형성하는 제 4 공정과, 상기 제 8 및 제 9 영역 상부의 필드산화막의 일측에 상기 제 4 및 제 5 영역과 맞닿도록 제 1 및 제 2 도전형의 콜렉터영역들을 형성하는 제 5 공정과, 상술한 구조의 전표면에 게이트산화막 및 제 1 다결정실리곤층을 순차적으로 적층하는 제 6 공정과, 상기 제 8 및 제 9 영역 상부의 필드산화막 타측 표면에 제 2 및 제 1 도전형의 진성 베이스영역을 형성하는 제 7 공정과, 상기 제 8 및 제 9 영역상부의 게이트산화막 및 제 1 다결정실리곤층을 제거하는 제 8 공정과, 상술한 구조의 전표면에 제 2 다결정실리곤층, 제 1 금속사이드층 및 제 1 층간절연막층을 한 후 포토리소그래피 방법에 의해 제 1 및 제 2 모스트랜지스터의 게이트와 제 1 바이폴라 트랜지스터의 베이스전극과 제 2 바이폴라 트랜지스터의 에미터 및 콜렉터전극을 형성하는 제 9 공정과, 상기 제 6 영역에 제 1 모스트랜지스터의 소오스 및 드레인영역을 형성하기 위한 제 2 도전형 불순물과 제 7 영역에 제 2 모스트랜지스터의 소오스 및 드레인영역을 형성하기 위한 제 1 도전형 불순물을 각각 주입하는 10공정과, 상기 제 1 및 제 2 모스트랜지스터의 상부에 제 1 층간절연막을 형성하는 제 11 공정과, 제 3 다결정실리곤층과 제 2 금속실리사이드층을 이용하여 제 1 바이폴라 트랜지스터의 에미터전극 및 콜렉터전극과 제 2 바이폴라 트랜지스터의 베이스전극을 각각 형성하는 제 12 공정과, 상기 제 6 및 제 7 영역에 각각 이온주입된 제 2 및 제 1 도전형의 불순물을 확산시켜 제 1 및 제 2 모스트랜지스터의 소오스 및 드레인영역을 형성시키고 동시에 제 1 및 제 2 바이폴라 트랜지스터의 에미터영역 및 외부베이스영역을 형성하는 제 13 공정과, 상술한 구조의 전표면에 제 3 층간절연막을 도포한 후 접촉창을 형성하고 금속전극들을 형성하는 제 14 공정으로 이루어짐을 특징으로 한다.

이하, 첨부한 도면을 참조하여 이 발명을 상세히 설명한다.

제 1 도는 이 발명의 일실시예에 따른 바이씨모스장치의 단면도로써 N 및 P모스트랜지스터로 이루어진 씨모스소자 트랜지스터와, NPN 및 종형 PNP 바이폴라 트랜지스터로 구성된 것을 나타내고 있다.

상기 N 및 P모스트랜지스터가 형성되는 영역을 N 및 P모스트랜지스터영역(NM), (PM), NPN 및 종형 PNP 바이폴라 트랜지스터가 형성되는 영역을 NPN 및 종형 PNP 바이폴라 트랜지스터영역(NB), (PB)이라 하자.

먼저, P형의 반도체기판(1) 표면의 N 및 P모스트랜지스터 영역(NM), (PM)과 PNP 및 NPN 바이폴라 트랜지스터 영역(PB), (NB)에 불순물이 고농도로 도핑된 제 2, 제 3, 제 4 및 제 5 영역(3), (5), (7), (9)이 형성되어 있다. 상기 제 2 영역(3)은 P형의, 상기 제 3 영역(5)은 N형의 매몰층(buried layer)로 N 및 P 모스트랜지스터의 래치업(latch-up)을 방지하며, 제 4 및 제 5 영역(7), (9)은 종형 PNP 및 NPN 바이폴라 트랜지스터의 매몰층으로 이용된다. 또한, 상기 제 4 영역(7)을 섬(Island) 형태로 상기 반도체기판(1)과 전기적으로 분리하기 위한 N형의 제 1 영역(2)이 형성되어 있다. 상기 제 2, 제 3, 제 4 및 제 5 영역(3), (5), (7), (9) 상부의 에피층에 형성되며 이 영역(3), (5), (7), (9)과 동일한 도전형인 제 6, 제 7, 제 8 및 제 9 영역(13), (15), (17), (19)이 형성되어 있다.

그리고, 상기 제 6, 제 7, 제 8 및 제 9 영역(13), (15), (17), (19)의 사이에는 채널스토퍼(Channel stopper : 21)가 형성되어 있으며, 이 채널스토퍼(21)의 상부에는 각 소자들을 전기적으로 분리하기 위한 필드산화막(23)이 형성되어 있다. 상기 제 8 영역(13)의 표면에 N모스트랜지스터의 소오스 및 드레인 영역(75)의 표면에는 소오스 및 드레인 전극으로 이용되는 금속전극(95)이 형성되어 있다. 상기 소오스 및 드레인영역(75)사이의 표면에는 게이트산화막(31)을 개재시켜 제 1 및 제 2 다결정실리곤층(33), (39)과 제 1 금속실리사이드층(Metal silicide layer : 41)로 이루어진 게이트(45)가 형성되어 있다.

상기 제 1 다결정실리곤층(33)은 300~600Å 정도로 얇게 형성되어 제 2 다결정실리곤층(39)에 주입된 불순물이 채널영역으로 확산되어 드레쉬홀드전압(Threshold voltage)의 특성이 변하는 것을 방지하며, 상기 금속실리사이드층(41)은 1000~2000Å 정도 두께의 WSi_2 또는 $TiSi_2$ 등으로 이루어지며 게이트(43)의 도전 상태를 양호하게 한다. 상기 게이트(43)의 측면에는 산화막으로 이루어진 사이드웰(Side wall : 59)이 형성되어 있으며, 상부에는 제 1 층간절연막(43)이 형성되어 있다. 또한, 상기 금속전극(95)을 제외한

부분에 제 3 층간절연막(93)이 형성되어 있다.

또한, 상기 제 7 영역(15)상에는 P모스트랜지스터 형성되어 있다. 상기 P모스트랜지스터는 소오스 및 드레인영역(77)에 주입된 불순물을 제외한 나머지는 상기 N모스트랜지스터와 동일하다.

그리고, 상기 제 8 영역(17)의 표면에 N형 불순물이 도핑된 중형 PNP바이폴라 트랜지스터의 진성 베이스영역(35)이 형성되어 있고, 이 진성 베이스영역(35)과 필드산화막(20)에 의해 이격된 P형 불순물이 고농도로 도핑된 콜렉터영역(27)이 형성되어 있다. 또한, 콜렉터영역(27)의 내부표면에는 접촉저항을 줄이기 위한 콜렉터접촉 영역(83)이 형성되어 있다.

상기 베이스영역(35)의 양측에는 N형 불순물이 고농도로 도핑된 외부 베이스(Extrinsic Base)영역(79)이 형성되어 있으며, 이 외부 베이스영역(79)의 상부에는 제 2 다결정실리콘층(39)과 제 1 금속실리사이드(41)층으로 이루어진 베이스전극(49)이 형성되어 있다. 또한, 상기 베이스전극(49)의 측벽과 상부에는 사이드웰(59)과 제 1 층간절연막(43)이 형성되어 에미터전극(87)의 하부에는 P형 불순물이 고농도로 도핑되며 자기정합은 에미터영역(81)이 형성되어 있다.

그리고, 제 9 영역(19)의 표면에 NPN 바이폴라 트랜지스터의 진성 베이스영역(37), 에미터영역(87) 및 콜렉터영역(29)과 외부 베이스영역(85) 및 콜렉터 접촉영역(90)이 형성되어 있다.

상기 에미터영역(89)의 상부에 제 2 다결정실리콘층(39)과 제 1 금속실리사이드층(41)으로 이루어진 에미터전극(51)이 형성되어 있으며, 이 에미터전극(51)의 상부에 상기 외부 베이스영역(85)과 접촉되며 사이드웰(59) 및 제 1 층간절연막(43)에 의해 전기적으로 이격되는 베이스전극(91)이 형성되어 있다. 상기 베이스전극(91)은 제 3 다결정실리콘층(71)과 제 2 금속실리사이드층(73)으로 형성되어 있으며, 상기 에미터영역(87)과 외부 베이스영역(85)은 이 에미터전극(51)과 베이스전극(91)에 자기정합되어 있다. 또한, 상기 콜렉터영역(29)의 상부에는 제 2 다결정실리콘층(39) 및 제 1 금속실리사이드층(41)으로 이루어진 콜렉터전극(53)이 형성되어 있다.

제 2a~h 도는 제 1 도의 제조공정도이다.

제 2a 도를 참조하면, 결정면{100}이고 $2\sim 20 \Omega \cdot \text{cm}$ 정도인 P형 반도체기판(1)의 소정부분에 N형의 제 1 영역(2)을 형성한 후 통상의 트윈웰(Twin well)의 형성방법에 의해 P형 불순물이 고농도로 도핑된 제 2 및 제 4 영역(3), (7)과 N형 불순물이 고농도로 도핑된 제 3 및 제 5 영역(5), (9)을 형성한다. 상기에서 제 4 영역(7)을 제 1 영역(2)에 의해 섬의 형태로 되어 상기 반도체기판(1)과 분리되도록 형성된다. 그 다음, 상기 제 2, 제 3, 제 4 및 제 5 영역(3), (5), (7), (9)의 상부에 $1\sim 2\mu\text{m}$ 정도 두께의 불순물이 도핑되지 않은 에피택셜층(Epitaxial layer : 11)을 형성한다.

제 2b 도를 참조하면, 상기 에피택셜층(11)에 상기 제 2, 제 3, 제 4 및 제 5 영역(3), (5), (7), (9)과 동일한 방법에 의해 p형 불순물이 저농도로 도핑된 제 6 및 제 8 영역(13), (17)과 N형 불순물이 저농도로 도핑된 제 7 및 제 9 영역(15), (19)을 형성한다. 그 다음, 제 6, 제 7, 제 8 및 제 9 영역(13), (15), (17), (19)의 사이에 소자들을 분리하기 위한 필드산화막(23)과 채널스토퍼(Channel Stopper ; 21)를 형성한다. 이때, 상기 제 8 및 제 9 영역(17), (19)의 소정부분에도 필드산화막(23)이 형성된다.

제 2c 도를 참조하면, 상술한 구조의 전표면에 $400\sim 600 \text{ \AA}$ 정도 두께의 희생산화막(25)을 형성한다. 그 다음, 상기 제 8 및 제 9 영역(17), (19)의 소정부분에 중형 PNP 바이폴라 트랜지스터 및 NPN 바이폴라 트랜지스터의 콜렉터 영역들(27), (29)을 형성한다. 상기 콜렉터 영역들(27), (29)은 두 번의 포토마스킹(photo masking) 및 두 번의 이온주입 후 열처리하여 형성한다. 즉, 상기 중형 PNP 바이폴라 트랜지스터 및 NPN바이폴라 트랜지스터의 콜렉터 영역(27), (29)은 희생산화막(25)의 상부에 감광막을 도포하고 통상의 사진공정에 의해 상기 제 8 영역(17)상의 희생산화막(25)의 소정부분을 노출시켜 p형 불순물을 이온주입한 후 감광막을 제거하며, 재차 제 9 영역(29)의 소정부분에 상기와 같은 공정에 의해 N형 불순물을 이온주입한 후 열처리하여 형성한다. 상기에서 중형 PNP 및 NPN 바이폴라 트랜지스터의 콜렉터(27), (29)를 형성하기 위해 보론(Boron) 등의 p형 불순물과 인(Phosphorus) 등의 N형 불순물을 140KeV 정도의 에너지와 $5E14\sim 2E15 \text{ ions/cm}^2$ 정도의 도우즈(dose)로 각각 이온주입한다. 이때 이온주입의 순서가 바뀌어도 무방하다.

제 2d 도를 참조하면, 상기 희생산화막(25)을 제거한 후 재차 $150\sim 300 \text{ \AA}$ 정도 두께의 게이트산화막(31)과 $300\sim 600 \text{ \AA}$ 정도 두께의 제 1 다결정실리콘층(33)을 순차적으로 형성한다. 그 다음, 상기 제 1 다결정실리콘층(33)의 전표면에 N 및 P모스트랜지스터의 드레쉬홀드 전압을 조절하기 위해 보론 등의 P형 불순물을 30KeV 정도의 에너지와 $1E11\sim 1E13 \text{ ions/cm}^2$ 정도의 도우즈로 이온주입한다. 계속해서, 상기 제 8 및 제 9 영역(17), (19)에 두 번의 포토마스킹 및 두 번의 이온주입 후 열처리하여 중형 PNP 및 NPN바이폴라 트랜지스터의 진성 베이스 영역(35), (37)을 형성한다. 상기 중형 PNP 트랜지스터의 진성 베이스 영역(35)은 인 등의 N형 불순물을 $60\text{KeV}\sim 100\text{KeV}$ 정도의 에너지와 $5E13\sim 5E14 \text{ ions/cm}^2$ 정도의 도우즈로, NPN바이폴라 트랜지스터의 진성 베이스영역(37)은 보론 등의 P형 불순물을 $40\sim 100\text{KeV}$ 정도의 에너지와 $1E14\sim 5E14 \text{ ions/cm}^2$ 정도의 도우즈로 각각 이온주입하여 형성한다. 상기에서 두 번의 이온주입 공정은 어느것을 먼저하여도 무방하다.

제 2e 도를 참조하면, 상기 중형 PNP 및 NPN 바이폴라 트랜지스터영역(PB), (NB)의 제 1 다결정실리콘층(33) 및 게이트산화막(31)을 제거한다. 그 다음, 상기 전 표면에 $2000\sim 4000 \text{ \AA}$ 정도의 제 2 다결정실리콘층(39)을 침적한 후 아세닉(Arsenic) 등의 N형 불순물을 $6E15\sim 1E16 \text{ ions/cm}^2$ 정도로 이온주입을 한다.

계속해서, 상기 제 2 다결정실리콘층(39)의 전표면에 통상의 CVD(Chemical Vapor Deposition) 방법으로 $1000\sim 3000 \text{ \AA}$ 정도 두께의 제 1 금속실리사이드층(41) 및 $2000\sim 4000 \text{ \AA}$ 정도 두께의 제 1 층간절연층(43)을 순차적으로 형성한다. 상기 제 1 금속실리사이드층(41)은 WSi_2 또는 TiSi_2 등의 금속 실리사이드로 형

성되어 이 후에 형성된 금속전극과의 접촉저항을 줄이게 된다. 또한, 상기 제 1 층간절연층(43)은 SiO_2 또는 Si_3N_4 등으로 이루어진다. 그 다음, 통상의 포토리소그래피(Photolithography) 방법에 의해 N 및 P 모스트랜지스터의 게이트전극(45), (47)과, 중형 PNP 트랜지스터의 베이스전극(49)과, NPN트랜지스터의 에미터 및 콜렉터 전극(51), (53)을 동시에 형성한다.

제 2f 도를 참조하면, 상기 제 6 및 제 7 영역(13), (15)에 두번에 포토마스킹공정과 두 번의 이온주입 공정에 의해 N 및 P모스트랜지스터를 LDD(Lightly Doped Drain)구조로 형성하기 위해 인 등의 N형 불순물과 보론등의 P형 불순물을 저농도로 주입하여 제 1 및 제 2 이온주입영역(55), (57)을 형성한다. 그 다음, 상술한 구조의 전표면에 통상의 CVD방법에 의해 3000~6000Å 정도 두께로 산화막을 침전한 후 RIE(Reactive Ion Etching) 방법으로 에치백(Etchback)하여 상기 전극들(45), (47), (49), (51), (53)의 측벽에 사이드월(59)을 형성한다. 계속해서, 감광막을 마스크로하여 제 6 영역(13)에 As등의 N형 불순물을 60KeV정도의 에너지와 $3\text{E}15 \sim 7\text{E}15 \text{ ions/cm}^2$ 정도의 도우즈로 주입하여 제 3 이온주입영역(61)을 형성한다. 그 다음, 상기 방법과 동일한 방법에 의해 제 7 영역(15)에 BF_2 등의 P형 불순물을 60KeV 정도의 에너지와 $1\text{E}15 \sim 7\text{E}15 \text{ ions/cm}^2$ 정도의 도우즈로 제 4 이온주입영역(63)을 형성한다. 이때, 상기 중형 PNP 트랜지스터의 콜렉터영역(27)과 NPN트랜지스터의 진성 베이스영역(37)에 P형의 제 5 및 제 6 이온주입영역(65), (67)이 형성된다.

제 2g 도를 참조하면, 상술한 구조의 전표면에 통상의 CVD 방법에 의해 SiO_2 또는 Si_3N_4 등을 1000~2000Å 정도 두께로 침적하여 제 2 층간절연층(69)을 형성한다. 그다음, 포토리소그래피 방법에 의해 중형 PNP 및 NPN트랜지스터 영역(PB), (NB) 표면의 제 2 층간절연층(69)을 제거한다. 계속해서, 상술한 구조의 전표면에 2000~4000Å 정도 두께의 제 3 다결정실리콘(71)과 1000~2000Å 정도 두께의 제 2 금속실리사이드층(73)을 순차적으로 형성한다. 상기에서, 제 3 다결정실리콘층(71)을 형성한 후 BF_2 나 보론 등의 P형 불순물을 $1\text{E}15 \sim 5\text{E}15 \text{ ions/cm}^2$ 정도로 이온주입한다. 또한 상기 제 2 금속실리사이드층(73)은 제 1 금속실리사이드(41)과 같은 물질로 형성한다. 그다음, 통상의 고온 어닐링(Annealing) 공정으로 상기 제 1~6이온주입영역(55), (57), (61), (63), (65), (67)의 불순물을 확산시켜 n모스트랜지스터의 소오스 및 드레인영역(75), P모스트랜지스터의 소오스 및 드레인영역(77), 중형 PNP 트랜지스터의 콜렉터접촉 영역(83) 및 NPN트랜지스터의 외부 베이스영역(85)을 형성한다. 이때, 상기 제 2 다결정실리콘층(45)에 포함되어 있던 불순물이 확산되어 중형 PNP 트랜지스터의 외부 베이스영역(79)과 NPN트랜지스터의 에미터 영역(88) 및 콜렉터 접촉영역(90)이, 제 3 다결정실리콘층(71)에 포함되어 있던 불순물에 의해 중형 PNP 트랜지스터의 베이스접촉 영역(81)이 각각 자기정합되어 형성된다. 또한, 상기 N 및 P모스트랜지스터는 LDD구조로 형성된다. 그 다음 통상의 리소그래피방법에 의해 중형 PNP트랜지스터의 에미터전극(87) 및 콜렉터전극(89)과 NPN트랜지스터의 베이스전극(91)을 형성한다.

제 2h 도를 참조하면, 상술한 구조의 전표면에 CVD방법에 의해 상기 제 1 및 제 2 층간절연층(43), (69)과 동일한 물질로 3000~5000Å 정도 두께의 제 3 층간절연층(93)을 형성한다. 계속해서, 상기 제 3 층간절연층(93)에 접촉구멍을 형성한 후 Si등의 금속으로 금속전극(95)들을 형성한다.

상술한 바와같이 P 및 N모스트랜지스터의 게이트를 불순물이 도핑되지 않은 제 1 다결정실리콘층과 불순물이 고농도로 도핑된 제 2 다결정실리콘층을 적층하여 형성하므로 열처리시에 제 2 다결정실리콘층에 도핑되어 있던 불순물이 채널영역으로 확산되는 것을 방지하여 드레쉬홀드 전압특성이 변하는 것을 방지하며, 중형 PNP 및 NPN 바이폴라 트랜지스터의 에미터영역을 자기정합시켜 면적을 축소할 수 있다.

따라서, 이 발명은 P 및 N모스트랜지스터의 드레쉬홀드 전압특성을 안정화시키므로 성능을 향상시킬 수 있으며, 또한 중형 PNP 및 NPN바이폴라 트랜지스터의 에미터영역을 자기정합시키므로 동작속도를 향상시키고 칩의 면적을 축소할 수 있어 고집적화시킬 수 있는 잇점이 있다.

(57) 청구의 범위

청구항 1

반도체 장치에 있어서, 제 1 도전형의 반도체기판의 제 1 부분에 형성된 제 1 도전형의 제 2 및 제 6 영역과, 상기 제 6 영역에 채널영역으로 이격된 제 2 도전형의 소오스 및 드레인영역과, 상기 채널영역의 상부에 게이트산화막을 개재시켜 형성되며 제 1 및 제 2 다결정실리콘층과 제 1 금속실리사이드층이 적층된 구조로 이루어진 게이트와, 상기 소오스 및 드레인영역의 상부에 형성된 금속전극으로 이루어진 제 1 모스트랜지스터 ; 상기 제 1 도전형의 반도체기판의 제 2 부분에 형성된 제 2 도전형의 제 3 및 제 7 영역의 상부에 상기 제 2 도전형 모스트랜지스터와 소오스 및 드레인의 도전형만 다르고 동일한 구조로 이루어진 제 2 모스트랜지스터 ; 상기 반도체기판의 제 3 부분에 형성된 제 1 도전형의 제 4 및 제 8 영역과, 상기 제 8 영역의 소정부분에 형성된 필드산화막과, 상기 필드산화막의 일측에 상기 제 4 영역과 연결되도록 형성된 제 1 도전형의 콜렉터 영역과, 상기 필드산화막의 타측에 형성된 제 2 도전형의 진성 베이스 영역과, 상기 진성 베이스영역의 양측에 형성된 제 2 도전형의 외부 베이스영역과, 상기 외부 베이스영역사이에 형성된 제 1 도전형의 에미터영역과, 상기 외부 베이스영역의 상부에 제 2 다결정실리콘층과 제 1 금속실리사이드층으로 형성된 베이스전극과, 상기 에미터영역 및 콜렉터영역의 상부에 제 3 다결정실리콘층 및 제 2 금속실리사이드층으로 각각 형성된 에미터전극 및 콜렉터전극과, 상기 에미터 및 베이스 및 콜렉터전극의 상부에 형성된 에미터전극으로 이루어진 중형의 제 1 바이폴라트랜지스터 ; 상기 반도체기판의 제 4 부분에 형성된 제 2 도전형의 제 5 및 제 9 영역에 형성되는 각각의 영역이 상기 중형의 제 1 바이폴라트랜지스터 각각의 영역과 반대의 도전형이고, 제 2 다결정실리콘층과 제 1 금속실리사이드층이 적층되어 각각 형성된 에미터 및 콜렉터전극과, 제 3 다결정실리콘층과 제 2 금속실리사이드층으로 형성된 베이스전극과, 상기 에미터전극, 콜렉터전극 및 베이스전극의 상부에 형성된 금속전극으로 이루어진 제 2 바이폴라트랜지스터 ; 를 구비함을 특징으로 하는 바이씨모스장치.

청구항 2

제 1 항에 있어서, 제 1 모스트랜지스터는, 상기 제 1 다결정실리콘층이 300~600 Å 정도의 두께임을 특징으로 하는 바이씨모스장치.

청구항 3

제 1 항에 있어서, 제 1 바이플라트랜지스터는 상기 제 2 영역을 에워싸는 제 2 도전형의 제 1 영역을 더 구비함을 특징으로 하는 바이씨모스장치.

청구항 4

제 1 항에 있어서, 제 1 바이플라트랜지스터는 상기 에미터영역이 상기 베이스전극과 자기정합됨을 특징으로 하는 바이씨모스장치.

청구항 5

제 1 항에 있어서, 상기 제 2 바이플라트랜지스터는 상기 외부 베이스 영역이 에미터전극에 의해 자기정합됨을 특징으로 하는 바이씨모스장치.

청구항 6

반도체 장치의 제조방법에 있어서, 제 1 도전형의 반도체기판에 제 1 도전형인 제 2 및 제 4 영역과 제 2 도전형인 제 3 및 제 5 영역을 형성하는 제 1 공정과, 상기 에피택셜층에 제 1 도전형인 제 6 및 제 8 영역과 제 2 도전형인 제 7 및 제 9 영역을 형성하는 제 3 공정과, 상기 제 6, 제 7, 제 8 및 제 9 영역 사이에 필드산화막 및 채널스토퍼를 형성함과 동시에 제 8 및 제 9 영역사이의 소정부분에 필드산화막을 형성하는 제 4 공정과, 상기 제 8 및 제 9 영역 상부의 필드산화막의 일측에 상기 제 4 및 제 5 영역과 맞닿도록 제 1 및 제 2 도전형의 콜렉터영역들을 형성하는 제 5 공정과, 상술한 구조의 전표면에 게이트산화막 및 제 1 다결정실리콘층을 순차적으로 적층하는 제 6 공정과, 상기 제 8 및 제 9 영역상부의 게이트산화막 및 제 1 다결정실리콘층을 제거하는 제 8 공정과, 상술한 구조의 전표면에 제 2 다결정실리콘층, 제 1 금속실리사이드층 및 제 1 층간절연막층을 한 후 포토리소그래피 방법에 의해 제 1 및 제 2 모스트랜지스터의 게이트와 제 1 바이플라트랜지스터의 베이스전극과 제 2 바이플라트랜지스터의 에미터 및 콜렉터전극을 형성하는 제 9 공정과, 상기 제 6 영역에 제 1 모스트랜지스터 소오스 및 드레인영역을 형성하기 위한 제 2 도전형 불순물과 제 7 영역에 제 2 모스트랜지스터의 소오스 및 드레인영역을 형성하기 위한 제 1 도전형 불순물을 각각 주입하는 제 10공정과, 상기 제 1 및 제 2 모스트랜지스터의 상부에 제 1 층간절연막을 형성하는 제 11공정과, 제 3 다결정실리콘층과 제 2 금속실리사이드층을 이용하여 제 1 바이플라트랜지스터의 에미터전극 및 콜렉터전극과 제 2 바이플라트랜지스터의 베이스전극을 각각 형성하는 제 12 공정과, 상기 제 6 및 제 7 영역에 각각 이온주입된 제 2 및 제 1 도전형의 불순물을 확산시켜 제 1 및 제 2 모스트랜지스터의 소오스 및 드레인영역을 형성시킴과 동시에 제 1 및 제 2 바이플라트랜지스터 에미터영역 및 외부 베이스영역을 형성하는 제 13 공정과, 상술한 구조의 전표면에 제 3 층간절연막을 도포한 후 접촉창을 형성하고 금속전극들을 형성하는 제 14 공정으로 이루어짐을 특징으로 하는 바이씨모스장치의 제조방법.

청구항 7

제 6 항에 있어서, 제 1 공정은, 상기 제 2, 제 3, 제 4 및 제 5 영역을 형성하기 전 제 4 영역이 형성될 영역에 제 2 도전형의 제 1 영역을 형성하는 공정을 더 구비함을 특징으로 하는 바이씨모스장치의 제조방법.

청구항 8

제 6 항에 있어서, 제 9 공정은, 상기 제 2 다결정실리콘층을 침적한 후 제 2 도전형의 불순물을 주입함을 특징으로하는 바이씨모스장치의 제조방법.

청구항 9

제 6 항에 있어서, 제 10 공정은, 제 7 영역에 제 1 도전형 불순물의 주입시 상기 제 8 영역의 콜렉터영역과 제 9 영역의 진성 베이스영역에도 동시에 주입됨을 특징으로하는 바이씨모스장치의 제조방법.

청구항 10

제 6 항에 있어서, 제 12 공정은, 상기 제 3 다결정실리콘층에 제 1 도전형의 불순물을 주입하는 것을 더 갖는 것을 특징으로 하는 바이씨모스장치의 제조방법.

청구항 11

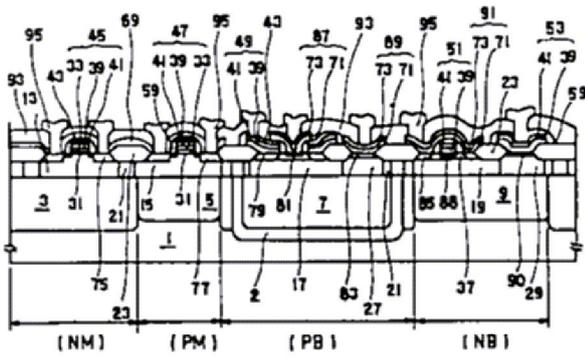
제 6 항에 있어서, 제 13 공정은, 상기 제 1 다결정실리콘층이 제 2 다결정실리콘층에 도핑되어 있던 제 2 도전형의 불순물이 채널영역으로 확산되는 것을 방지하는 것을 특징으로 하는 바이씨모스장치의 제조방법.

청구항 12

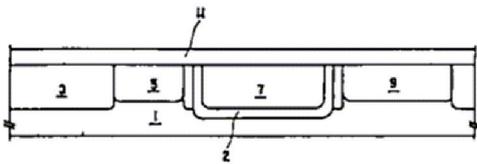
제 6 항에 있어서, 제 13 공정은, 열처리시에 상기 제 3 및 제 2 다결정실리콘층에 각각 도핑되어 있던 불순물이 확산되어 제 1 및 제 2 바이플라트랜지스터의 에미터영역과 베이스영역들을 형성하는 것을 특징으로 하는 바이씨모스장치의 제조방법.

도면

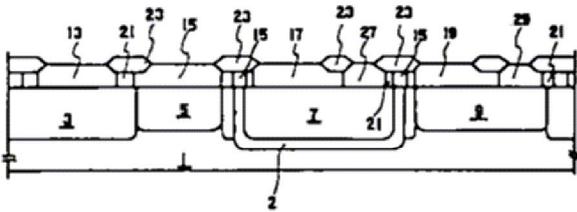
도면1



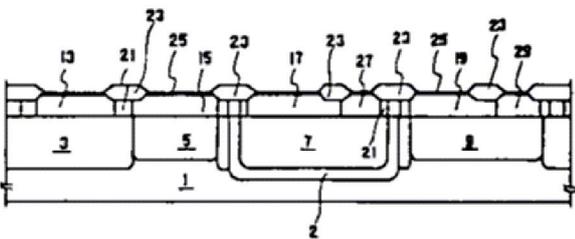
도면2a



도면2b



도면2c



도면2d

